



# 非対称な信号遷移を用いた高速論理回路に関する研究

森本, 薫夫

---

(Degree)

博士 (工学)

(Date of Degree)

2007-03-25

(Date of Publication)

2015-11-20

(Resource Type)

doctoral thesis

(Report Number)

甲4005

(URL)

<https://hdl.handle.net/20.500.14094/D1004005>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



【 3 6 2 】

氏 名・(本 籍)	森本 薫夫	( 滋賀県 )
博士の専攻分野の名称	博士 (工学)	
学 位 記 番 号	博い第453号	
学位授与の 要 件	学位規則第5条第1項該当	
学位授与の 日 付	平成19年3月25日	

【 学位論文題目 】

非対称な信号遷移を用いた高速論理回路に関する研究

審 査 委 員

主 査	教 授	吉本 雅彦
	教 授	沼 昌宏
	教 授	羅 志偉
	助教授	永田 真

大規模 LSI の高集積化により、多種多様な機能を持った回路が実現できるようになってきている。同時に、回路内で処理しなければならないデータ量も増加する傾向にある。この膨大なデータを高速に処理するために、デジタル LSI の高速化技術は今後の設計開発において無くてはならないものとなっている。高速デジタル LSI の設計には、個々のシステムに応じたアーキテクチャの開発が重要である。アーキテクチャによる高速化アプローチとしては、並列処理やパイプライン処理、加算や乗算のための演算アーキテクチャなどがあり、これらを効率良く適用することで回路の高速化を実現できる。しかしながら、回路を構成する論理ゲートが最適に設計されていなければ、どんなに良いアーキテクチャを適用したとしても、設計した回路の性能を最大限に引き出すことはできない。

そのため、論理ゲートレベルでの新しい回路設計手法の提案が必要不可欠である。現在、デジタル LSI 設計の多くで用いられているスタティック CMOS 回路では、動作速度を高めるために、論理ゲートを構成するトランジスタのチャンネル幅  $W$  を大きく設計する。しかしながら、トランジスタの付加容量が増加してしまうため、トランジスタの  $W$  に比例した動作速度を得ることができない。そこで、スタティック CMOS よりも高速動作可能な回路方式として、CMOS-DOMINO や DCVS-DOMINO 回路方式などが考えられている。これらの回路方式は、遷移確率の高いプリチャージ制御のためのクロック信号を全ての論理ゲートに分配しなければならないため、消費電力が増加する。一方、プリチャージ制御のためのクロック信号を大幅に削減できる回路方式として、立ち上がり遷移を高速化した NOR ゲートと立ち下がり遷移を高速化した NAND ゲートのみで回路を構成する SCSL が提案されている。SCSL は NAND と NOR ゲートのみで回路を構成するため、論理ゲートの段数が多くなってしまふ。このため、論理ゲートの遅延時間に見合った回路性能を引き出すことができない。

本研究では、従来方式よりも高速、かつ低消費電力を実現する回路方式を用いて、大規模デジタル LSI の飛躍的な性能向上を実現することを目的とする。この目的を達成するため、論理回路のスイッチング動作における立ち上がり遷移時間を立ち下がり遷移時間よりも高速に設計することで、スタティック CMOS に比べて格段に短い遅延時間を達成する ASDDL(Asymmetric Slope Differential Dynamic Logic)と ASD-CMOS (Asymmetric Slope Differential CMOS)を提案する。ASDDL/ASD-CMOS は正論理と負論理の信号で論理値を表現する 2 線式論理回路であり、演算とプリチャージを交互に実行する。プリチャージは演算と同様に前段から後段の論理ゲートへ向けて順次伝搬させるため、SCSL と同様にプリチャージ制御のための信号線を無くすることができ、従来の高速回路方式よりも低消費電力を実現する。また、ASDDL/ASD-CMOS 論理ゲートは BDD 表現を用いて設計を行なうことで、複雑な論理関数も 1 つの論理ゲートで設計することが可能であり、設計した回路の論理ゲート段数を大幅に減らすことができる。しかしながら、ASDDL/ASD-CMOS

は演算とプリチャージを交互に実行する必要があるため、サイクルタイムが演算の遅延時間とプリチャージの遅延時間の総和となる。そこで、大幅にサイクルタイムを短縮することができるサイクルタイム短縮アーキテクチャを考案した。このアーキテクチャは入力側と出力側の 2 つの回路ブロックに分割し、それぞれの回路ブロックで演算とプリチャージを交互に行なう。これにより、全ての論理ゲートのプリチャージを演算の裏に隠すことができ、サイクルタイムは演算時間とほぼ等しくなる。

0.18- $\mu\text{m}$  CMOS プロセス、電源電圧 1.8V にて、スタティック CMOS と DCVS-DOMINO との比較評価を行った。ASDDL と ASD-CMOS で設計した 16 ビット符号付き乗算器の遅延時間はそれぞれ 1.82ns, 1.78ns であった。これは、エネルギー遅延積および面積が最適になるように作成されたライブラリを用いて、遅延時間最小の条件で設計したスタティック CMOS と比べて 32%, 34% 減少した。また、これらの遅延時間は DCVS-DOMINO の 96%, 94% であり、ASDDL と ASD-CMOS は DCVS-DOMINO よりも高速に動作することを確認した。消費電力は DCVS-DOMINO に対してそれぞれ 20%, 2% 削減できた。さらに、0.13- $\mu\text{m}$  CMOS プロセス、電源電圧 1.2V で試作したテストチップでは、ASD-CMOS 乗算器は 1.57ns で動作していることを確認した。

ASDDL/ASD-CMOS は、最も高速動作が可能とされる回路方式の 1 つである DCVS-DOMINO よりも高速・低消費電力を実現する。しかしながら、フルカスタム設計では大規模デジタル LSI への適用に膨大な設計コストが必要となる。そこで、ASDDL/ASD-CMOS の論理合成手法を提案し、スタティック CMOS の回路設計で利用されている論理合成ツールを用いた自動設計環境を構築する。しかしながら、スタティック CMOS 用の論理合成ツールでは、正負両論理の 2 線の入出力信号を持った論理ゲートをそのまま用いて合成することができない。そのため、独自に考案した中間ライブラリを用いて合成し、変換ツールを用いて合成結果に後処理を施すことで、ゲートレベルのネットリスト作成から配置配線まで全てを自動で設計できる。考案した中間ライブラリでは、2 線の信号線を持った ASDDL/ASD-CMOS 論理ゲートを入力は 1 線、出力は 2 線の中間セルで定義し、2 線式論理回路の特徴を最大限に生かした論理合成を可能とした。実際に構築した ASDDL 用ライブラリは 3 入力以下の全ての論理関数を表現できる 12 種類の論理ゲートで構成している。変換ツールは中間セルで構成された合成結果を ASDDL/ASD-CMOS 論理ゲートに置き換え、信号線の再接続を行なう。さらに、サイクルタイム短縮アーキテクチャを自動で適用する機構を備えている。

構築した自動設計環境で、様々な制約条件を持った ASDDL の 16 ビット符号付き乗算器を 0.18- $\mu\text{m}$  CMOS プロセスで設計し、比較評価を行なった。電源電圧 1.8V のシミュレーション結果では、提案した論理合成手法を用いて設計した ASDDL 乗算器の遅延時間は 1.82ns であった。これはスタティック CMOS 乗算器と比べて 32% の改善であり、フルカ

(氏名： 森本 薫夫 NO. 3 )

スタム設計の乗算器と非常に近い高速動作を実現した。さらに、フルカスタム設計では2週間程度の設計期間を要したのに対して、提案した論理合成手法を用いることにより1時間足らずで設計でき、ASDDL/ASD-CMOSを適用した大規模デジタルLSIの短期設計を可能とした。

ASDDL/ASD-CMOSはプリチャージ制御のための信号線を大幅に削減することで、DCVS-DOMINOよりも低消費電力を実現するが、演算とプリチャージを交互に行なうためにスタティックCMOSと比べると消費電力は増大する。そこで、通常はASDDL/ASD-CMOSと同様に高速で動作し、処理量が少ない場合には消費電力を引き下げることでASDMDL(Asymmetric Slope Dual Mode Differential Logic)を提案する。ASDMDLは、ASDDL/ASD-CMOSと同様に演算の前にプリチャージを行なう2相で動作する高速モードと、スタティックCMOSと同様にプリチャージなしの1相で動作する低消費電力モードという2つの動作モードを1つの回路で実現する2モード2線式論理回路である。この2つの動作モードを動作中の各タイミングによって切り替えることで、設計した回路の限界性能を引き出すことができる。

ASDDL/ASD-CMOSの論理合成手法を用いて、ASDMDLとスタティックCMOSを混載したデジタルコアの論理合成・自動配置配線を実現し、クリティカルパス部分を中心にASDMDLを適用したASDMDL/CMOS混在プロセッサを0.18 $\mu$ m CMOSプロセスにて試作し、性能検証を行なった。テストチップの性能比較では、高速モード時の最高動作周波数は232MHzであり、スタティックCMOSと比べて14%向上し、低消費電力モードの性能はCMOSと同等の性能を実現した。これにより、ASDMDLはASDDL/ASD-CMOSの高速動作とスタティックCMOSの低消費電力動作という特性を1つの回路で実現できることを実証した。

以上より、スタティックCMOSでは到達不可能な高速動作が実現でき、従来提案されている高速回路方式の性能を凌駕する新たな回路方式を提案した。また、構築した自動設計環境を用いることによって、様々な制約条件、アーキテクチャを持った回路を短時間で設計することができるだけでなく、プロセッサの制御回路などのようなランダムロジックの設計を実現可能とした。これらの設計技術によって、大規模デジタルLSIの性能を飛躍的に向上が期待できる。

氏名	森本 薫夫		
論文 題目	非対称な信号遷移を用いた高速論理回路に関する研究		
審査 委員	区 分	職 名	氏 名
	主 査	教 授	吉本 雅彦
	副 査	教 授	沼 昌宏
	副 査	教 授	羅 志偉
	副 査	助教授	永田 真
要 旨			
<p>マイクロプロセッサに代表されるデジタルLSIの性能向上において、高速論理回路設計技術は最も重要な技術基盤である。本論文は、二線式論理回路方式に着目し、その立ち上がり信号遷移時間を、立ち下がり信号遷移時間に比べて非対称に短縮することで、高速な論理動作を実現する論理回路設計方法の提案を目的としている。</p> <p>本論文では、非対称な信号遷移を用いた高速論理回路の設計方法について、以下の3つの研究課題について論じている。すなわち、</p> <ol style="list-style-type: none"> <li>(1) 非対称な信号遷移により高速論理を実現する二線二相式論理回路：ASDDL/ASD-CMOS論理回路の構成法</li> <li>(2) 二線二相式論理回路を用いたデジタルLSIの設計自動化方法</li> <li>(3) 高速化と低消費電力化を両立する二線二相/二線単相動作モード切り替え機構の実現</li> </ol> <p>である。</p> <p>現在のデジタルLSIで主流であるCMOS論理に比べて数10%の高速化を達成する論理回路方式の実現を目標として、前項(1)において非対称な信号遷移による論理スイッチング動作の高速化を実現する二線二相式論理回路を提案し、続いて前項(2)では、提案論理回路を大規模デジタルLSIに適用する上で必須となる論理合成及び自動配置配線手法を確率している。さらに、二線式論理回路の欠点である消費電力の増大の問題を解決するため、前項(3)において、論理の信号表現を切り換えるだけで、二線二相の高速動作と二線単相の低消費電力動作の二つのモードをスイッチできる機構を前項(1)に提案した高速論理回路に付加している。いずれの課題についても、テスト回路の設計・評価に基づくデータを開示し、研究成果の適用効果を定量的に論じている。</p> <p>本論文の構成は以下の通りである。</p> <p>第1章では、研究の背景と動機について述べている。CMOS論理回路における動作速度の限界について検討し、また高速論理回路方式の従来研究について調査した内容をまとめるとともに、本論文の目的を明らかにしている。</p> <p>第2章では、現在のデジタルLSIで主流であるCMOS論理に比べて数10%の高速化を達成する論理回路方式として、非対称な信号遷移による論理スイッチング動作の高速化を実現する二線二相式論理回路としてASDDL/ASD-CMOS論理回路を提案している。ここで組み合わせ論理演算を立ち上がり信号遷移だけで表現するシングルサイクル方式では、演算時間は短縮できるが、サイクルタイムを短縮できない。論理演算をパイプライン化し、マルチサイクル方式とすることで、立ち上がり信号遷移に比べて長い時間を必要とする立ち下がり信号遷移を、立ち上がり信号遷移による演算の背後に隠蔽する、サイクルタイム短縮アーキテクチャもあわせて考案している。0.18<math>\mu</math>m CMOS技術による16bit符号付き乗算器をテスト回路として、通常のCMOS回路による構成に比べて32%の高速化できることを示している。</p>			

氏名	森本 薫夫
----	-------

第3章では、二線二相式の論理回路の設計自動化手法について述べている。通常の CMOS 論理回路のための LSI 設計ソフトウェアで ASDDL/ASD-CMOS 論理回路を扱えるように、単線単相方式の CMOS 論理構造と二線二相式の ASDDL/ASD-CMOS 論理構造を交換する論理変換ルールを見出した。自動設計環境を構築し、前述のとおり CMOS に比べて高速化した 16bit 符号付き乗算器の設計を 1 時間以内に設計できることを示した。なお、従来の高速論理回路の研究において、回路の高速性を実証するのにフルカスタム設計を行うことが多く、この場合の設計時間は 1 週間以上かかる。本章で論じられた設計自動化手法は、提案論理回路の実用性を飛躍的に向上している。

第4章では、二線二相式に本質的な消費電力の増大の問題を解決するため、論理の信号表現を切り換えるだけで、二線二相の高速動作と二線単相の低消費電力動作の二つのモードをスイッチできる機構を付加した ASDMDL 論理回路を提案している。さらに、通常の CMOS による大規模デジタル LSI のクリティカルパス部だけに本回路方式を導入する、CMOS/ASDMDL 混載 LSI の設計自動化手法も確立している。0.18 $\mu$ m CMOS 技術による 32bit マイクロプロセッサの設計に本手法を適用し、CMOS 論理回路のわずか 4% を ASDMDL 論理回路に置き換えるだけで、高速モード時の最高動作周波数を 14% 向上し、一方で低消費電力モードでは CMOS とほぼ同等の性能（消費電力と周波数）で動作することを実証した。

第5章では、まとめと今後の展望を述べている。

以上のように、本研究は従来の CMOS 論理回路方式を凌ぐ高速化・低消費電力化を実現する高速論理回路方式について、新しい回路構成を提案するとともに大規模集積化のための設計方法を研究したものであり、非対称な信号遷移により高速論理を実現する二線二相式論理回路の設計法、二線二相式論理回路を用いたデジタル LSI の設計自動化方法、ならびに高速化と低消費電力化を両立する二線二相／二線単相動作モード切り替え機構の実現について、重要な知見を得たものとして価値ある集積であると認める。よって、学位申請者の森本 薫夫は、博士（工学）の学位を得る資格があると認める。

5/2