



サブ100nm微細化技術を用いたVLSIスタティックRAM の低電圧動作・高集積化設計技術に関する基礎的研究

森田, 泰弘

(Degree)

博士 (工学)

(Date of Degree)

2008-03-25

(Date of Publication)

2012-02-17

(Resource Type)

doctoral thesis

(Report Number)

甲4201

(URL)

<https://hdl.handle.net/20.500.14094/D1004201>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博士論文

サブ100nm微細化技術を用いた
VLSIスタティックRAMの
低電圧動作・高集積化設計技術に
関する基礎的研究

平成20年1月

神戸大学大学院自然科学研究科

森田 泰弘

内容梗概

本論文は、サブ 100nm 世代 LSI に搭載される SRAM (Static Random Access Memory) の低電圧動作・高集積化に向けた設計技術の研究成果をまとめたものである。

多くのシステム LSI には処理データを記憶するメモリとして、高速、低消費電力、周辺回路が簡素、論理演算 LSI との混載が容易などの理由から、SRAM が搭載されている。今後、情報処理端末にさらに高い処理能力（動画像の場合、高解像度への対応、高ビットレートへの対応など）が要求され、システム LSI における処理データ量が大規模化するに従って SRAM の記憶容量が増大することが想定される。これにより、システム LSI の低消費電力性能はオンチップメモリによって支配されるようになり、システム LSI の低消費電力化のためには SRAM の低消費電力化技術が必要不可欠となる。

LSI の低消費電力化のためには、低電圧での動作が必須である。特に、LSI の動作時に要求負荷に応じてクロック周波数及び電源電圧を動的に制御する技術（動的電圧制御手法、DVS）においては、消費電力削減効果を最大化するにあたって、動作電圧下限を極力低減して電圧制御範囲を拡大する必要がある。しかしながら、半導体の製造プロセスがサブ 100nm 世代となると、LSI に集積される MOS トランジスタのしきい値電圧のばらつきが顕在化する。しきい値電圧ばらつきの影響で、1 ビットの情報を記憶する SRAM セルの安定動作が阻害され、SRAM が低電圧で動作しないという問題が存在する。

また、しきい値電圧ばらつきにかかわらず SRAM セルの安定動作を確保するには、セルの各トランジスタ (Tr.) のサイズを増大させる必要があり、セル面積の増大につながる。特に、低電圧動作においては動作マージンが極端に劣化するため、その拡大のためにセル面積がさらに増大する。したがって、これまで微細化により得られたセル面積のスケーリ

ングが鈍化し、メモリ実装の際の必須条件である高集積の特徴が失われる可能性がある。

本研究では、サブ 100nm 世代 LSI 製造技術で問題となっている MOS トランジスタのしきい値電圧ばらつきの問題を回避し、低電圧動作でかつ小面積を実現するための SRAM の設計手法について研究を行った。

第 1 のテーマは、DVS 環境下で 6Tr. SRAM セル (6T セル) で構成される SRAM (6T SRAM) を低電圧で動作させるための設計技術の研究である。DVS 環境下で、低電圧動作時に 6T セルの動作マージンを改善するための最適電圧制御手法と、本手法を適用する上でメモリセルの保持データ破壊を防止するための自己調整タイミング制御回路を提案した。

最適電圧制御手法では、DVS 環境下で動的に制御される電圧 V_a に加えて、外部から供給される一定の高電圧 V_{max} を SRAM に供給し、読出し/書込み動作に応じて 6T セルの各電圧 (セルインバータ電源電圧及びワード線電圧) を切り替える。読出し動作時にはセルインバータの電源電圧を V_{max} に設定し、セルインバータの保持データを安定化させる。一方、書込み動作ではワード線電圧を V_{max} に設定し、アクセス Tr. のコンダクタンス値を上昇させることで、ビット線からセルインバータへのデータの書込みを安定化させる。また、6T セルの pMOS ロード Tr. の基板バイアス電圧を V_{max} に設定し、書込み時にロード Tr. のしきい値電圧を上昇させることで書込みマージンを改善する。これらの動作により、低電圧動作時の動作マージンを確保する。最適電圧制御手法を回路実装する際、メモリセルアレイを 128 words \times 8 bits からなるメモリセルブロックに分割し、6T セルのセルインバータの電源電圧及びワード線電圧を切り替えるための電源セレクタを各メモリセルブロックに導入する。また、書込み時にワード線の電圧を V_{max} に増幅するためのレベルシフタを X デコーダの後段に挿入する。また、自己調整タイミング制御回路では、電圧制御にあたってセルインバータ電源電圧、ワード線電圧、書込みイネーブル信号に対して切り替えタイミングを適切に設定し、6T セルの保持データ破壊の防止を図る。

90nm プロセスで 64kb SRAM を試作し、動作電圧下限を 0.55V から 0.3V に低減し、動作周波数 100MHz における消費電力を 30% 削減することを実証した。なお、提案手法による面積オーバーヘッドは 5.6% である。また、容量が増大したり、製造プロセスが 65nm

世代に進化したりした場合、提案手法による消費電力削減効果が増大することを示した。

第2のテーマは、DVS環境下で8T SRAMの低電圧動作を実現するための設計技術の研究である。8Tセルに対してDVS環境下で低電圧動作を実現するための電圧制御手法と、ハーフセレクト列における書込み時のセル不安定性を回避するためのライトバック手法を提案した。

8Tセルは、従来6Tセルに2Tr.の独立読出しポートを付加した構成であり、安定読出し動作が可能のため、従来6Tセルの部分において読出しマージンを考慮する必要がない。一方、書込み動作は6Tセルと同一の動作のため、書込みマージンを確保するための設計が依然として必要である。また、8Tセルにおける読出しポートの2Tr.にしきい値電圧ばらつきが発生すると、読出しビット線からの読出し電流がばらつき、結果として“1”読み出し/“0”読み出しを正常に判別できなくなる可能性がある。すなわち、しきい値電圧ばらつきによる書込みマージン及び読出し電流の劣化により、8Tセルの動作電圧下限が上昇し、DVSによる消費電力削減効果が得られない。提案する電圧制御手法では、読出し/書込みワード線を高電圧 V_{max} に設定して書込みマージン及び読出し電流を改善することにより、低電圧動作を実現する。

また、ワード線を階層化しないシングルワード線構造の場合、書込み動作時に書込みワード線が立上がると、非選択列（ハーフセレクト列）に属するセルがアクセスされ、セルの安定性が失われる。提案するライトバック手法では、クロックサイクルの前半で、選択/非選択にかかわらず全列の保持データが読出される。クロックサイクルの後半で書込み動作が実行され、書込まれるデータとして、選択列に対しては外部入力信号が割り当てられ、非選択列に対してはクロックサイクルの前半で読出されたデータが割り当てられる。これにより、クロック1サイクルでハーフセレクト列の保持データが破壊されずに選択列に外部入力データが書込まれる。

90nmプロセスで従来手法及び提案手法（電圧制御手法及びライトバック手法）を実装した64kb 8T SRAMを試作し、書込み動作時の動作電圧下限を0.58Vから0.34Vに低減することを実証した。

第3のテーマは、32nm世代に向けた低電圧動作・小面積SRAMセルに関する研究である。現在の90nm世代から将来の32nm世代において、しきい値電圧ばらつきにかかわらず動作マージンを確保するために必要な6T/8Tセルの面積を導出し、比較を行った。

しきい値電圧のローカルばらつきの標準偏差 $\sigma_{V_{th}}$ は $1/\sqrt{(\text{ゲート長}) \times (\text{ゲート幅})}$ に比例するため、MOS Tr.のサイズを増大すればしきい値電圧ばらつきを減少させることができるが、SRAMの面積が増大する。また、読出し/書込みマージンの拡大のために、6Tセルにおいては β 比（ドライブ Tr. とアクセス Tr. のコンダクタンス比）及び γ 比（アクセス Tr. とロード Tr. のコンダクタンス比）を大きくする必要がある。一方、8Tセルは独立した読出しポートを所持しているため、読出しマージンを考慮する必要がなく、それゆえ β 比を小さく設定できる。本状況下で、従来のSingle- V_{dd} 手法では、32nm世代、1.0V動作において8Tセルの面積が6Tセルの面積を3.9%下回ることを示した。0.8V動作では、8Tセルのほうが6Tセルよりも面積が14.6%小さくなる。

また、低電圧動作時に動作マージンを拡大して安定動作を実現する電圧制御手法（Dual- V_{dd} 手法、DVS手法）を適用した場合の6T/8Tセルの面積の検討を行った。電圧制御手法では、2電源（高電圧 V_{max} 及び低電圧 V_a ）がSRAMセルに供給され、読出し/書込み動作に応じてSRAMセルの各電圧（セルインバータ電源電圧、ワード線電圧、ビット線電圧）が最適に切り替えられる。電圧制御により、電源電圧 V_a が低下するに従って動作マージンが拡大するため、SRAMの電源電圧 V_a を低く設定する場合にはSRAMセルの面積を縮小可能である。本状況下で、Dual- V_{dd} 手法では32nm世代においても6Tセルのほうが小面積を実現できることを示した。一方、DVS手法では、動作電圧が動的に変化するため、動作電圧の高い場合が動作マージンに対するワーストケースとなり、Single- V_{dd} 手法と同様に32nm世代で8Tセルが有利となる。32nm世代、0.7V動作では、Single- V_{dd} 手法適用時と比較して、Dual- V_{dd} 手法により6Tセルの面積が64.4%削減される。また、DVS手法を適用した8Tセルは、Single- V_{dd} 手法適用の6Tセルよりも面積が55.2%削減される。したがって、32nm世代において、Single- V_{dd} 手法やDVS手法では8Tセルが有利となるが、Dual- V_{dd} 手法の適用時には6Tセルが有利であり続ける。

以上のように、本論文では、サブ 100nm 世代で SRAM の低電圧動作・高集積化を実現するための要素技術を詳述した。6T/8T セルを対象に、DVS 環境下で低電圧動作を実現するための技術について詳述した。また、将来の 32nm 世代において 6T/8T セルの面積を比較し、Single- V_{dd} 手法及び DVS 手法では 8T セルが面積の観点で有利となるが、低電圧動作時に動作マージンを拡大する Dual- V_{dd} 手法の適用時には 6T セルが有利であり続けることを示した。これらの研究成果を適用することにより、サブ 100nm 世代において低電圧動作かつ高集積性の特徴を有した SRAM が実現可能である。

目次

内容梗概	i
第 1 章 序論	1
1.1 SRAM の技術的背景	1
1.2 研究目的及び本論文の構成	2
第 2 章 低電圧動作による低消費電力化技術	5
2.1 緒言	5
2.2 低電圧動作による低消費電力化の原理	5
2.3 動的電圧制御手法	7
2.3.1 DVS による低消費電力化	7
2.3.2 DVS のシステム構成	8
2.3.3 DVS 適用のためのアルゴリズム	9
2.4 結言	15
第 3 章 低電圧動作・高集積化に向けた SRAM の課題	17
3.1 緒言	17
3.2 SRAM の概要	17
3.2.1 SRAM の特徴	17
3.2.2 SRAM の構成と動作	18
3.3 SRAM セルの動作マージン	21

3.3.1	6Tセル	21
3.3.2	8Tセル	27
3.4	しきい値電圧ばらつきの動作マージンへの影響	30
3.4.1	しきい値電圧ばらつき	30
3.4.2	動作マージンへの影響	31
3.4.3	ミルキーウェイプロット	33
3.5	結言	34
第4章	DVS環境下での低電圧動作6T SRAMの設計	39
4.1	緒言	39
4.2	最適電圧制御手法	40
4.2.1	概要	40
4.2.2	回路設計	44
4.2.3	自己調整タイミング制御回路	45
4.3	シミュレーションと実測結果	47
4.3.1	チップ概要	47
4.3.2	フェイルビットカウント	47
4.3.3	消費電力と周波数の関係	49
4.4	結言	50
第5章	DVS環境下での低電圧動作8T SRAMの設計	51
5.1	緒言	51
5.2	8Tセルへの電圧制御手法	52
5.2.1	概要	52
5.2.2	書込みマージンの改善	52
5.2.3	読出し電流の改善	52
5.3	ライトバック手法	57

5.4	実測結果	60
5.5	結言	60
第 6 章	32nm 世代に向けた低電圧動作・小面積 SRAM セルの検討	63
6.1	緒言	63
6.2	SRAM セルの動作マージン設計	64
6.2.1	6T セル	64
6.2.2	8T セル	66
6.3	6T/8T セルへの電圧制御	70
6.3.1	Dual- V_{dd} 手法	70
6.3.2	DVS 手法	70
6.3.3	動作マージンの改善	72
6.4	6T/8T セルの面積比較	76
6.4.1	$L = L_{min}$, ターゲット V_{th} が一定の場合	77
6.4.2	$L = L_{opt}$, ターゲット V_{th} が一定の場合	79
6.4.3	$L = L_{min}$, ターゲット V_{th} が最適化される場合	83
6.4.4	電圧制御が適用される場合	85
6.5	面積とアクセスタイム	88
6.6	結言	94
第 7 章	結論	95
	謝辞	99
	参考文献	101
	著者の研究業績目録	107

目次

1.1	SRAM の動作電圧のトレンド	2
1.2	本論文の構成	4
2.1	従来手法及び DVS 手法における動作周波数の時間推移	9
2.2	従来手法及び DVS 手法による消費電力の処理負荷依存性	9
2.3	DVS のブロック図	10
2.4	フィードフォワード型アルゴリズムのスケジューリング	11
2.5	MPEG4 符号化処理のブロック図	12
2.6	フォワードアナリシス手法による予測周波数と実測周波数の相関 [21]	16
3.1	SRAM のブロック図	19
3.2	6T セルの回路図とレイアウト	22
3.3	6T セルの動作	23
3.4	6T セルの読出しマージン	25
3.5	6T セルの書込みマージン	26
3.6	8T セルの回路図とレイアウト	28
3.7	8T セルの読出し動作	29
3.8	ペリグルムプロット	31
3.9	動作マージンに対するしきい値電圧ばらつきのワーストケース	32
3.10	しきい値電圧ばらつきによる動作マージンの変化	35
3.11	ミルキーウェイプロット	36

3.12	ミルキーウェイプロットの世代推移	37
3.13	ミルキーウェイプロットの電源電圧依存性	37
4.1	最適電圧制御手法を適用した DVS のブロック図	40
4.2	最適電圧制御手法の詳細	42
4.3	ミルキーウェイプロットの電源電圧依存性	43
4.4	最適電圧制御手法を適用した 64kb SRAM のブロック図	44
4.5	書込み動作の電圧条件下でのバタフライカーブ ($V_a = 0.4[V]$)	45
4.6	最適電圧制御手法のタイミングチャート	46
4.7	チップ写真及びメモリセルブロックのレイアウト	47
4.8	90nm 64kb SRAM の (a) 実測 FBC 及び (b) プロセスコーナーと容量を 変化させたときの BER	49
4.9	(a) 90nm 64kb SRAM, 及び (b) 容量と世代を変化させたときの P - f カーブ	50
5.1	8T SRAM に対する電圧制御手法を適用した DVS のブロック図	53
5.2	8T セルに対する電圧制御の詳細	53
5.3	電圧制御手法による 8T セルの書込みマージンの改善効果	54
5.4	8T セルの読出し電流の定義	55
5.5	電圧制御手法による 8T セルの読出し電流の改善効果	56
5.6	ライトバック手法の回路及び動作の概要	58
5.7	ライトバック手法のタイミングチャート	59
5.8	90nm 64kb 8T SRAM のチップ写真及びレイアウト	61
5.9	提案手法による動作電圧下限の低減効果	62
6.1	6T セルの動作マージンの β , γ 比に対する変化	65
6.2	6T セルのミルキーウェイプロットの β , γ 比依存性	67
6.3	6T セルの回路図及び様々な β , γ 比に対するレイアウト	68
6.4	8T セルの回路図及びレイアウト	69

6.5	6Tセルにおける Dual- V_{dd} 手法の動作	71
6.6	8Tセルにおける Dual- V_{dd} 手法の動作 (書込み時)	71
6.7	Dual- V_{dd} 手法による動作マージンの改善	73
6.8	Single- V_{dd} /Dual- V_{dd} 手法適用時の 6T セルのミルキーウェイプロット . . .	74
6.9	Single- V_{dd} /Dual- V_{dd} 手法適用時の 8T セルのミルキーウェイプロット . . .	75
6.10	6T/8T セルの β , γ 比の世代推移 ($L = L_{min}$, ターゲット V_{th} が一定の 場合)	78
6.11	6T/8T セルの面積の世代推移 ($L = L_{min}$, ターゲット V_{th} が一定の場合)	78
6.12	6T/8T セルの Tr. L 変化時の動作マージン確保のための最小 W	80
6.13	6T/8T セルの面積の L 依存性	81
6.14	6T/8T セルの β , γ 比の世代推移 ($L = L_{opt}$, ターゲット V_{th} が一定の場 合)	82
6.15	6T/8T セルの面積の世代推移 ($L = L_{opt}$, ターゲット V_{th} が一定の場合)	82
6.16	6T/8T セルの β , γ 比の世代推移 ($L = L_{min}$, ターゲット V_{th} が最適化 される場合)	84
6.17	6T/8T セルの面積の世代推移 ($L = L_{min}$, ターゲット V_{th} が最適化され る場合)	84
6.18	6T/8T セルの β , γ 比の世代推移 (Dual- V_{dd} 手法適用時)	86
6.19	6T/8T セルの面積の世代推移 (Dual- V_{dd} 手法適用時)	86
6.20	6T/8T セルの面積の V_{dd} 依存性	87
6.21	8T-SRAM マクロにおける階層ビット線構造の概念図 (読出しポートのみ)	89
6.22	6T/8T セルにおけるアクセスタイムに対する V_{th} ばらつきのワースト ケース	90
6.23	6T/8T-SRAM マクロにおける面積及びアクセスタイムの比較 ($L =$ L_{min} , ターゲット V_{th} が一定の場合)	91

6.24	6T/8T-SRAM マクロにおける面積及びアクセスタイムの比較 ($L = L_{opt}$, ターゲット V_{th} が一定の場合)	91
6.25	6T/8T-SRAM マクロにおける面積及びアクセスタイムの比較 ($L =$ L_{min} , ターゲット V_{th} が最適化される場合)	92
6.26	6T/8T-SRAM マクロにおける面積及びアクセスタイムの比較 (Dual- V_{dd} 手法適用時)	92
6.27	6T/8T-SRAM マクロにおける面積及びアクセスタイムの比較 (DVS 手 法適用時)	93

表目次

2.1	MPEG4 符号化処理において演算量が変動する処理及び演算量を決定する パラメータ	14
4.1	従来 SRAM 及び提案 SRAM での電圧制御	41

第 1 章

序論

1.1 SRAM の技術的背景

多くのシステム LSI には処理データを記憶するメモリとして、高速、低消費電力、周辺回路が簡素、論理演算 LSI との混載が容易などの理由から、SRAM (Static Random Access Memory) が搭載されている。今後、情報処理端末にさらに高い処理能力（動画像の場合、高解像度への対応、高ビットレートへの対応など）が要求され、システム LSI における処理データ量が大規模化するに従って SRAM の記憶容量が増大することが想定される。ITRS 2005 [1] によれば、2012 年にはシステム LSI の面積の 80% 以上がメモリで占有されると予測されており、システム LSI の低消費電力性能はオンチップメモリによって支配される。すなわち、システム LSI の低消費電力化のためには SRAM の低消費電力化技術が必要不可欠となる。

低消費電力化のためには、低電圧での動作が必須である。しかしながら、半導体の製造プロセスがサブ 100nm 世代となると、LSI に集積される MOS トランジスタのしきい値電圧のばらつきが顕在化し、1 ビットの情報を記憶する SRAM セルの安定動作が阻害され、SRAM が低電圧で動作しないという問題が存在する。図 1.1 に、半導体の国際会議 International Solid-State Circuits Conference (ISSCC) で発表された SRAM の標準動作電圧及び動作電圧下限の世代推移を示す。また、図 1.1 では ITRS 2005 における各世代での動作電圧をあわせて示している。製造プロセスの微細化とともにシステム LSI の動作電圧がスケールアップされ、45nm 世代で動作電圧が 1.0V を下回る傾向にある。しかしなが

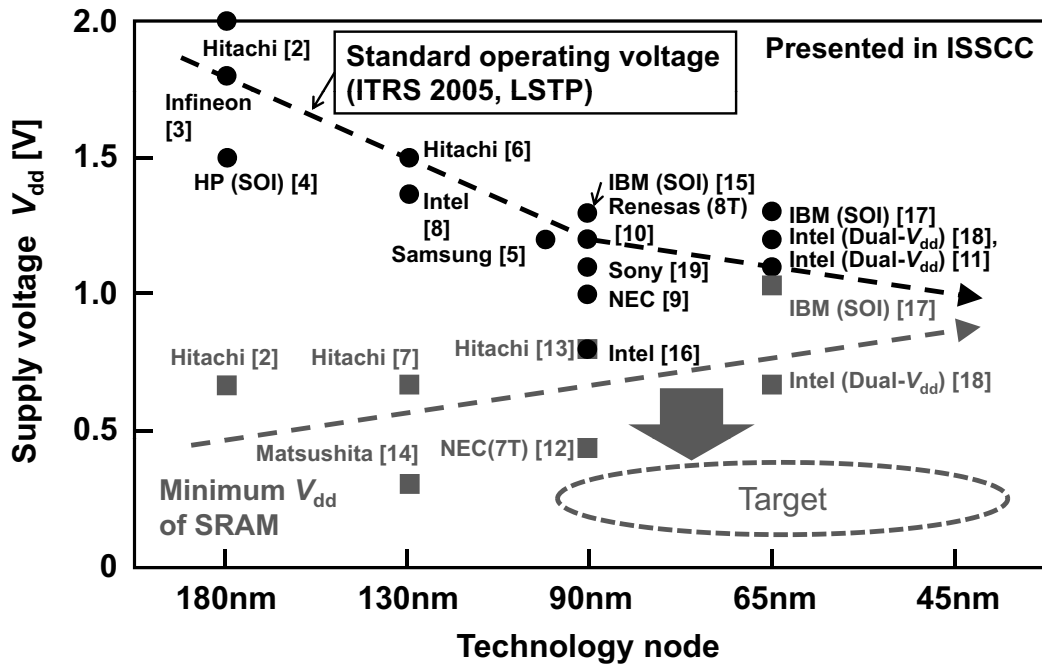


図 1.1 SRAM の動作電圧のトレンド

ら、それに搭載される SRAM の動作電圧下限が世代とともに上昇する傾向にある。今後、さらに製造プロセスの微細化が進行し、かつ SRAM の記憶容量が増大することで、しきい値電圧ばらつきの影響がますます増大し、標準動作電圧で SRAM が動作不可能であることが懸念されている。

また、しきい値電圧ばらつきにかかわらず SRAM セルの安定動作を確保するには、セルの各トランジスタ (Tr.) のサイズを増大させる必要があり、セル面積の増大につながる。特に低電圧動作においては、動作マージンが極端に劣化するためその拡大のためにセル面積がさらに増大する。したがって、これまで微細化により得られたセル面積のスケーリングが鈍化し、メモリ実装の際の必須条件である高集積の特徴が失われる可能性がある。

1.2 研究目的及び本論文の構成

本研究では、前節で述べた背景のもとに、サブ 100nm 世代において存在するしきい値電圧ばらつきの影響を回避し、SRAM の低電圧動作・高集積性を実現することを目的として

いる。本論文の構成及び各研究の概略について以下に詳述する。また、図 1.2 に本論文の構成をまとめる。

第 1 章 本研究に関する技術的背景，技術動向及び本論文の研究内容を概説する。

第 2 章 低電圧動作による LSI の低消費電力化技術について解説する。

第 3 章 SRAM の低電圧動作・高集積化に向けた課題について記述する。

第 4 章 動的電圧制御 (DVS) 環境下で 6Tr. 構成 SRAM セル (6T セル) の SRAM (6T SRAM) を低電圧で動作させるための技術について記述する。

第 5 章 DVS 環境下で 8T SRAM を低電圧で動作させるための技術について記述する。

第 6 章 32nm 世代に向けて小面積を実現する SRAM セルの検討について記述する。

第 7 章 本研究で得られた結論をまとめる。

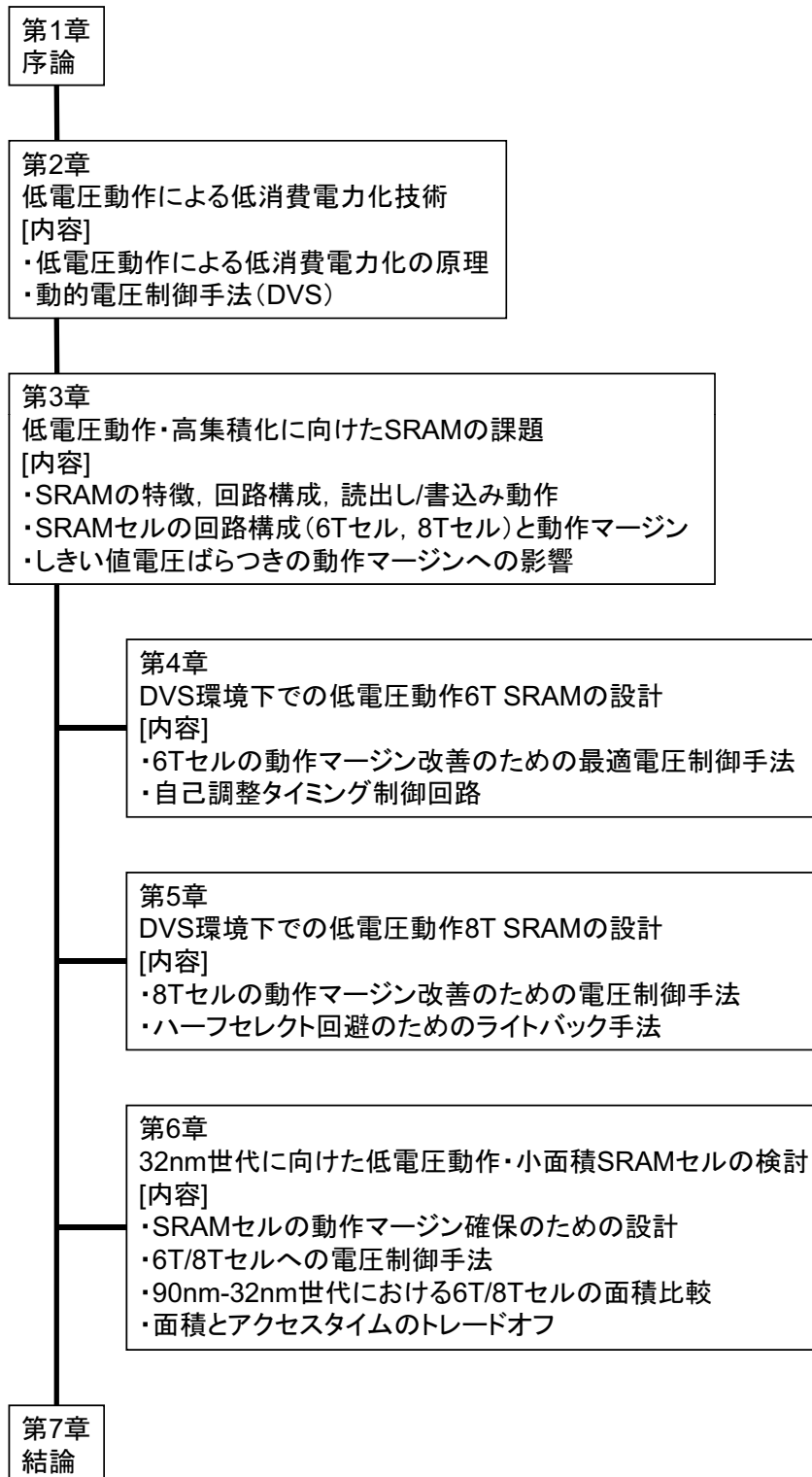


図 1.2 本論文の構成

第 2 章

低電圧動作による低消費電力化技術

2.1 緒言

本章では、低電圧動作による LSI の低消費電力化について述べる。2.2 節では低消費電力化の原理を述べる。また、2.3 節では LSI の低電圧動作を使用する例として、動的電圧制御技術 (Dynamic Voltage Scaling, DVS) について述べる。2.3.1 節で DVS による低消費電力化を定量的に示し、さらに、2.3.2 節で DVS を実現するシステム構成について述べる。また、2.3.3 節では DVS をリアルタイムアプリケーションに適用する際の動作周波数スケジューリングアルゴリズムの例を述べる。

2.2 低電圧動作による低消費電力化の原理

CMOS 回路の消費電力 P_{total} は、負荷容量の充放電によるダイナミック電力 P_{dynamic} とリーク電流によるスタティック電力 P_{static} の和によって表される。ダイナミック電力は式 (2.1) で表され、電源電圧 V_{dd} の 2 乗に比例する。

$$P_{\text{dynamic}} = a \cdot f C_L V_{\text{dd}}^2 \quad (2.1)$$

ただし、 a : 稼働率, f : 動作周波数, C_L : 負荷容量, V_{dd} : 電源電圧

一方、スタティック電力 P_{static} は V_{dd} にリーク電流 I_{leak} を乗じたものである。リーク電流 I_{leak} は、弱反転領域でのサブスレッショルドリーク (I_{sub}), DIBL (Drain-Induced Barrier Lowering) によるサブスレッショルドリーク変動分 (ΔI_{dibl}), GIDL (Gate-Induced Drain

Leakage), ゲートトンネルリーク (I_{gate}) の和で表される. サブスレッショルドリーク I_{sub} は式 (2.2) で表され, V_{dd} に依存しない.

$$I_{\text{sub}} = I_0 \cdot 10^{(V_{\text{gs}} - V_{\text{th}})/S} \quad (2.2)$$

ただし, I_0 : 定数, V_{gs} : ゲート・ソース間電圧, V_{th} : しきい値電圧,

$$S = \frac{kT}{q} \left(1 + \frac{C_{\text{D}}}{C_{\text{ox}}}\right) \ln 10 : \text{subthreshold slope,}$$

q : 電荷素量, k : プランク定数, T : 絶対温度,

C_{D} : 基板の空乏層容量, C_{ox} : ゲート酸化膜容量

しかしながら, DIBL を考慮すると I_{sub} は式 (2.3) に書き直される.

$$I_{\text{sub}} = I_0 \cdot 10^{(V_{\text{gs}} - V_{\text{th}} + \eta V_{\text{ds}})/S} \quad (2.3)$$

ただし, η : DIBL 係数

式 (2.3) 中の項 $10^{\eta V_{\text{ds}}/S}$ が DIBL による I_{sub} 変動分 (ΔI_{dibl}) であり, V_{ds} が上昇するとしきい値電圧が ηV_{ds} だけ低下し, I_{sub} が指数関数的に増大する. GIDL は, その発生要因上 MOS トランジスタのゲート・ドレイン間電圧に大きく依存する. すなわち, V_{dd} に依存する. また, ゲートリーク (直接トンネリングによるゲートリーク) は式 (2.4) で表され, 酸化膜電界 E_{ox} , すなわちゲート電圧に指数関数的に依存する.

$$J_{\text{DT}} = A \cdot E_{\text{ox}}^2 \exp \left[-\frac{B \left\{ 1 - \left(1 - \frac{V_{\text{ox}}}{\phi_{\text{ox}}} \right)^{3/2} \right\}}{E_{\text{ox}}} \right] \quad (2.4)$$

$$\text{ただし, } A = \frac{q^3}{16\pi^2 \phi_{\text{ox}}}, B = \frac{4\sqrt{2m^*} \phi_{\text{ox}}^{3/2}}{3q},$$

E_{ox} : 酸化膜電界, ϕ_{ox} : 伝導帯からのポテンシャルバリアの高さ,

m^* : 伝導帯における電子の有効質量

したがって, リーク電流 I_{leak} は V_{dd} に大きく依存して削減できることがわかる. 実際 $0.13\mu\text{m}$ プロセスでは, リーク電流に起因するスタティック電力を V_{dd} の約 1.5 乗に比例して削減できるとされている [20].

2.3 動的電圧制御手法

動的電圧制御 (DVS) は、タスクの処理負荷に応じて回路の動作周波数及び電源電圧を動的に制御する技術である。DVS での最高動作周波数/電源電圧は、最大の処理負荷を要求された場合においても制限時間内に処理を完了できるように高く設定される。しかしながら、動画像処理のようなリアルタイムアプリケーションでは、最大の処理負荷を必要とするタスクが実行される割合は非常に小さい。例えば動画像符号化処理の場合、動きの少ない動画像シーケンスでは平均処理負荷がピーク値の約 50% である [21]。したがって、処理負荷が小さいときに動作周波数及び電源電圧を低く設定することにより、低消費電力化が期待される。

2.3.1 DVS による低消費電力化

回路の動作周波数 f は式 (2.5) によってモデル化される [22].

$$f = \frac{(V_{dd} - V_{th})^\alpha}{kV_{dd}} \quad (2.5)$$

ただし、 V_{th} : しきい値電圧, α : 速度飽和指数 ($1 < \alpha \leq 2$), k : 定数

電源電圧 V_{dd} を低下させると式 (2.5) により回路性能が劣化し、動作周波数 f が低下する。

図 2.1 に、タスク実行時の従来手法と DVS 手法での動作周波数 f 及び電源電圧 V_{dd} の時間推移を示す。従来手法では、動作周波数及び電源電圧が一定 (f_{max} , V_{max}) であり、タスクに割り当てられた期間 T_f をすべて使用せずにタスクが終了し、次のタスクが開始されるまで回路はスタンバイモードとなる。従来手法における期間 T_f での消費エネルギー E_{conv} は式 (2.6) で表される。なお、ここではリーク電流によるスタティック電力を 0 と仮定し、ダイナミック電力のみを対象とする。

$$E_{conv} = af_{max}C_LV_{max}^2 \cdot T_1 \quad (2.6)$$

一方、DVS 手法では、期間 T_f で処理が完了する最低限の動作周波数及び電源電圧 (f_a , V_a) に設定され、期間 T_f をすべて使用してタスクが実行される。DVS 手法における期間

T_f での消費エネルギー E_{dvs} は式 (2.7) で表される.

$$E_{dvs} = af_a C_L V_a^2 \cdot T_f \quad (2.7)$$

ここで, タスクの処理サイクル一定の条件から, 式 (2.8) の関係が成立する.

$$\frac{T_1}{T_f} = \frac{f_a}{f_{\max}} \quad (2.8)$$

すなわち, 消費エネルギー比 E_{dvs}/E_{conv} は式 (2.9) で表される.

$$\frac{E_{dvs}}{E_{conv}} = \frac{af_a C_L V_a^2 \cdot T_f}{af_{\max} C_L V_{\max}^2 \cdot T_1} = \left(\frac{V_a}{V_{\max}} \right)^2 \quad (2.9)$$

したがって, 処理負荷が小さいとき電源電圧の 2 乗に比例してダイナミック電力が削減される. 図 2.2 に, 従来手法及び DVS 手法による消費電力の処理負荷依存性を示す. 従来手法の電力は処理負荷に対して線形の関係であるが, DVS 手法では処理負荷の減少に伴って電源電圧を低減できるため, DVS 手法の電力は下に凸のカーブとなる. したがって, 例えば処理負荷が最大負荷の 50% のとき, DVS 手法の適用により図 2.2 に示す矢印の分だけ消費電力が削減可能である.

なお, 一般にリーク電流によるスタティック電力を含めた消費電力の場合でも, 消費電力 P が f に対して下に凸の関数の場合, DVS 手法により消費電力を削減可能であり, かつ消費電力を最小化できる [23].

2.3.2 DVS のシステム構成

図 2.3 に DVS の概略ブロック図を示す. DVS では, 図 2.3 に示すようにシステムの外部から一定の高電圧 V_{\max} が入力され, DC/DC コンバータなどで変換された動的制御電圧 V_a が SoC 内の論理部及び SRAM に供給される. ここで, V_a は動作電圧下限 V_{\min} と V_{\max} の間の電圧値である. また, CLK はシステムの外部から入力されるクロックであり, PLL 回路によって論理部及び SRAM に供給されるクロックの周波数が制御される.

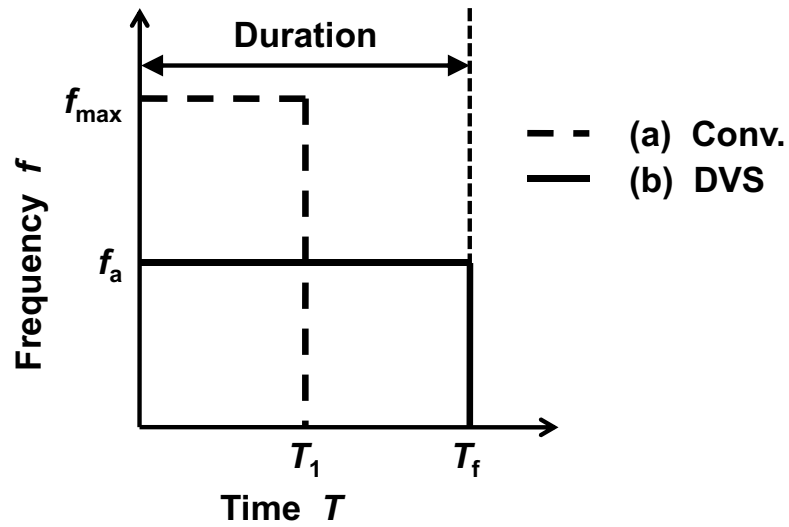


図 2.1 従来手法及び DVS 手法における動作周波数の時間推移

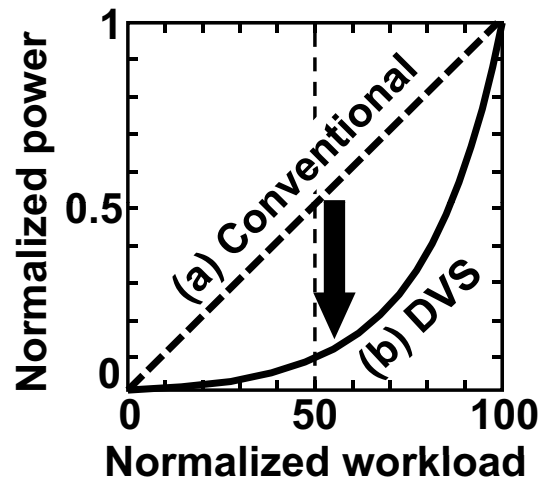


図 2.2 従来手法及び DVS 手法による消費電力の処理負荷依存性

2.3.3 DVS 適用のためのアルゴリズム

プロセッサ上で動作するタスクに DVS を適用するには、あらかじめタスクの処理負荷を把握する必要がある。本節では、リアルタイムアプリケーションの 1 例として動画像符号化処理を取り上げ、DVS 適用のための動作周波数スケジューリングアルゴリズムとしてフィードフォワード型 [24] を詳述する。

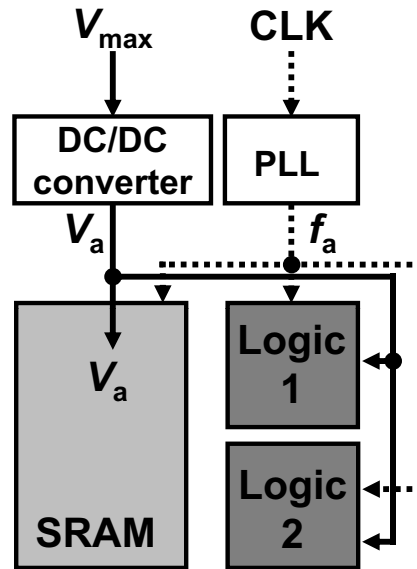


図 2.3 DVS のブロック図

A. スケジューリング

図 2.4 にフィードフォワード型動的電圧制御手法のスケジューリングを示す．フィードフォワード型アルゴリズムでは，以下の処理をフレーム単位で繰り返す．

1. フレーム画像符号化に必要な演算量（処理負荷）をフォワードアナリシス（FA）処理により予測する．
2. 予測演算量 H_p を割り当てられた時間内に実現可能な最小の動作周波数 F_1 を式 (2.10)，(2.11) に従って計算する．

$$F_p = H_p / T_f \quad (2.10)$$

$$F_1 = F_i \geq F_p \quad (i = 0, 1, \dots, M) \quad (2.11)$$

ただし，

T_f ：処理の規定時間

M ：プロセッサに用意された動作周波数の段数

F_i ：プロセッサに用意された i 段目の動作周波数 ($F_{i+1} > F_i$)

F_0 ： $F_0 = 0$ (スリープモード)

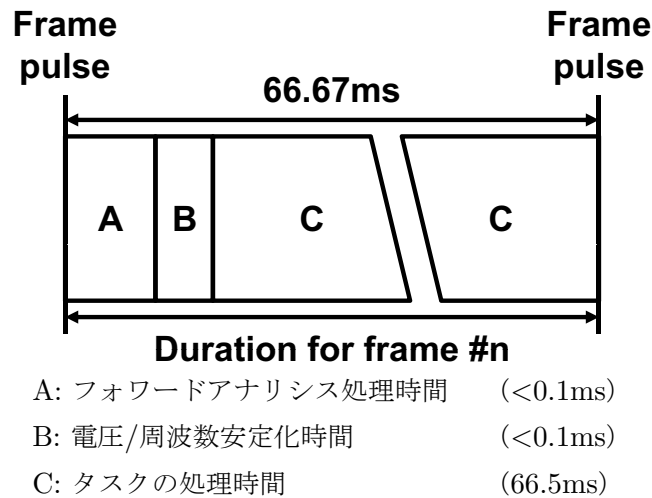


図 2.4 フィードフォワード型アルゴリズムのスケジューリング

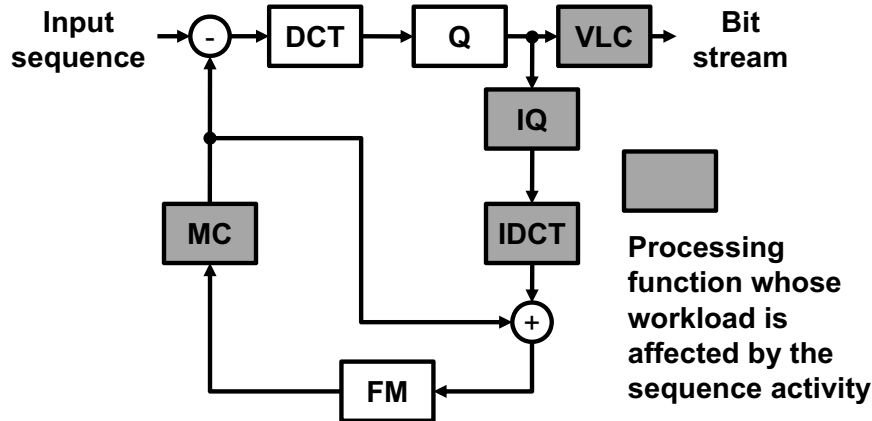
3. プロセッサを 2. で計算された動作周波数 F_1 と対応する電源電圧に制御する.
4. フレーム画像符号化処理を実行する.

動画像符号化をソフトウェアで行う場合、規定時間の最小単位はフレームである。すなわち、1 フレーム (QCIF サイズ (176 × 144 画素) の場合は 99 マクロブロック (MB) から構成) の時間は固定であり決められているが、1 フレームより小さい単位での時間的制約はない。MB の処理時間は MB ごとに異なるが、フレーム規定時間内に 1 フレームを構成するすべての MB に対して処理が終了していればよい。フィードフォワード型アルゴリズムでは、プロセッサの動作周波数/電源電圧はフレーム符号化に必要な演算量を最低限実現する一定値に制御される。

B. フォワードアナリシス手法

フォワードアナリシス (FA) 手法では、入力画像フレームの符号化開始前にフレームの必要演算量を高精度で予測することが可能である。本節では、FA 手法について詳述する。

図 2.5 に、動画像符号化規格の 1 つである MPEG4 符号化処理のブロック図を示す。QCIF サイズ、15frame/s の動画像符号化処理に約 200-400MOPS の性能が必要である。図 2.5 において灰色のブロックで示した処理は、入力動画像シーケンスの動きの大きさに



Q: Quantization DCT: Discrete Cosine Transform
 IQ: Inverse Quantization IDCT: Inverse DCT
 MC: Motion Compensation FM: Frame Memory

図 2.5 MPEG4 符号化処理のブロック図

よって演算量が変動する処理である。動き検出処理、IDCT（逆離散コサイン変換）処理、IQ（逆量子化）処理、VLC（可変長符号化）処理などの必要演算量は、入力動画シーケンスの特徴によって大きく変動する。また、MPEG4 符号化処理全体の約 80% がこれらの処理で占められる。すなわち、MPEG4 符号化処理全体の演算量は入力動画シーケンスの特徴によって大きく変動する。

表 2.1 に、MPEG4 符号化処理において、入力シーケンスの特徴によって必要な演算量が増える処理と、演算量を決定するパラメータを示す。FA 手法では、MB マッチング回数 N 、有効係数の数 VC 、有効ブロック数 VB を以下に示すパラメータを用いて予測する。

$$ABS_f : \sum_{l=0, m=0}^{l=176, m=144} |X_{l,m} - Y_{l,m}| \text{ (QCIF サイズの場合)}$$

$X_{l,m}$: 入力フレームの座標 (l, m) の画素値

$Y_{l,m}$: 前フレームの座標 (l, m) の画素値

N' : 前フレームで実行された MB マッチング回数

VB' : 前フレームで発生した有効ブロック数

VC' : 前フレームで発生した有効係数の数

ΔQ : 前フレームと前前フレームの量子化ステップサイズの差

例えば, N を予測するのにパラメータ N' , ABS_f , ΔQ を用いる. N と各パラメータとの関係は次のように説明される.

- N' : シーケンスはフレーム間で高い相関があり, 前フレームの MB マッチング回数が多ければ, 入力フレームの MB マッチング回数が増えたと予想される.
- ABS_f : 入力フレームと前フレームの差分値が大きければ, 動きベクトルの大きさが大きくなり, MB マッチング回数が増えたと予想される.
- ΔQ : ΔQ が大きければ予測誤差が大きくなり, MB マッチング回数が増える.

同様に, VB をパラメータ VB' , ABS_f , ΔQ を用いて予測し, VC を VC' , ABS_f , ΔQ を用いて予測する. 本稿では, N , VB , VC を式 (2.12), (2.13), (2.14) を用いて予測できると仮定する.

$$N = a \times N' + b \times ABS_f + c \times \Delta Q \quad (2.12)$$

$$VB = d \times VB' + e \times ABS_f + f \times \Delta Q \quad (2.13)$$

$$VC = g \times VC' + h \times ABS_f + i \times \Delta Q \quad (2.14)$$

ただし, a, b, \dots, i : 定数

さらに, 式 (2.15)~(2.18) により動き検出処理に必要な演算量 H_{me} , IQ 処理に必要な演算量 H_{iq} , IDCT 処理に必要な演算量 H_{idct} , VLC 処理に必要な演算量 H_{vlc} を予測する.

$$H_{me} = j + A \times N \quad (2.15)$$

$$H_{iq} = k + B \times VC \quad (2.16)$$

$$H_{idct} = l + C \times VB \quad (2.17)$$

$$H_{vlc} = m + D \times VC \quad (2.18)$$

ただし,

A : 1 回の MB マッチングの実行に必要な演算量

B : 1 回の IQ 演算の実行に必要な演算量

C : 1 回の IDCT 演算の実行に必要な演算量

D : 1 回の VLC 演算の実行に必要な演算量

表 2.1 MPEG4 符号化処理において演算量が変動する処理及び演算量を決定するパラメータ

処理内容	演算量を決定するパラメータ	変数
動き検出	MB マッチング回数	N
IQ	有効係数の数	VC
IDCT	有効ブロック数	VB
VLC	有効係数の数	VC

- j : 動き検出処理に必要な演算量のうち、実行される MB マッチング回数に依存しない演算量
 k : IQ 処理に必要な演算量のうち、実行される IQ 演算の回数に依存しない演算量
 l : IDCT 処理に必要な演算量のうち、実行される IDCT 演算の回数に依存しない演算量
 m : VLC 処理に必要な演算量のうち、実行される VLC 演算の回数に依存しない演算量

フレームの符号化に必要な演算量 H_p は式 (2.19) で表される.

$$H_p = H_{me} + H_{iq} + H_{idct} + H_{vlc} + H_{other} \quad (2.19)$$

ただし,

H_{other} : 動き検出処理, IQ 処理, IDCT 処理, VLC 処理以外の処理に必要な演算量の合計値

式 (2.12)~(2.18) を式 (2.19) に代入して整理すると予測必要演算量 H_p として式 (2.20) が得られる. FA 手法では式 (2.20) を予測演算量として用いる.

$$H_p = n + \alpha \times N' + \beta \times VB' + \gamma \times VC' + \delta \times ABS_f + \varepsilon \times \Delta Q \quad (2.20)$$

ただし, $n, \alpha, \beta, \gamma, \delta, \varepsilon$: 定数

式 (2.21) に, QCIF サイズ, 15frame/s の 17 種類の動画シーケンスを対象に, 32 ビット RISC プロセッサ上で MPEG4 符号化プログラムを動作させて得られた必要周波数の予

測式を示す。また、図 2.6 に式 (2.21) で予測される周波数と実際にフレームの符号化に必要な周波数の相関を示す。実測周波数 F_a はシーケンスの特徴に応じて 92-188MHz の範囲で変化する。この周波数は他の DSP を付加することなく RISC プロセッサ単独で処理可能な値である。また、式 (2.21) で計算される予測周波数 F_p と実際に符号化に必要な周波数 F_a の間に高い相関があることが分かる。シミュレーションにより測定したフレームの 99.9% において、 $0.9F_p \leq F_a \leq 1.1F_p$ を満たしていた。

$$F_p = 89.94 + 0.0114N' + 0.0666VB' + 0.0031VC' + 4.150 \times 10^{-5} ABS_f \quad [\text{MHz}] \quad (2.21)$$

符号化時に $F_p < F_a$ なるフレームが発生した場合、予測値から決定される動作周波数では符号化処理が間に合わないことを意味する。このようなフレームが発生することを回避するために、FA 手法では式 (2.21) で計算される予測周波数 F_p を 1.1 倍する（すなわち、予測式を式 (2.22) のように修正する）ことにより、99.9% の確率で処理に破綻をきたすことなく符号化を行うことができる。

$$F_p = (89.94 + 0.0114N' + 0.0666VB' + 0.0031VC' + 4.150 \times 10^{-5} ABS_f) \times 1.1 \quad [\text{MHz}] \quad (2.22)$$

したがって、FA 手法により予測された処理負荷に対応して電源電圧を低く設定でき、DVS 手法の適用により図 2.2 に示すように消費電力を削減可能である。

2.4 結言

本章では、LSI の低電圧化による低消費電力化の原理と、低消費電力化技術の 1 例として DVS (Dynamic Voltage Scaling) について述べた。DVS 手法で、LSI 上で動作するタスクの処理負荷に応じて動作周波数及び電源電圧を制御することにより、電源電圧の 2 乗に比例して消費電力を削減する。また、DVS をリアルタイムアプリケーション適用するための手法として、フィードフォワード型動作周波数スケジューリングアルゴリズムを述べた。

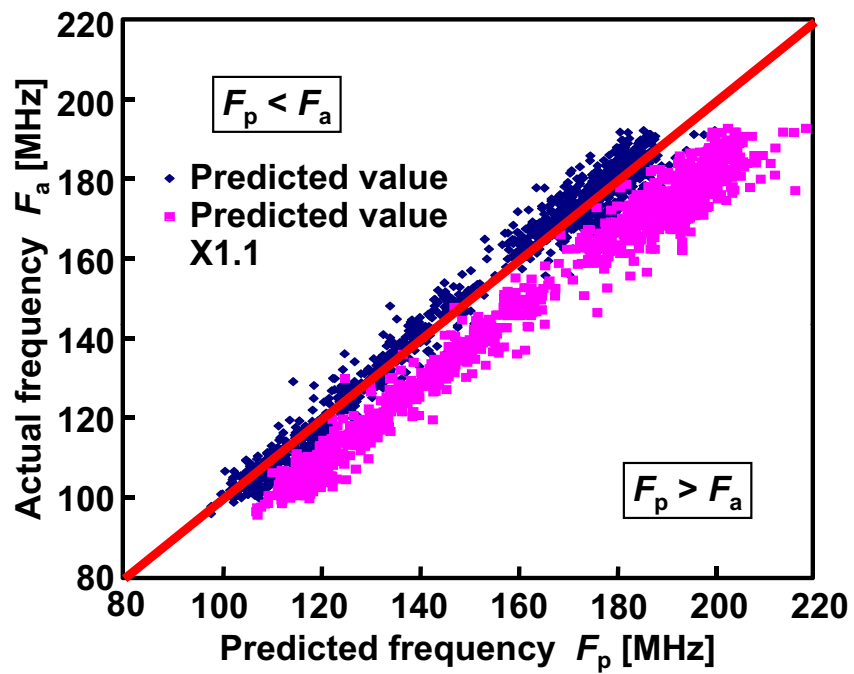


図 2.6 フォワードアナリシス手法による予測周波数と実測周波数の相関 [21]

第3章

低電圧動作・高集積化に向けた SRAM の課題

3.1 緒言

本章では，SRAM (Static Random Access Memory) とその低電圧動作・高集積化に向けた課題について詳述する。

2章で述べた通り，LSIの低消費電力化には回路の低電圧動作が必須である。しかしながら，LSIに搭載されるSRAMには次の課題が存在する。製造プロセスの微細化が進むにつれ，MOSトランジスタのしきい値電圧のばらつきの増大によりSRAMにおけるメモリセルの動作マージンが劣化し，SRAMの動作電圧下限 (V_{\min}) が上昇する傾向にある。

3.2節では，SRAM全体を概説する。3.3節では，SRAMのメモリセルとして6トランジスタ (Tr.) 構成セル (以下，6Tセル) 及び8Tセルを取り上げ，それらの動作マージンについて述べる。また，3.4節ではしきい値電圧ばらつきの動作マージンへの影響を述べる。

3.2 SRAM の概要

3.2.1 SRAM の特徴

MOS (Metal-Oxide-Semiconductor) 技術により構成されるRAM (Random Access Memory) には，スタティック型 (Static RAM, SRAM) とダイナミック型 (Dynamic RAM, DRAM) がある。いずれも揮発メモリであり，電源の供給がなくなると記憶デー

タは失われる。

DRAM は、容量に蓄えられた電荷の有無をビット情報の “1”/“0” に対応させるメモリである。メモリセルの構成は 1 個の Tr. と 1 個の容量 (1T1C) であり小面積のため、大容量化に適し低コストである。しかしながら、リーク電流により容量に蓄えられた電荷が放電するため、定期的に保持データをリフレッシュする必要がある。一方、SRAM のメモリセルはフリップフロップ回路により構成されるため面積が大きくなるが、以下のような特長がある。

1. 読出し/書込み動作が極めて速い (メモリセル → データ線 → 読出し/書込み回路を介しデータのやり取りが相補信号を使って行われるため)。
2. 読出し/書込み動作のサイクルタイムをアクセスタイムに近づけることができる (リフレッシュ時間が不要なため)。
3. 待機時の消費電力が極めて低い (メモリセルに貫通電流が流れず、リフレッシュ動作が不要なため)。
4. システムへの組込みが容易 (行・列アドレス信号が同時に入力される、リフレッシュ動作が不要、制御回路が小さい、動作タイミングの取り方が簡単、などのため)。
5. CMOS ロジックプロセスで実現できるため、システム LSI に集積化しやすい。

1., 2. の特長を生かして、汎用コンピュータ、ワークステーション、PC のキャッシュメモリ、スーパーコンピュータの主記憶メモリとして、3. の理由から、電池駆動の携帯機器の記憶装置として、また、4., 5. の理由から CPU や DSP に搭載されるキャッシュメモリとして、広く利用されている。

3.2.2 SRAM の構成と動作

図 3.1 に SRAM の全体ブロック図を示す。SRAM ではメモリセルがアレイ状に配置されている。また、メモリセルアレイの行選択線としてワード線、上下に貫通するデータ線としてビット線が配置されている。X/Y アドレスの入力により、メモリセルアレイ内で特

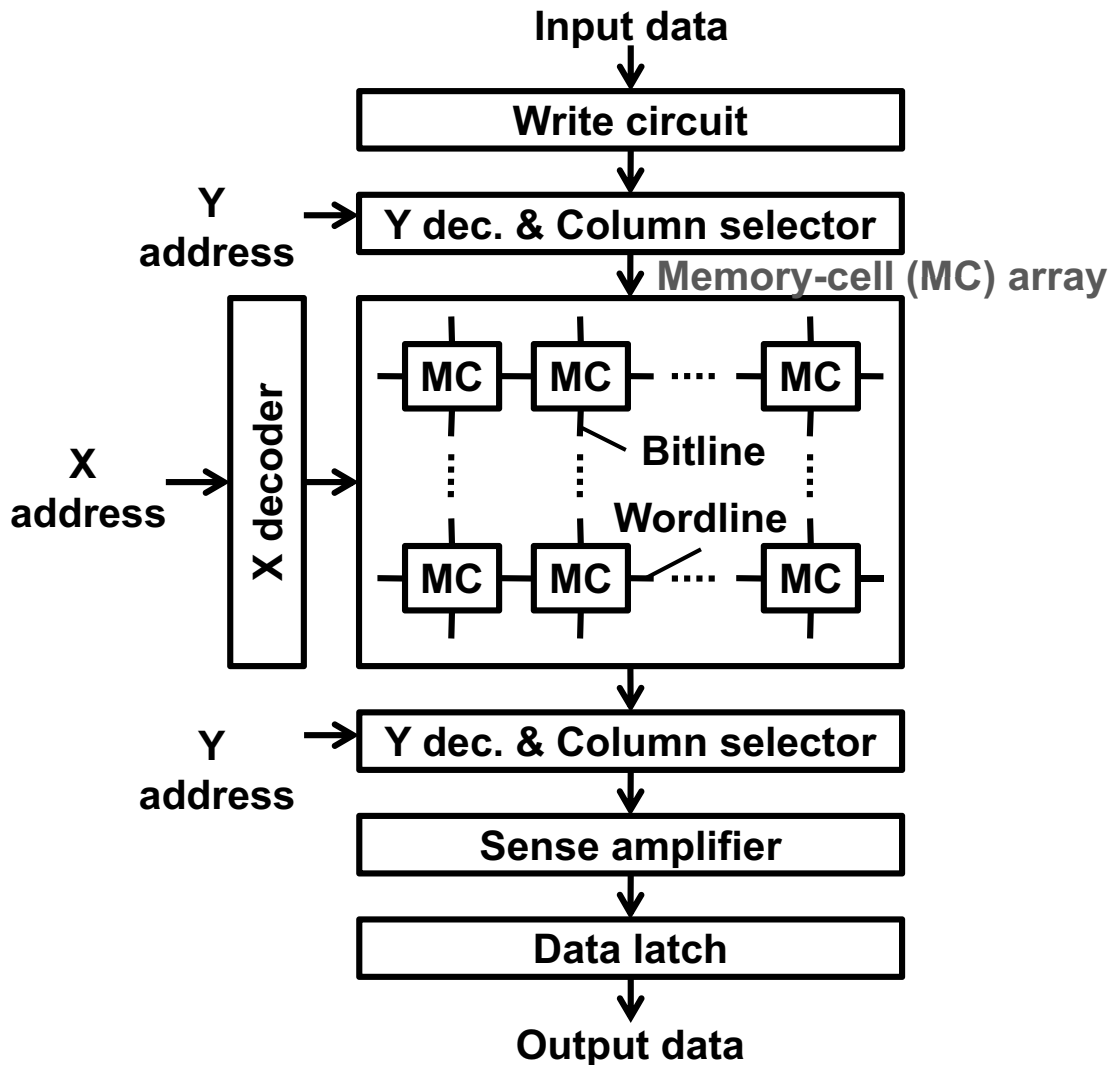


図 3.1 SRAM のブロック図

定のメモリセルが選択される。

A. 読出し動作

SRAM の読出し動作は次の通りである。

1. 外部入力の X アドレスを X デコーダでデコードする。
2. 外部入力の Y アドレスを Y デコーダでデコードする。
3. 1. で選択された行のワード線を立上げ、所属するメモリセルのデータをビット線に

出力する。

4. 2. で選択された列のビット線のみをセンスアンプに出力する。
5. センスアンプでビット線の微小信号差を増幅する。
6. 増幅された信号をラッチ部で保持し、読出しデータを出力する。

B. 書込み動作

SRAM の書込み動作は次の通りである。

1. 外部入力の X アドレスを X デコーダでデコードする。
2. 外部入力の Y アドレスを Y デコーダでデコードする。
3. 外部入力のデータに応じて、書込み回路で 2. で選択された列のビット線電位を駆動する。
4. 1. で選択された行のワード線を立上げ、所属するメモリセルにデータを書込む。

3.3 SRAM セルの動作マージン

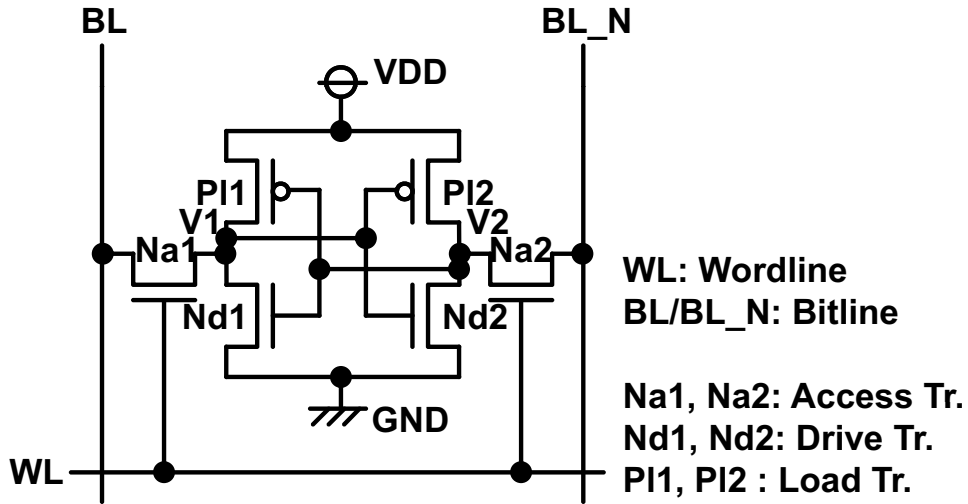
3.3.1 6T セル

図 3.2 に、SRAM セルとして一般的に使用される 6T セルの回路図、及び 90nm プロセスでのレイアウトを示す。6T セルはドライブ Tr. (Nd1, Nd2)、ロード Tr. (Pl1, Pl2)、アクセス Tr. (Na1, Na2) で構成されている。ドライブ Tr. とロード Tr. の 4Tr. によりインバータカップルが形成されており、インバータの入出力電圧 (V_1 , V_2) は電源電圧 V_{dd} または 0V で安定である。 V_1 , V_2 の電位状態は $(V_1, V_2) = (V_{dd}, 0)$ or $(0, V_{dd})$ の 2通りであり、これらを“0”あるいは“1”に関連付けて情報 1bit を定義する。また、6T セルへのデータの入出力としてビット線 (BL, BL_N) がアクセス Tr. のドレインに接続され、さらに、6T セルへのアクセスとしてワード線 (WL) がアクセス Tr. のゲートに接続される。

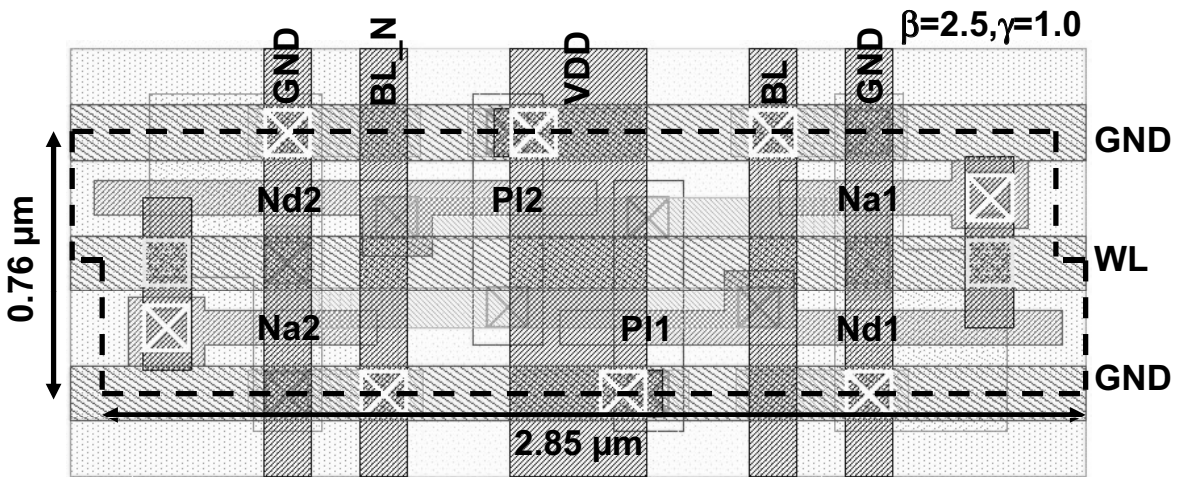
図 3.3 を用いて、6T セルの読出し/書込み動作について述べる。図 3.3 に示す 6T セルでは、データ保持ノードの電位を $V_1=V_{dd}$, $V_2=0[V]$ と仮定する。なお、WL が立上がる前にはビット線 (BL, BL_N) が V_{dd} にプリチャージされている。

読出し動作時には、WL が立上がりアクセス Tr. が ON となる。BL_N から Na2, Nd2 を通して GND への放電パスが生じ、BL_N にプリチャージされていた電荷が放電され、BL_N の電位が V_{dd} から徐々に低下する。一方、ビット線 BL の側には放電パスが生じず、BL はプリチャージ電圧 V_{dd} のままである。このビット線 (BL, BL_N) に発生する電位差がセンスアンプによって増幅され、読出しデータとして出力される。なお、データ保持ノードの電位が逆の場合 ($V_1=0[V]$, $V_2=V_{dd}$) は、WL の立上がりによって BL の電位が低下するため、読出されるデータが反転する。

一方、書込み動作時では、ビット線電位が書込みドライバによってドライブされる。図 3.3 では $BL=0[V]$, $BL_N=V_{dd}$ と仮定している。WL が立上がりアクセス Tr. が ON となると、セルインバータカップルの電源 VDD から Pl1, Na1 を通して BL への充電パスと、BL_N から Na2, Nd2 を通して GND への放電パスが生じ、 V_1 , V_2 の電位が反転



(a) 回路図



(b) レイアウト (90nm ロジックプロセス)

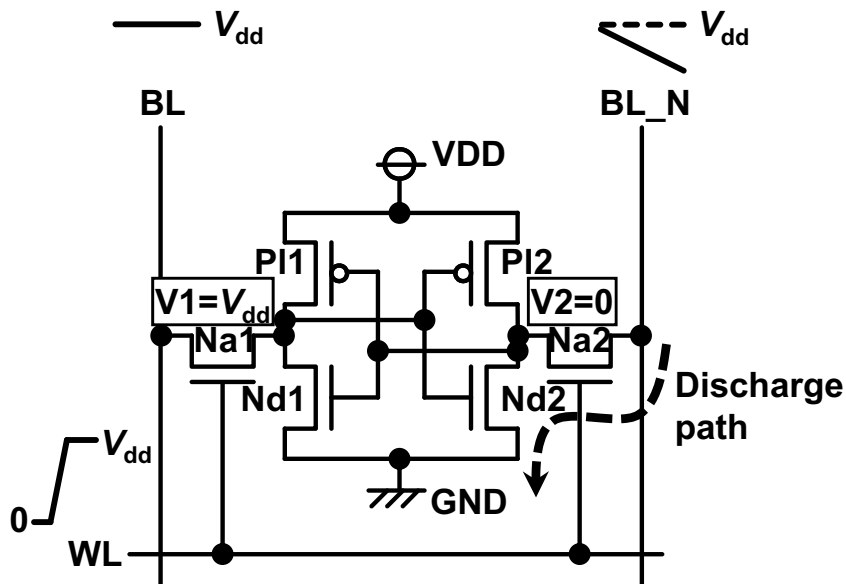
図 3.2 6Tセルの回路図とレイアウト

してデータの書込みが行われる。

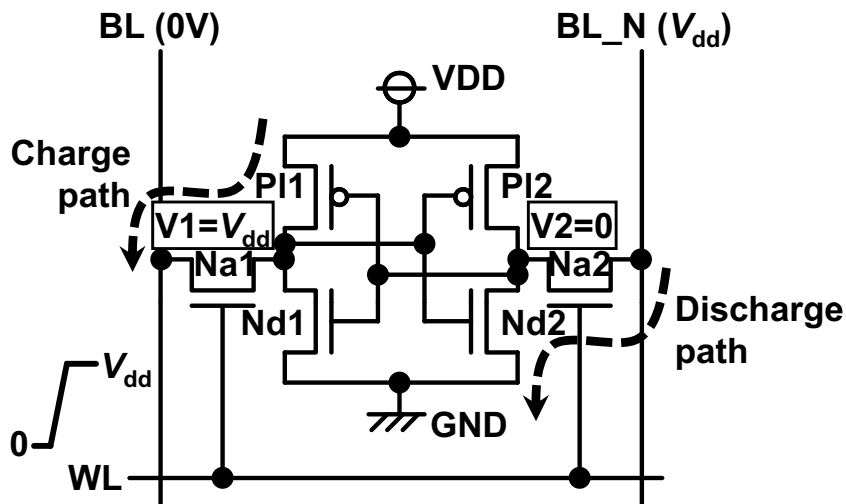
6Tセルは同一のワード線 (WL) 及びビット線 (BL, BL_N) で読出し/書込み動作が行われるため、安定動作のためには読出し/書込み双方の動作マージンの確保が必要である。

A. 読出しマージン

図 3.4(a) に、読出しマージンの定義を示すバタフライプロット、及び図 3.4(b) に読出しマージン導出時の 6Tセルの等価回路を示す。バタフライプロットは、ワード線 (WL) 及



(a) 読み出し動作



(b) 書き込み動作

図 3.3 6Tセルの動作

びビット線 (BL, BL_N) が電源に接続された状態で, セルインバータ (Nd1, PI1 ; Nd2, PI2) の入出力 (V_1 , V_2) の直流伝達特性をとり, 2本のカーブを重ね合わせたグラフである. バタフライプロットに内接する最大正方形の1辺の長さが読み出しマージンに対応する. 読み出しマージンが大きいほど読み出し動作が安定となり, 保持データが破壊されない.

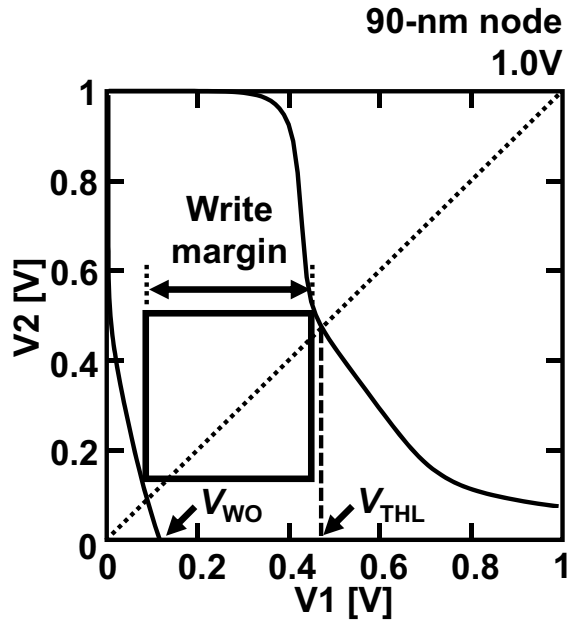
読み出しマージンは, セルインバータの読み出し時の最小出力電圧 (V_{RO}) に対して単調に減

少し，セルインバータの論理しきい値電圧 (V_{THL}) に対して単調に増加する． V_{RO} の値はドライブ Tr. とアクセス Tr. のコンダクタンス比 (β 比) で決定される． β 比が大きいほうが V_{RO} が高くなり，読出しマージンが拡大する．

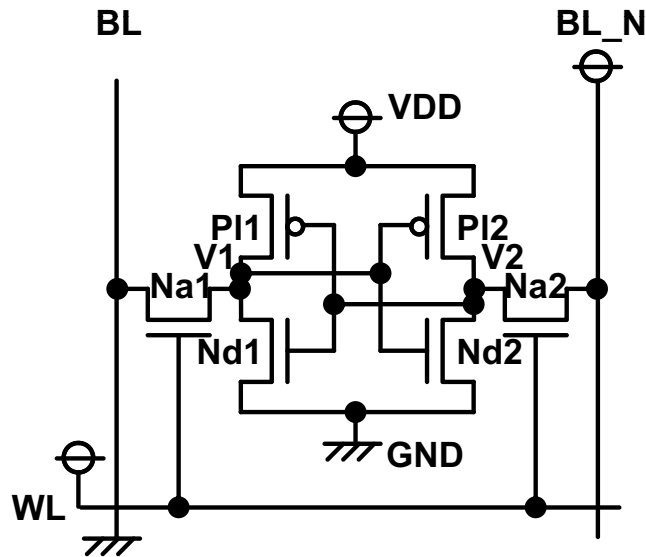
B. 書込みマージン

図 3.5(a) に，書込みマージンの定義を示すグラフ，及び図 3.5(b) に書込みマージン導出時の 6T セルの等価回路を示す．書込みマージンの導出時には，ワード線が電源に接続され，ビット線の一方が接地，もう一方が電源に接続された状態で，バタフライプロットと同様にセルインバータの入出力直流伝達特性をとる．グラフにおいて， $(V1, V2) = (0, V_{\text{dd}})$ 付近以外で内接する極小正方形の 1 辺の長さを書込みマージンと定義する．

書込みマージンは，セルインバータの書込み時の最大出力電圧 (V_{WO}) に対して単調に減少し，セルインバータの論理しきい値電圧 (V_{THL}) に対して単調に増加する． V_{WO} の値はアクセス Tr. とロード Tr. のコンダクタンス比で決定される．本稿では，アクセス Tr. とロード Tr. のコンダクタンス比を γ 比と定義する． γ 比が大きいほうが V_{WO} が低くなり，書込みマージンが増大する．



(a) 書き込みマージン導出グラフ



(b) 書き込み動作時の等価回路

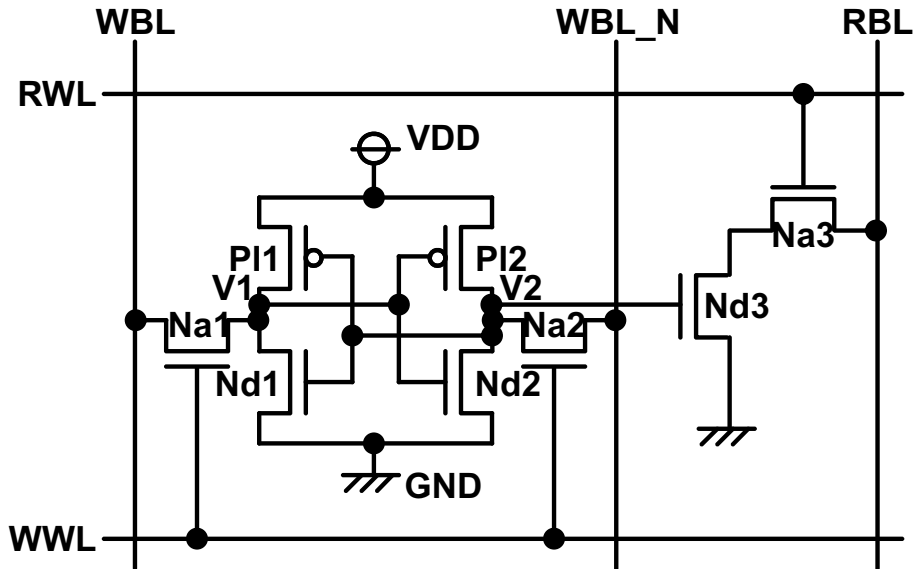
図 3.5 6Tセルの書き込みマージン

3.3.2 8T セル

図 3.6 に 8T セルの回路図及び 90nm プロセスでのレイアウトを示す [28, 29]. 8T セルは、図 3.2 の 6T セルにおけるデータ保持ノード V2 に、2Tr. (Na3, Nd3) による読出しポートが接続された構成である. RWL は読出しワード線, RBL は読出しビット線であり, 読出しポートはシングルエンドである. 一方, 6T セルにおけるワード線及びビット線は, 8T セルにおいては書込み専用ポートとなっている (WWL : 書込みワード線, WBL/WBL_N : 書込みビット線). 90nm プロセスにおいて, 8T セルの 6T セルと比較した面積オーバーヘッドは 10% である.

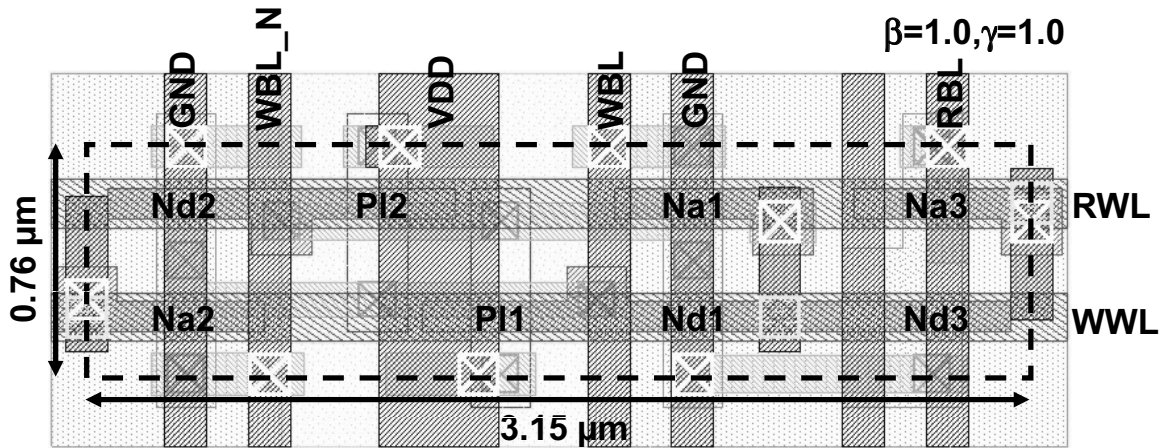
図 3.7 に, 8T セルの読出し動作を示す. 8T セルでは, データ保持ノード V2 の電位の状態 (V_{dd} または 0V) に応じて読出しポートのドライブ Tr. (Nd3) の ON/OFF が切り替わり, RBL にプリチャージされた電荷が放電の有無が変化する. V2 の電位が V_{dd} のとき Nd3 が ON し, RWL が立上がると RBL から Na3, Nd3 を通して GND への放電パスが生じ, RBL の電位が V_{dd} から徐々に低下する. RBL の電位が後段のアンプ部の論理しきい値電圧に達することにより, データ出力が決定する. 8T セルの読出しポートでは, データ保持ノード V2 の電位を Nd3 のゲートで受けて直接 RBL に伝達するため, 読出し動作により保持データが破壊されることはない. すなわち, 8T セルの設計においては読出しマージンを考慮する必要がない.

なお, 8T セルの書込み動作は 6T セルと同一である. 書込みポートは 6T セルと同一の構造のため, 書込みマージンを考慮した設計が必要である.



RWL: Read wordline RBL: Read bitline
WWL: Write wordline WBL/WBL_N: Write bitline

(a) 回路図



(b) レイアウト (90nm ロジックプロセス)

図 3.6 8Tセルの回路図とレイアウト

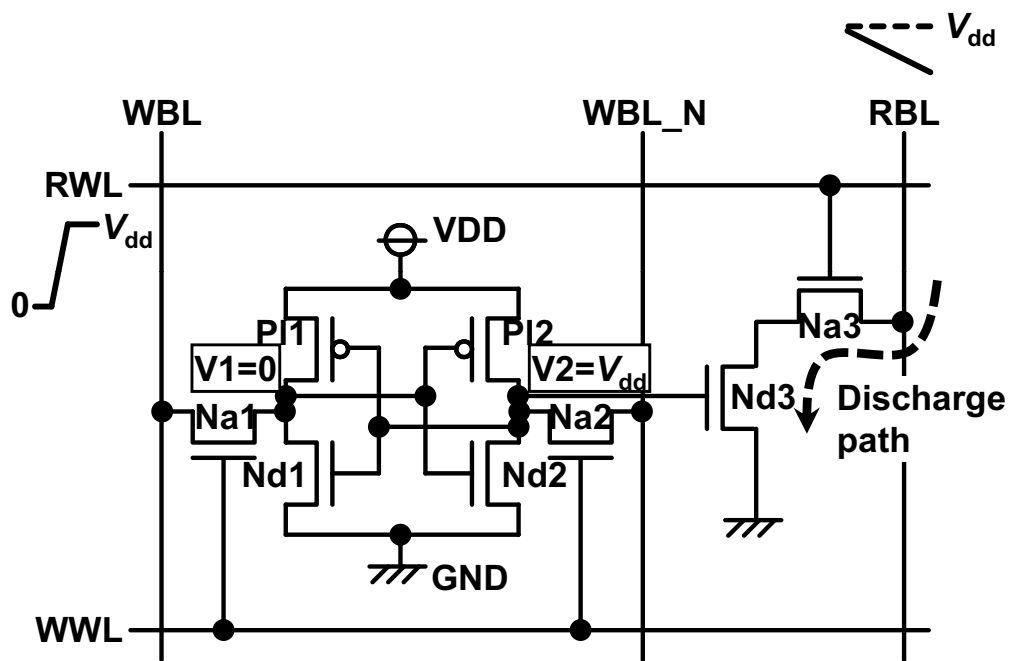


図 3.7 8Tセルの読出し動作

3.4 しきい値電圧ばらつきの動作マージンへの影響

3.4.1 しきい値電圧ばらつき

LSI 製造プロセスの微細化に伴い、MOS トランジスタのしきい値電圧 (V_{th}) のばらつきが問題となっている。しきい値電圧ばらつきには、チップ間/ウェハ間で発生するグローバル成分と、チップ内/トランジスタ間で発生するローカル (ランダム) 成分が存在する。グローバルばらつきの発生原因は、パターン寸法、堆積膜厚、酸化膜厚、熱処理温度などの製造プロセスでのばらつきであるが、技術レベルの向上とともに縮小の方向にある。一方、ローカル (ランダム) ばらつきは不純物濃度のゆらぎ、界面準位、ゲート端部のラフネス (LER)、多結晶粒界などが原因であるが、主な要因は不純物濃度のゆらぎである。不純物濃度のゆらぎに基づくローカルばらつきの標準偏差 $\sigma_{V_{th}}$ は式 (3.1) で表される [30]。

$$\sigma_{V_{th}} \propto T_{ox} \cdot \frac{\sqrt[4]{N \cdot T \cdot \ln(N/n_i)}}{\sqrt{L_{eff} \cdot W_{eff}}} \quad (3.1)$$

ただし、

T_{ox} : ゲート実効酸化膜厚

N : チャネル不純物濃度

T : 絶対温度

n_i : 真性キャリア濃度

L_{eff} : 実効チャネルゲート長

W_{eff} : 実効チャネルゲート幅

図 3.8 に、ITRS 2005 [1] に基づく V_{th} ばらつきの LSI 製造プロセス世代推移をペリグロムプロットで示す [31]。世代とともにゲート酸化膜厚 T_{ox} が薄くなることでペリグロムプロットの傾きは小さくなるが、チャネルの最小面積 ($L \cdot W$) の縮小により $\sigma_{V_{th}}$ が増大する。また、SRAM セルの各 Tr. の寸法は高集積性の観点から最小に設定されることが多いため、式 (3.1) により $\sigma_{V_{th}}$ が最大となる。

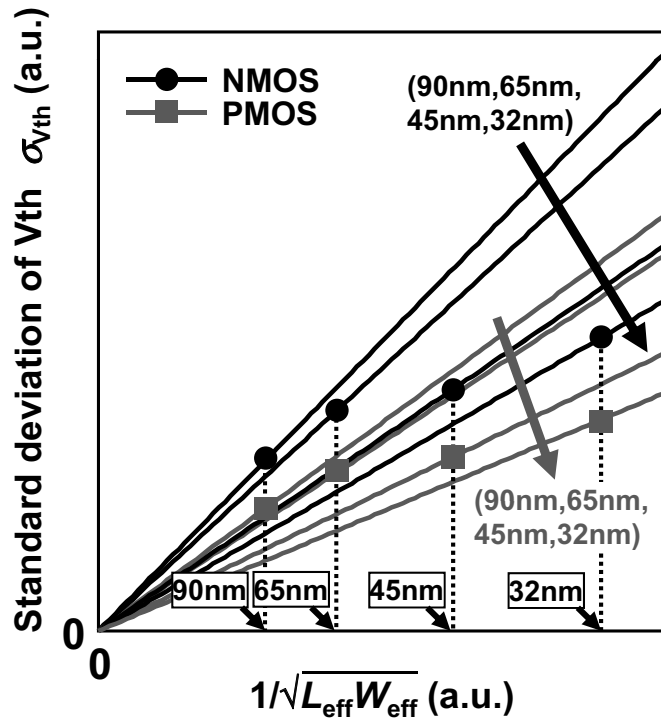
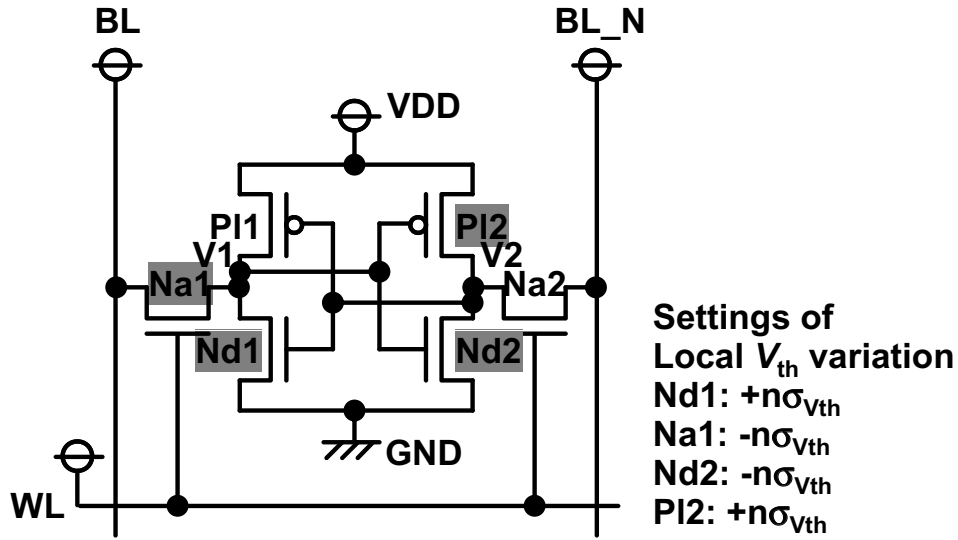


図 3.8 パリグロムプロット

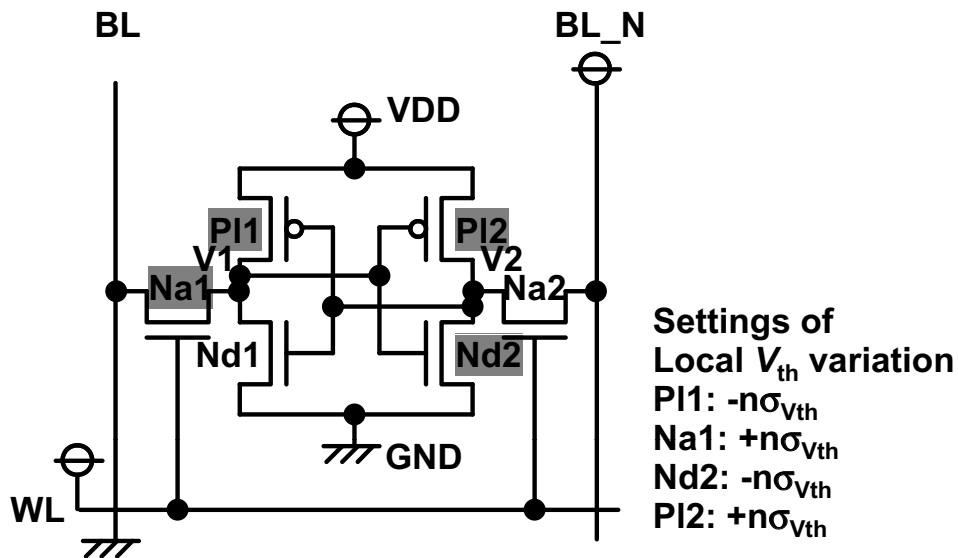
3.4.2 動作マージンへの影響

図 3.9 に、6T セルにおいて読出し/書込みマージンに対するローカル V_{th} ばらつきのワーストケースを示す。 $\sigma_{V_{th}}$ の値は各 Tr. の寸法 (L, W) に従って設定される。 6T セルの 6Tr. のうち 4Tr. (読出し動作の場合 Na1, Nd1, Nd2, Pl2 ; 書込み動作の場合 Na1, Pl1, Nd2, Pl2) が動作マージンに影響を与え [32, 33], 係数 $n = 3$ が 6T セル全体で $6\sigma_{V_{th}}$ の V_{th} ばらつきを与えることに相当する。

読出しマージンはセルインバータ (Nd2, Pl2) の論理しきい値電圧, 及び V1 の電位が “L” でワード線 (WL) を立上げたときの V1 の電位 (セルインバータ Nd1, Pl1 の最小出力電圧) で決定する。 読出しマージンに対するローカル V_{th} ばらつきのワーストケースは, セルインバータの論理しきい値電圧が低くなり, また Nd1 と Na1 のコンダクタンス比 (β 比) が大きくなる場合である。 一方, 書込みマージンに関しては, セルインバータの論理しきい値電圧, 及び V1 の電位が “H” の状態で WL を立上げてビット線から “L” を書込



(a) 読出し動作



(b) 書込み動作

図 3.9 動作マージンに対するしきい値電圧ばらつきのワーストケース

む際の V_1 の電位（セルインバータ Nd1, PI1 の最大出力電圧）で決定する。書込みマージンに対するローカル V_{th} のワーストケースは、セルインバータの論理しきい値電圧が低くなり、また、Na1 と PI1 のコンダクタンス比 (γ 比) が小さくなる場合である。図 3.10 に、ローカル V_{th} ばらつきの有無 ($n = 0, 3$) による読出し/書込みマージンの変化を示す。 V_{th} ばらつきの存在により読出し/書込みマージンが縮小することがわかる。

3.4.3 ミルキーウェイプロット

V_{th} ばらつきを含めた SRAM セルの動作マージンを端的に表すものとして、図 3.11 にミルキーウェイプロット [34] を示す。また、図 3.11 にはミルキーウェイプロット上の 3 点での動作マージンを合わせて示す。図 3.11 の中央に存在するひし形 (FF, FS, SF, SS, CC) はプロセスコーナーであり、グローバル V_{th} ばらつきの範囲を表す。“F” は fast, “C” は center, “S” は slow の意味であり、例えば “FS” は n チャネル Tr. の V_{th} (V_{tn}) が標準値よりも低く (fast), p チャネル Tr. の V_{th} (V_{tp}) の絶対値が標準値よりも高い (slow) ことを表す。また、図中の各点で動作マージンを求める際にローカル V_{th} ばらつきを導入する。図 3.11 では $6\sigma_{V_{th}}$ のローカル V_{th} ばらつきが考慮されており、動作マージンの有無をもとに読出し/書込み限界 (Read/write limit) カーブが描かれている。点 (A) は読出し限界の外側であり、左下のバタフライプロットで示すように読出しマージンが存在しない。その理由は、点 (A) の (V_{tn} , V_{tp}) ではセルインバータの論理しきい値電圧が低くなるため、読出し動作時に V1 の電位 “L” を保持できず、正常な読出しが行えないからである。同様に、点 (B) は書込み限界の外側であり、書込みマージンが存在しない。点 (B) の (V_{tn} , V_{tp}) では Na1 と P11 のコンダクタンス比 (γ 比) が小さく、V1 に “L” を書き込む際の V1 の電位 (セルインバータの最大出力電圧) が高くなるからである。点 (C) は読出し限界と書込み限界に挟まれた点であり、読出し/書込みマージンがともに存在する。 V_{th} ばらつきを考慮した SRAM セルの設計の際は、ローカル V_{th} ばらつきの範囲 (n の値) を設定した上で、読出し/書込み限界で囲まれた領域にプロセスコーナーの領域が含まれる必要がある。

図 3.12 に、ミルキーウェイプロットの LSI 製造プロセス世代推移を示す。なお、図 3.12 では以下の仮定を前提としている。

- 電源電圧及び SRAM セルの Tr. 比 (β , γ 比) は全世代で一定とする。
- 最小チャンネル長 (L_{min}) 及びチャンネル幅 (W_{min}) は世代とともに 0.7 倍でスケールする。

- グローバル V_{th} ばらつきの範囲は全世代で一定である。グローバル V_{th} ばらつきは LSI 製造装置と製造環境で決定するものであり、本仮定は妥当であるといえる。
- CC コーナーでの V_{th} の値は全世代で一定である。実際、サブスレッショルドリークの増大を阻止する目的で、微細化が進行しても V_{th} の値は一定のままである [1]。

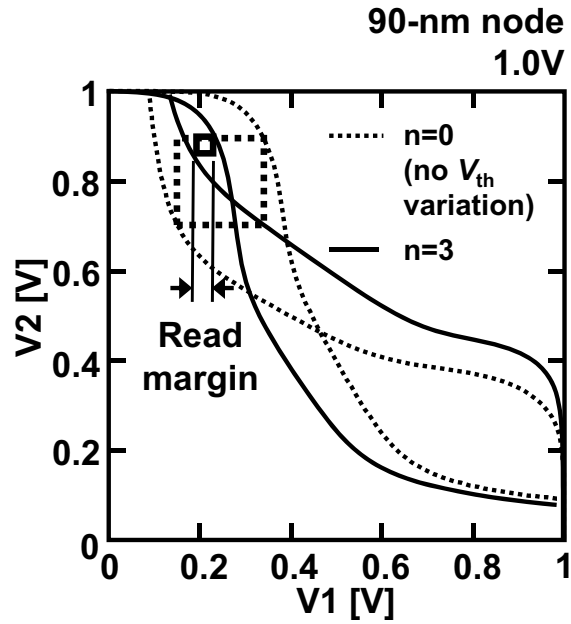
90nm では読出し/書込みマージンとも確保されているが、65nm では FS, FF コーナーで読出しマージンが得られない。また、45nm では SF コーナーで書込みマージンが得られず、プロセスコーナーでは読出し/書込みマージンともに得られる点が存在しない。これらはローカル V_{th} ばらつきの増大が原因である。

また、図 3.13 に 90nm 世代におけるミルキーウェイプロットの電源電圧依存性を示す。電源電圧の低下に従って動作マージンが縮小し、 V_{th} ばらつきの影響を受けやすくなる。1.0V では動作マージンが確保できているが、0.8V では CC コーナー以外のコーナーにおいて読出し/書込みマージン双方を得ることができない。

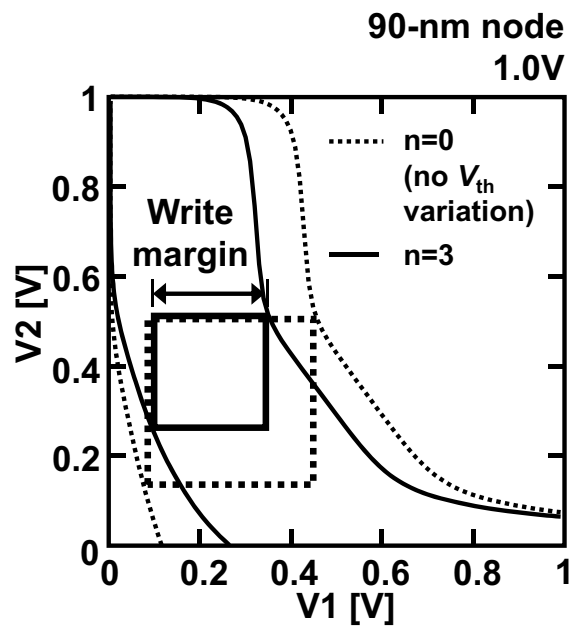
3.5 結言

本章では、SRAM とその課題について述べた。SRAM の課題は次の通りである。

- MOS トランジスタのしきい値電圧ばらつきの影響で SRAM セルの動作マージンが劣化し、安定動作が阻害される。
- LSI 製造プロセスの微細化が進行した場合及び低電圧動作時でこの傾向が顕著に現れる。
- 6T セルの設計では、読出し/書込み双方の動作マージンを確保しなければならない。
- 8T セルの設計では、書込みマージンを確保しなければならないが、読出しマージンを考慮する必要がない。



(a) 読出しマージン



(b) 書込みマージン

図 3.10 しきい値電圧ばらつきによる動作マージンの変化

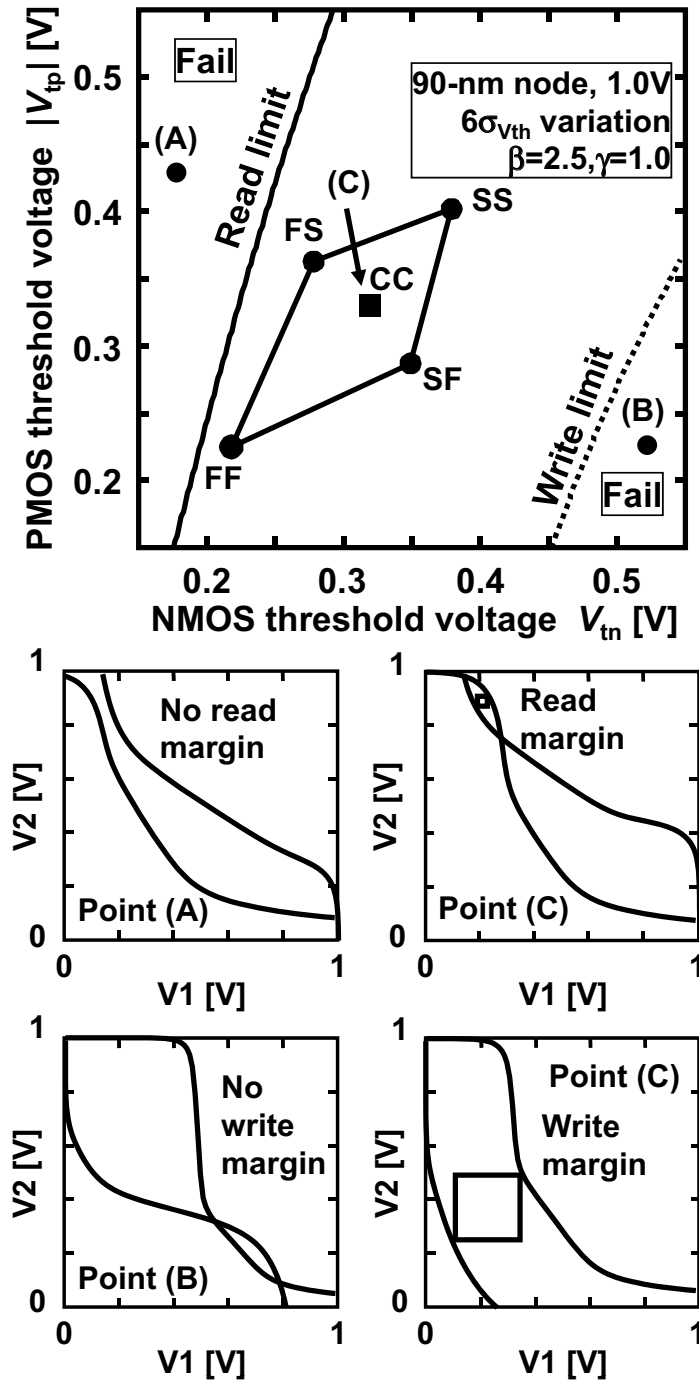


図 3.11 ミルキーウェイプロット

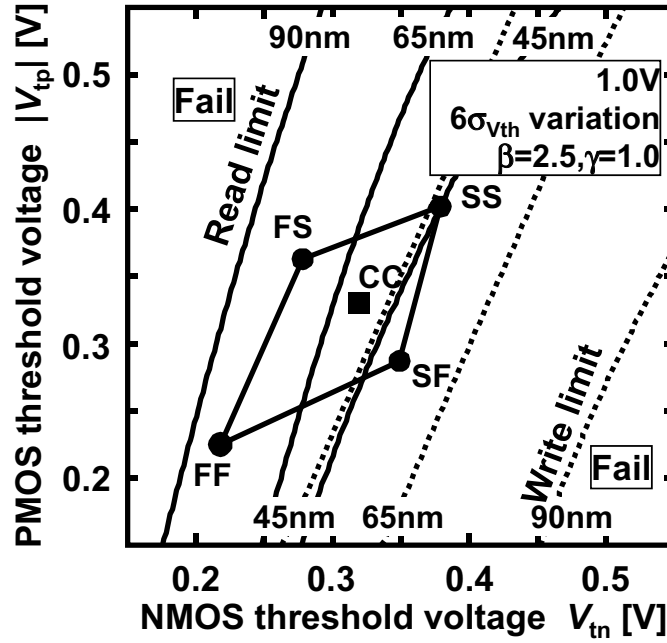


図 3.12 ミルキーウェイプロットの世代推移

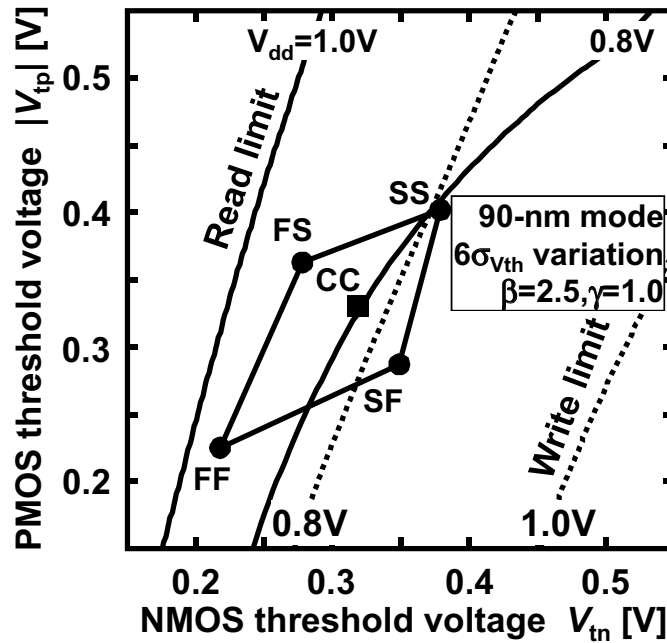


図 3.13 ミルキーウェイプロットの電源電圧依存性

第 4 章

DVS 環境下での低電圧動作 6T SRAM の設計

4.1 緒言

携帯機器などに搭載される SoC の消費電力を削減する手法として、回路の動作周波数と電源電圧 (V_{dd}) を処理負荷に応じて動的に制御する DVS (Dynamic Voltage Scaling) が知られている。しかしながら微細化が進むにつれ、MOSFET のしきい値電圧 (V_{th}) のばらつきの増大により SoC 搭載 SRAM におけるメモリセルの動作マージンが劣化し、SoC に搭載される SRAM の動作電圧下限 (V_{min}) が上昇する傾向にある。したがって、DVS による電圧制御範囲が狭まることが懸念される。

メモリセルの動作マージンを改善する手法として、書込み動作時に 6T セルの電源電圧をフローティング状態とする手法 [35] や、7T セルを用いて、読出し動作時にメモリセル内のインバータループを切り離しデータ破壊を防ぐ手法 [36] が提案されている。しかしながら、これらの手法は読出しまたは書込みの一方の動作マージンを改善する手法であり、 V_{min} は他方の動作によって律速される。読出しと書込み双方の動作マージンを同時に改善する手法として、dual- V_{cc} により電源電圧を切り替える手法 [37] が提案されているが、DVS に対しては不十分である。

本章では、DVS 環境下において 6T SRAM を低電圧で動作させるための最適電圧制御手法を提案する。本制御手法は、読出し/書込み動作に応じてメモリセルに供給する電圧を

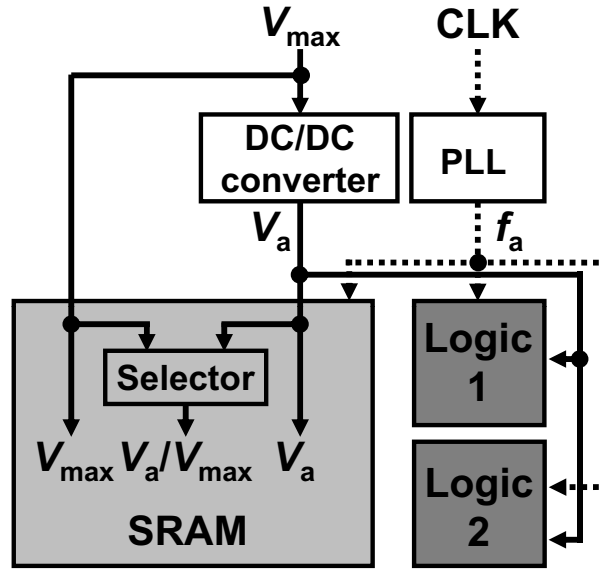


図 4.1 最適電圧制御手法を適用した DVS のブロック図

切り替え，低電圧動作時に読出し及び書込みの動作マージンを拡大する．また，最適電圧制御手法の導入にあたり，制御信号の切り替えタイミングを保証する回路として自己調整タイミング制御回路を導入した．

4.2 最適電圧制御手法

4.2.1 概要

図 4.1 に示すように，DVS 環境では外部から一定の高電圧 V_{max} が供給され，DC/DC コンバータで変換された動的制御電圧 V_a が SoC 内の論理部及び SRAM に供給される．ここで， V_a は V_{min} と V_{max} の間の電圧値である．本稿では 90nm プロセスでの V_{max} を 1.0V とする．表 4.1 及び図 4.2 に示すように，最適電圧制御手法では V_a と V_{max} の 2 電源を SRAM に供給し，メモリセルに印加する各電圧（電源電圧，ワード線電圧，ビット線電圧，pMOSFET 基板バイアス電圧）を読出し/書込み動作に応じて切り替える．図 4.2 は 6T メモリセルの回路図であり． V_{mc} ， V_{wl} ， V_{bl} はそれぞれ電源電圧，ワード線電圧，ビット線プリチャージ電圧を表し， $V1$ と $V2$ はデータ保持ノードの電圧を表す．

以下に最適電圧制御手法を詳述する．読出し時はメモリセルの電源電圧 (V_{mc}) を V_{max}

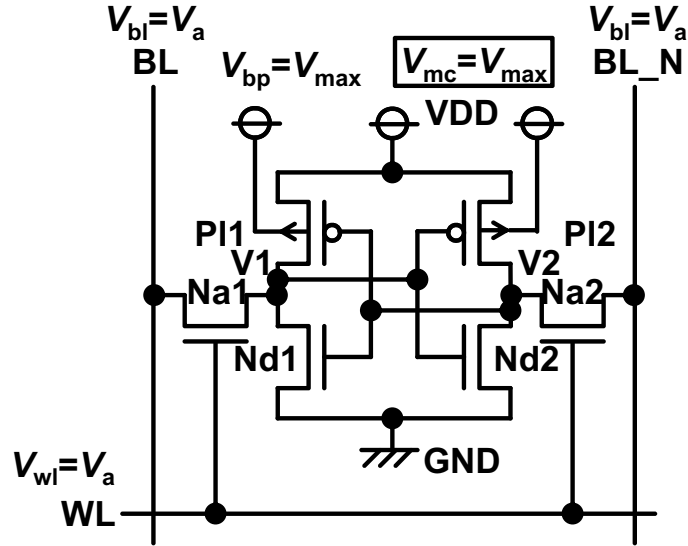
表 4.1 従来 SRAM 及び提案 SRAM での電圧制御

	従来	提案		
		読出し	書込み	非アクセス
周辺回路 V_{dd}	V_a	V_a	V_a	V_a
BL プリチャージ電圧	V_a	V_a	V_a	V_a
WL 電圧	V_a	V_a	V_{max}	—
メモリセル電源電圧 V_{mc}	V_a	V_{max}	V_a	V_a
メモリセル基板電圧 V_{bp}	V_a	V_{max}	V_{max}	V_{max}

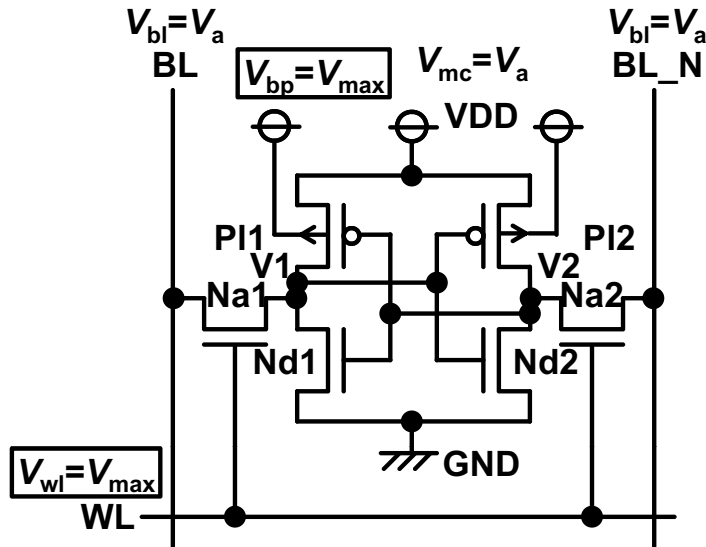
に設定し読出しマージンを最大化する．一方，書込み時はメモリセルのワード線電圧 (V_{wl}) を V_{max} に設定する．また，メモリセルの pMOSFET の基板バイアス電圧 (V_{bp}) を常に V_{max} に設定する．書込み時に V_a が V_{max} よりも低い場合，逆方向に基板バイアスが印加され pMOSFET の V_{th} が上昇し，書込みマージンが拡大する．なお， V_{bp} は V_{max} を超えないため，gate-induced drain leakage (GIDL) や negative bias temperature instability (NBTI) の問題は発生しない．さらに本制御手法は，triple-well テクノロジよりもソフトエラー耐性の高い twin-tub プロセステクノロジにも実装できる，といった利点がある．

最適電圧制御手法による読出しマージンの拡大は次のように説明できる．Tr. Nd1 及び Na1 のゲート電圧がそれぞれ V_{max} と V_a であり，Nd1 と Na1 のコンダクタンス比 (β 比) が增大し，メモリセルインバータの読出し時の最小出力電圧 V_{RO} が低下するためである (図 3.4 参照)．同様に，書込みマージンの拡大は，Tr. Pl1 と Na1 のゲート電圧がそれぞれ V_a と V_{max} であり，Na1 と Pl1 のコンダクタンス比 (γ 比) が增大し，メモリセルインバータの書込み時の最大出力電圧 V_{WO} が低下するためである (図 3.5 参照)．

図 4.3 に従来手法と最適電圧制御手法適用時のミルキーウェイプロットの電源電圧 (V_a) 依存性を示す．従来 SRAM では， V_a が低下するに従って動作マージンが縮小し， V_a が 0.6V のとき読出し限界と書込み限界に挟まれた正常動作領域が存在しない．一方，最適電圧制御手法では， V_a の低下にかかわらず動作マージンが十分確保され，正常動作領域が拡大する．

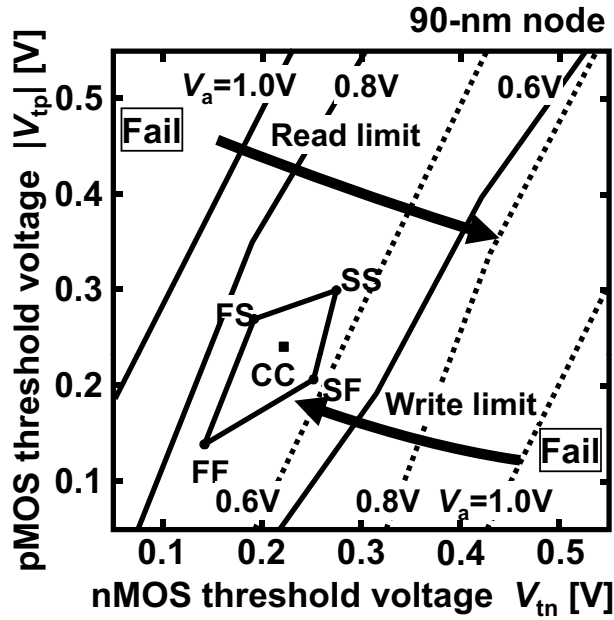


(a) 読出し動作時

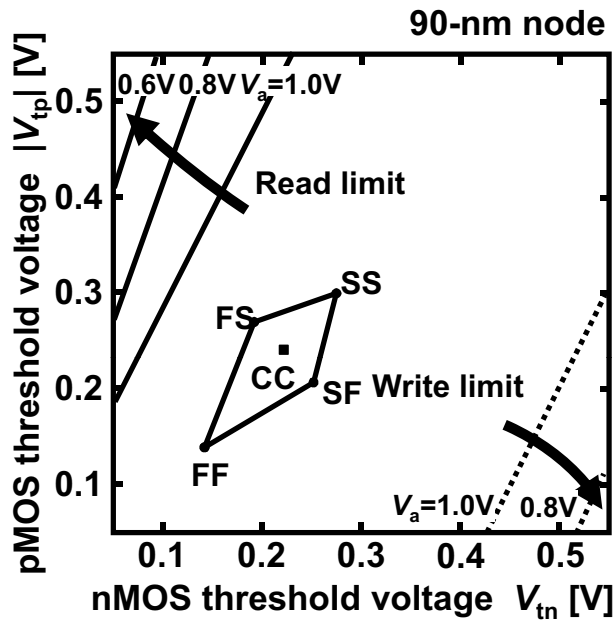


(b) 書込み動作時

図 4.2 最適電圧制御手法の詳細



(a) 従来手法



(b) 最適電圧制御手法 ($V_{max} = 1.0[V]$)

図 4.3 ミルキーウェイプロットの電源電圧依存性

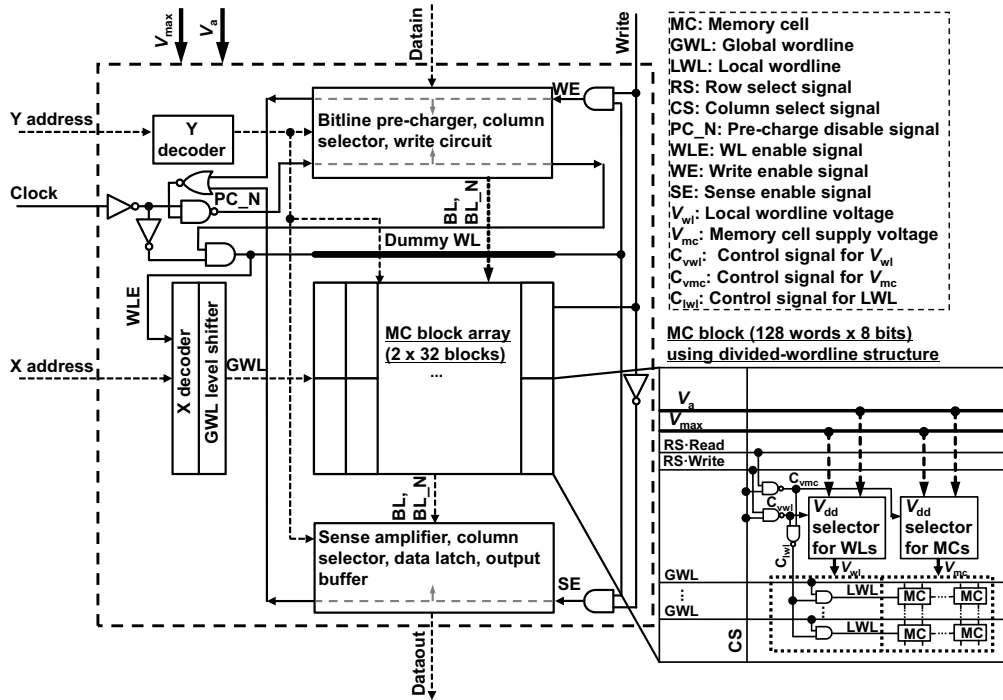


図 4.4 最適電圧制御手法を適用した 64kb SRAM のブロック図

4.2.2 回路設計

図 4.4 に、提案の最適電圧制御手法を適用した 64kb SRAM のブロック図を示す。メモリセルアレイは 128 words × 8 bits からなるメモリセルブロックに分割され、メモリセルブロックごとに電圧制御が行われる。最適電圧制御手法を適用するに当たり導入した回路は、各メモリセルブロックに備わったメモリセルの V_{mc} 及び V_{wl} を制御するための電源セクタ、及び書込み時にワード線を V_{max} に立上げるためのレベルシフタである。ワード線電源セクタ回路の出力はグローバルワード線 (GWL) と C_{lwl} の AND ゲートの電源に供給され、これによりローカルワード線 (LWL) の電圧が制御される。

また、非選択ブロックの保持データが書込み動作によって破壊されるのを防止するため、メモリセルブロックごとにワード線を分割する分割ワード線構造 (DWL) [38] を採用する。ワード線を分割しない場合、書込み動作を行うメモリセルと同一行に属する非選択メモリセルブロックのワード線が V_{max} に立上がる。このとき、図 4.5 に示すようにメモリセ

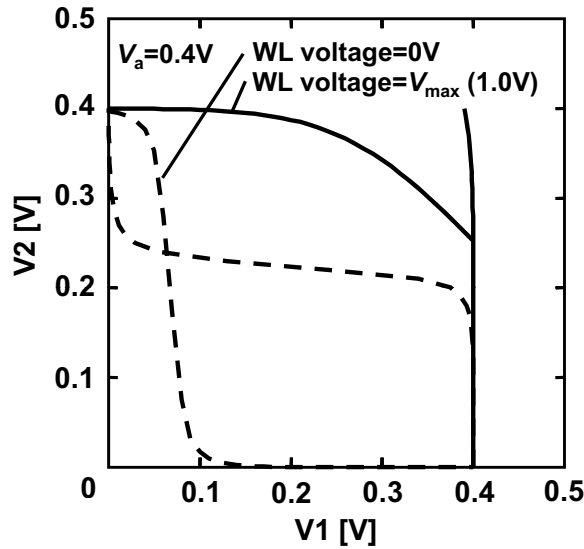


図 4.5 書込み動作の電圧条件下でのバタフライカーブ ($V_a = 0.4[V]$)

ルの読出しマージンが得られず，非選択メモリセルの保持データが破壊されるためである．

さらに，アクセス MOSFET (図 4.2 中の Na1 と Na2) のチャンネル長を最小幅の $0.10\mu\text{m}$ よりも大きな $0.15\mu\text{m}$ に設定し，読出しマージンを改善するだけでなく BL リーク電流を削減する．これに伴う遅延オーバーヘッドに関しては，4.3.3 節で述べる．

4.2.3 自己調整タイミング制御回路

最低電圧制御手法を適用するに当たり，メモリセルのデータ破壊を防止するために電圧制御の切り替えタイミングを適切に設定する必要がある．前節で指摘したように，メモリセルが書込み動作や非選択から読出し動作に遷移したとき， V_{w1} が V_{mc} より高くなると読出しマージンが得られずデータが破壊される可能性がある．この問題を解決するために，図 4.6(a) 中の V_{w1} と V_{mc} に関して，ワード線が立上がる前に V_{mc} を切り替えるというタイミングの調整が必要である．さらに，図 4.6(b) に示すように，書込み動作を正しく完了するには，ワード線が接地されてから WE 信号を立下げの必要がある．そうでなければ，ワード線が立上がっている間にビット線電位がフローティング状態となり，誤ったデータがメモリセルに書込まれる可能性がある．

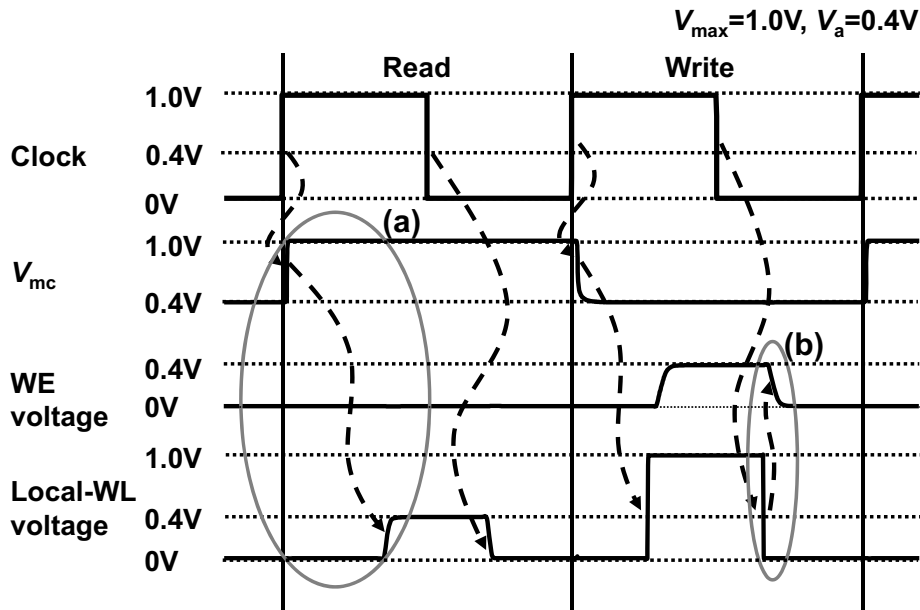


図 4.6 最適電圧制御手法のタイミングチャート

これらのタイミングを保証するために、図 4.4 に示す提案 64kb SRAM に自己調整タイミング制御回路を導入している。図 4.4 中の制御信号 C_{vmc} は、 C_{vmc} が接地されているとき V_{mc} を V_{max} に選択する信号であり、制御信号 C_{vwl} は、 C_{vwl} が接地されているとき V_{wl} を V_{max} に設定する信号である。読出し動作の最初に読出し対象行及び列が選択されると、制御信号 RS-Read 及び CS が立上がり、 C_{vmc} が接地され V_{mc} が V_{max} となる。そして、 C_{vmc} とグローバルワード線 (GWL) が選択されたあとに、ローカルワード線 (LWL) が V_a に立上がる。これにより、図 4.6(a) のタイミングが保証される。一方、書込み動作の終了時にクロック信号とダミーワード線が立下がり、ダミーワード線からのフィードバックを受けたあとに WE 信号が立下がる。ダミーワード線を使うことにより、PVT によらず図 4.6(b) のタイミングを保証することができる。

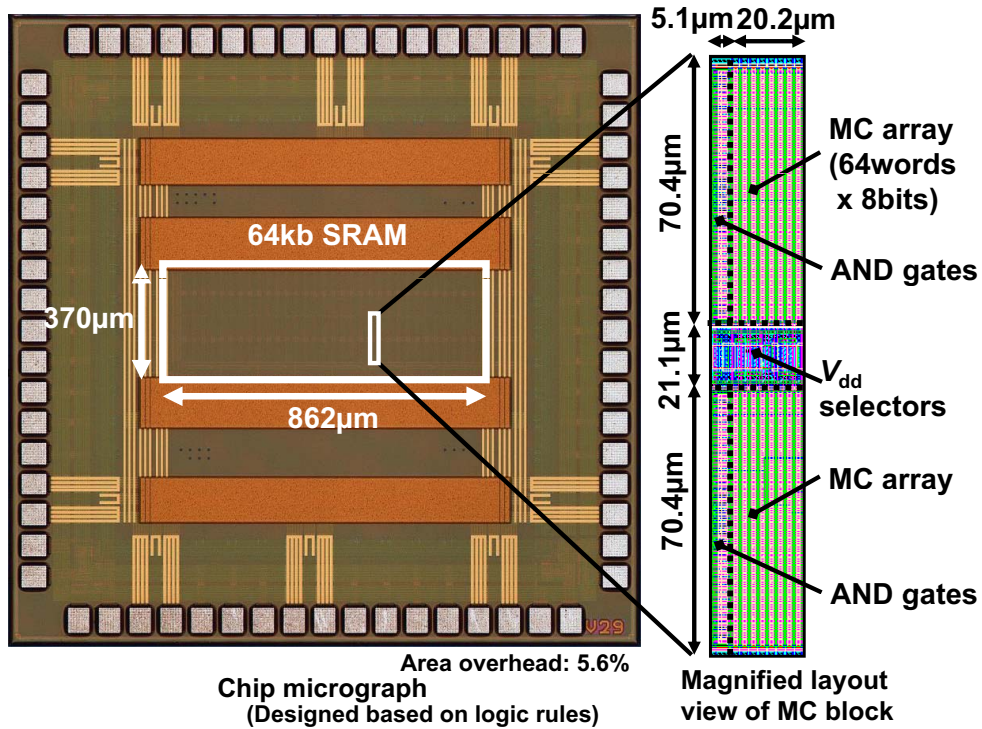


図 4.7 チップ写真及びメモリセルブロックのレイアウト

4.3 シミュレーションと実測結果

4.3.1 チップ概要

最適電圧制御手法による効果を実証するために、90nm CMOS プロセスを用いて 64kb SRAM を試作した。図 4.7 に試作チップのチップ写真とメモリセルブロックのレイアウトを示す。提案手法による面積オーバーヘッドは、電源セクタ回路とレベルシフト回路によるもので、5.6% である。

4.3.2 フェイルビットカウント

提案手法による動作マージンの改善効果を表すものとして、図 4.8(a) に読出し動作時のフェイルビットカウント (Fail-bit count, FBC) の電源電圧依存性の実測結果を示す。図 4.3 のミルキーウェイプロットに示すように読出し限界カーブがプロセスコーナーに近

いため、動作電圧下限 (V_{\min}) は読出し動作によって律速される。なお、FBC の測定では、クロックサイクルタイムは $1\mu\text{s}$ と設定した。CC プロセスコーナーにおける V_{\min} は、従来 SRAM で 0.55V 、提案 SRAM では 0.3V であった。従来 SRAM における V_{\min} は V_{th} ばらつきにより決定されるが、提案 SRAM では図 4.3(b) に示すように電源電圧が低下すると動作マージンが拡大するため、 V_{\min} は周辺回路によって決定される。

図 4.8(b) に SRAM のビット不良率 (Bit error rate, BER) の電源電圧依存性を示す。図 4.8(b) ではプロセスコーナーを FS に設定し、また容量を 64Mb まで、あるいは LSI 製造プロセスを 65nm 世代まで拡張したときのシミュレーション結果を示している。また、メモリセルのデータが保持された状態 (リテンション) においても、 V_{th} ばらつきが増大するとメモリセル内のインバータカップルの V_{th} が不均衡になり、低電圧においてデータを保持できないことが懸念される。そのため、図 4.8(b) ではリテンションによる BER カーブをあわせて示している。読出し/書込み動作、あるいはリテンションによる従来手法の BER カーブは次の方法で取得している。

- BER はメモリ容量の逆数で定義される。図 3.9 の係数 n は、 64kb に対しては 2.17 、 2Mb に対しては 2.52 、 64Mb に対しては 2.83 に設定される。
- FS コーナーにおいてはロード Tr. (P11, P12) のしきい値電圧が高く、チャンネル不純物濃度が高いため、式 (3.1) によりロード Tr. においてしきい値電圧ばらつき $\sigma_{V_{\text{th}}}$ が増大する。この影響で、BER カーブがより緩やかとなり、 V_{\min} が上昇する。

メモリ容量が 64Mb のとき、従来 SRAM は 0.79V 未満では動作せず、DVS による消費電力削減効果を得ることが難しい。一方、提案 SRAM では、 64Mb SRAM でリテンションを考慮しても V_{\min} を 0.36V に低減できるため、DVS による消費電力削減効果が十分期待される。また、 65nm プロセスでは図 3.8 に示すように 90nm プロセスと比較してしきい値電圧ばらつきが増大するため、従来 64Mb SRAM において V_{\min} が 0.95V に上昇する。この場合、DVS による電圧制御範囲が 0.05V と狭いため、DVS が有効に機能しない。

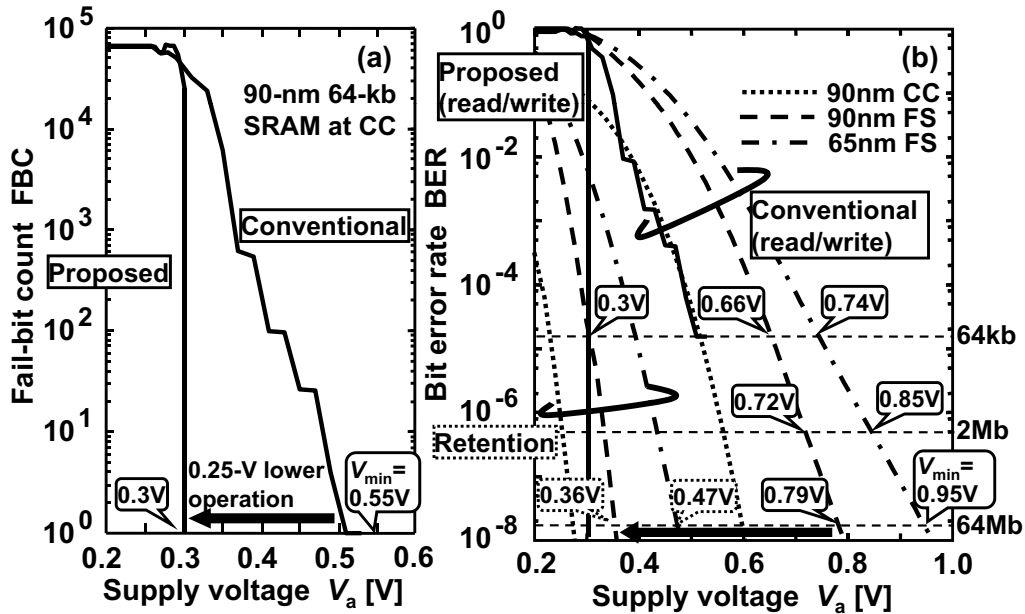


図 4.8 90nm 64kb SRAM の (a) 実測 FBC 及び (b) プロセスコーナーと容量を変化させたときの BER

4.3.3 消費電力と周波数の関係

図 4.9(a) は、試作した 90nm 64kb SRAM での消費電力と動作周波数の関係 (P - f カーブ) を示している。 V_a は動作周波数に応じて調整されている。提案手法による $V_a = 1.0[V]$ における速度オーバーヘッドは 1% 未満である。従来 SRAM では、 V_a を 0.66V より低下させることができず、300MHz 未満の周波数では消費電力が高くなる傾向にある。一方、提案 SRAM では動作周波数が低いとき V_a を 0.66V 未満に低減でき、100MHz で 0.45V 動作により、従来 SRAM と比較して 30% の消費電力削減効果が得られる。図 4.9(b) は、メモリセルの容量が増大したり製造プロセスが 65nm 世代に進化したりすると、従来 SRAM の V_{min} が上昇するため、提案 SRAM の消費電力削減効果が高くなることを示している。実際、動作周波数が SRAM の最高動作周波数の 1/6 の場合、90nm 64Mb SRAM において消費電力を 57% 削減可能であり、65nm 64Mb SRAM において 74% の電力削減が可能である。

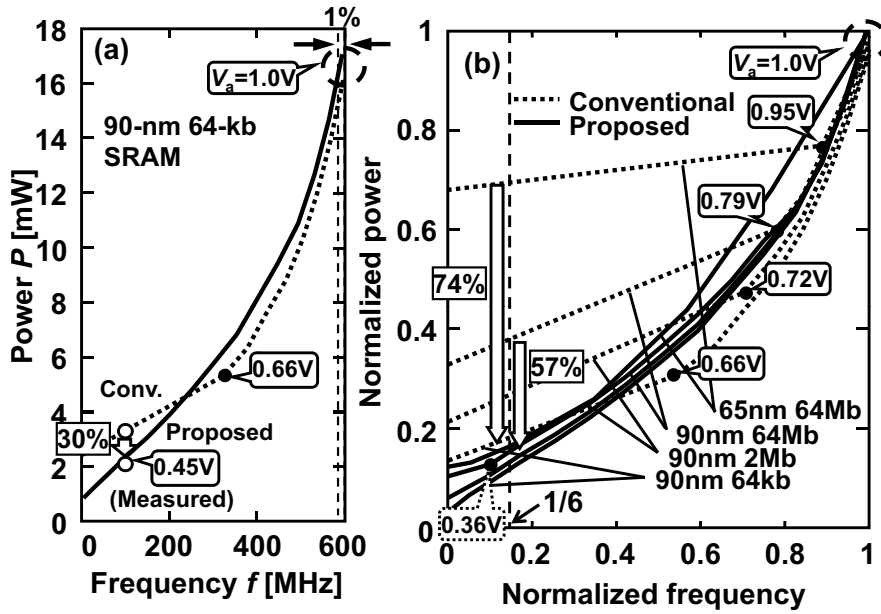


図 4.9 (a) 90nm 64kb SRAM, 及び (b) 容量と世代を変化させたときの P - f カーブ

4.4 結言

DVS 環境下で低電圧動作時の 6T セルの動作マージンを改善するための最適電圧制御手法と、本手法を適用する上で必須の自己調整タイミング制御回路を提案した。CMOS 90nm プロセスによる 64kb SRAM の実測の結果、最低動作電圧 (V_{\min}) を 0.55V から 0.3V に低減し、動作周波数 100MHz における消費電力を 30% 削減可能であることを実証した。また、容量が増大したときや製造プロセスの世代が進化したとき、提案手法による消費電力削減効果が増大する。本手法によって、微細化が進行し大容量 SRAM を搭載した SoC においても、DVS による低消費電力化が期待される。

第 5 章

DVS 環境下での低電圧動作 8T SRAM の設計

5.1 緒言

読出し動作の安定化を回路上で実現する SRAM セルとして、8 トランジスタ (Tr.) 構成のセル (8T セル) が提案されている。3.3.2 節で述べたように、8T セルは従来の 6T セルに 2Tr. で構成された独立読出しポートを付加した構成であり、この構成により従来の 6T セルの部分で読出しマージンを考慮する必要がない。一方、書込み動作は 6T セルと同一の動作のため、書込みマージンを確保するための設計が依然として必要である。また、8T セルにおける読出しポートの 2Tr. に V_{th} ばらつきが発生すると、読出しビット線からの読出し電流がばらつき、結果として“1”読出し/“0”読出しを正常に判別できなくなる可能性がある。すなわち、 V_{th} ばらつきによる書込みマージン及び読出し電流の劣化により、8T セルの動作電圧下限が上昇し、DVS による消費電力削減効果が得られない。

本章では、DVS 環境を利用して 8T セルに対して書込みマージン及び読出し電流を拡大し、動作電圧下限を低減させるための電圧制御手法を提案する。さらに、ハーフセレクト列におけるセル不安定性を回避するためのライトバック手法についても言及する。

5.2 8T セルへの電圧制御手法

5.2.1 概要

図 5.1 に示すように、DVS 環境では外部から一定の高電圧 V_{\max} が供給され、DC/DC コンバータで変換された動的制御電圧 V_a が SoC 内の論理部及び SRAM に供給される。ここで、 V_a の電圧値は V_{\max} と V_a の下限値 (V_{a_min}) の間の値であり、本稿では $V_{\max} = 1.0[V]$ と設定する。

提案手法では、 V_a 及び V_{\max} の 2 電源を SRAM に供給し、図 5.2 に示すように 8T セルの読出しワード線電圧 (V_{rw1}) 及び書込みワード線電圧 (V_{ww1}) を V_{\max} と設定し、その他の電圧 (セルインバータの電源電圧、ビット線電圧、周辺回路の電源電圧) を従来手法と同一の V_a に設定する。

5.2.2 書込みマージンの改善

V_{ww1} を V_{\max} に設定することにより、書込みポートのアクセス Tr のコンダクタンスが増大し、書込みビット線 (WBL/WBL_N) からデータを安定に書込むことが可能となる。図 5.3 に、電圧制御手法による 8T セルの書込みマージンの改善効果をミルキーウェイプロットによって示す。書込みワード線 (WWL) を V_{\max} に設定することにより、 V_a を低下させるに従って書込み限界曲線がプロセスコーナーから離れる方向に遷移する。すなわち、低電圧で十分な書込みマージンが得られている。

5.2.3 読出し電流の改善

図 5.4 に、“0” 読出し電流 (I_{read0}) 及び“1” 読出し電流 (I_{read1}) の定義を示す。ローカル V_{th} ばらつきを読出しポートの $2Tr$ に導入し、 I_{read0} が減少する方向に、また I_{read1} が増大する方向にローカル V_{th} ばらつきを設定する。このワーストケースのもとで読出しビット線で“0”と“1”を判別するには、 I_{read0} が I_{read1} を上回らなければならない。

図 5.5 に、読出しワード線 (RWL) を V_{\max} に設定することによる読出し電流の改善効

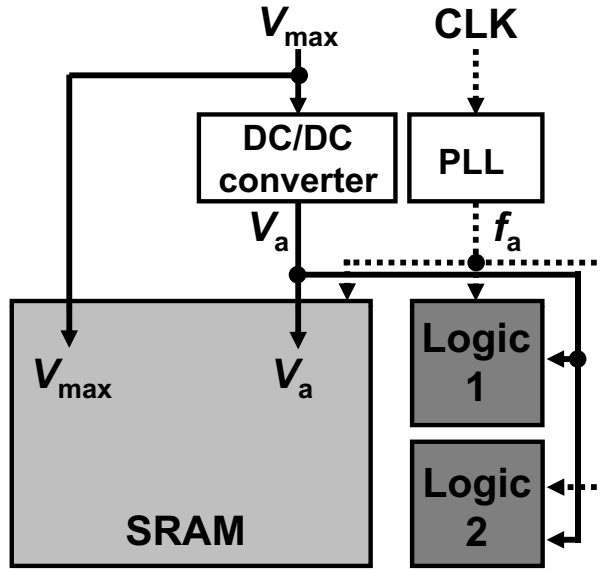


図 5.1 8T SRAM に対する電圧制御手法を適用した DVS のブロック図

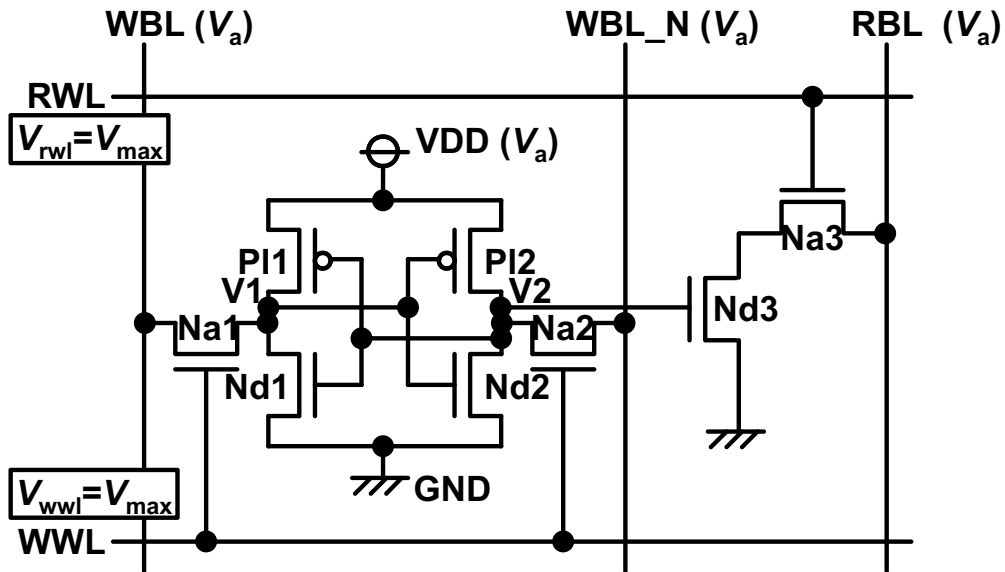
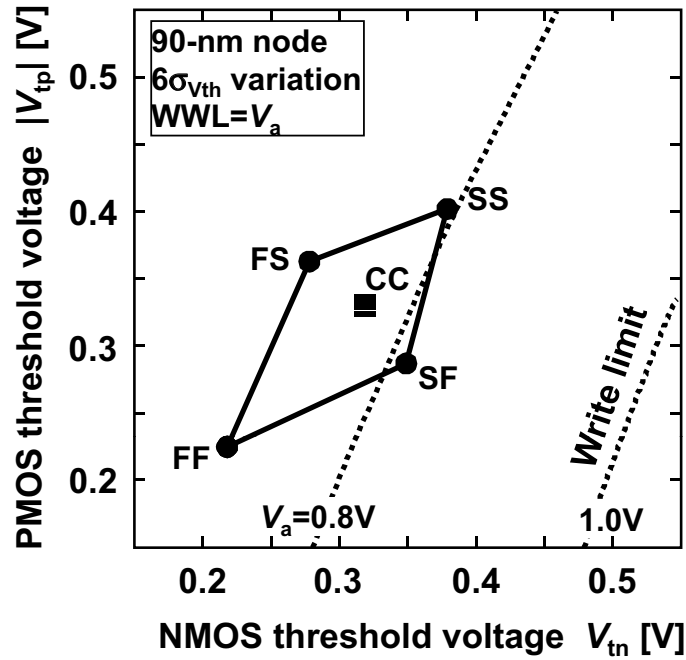
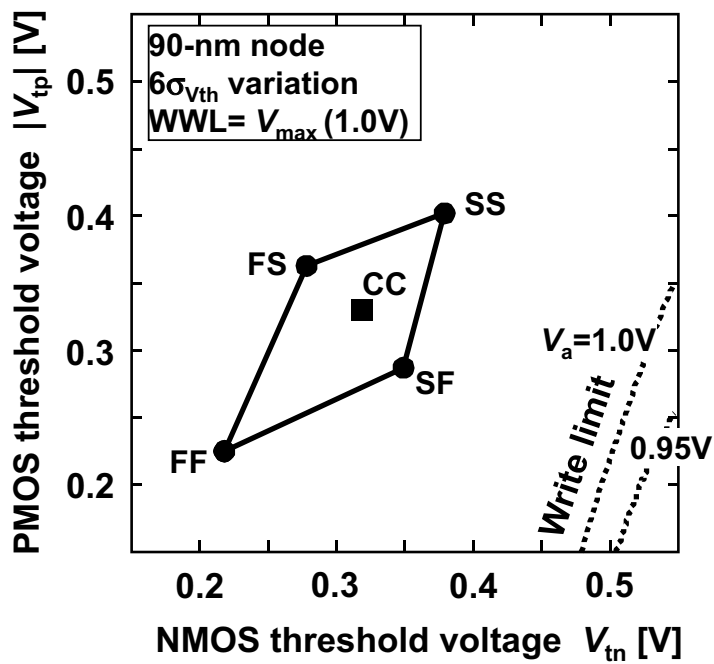


図 5.2 8T セルに対する電圧制御の詳細

果を示す. 電圧制御によって I_{read0} が 1 桁程度改善し, それにより読出し電流による動作電圧下限を 0.54V から 0.46V に低減できる.



(a) 従来手法



(b) 提案手法

図 5.3 電圧制御手法による 8T セルの書込みマージンの改善効果

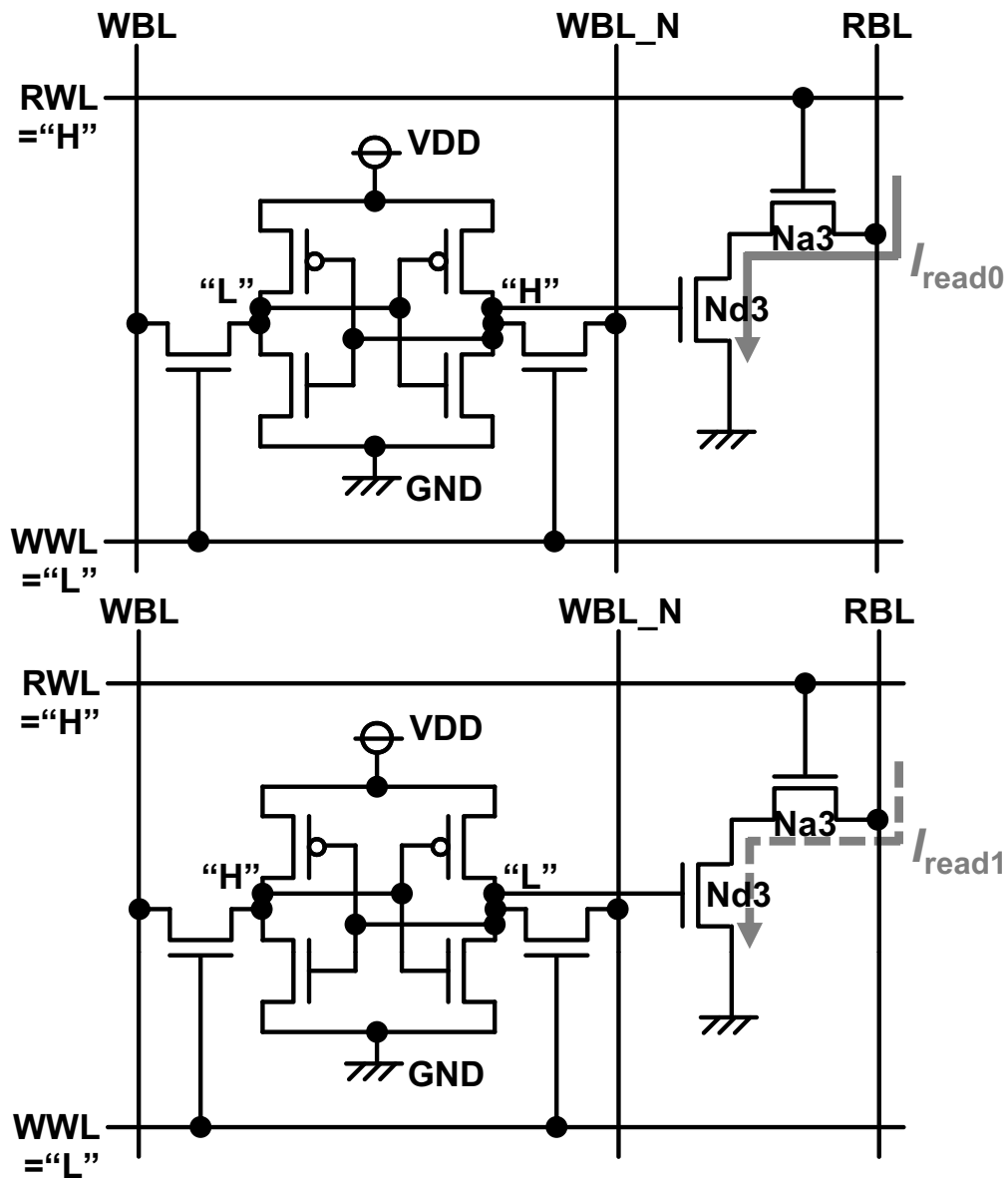


図 5.4 8Tセルの読出し電流の定義

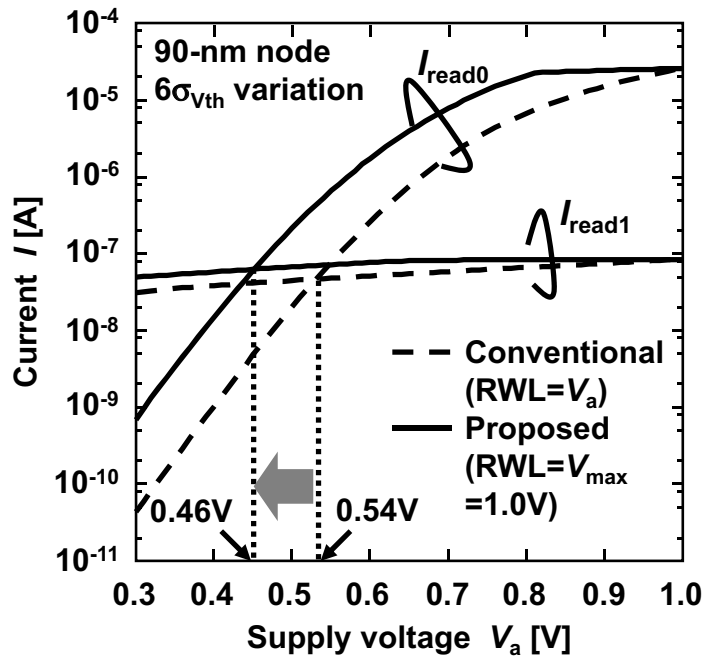
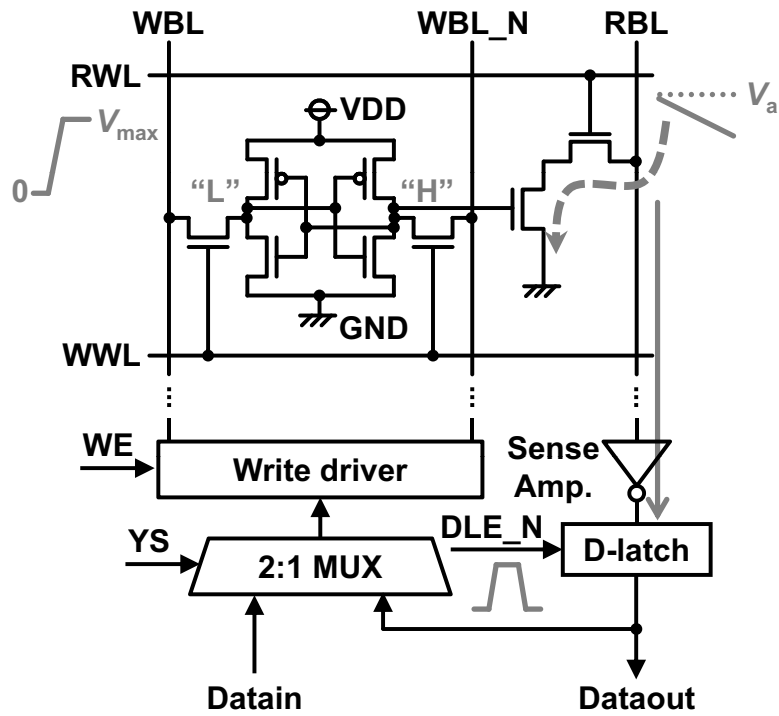


図 5.5 電圧制御手法による 8T セルの読出し電流の改善効果

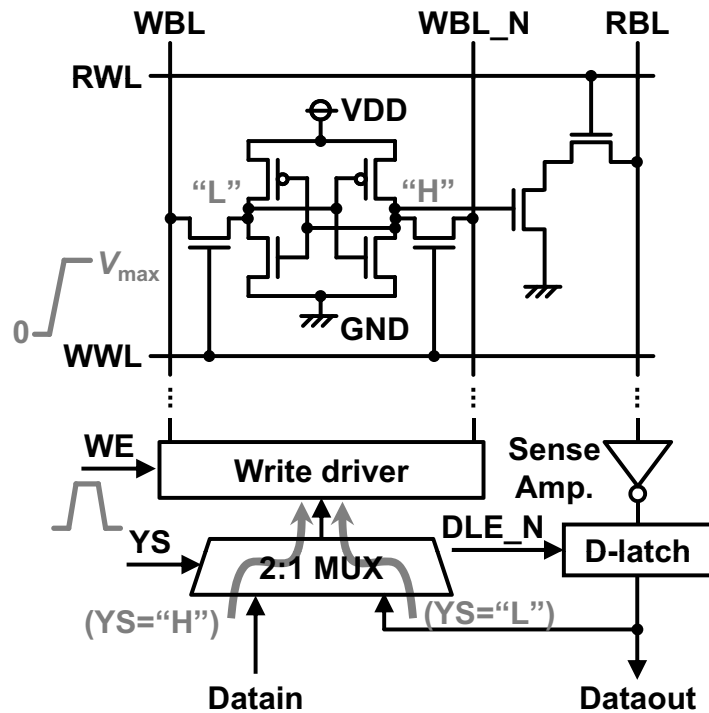
5.3 ライトバック手法

8T セルにおいても、6T セルと同様に書込みポートにおいてハーフセレクトの問題が存在する。従来のシングルワード線構造を 8T セルアレイの書込みポートに適用すると、非選択列（ハーフセレクト列）に属するメモリセルにおいても書込みワード線（WWL）が立上がる。8T セルのうち 6T の部分は読出しマージンを考慮せずに Tr. サイズの設定を行い、かつ WWL が高電圧 V_{\max} で立上がるため、非選択列のメモリセルの保持データが書込み動作によって破壊される。

ハーフセレクト列におけるセル不安定性を回避するため、書込み動作時に図 5.6, 5.7 に示すライトバック手法を採用する。クロック（CLK）が“H” のとき RWL が立上がり、選択行に属する全列のセル保持データが RBL を通じて D-latch に読出される。マルチプレクサ（2:1 MUX）では書込むデータの割当てが行われ、選択列に対しては外部からの入力データ $Data_{in}$ が割当てられ、非選択列に対しては読出されたデータ $Data_{out}$ が割当てられる。クロックが“L” のとき、残りの半サイクルで WWL が立上がり、割当てられたデータがメモリセルに書込まれる。これにより、選択列に対しては外部からの入力データが書込まれ、非選択列においてはデータが保持される。



(a) クロックサイクル前半での読出し動作



(b) クロックサイクル後半での書き込み動作

図 5.6 ライトバック手法の回路及び動作の概要

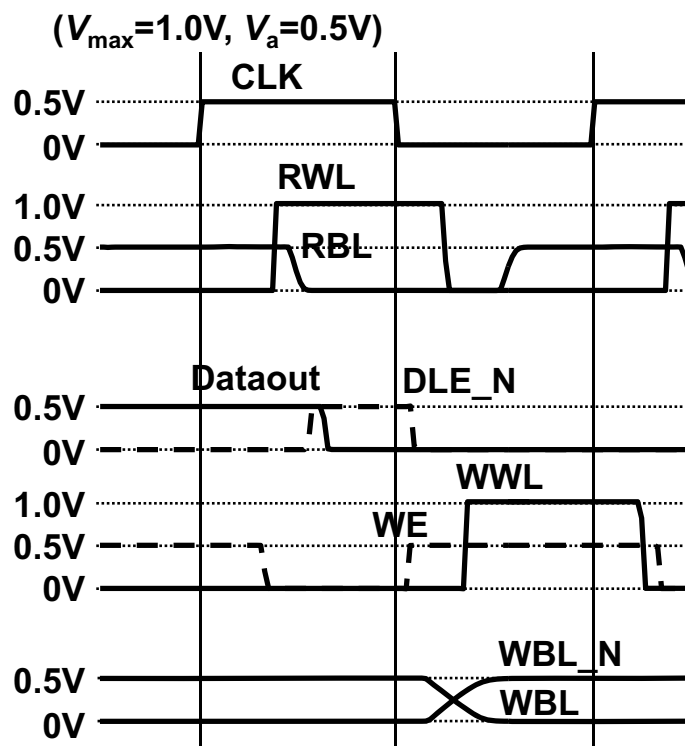


図 5.7 ライトバック手法のタイミングチャート

5.4 実測結果

ASPLA 90nm プロセスにより，従来手法と提案手法（電圧制御手法及びライトバック手法）を適用した2種類の64kb 8T SRAMを試作し，評価を行った．図5.8に，2種類の64kb 8T SRAMを搭載したLSIのチップ写真と提案8T SRAMの拡大レイアウトを示す．従来8T SRAMは1電源 (V_a) のみの供給であり，提案8T SRAMは2電源 (V_a 及び V_{\max} , $V_a < V_{\max}$) が供給されている．提案SRAMの面積オーバーヘッドは8.5%であり，その要因は，ライトバック手法におけるマルチプレクサ，及びワード線電圧を V_{\max} に設定するためのレベルシフタである．

図5.9に従来/提案8T SRAMの書込み動作時のフェイルビットカウントの実測結果を示す．なお，実測の際はクロックサイクルタイムを $1\mu\text{s}$ とし，読出し動作時は電圧を $V_a (= V_{\max}) = 1.0[\text{V}]$ に設定した．従来8T SRAMは，書込み動作時にハーフセレクト列における保持データ破壊が発生するため，電圧 V_a の下限 (V_{a_min}) が 0.58V と高い．一方，提案8T SRAM ($V_{\max} = V_a$) の場合，ライトバック手法によりハーフセレクトによる保持データ破壊が回避され， V_{a_min} が 0.40V にまで低減する．さらに，提案SRAMにおいて $V_{\max} = 0.5[\text{V}]$ と設定し，WWLの電圧を 0.5V に高くする電圧制御を行うことにより，低 V_a での動作時に8Tセルの書込みマージンが改善され， V_{a_min} を 0.34V にまで低減できることを実証した．

5.5 結言

DVS 環境下で8Tセルの書込みマージン及び読出し電流を改善するための電圧制御手法を提案した．また，ハーフセレクト列におけるセル不安定性を回避するためのライトバック手法を導入した．64kb 8T SRAMの実測により，90nm プロセスにおいて書込み動作時の動作電圧下限を 0.58V から 0.34V に低減可能であることを実証した．

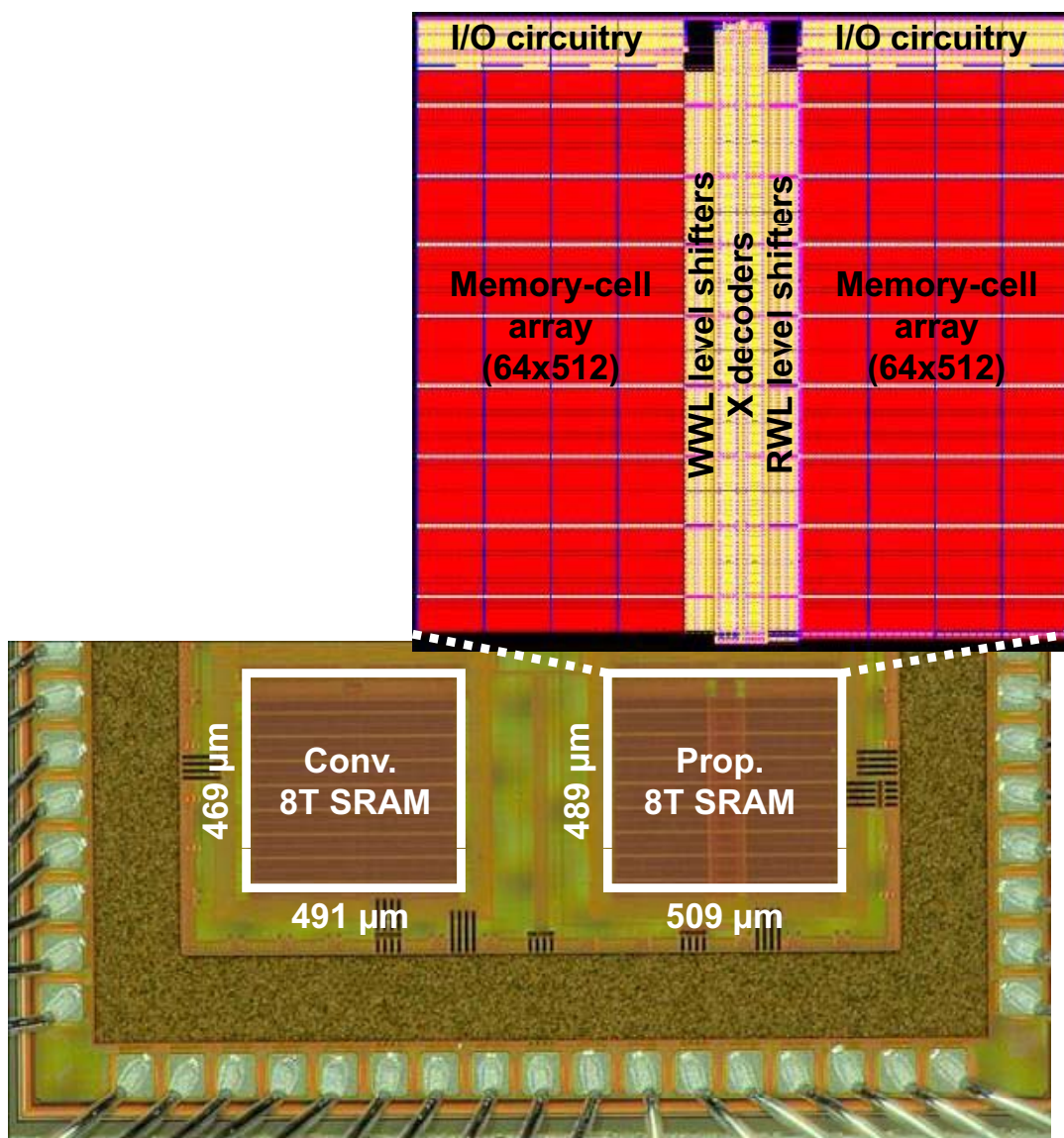


図 5.8 90nm 64kb 8T SRAM のチップ写真及びレイアウト

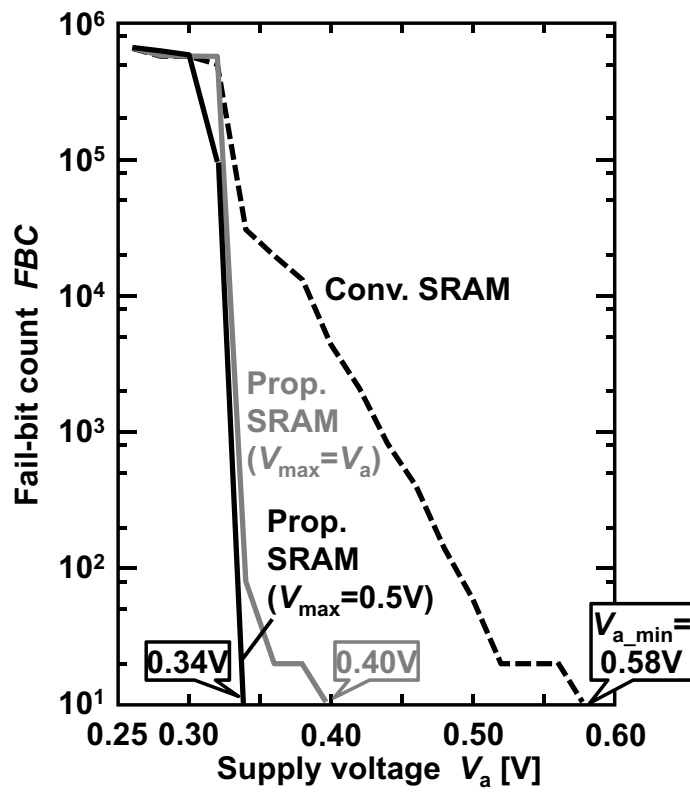


図 5.9 提案手法による動作電圧下限の低減効果

第 6 章

32nm 世代に向けた低電圧動作・小面積 SRAM セルの検討

6.1 緒言

SoC 全体に占める SRAM の面積割合が増大する傾向にあり，SRAM が SoC のコストを決定するまでに至っている．すなわち，SoC のコスト削減及び歩留まり確保のためには，SRAM の面積を小さくする必要がある．しかしながら，MOS トランジスタ (Tr.) のしきい値電圧 (V_{th}) のばらつきによる動作マージンの劣化を抑制するには，MOS Tr. のサイズを増大させなければならない．3.4 節で説明したように，ローカル V_{th} ばらつきの標準偏差 $\sigma_{V_{th}}$ は $1/\sqrt{\text{ゲート長 } (L_{eff}) \times \text{ゲート幅 } (W_{eff})}$ に比例するため，MOS Tr. のサイズを大きくすればローカル V_{th} ばらつきを減少させることができるが，SRAM の面積が増大する．また，読出し/書込みマージンの拡大のために，6T セルにおいては β 比 (ドライブ Tr. とアクセス Tr. のコンダクタンス比) 及び γ 比 (アクセス Tr. とロード Tr. のコンダクタンス比) を大きくする必要がある．一方，8T セルは独立した読出しポートを所持しているため，読出しマージンを考慮する必要がなく，それゆえ β 比を小さく設定できる．本章ではこの点に着目し，90nm 世代から 32nm 世代において V_{th} ばらつきの存在下で 6T セルと 8T セルの面積を比較し，32nm 世代以降において 8T セルが小面積を実現できることを示す．

また，低電圧動作時に動作マージンを拡大して安定動作を実現する電圧制御手法が提案

されている。電圧制御手法では、2 電源（高電圧 V_{\max} と低電圧 V_a ）が SRAM セルに供給され、読出し/書込み動作に応じて SRAM セルの各電圧（セルインバータ電源電圧，ワード線電圧，ビット線電圧）が最適に切り替えられることにより，電源電圧 V_{dd} が低下するに従って動作マージンが拡大する。すなわち，SRAM を低電圧で動作させる場合には SRAM セルの面積を縮小可能である。本章では，電圧制御手法を適用した場合においても 6T セルと 8T セルの面積を比較する。

6.2 SRAM セルの動作マージン設計

6.2.1 6T セル

図 6.1(a) に β 比を変化させたときの 6T セルの読出しマージンの変化を示す。読出しマージンは，読出しアクセス時のセルインバータの最小出力電圧 V_{RO} （ワード線が立上がっているときの“L”ノードの電位）に対して単調に減少する。図 6.1(a) の条件（90nm 世代，1.0V 動作，FS コーナー， $6\sigma_{V_{th}}$ のローカル V_{th} ばらつき）では， $\beta = 2.5$ と設定することにより初めて読出しマージンが確保される。なお，アクセス $Tr.$ の W を大きくした場合， β 比が減少して V_{RO} の値が高くなるため，読出しマージンが劣化する。

一方，図 6.1(b) に γ 比を変化させたときの 6T セルの書込みマージンの変化を示す。書込みマージンは，書込みアクセス時のセルインバータの最大出力電圧 V_{WO} （ワード線が立上がって“H”ノードに“L”を書込む際の“H”ノードの電位）に対して単調に減少する。 γ 比を小さく設定すると V_{WO} の値が高くなるため，書込みマージンが劣化する。図 6.1(b) の条件（45nm 世代，1.0V 動作，SF コーナー， $6\sigma_{V_{th}}$ のローカル V_{th} ばらつき）では， $\gamma = 1.1$ と設定することにより書込みマージンが存在するようになる。

図 6.2 に β 比及び γ 比を変化させたときの 6T セルのミルキーウェイプロットの変化を示す。読出し限界（Read limit）カーブと書込み限界（Write limit）カーブで挟まれた V_{th} 領域で，6T セルが正常に動作する。別の言葉で言えば，読出し限界カーブの外側ではプリチャージされたビット線によって保持データが破壊され，一方，書込み限界カーブの外側では書込み動作により保持データを書き換えることができない。

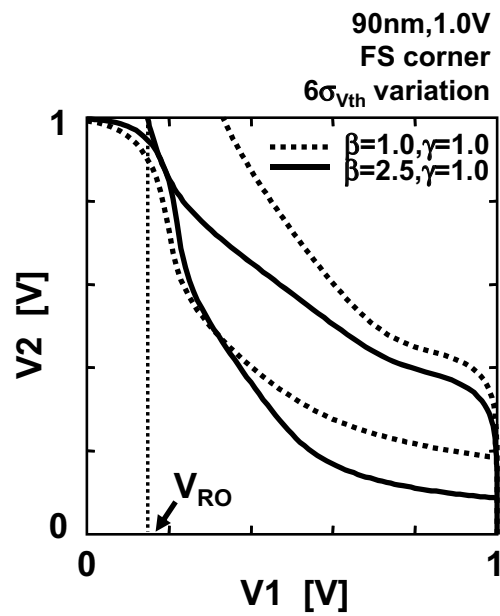
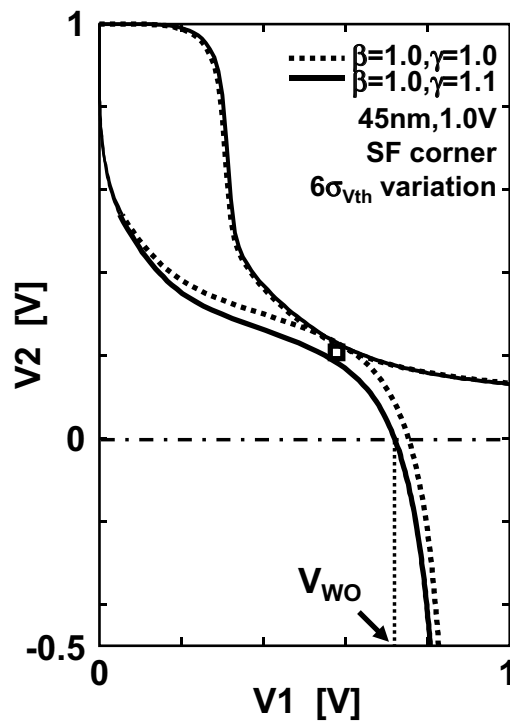
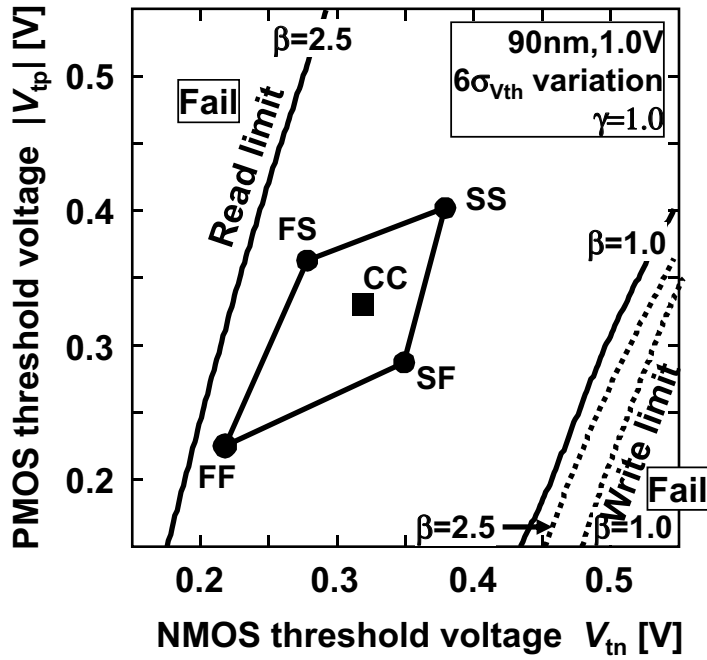
(a) 読出しマージンの β 比依存性(b) 書込みマージンの γ 比依存性図 6.1 6T セルの動作マージンの β , γ 比に対する変化

図 6.2(a) は、 γ 比を 1.0 で一定とし β 比を変化させた場合である。 β 比を大きくすると V_{RO} の値の低下により読出しマージンが拡大する。しかしながら、同時にセルインバータの論理しきい値電圧が低下するため、書込みマージンが縮小する。書込みマージンを拡大させるには、 γ 比を大きくする必要がある。図 6.2(b) に示すように、 γ 比の増大によって読出し/書込みマージンがともに拡大するが、 β 比を一定に保持するためにはドライブ $Tr.$ の W を増大させなければならず、面積が増大する。

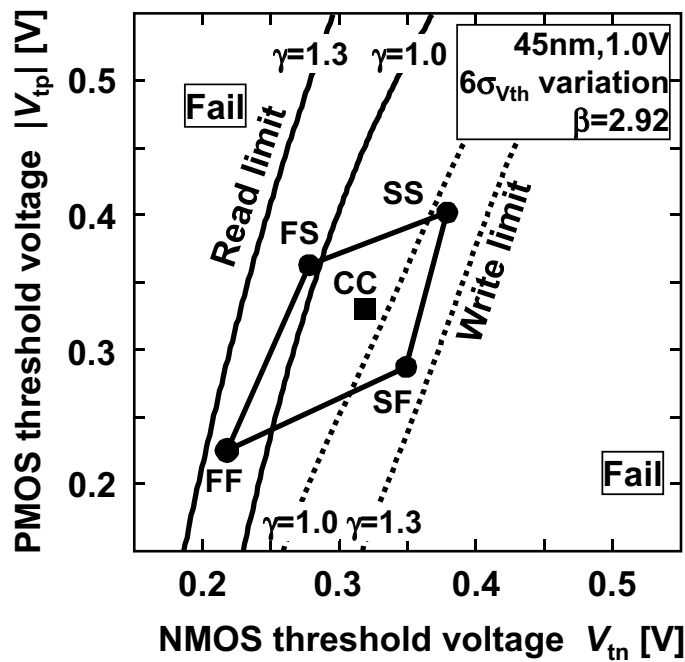
図 6.3 に、6T セルの回路図及び様々な β , γ 比に対するレイアウトを示す。図 6.3 のレイアウトは 90nm ロジックルールで設計されており、メモリセルアレイは対称配置ではなく平行移動で配置される。また、セルの形状は長方形でなく、ドライブ $Tr.$ とアクセス $Tr.$ の差分だけ横方向に出っ張った形状である。 β , γ 比を大きくすることにより、セルの横幅、すなわち面積が増大することがわかる。

6.2.2 8T セル

図 6.4 に、8T セルの回路図、及び $\beta = \gamma = 1.0$ と設定した場合のレイアウトを示す。3.3.2 節で述べたように、8T セルでは 2 $Tr.$ (Nd3, Na3) で構成された読出しポートで読出し動作を実行するため、従来の 6T セルの部分で読出しマージンを考慮する必要がない。それゆえ、 β 比、すなわちドライブ $Tr.$ (Nd1, Nd2) の W を最小値 (W_{min}) に設定可能である。図 6.3(b) の 6T セル ($\beta = 2.5, \gamma = 1.0$ の場合) と図 6.4 の 8T セル ($\beta = \gamma = 1.0$) を比較すると、90nm 世代、1.0V 動作、 $6\sigma_{V_{th}}$ のローカル V_{th} ばらつきの条件下で、8T セルの面積オーバーヘッドは 10% である。しかしながら、世代が進行して V_{th} ばらつきが増大すると、6T/8T セルの面積の大小関係が逆転する可能性がある。

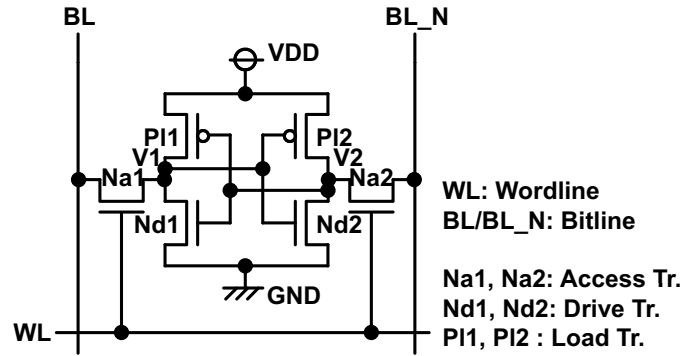


(a) β 比依存性 (90nm 世代)

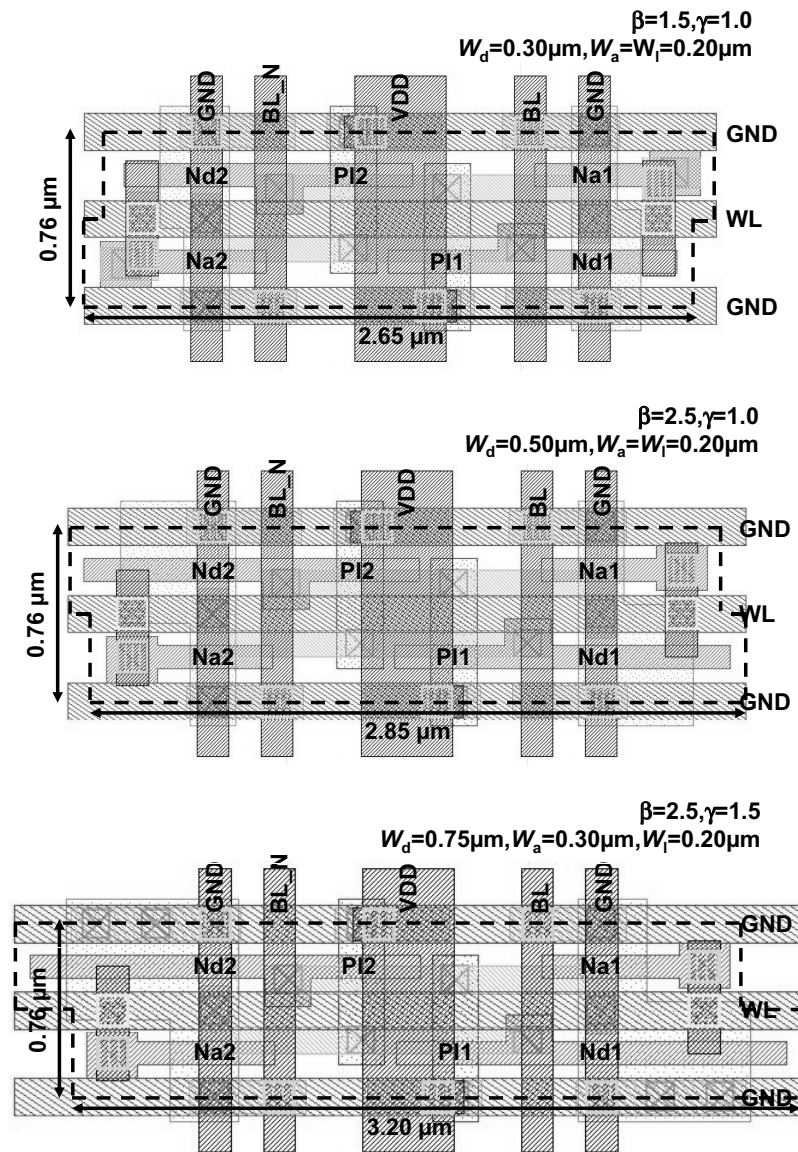


(b) γ 比依存性 (45nm 世代)

図 6.2 6T セルのミルキーウェイプロットの β , γ 比依存性

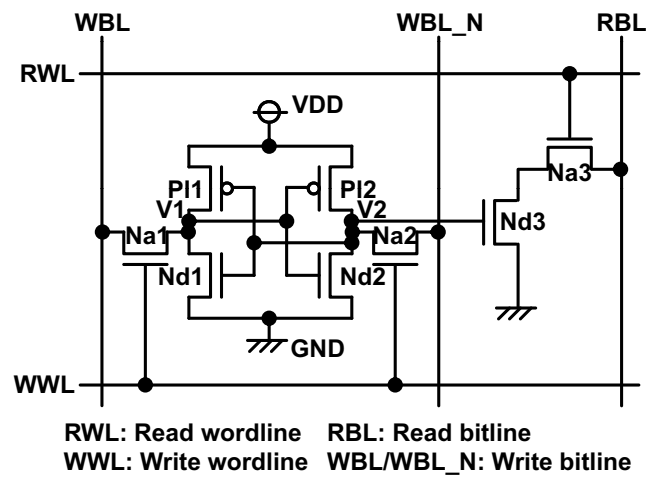


(a) 回路図

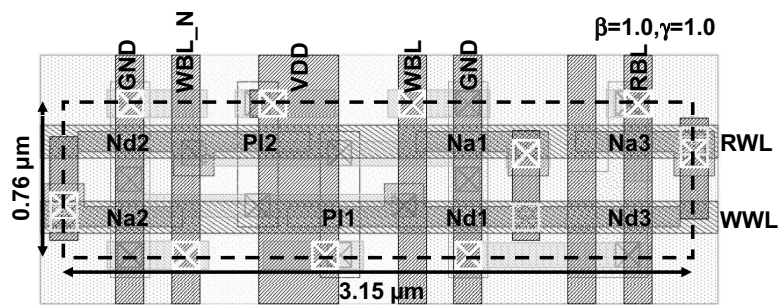


(b) 90nm プロセスによるレイアウト

図 6.3 6T セルの回路図及び様々な β, γ 比に対するレイアウト



(a) 回路図



(b) 90nm プロセスによるレイアウト

図 6.4 8Tセルの回路図及びレイアウト

6.3 6T/8T セルへの電圧制御

6.3.1 Dual- V_{dd} 手法

低電圧での動作マージンの拡大のため、6T/8T セルに Dual- V_{dd} 手法を適用する。2 種類の固定電源 (V_a 及び V_{max} , $V_a < V_{max}$) を SRAM セルに供給し、セルインバータの電源電圧 (V_{mc}) 及びワード線電圧 (V_{wl}) を読出し/書込み動作に応じて切り替える。なお、 V_{max} はノミナル電圧として 1.0V に設定する。

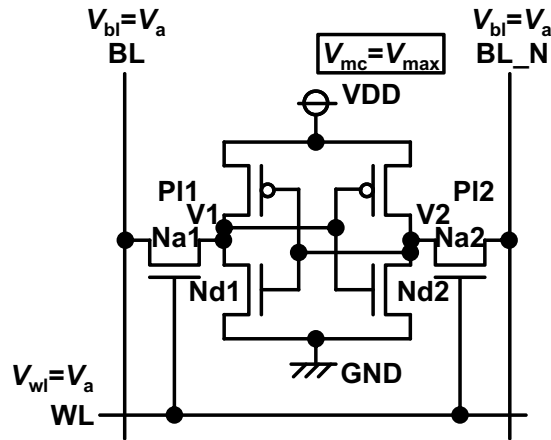
6T セルでは、読出し動作で V_{mc} を V_{max} に設定し、保持データを安定化させる (図 6.5(a))。一方、書込み動作では V_{wl} を V_{max} に設定する (図 6.5(b))。アクセス Tr. のコンダクタンスを増大させることで、ビット線データをセルに容易に書込むことが可能となり、書込みマージンが拡大する。

8T セルでは、図 6.6 に示すように書込みワード線 (V_{wwl}) を V_{max} に設定するのみである。読出しマージンについては考慮する必要がない。

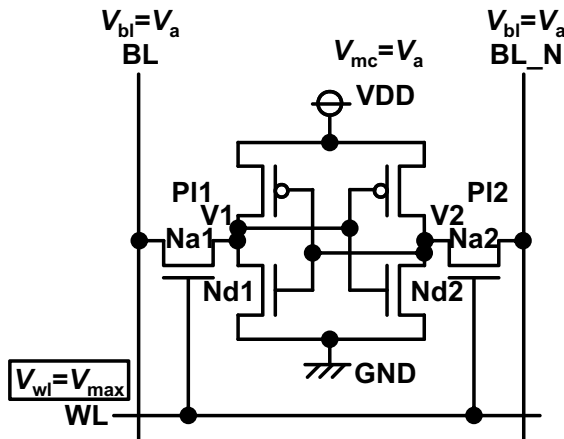
6.3.2 DVS 手法

図 4.1 に示す DVS 環境では、外部から固定電源 V_{max} が供給され、DC/DC コンバータによってクロック周波数に応じて電源 V_a が動的に制御される。DVS 手法では、 V_{max} と V_a が SRAM セルに供給されるが、Dual- V_{dd} 手法と異なり V_a が動的に変化する。

DVS 手法では、Dual- V_{dd} 手法と同様に 6T セルの V_{mc} 及び V_{wl} 、8T セルの V_{wl} が制御される。しかしながら、電圧 V_a が低下するに従って動作マージンが改善するため、動作マージンに対するワーストケースは $V_a = V_{max}$ (1.0V) の場合である。すなわち、動作マージンの観点では、DVS 手法適用時のセル面積を従来の Single- V_{dd} 手法 ($V_{dd} = 1.0[V]$) の場合と同一と考えることができる。



(a) 読み出し時



(b) 書き込み時

図 6.5 6Tセルにおける Dual-V_{dd} 手法の動作

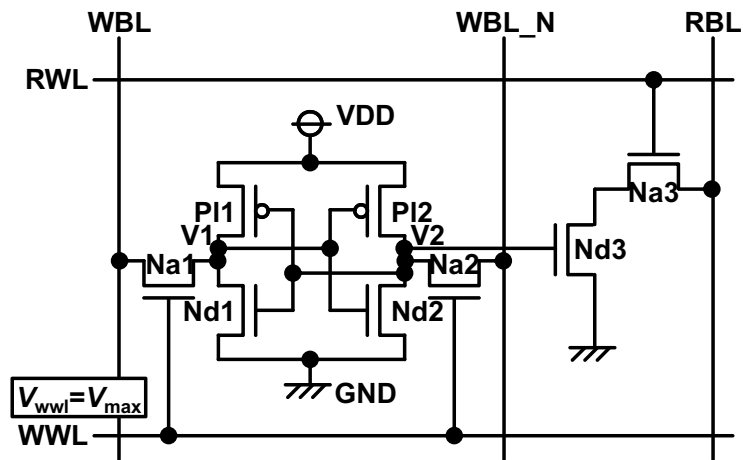


図 6.6 8Tセルにおける Dual-V_{dd} 手法の動作 (書き込み時)

6.3.3 動作マージンの改善

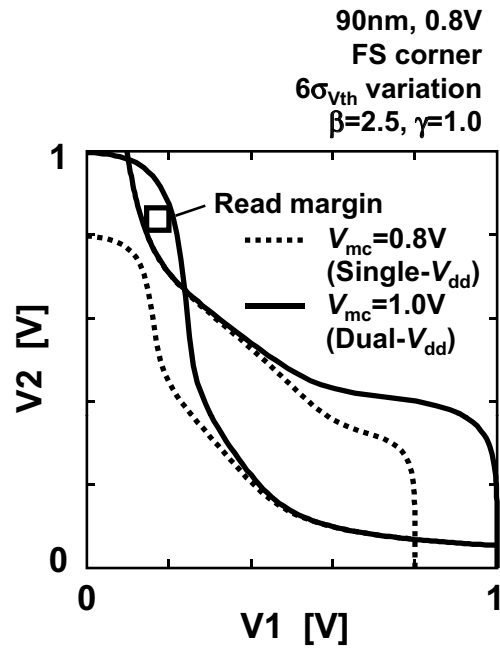
図 6.7-6.9 に、Dual- V_{dd} 手法による動作マージンの改善効果をバタフライプロット及びミルキーウェイプロットで示す。図では、ランダムな V_{th} ばらつきとして $6\sigma_{V_{th}}$ が考慮されている。

なお、従来の Single- V_{dd} 手法は、Dual- V_{dd} 手法において $V_{max} = V_a$ と設定した場合に相当する。図 6.7 で、6T セル、1.0V 動作 ($V_a = V_{max} = 1.0[V]$) で動作マージンを得るために最低限必要な Tr. 比は $\beta = 2.5$ 及び $\gamma = 1.0$ である。0.8V 動作 ($V_a = V_{max} = 0.8[V]$) では、同一の Tr. 比で読出し/書込みマージンが存在しないが、Dual- V_{dd} 手法 ($V_a = 0.8[V]$, $V_{max} = 1.0[V]$) の適用により動作マージンが確保される。

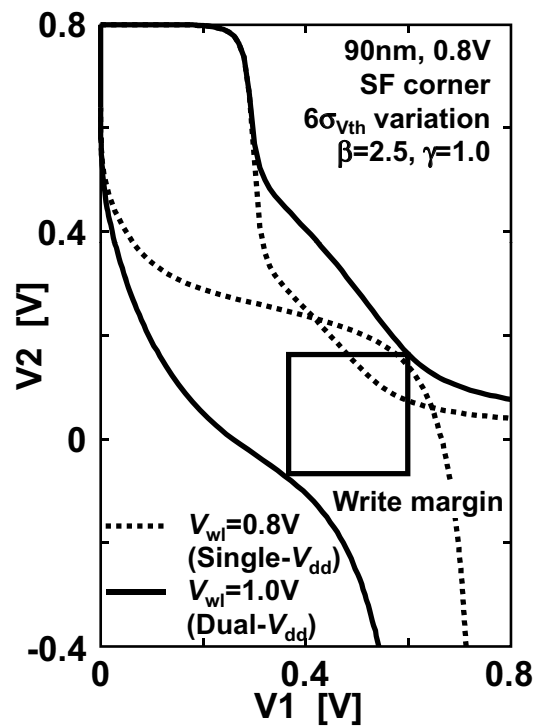
図 6.8 のミルキーウェイプロットでは、1.0V 動作 ($V_a = V_{max} = 1.0[V]$) で動作マージンが確保されているが、0.8V 動作 ($V_a = V_{max} = 0.8[V]$) ではカーブがプロセスコーナーを示すひし形に交差し、動作マージンが確保されないことを表している。

8T セルでは、読出しマージンを考慮する必要はないが、書込みマージンを確保する必要がある。図 6.9 では、Single- V_{dd} 手法では 0.8V 動作で書込みマージンが存在しないが、Dual- V_{dd} 手法 ($V_a = 0.8[V]$, $V_{max} = 1.0[V]$) で書込みマージンが確保されることを表している。

なお、Single- V_{dd} 手法において、8T セルの書込みマージンが 6T セルの場合と比較して若干大きいことに注意されたい (図 6.8(a) と図 6.9(a) を比較)。その理由は、8T セルでは β 比が小さく設定されるため、セルインバータの論理しきい値電圧が低下し、“L” 保持ノードへの“H” 書込み動作が安定化するからである。

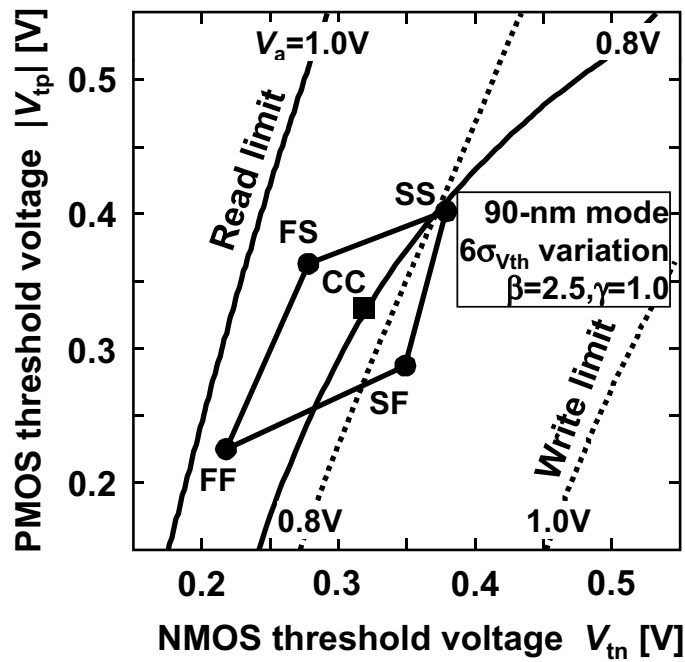
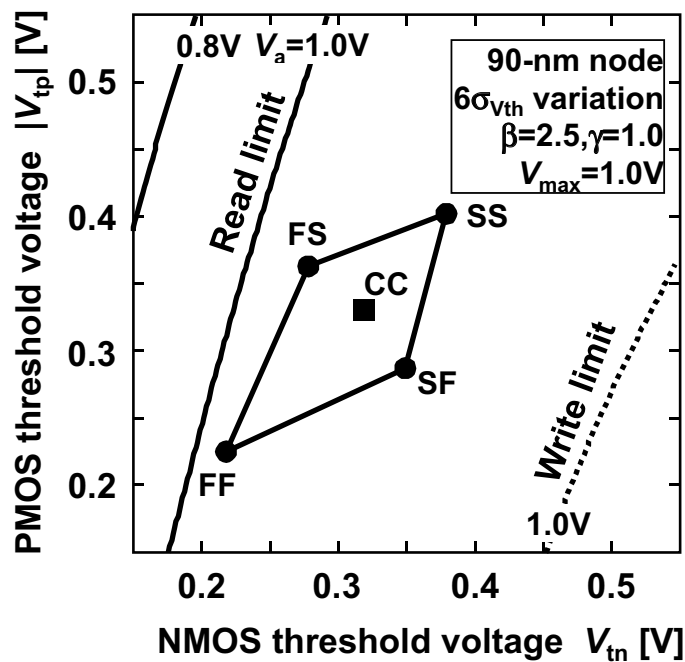


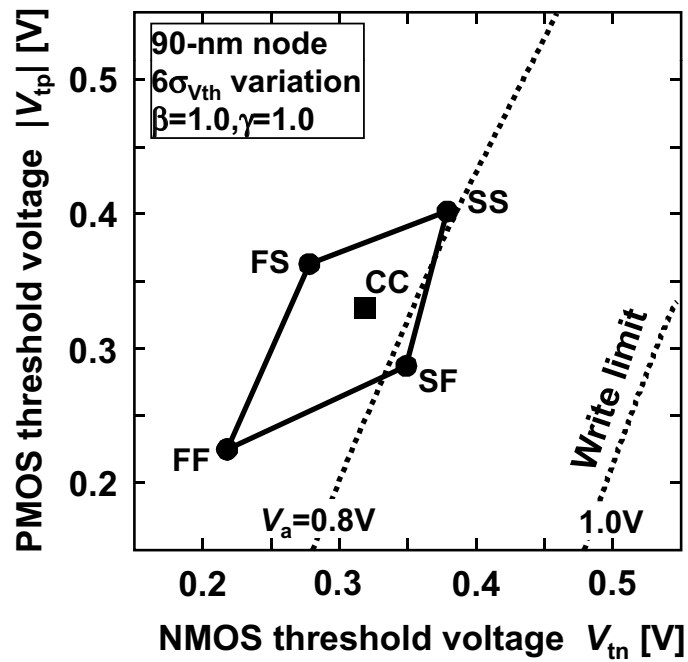
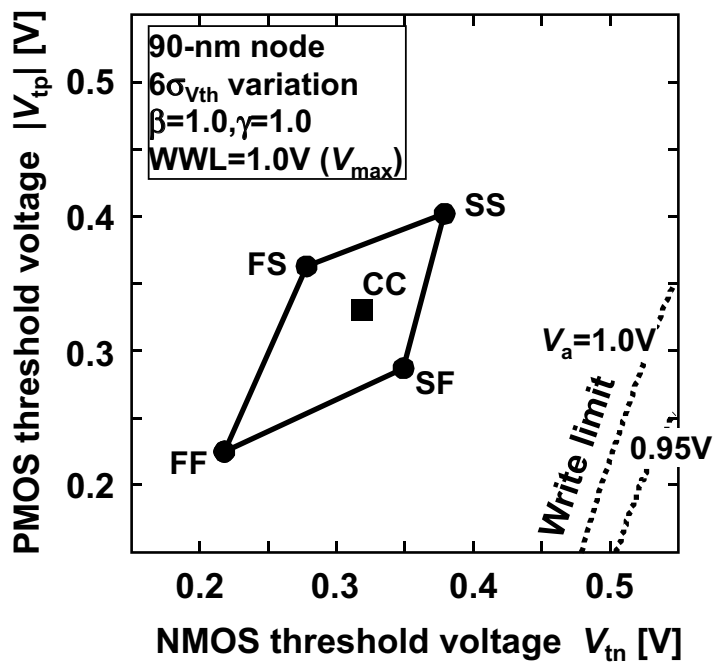
(a) 読出し動作



(b) 書込み動作

図 6.7 Dual- V_{dd} 手法による動作マージンの改善

(a) Single- V_{dd} 手法(b) Dual- V_{dd} 手法図 6.8 Single- V_{dd} /Dual- V_{dd} 手法適用時の 6T セルのミルキーウェイプロット

(a) Single- V_{dd} 手法(b) Dual- V_{dd} 手法図 6.9 Single- V_{dd} /Dual- V_{dd} 手法適用時の 8T セルのミルキーウェイプロット

6.4 6T/8T セルの面積比較

本節では、90nm 世代から 32nm 世代において 6T セルと 8T セルの面積比較を行う。前提条件は以下の通りである。

- すべての Tr. の L は同一の値に設定される。微細化されたプロセスでは、リソグラフィの制限により各 Tr. で独立に L を設定することができない [39].
- ロード Tr. の W は各世代の最小値 (W_{\min}) に設定される。
- 6T セルにおいては、最初にドライブ Tr. の W (W_d) が W_{\min} に設定された条件下で、書き込みマージン確保のためアクセス Tr. の W (W_a) が最適化され、次に読出しマージン確保のため W_d が最適化される。
- 8T セルにおいては、書き込みマージン確保のため W_a が最適化されるのみで、 W_d は W_{\min} に設定される。
- 読出しポートの 2Tr. (Na3, Nd3) の W は 90nm 世代においてそれぞれ $0.20\mu\text{m}$, $0.40\mu\text{m}$ に設定され、世代が進むごとに 0.7 倍でスケールリングされる。

動作マージンは HSPICE DC シミュレーションで導出した。SPICE モデルとして 90nm モデルを使用し、65nm 世代から 32nm 世代にも本モデルを使用した。また、90nm 世代から 32nm 世代におけるローカル V_{th} ばらつきの値は、図 3.8 のペリグロムプロットに示された値を使用した。なお、本プロットは ITRS に基づいており、世代が進化するごとに、ゲート酸化膜厚 T_{ox} が薄くなりペリグロムプロットの傾きが小さくなるが、同時に Tr. のチャネル面積 ($L_{\text{eff}} \cdot W_{\text{eff}}$) が縮小されるため、結果として V_{th} ばらつき ($\sigma_{V_{\text{th}}}$) が増大する。

単一電源 (Single- V_{dd} 手法) においては、以下の 3 つの場合について面積比較を行う。

- A. $L = L_{\min}$ (最小値), ターゲット V_{th} が一定の場合
- B. $L = L_{\text{opt}}$ (最適値), ターゲット V_{th} が一定の場合
- C. $L = L_{\min}$ (最小値), ターゲット V_{th} が最適化される場合

6.4.1 $L = L_{\min}$, ターゲット V_{th} が一定の場合

図 6.10 に 6T/8T セルの β , γ 比の世代推移を示す. γ 比は, 書込みマージン確保のためどちらのセルも世代の進化に従って増大する. 6T セルの β 比も読出しマージン確保のために同様の傾向にあるが, 8T セルの β 比は世代とともに減少し, 1 より小さな値となる. 0.8V と低電圧の場合, 低電圧劣化した動作マージンの拡大のため, 6T セルでは 1.0V と比較してさらに大きな β , γ 比を必要とする.

図 6.11 に 6T/8T セルの面積の世代推移を示す. 1.0V 動作の場合, 45nm 世代で 2 本のカーブが交差し, 32nm 世代では 8T セルの面積が 6T セルの面積を 3.9% 下回る. また, 0.8V 動作では, 65nm 世代以降で 6T セルと 8T セルの面積関係が逆転し, 32nm 世代では 8T セルのほうが 25.8% 面積を縮小できる. したがって, 将来の世代においては, 8T セルを 1 ポート SRAM として使用する場合でも, 6T セルと比較して 8T セルが面積の観点で優位となる.

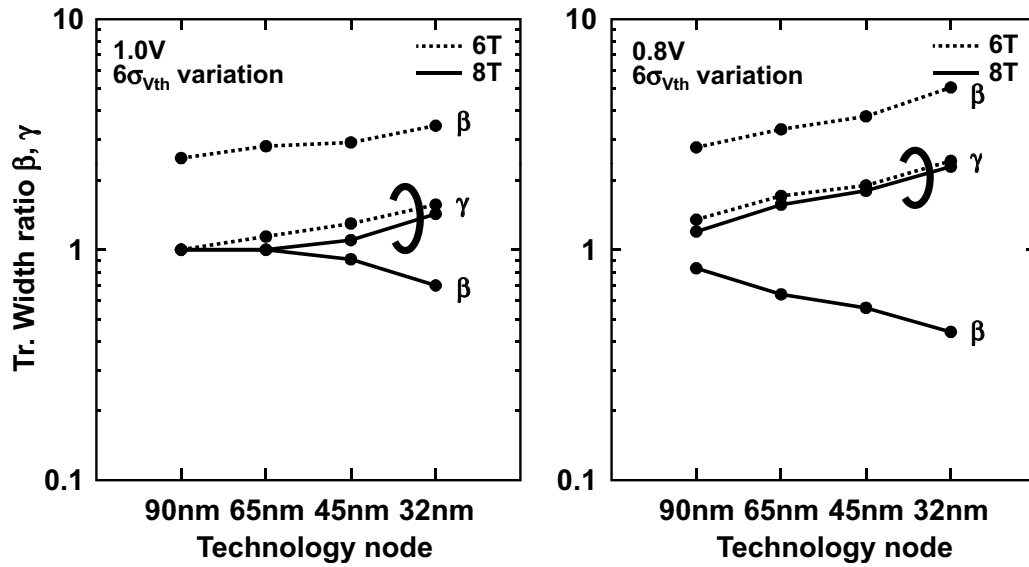


図 6.10 6T/8T セルの β, γ 比の世代推移 ($L = L_{min}$, ターゲット V_{th} が一定の場合)

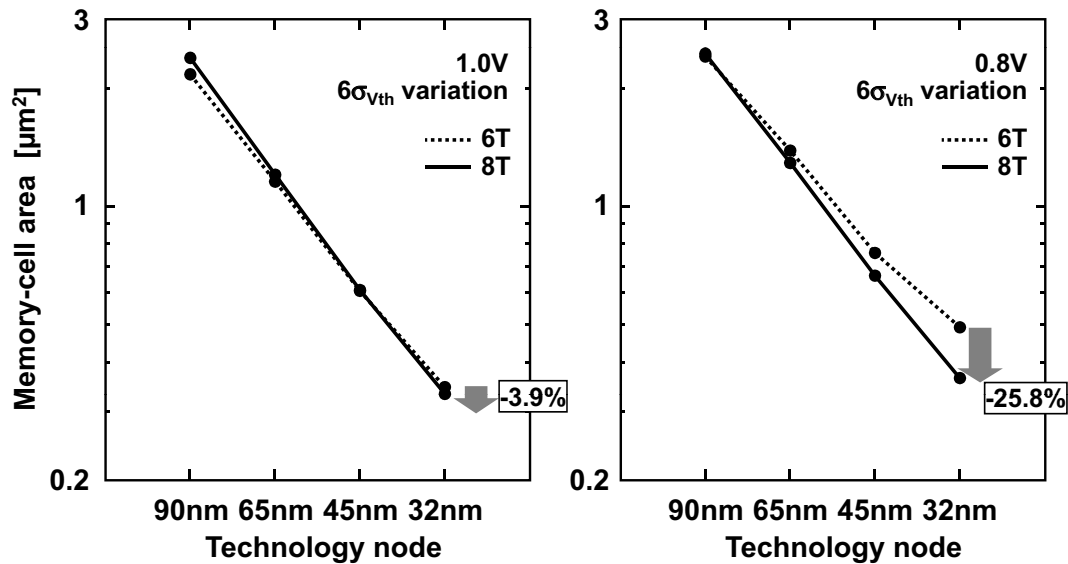


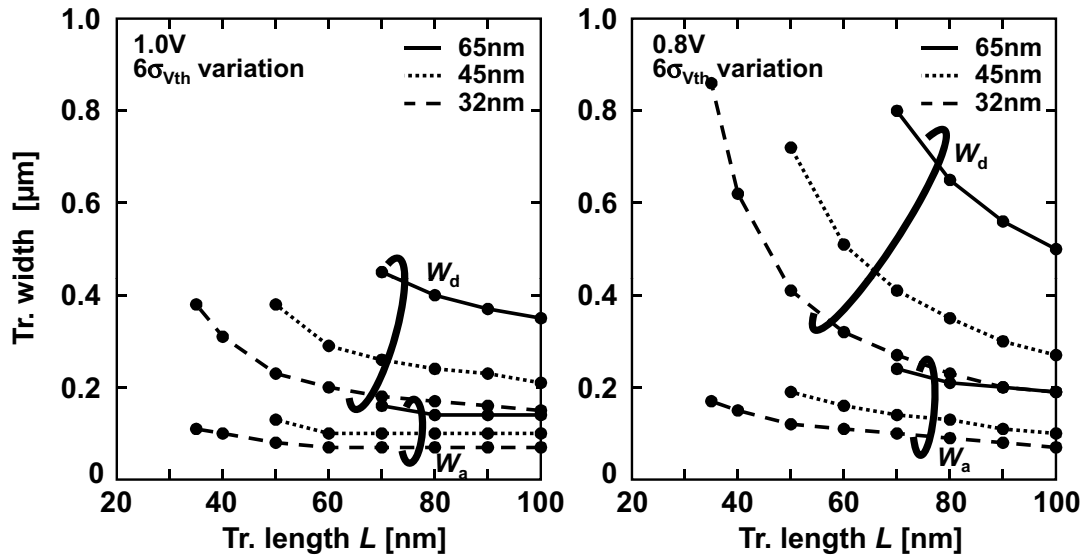
図 6.11 6T/8T セルの面積の世代推移 ($L = L_{min}$, ターゲット V_{th} が一定の場合)

6.4.2 $L = L_{\text{opt}}$, ターゲット V_{th} が一定の場合

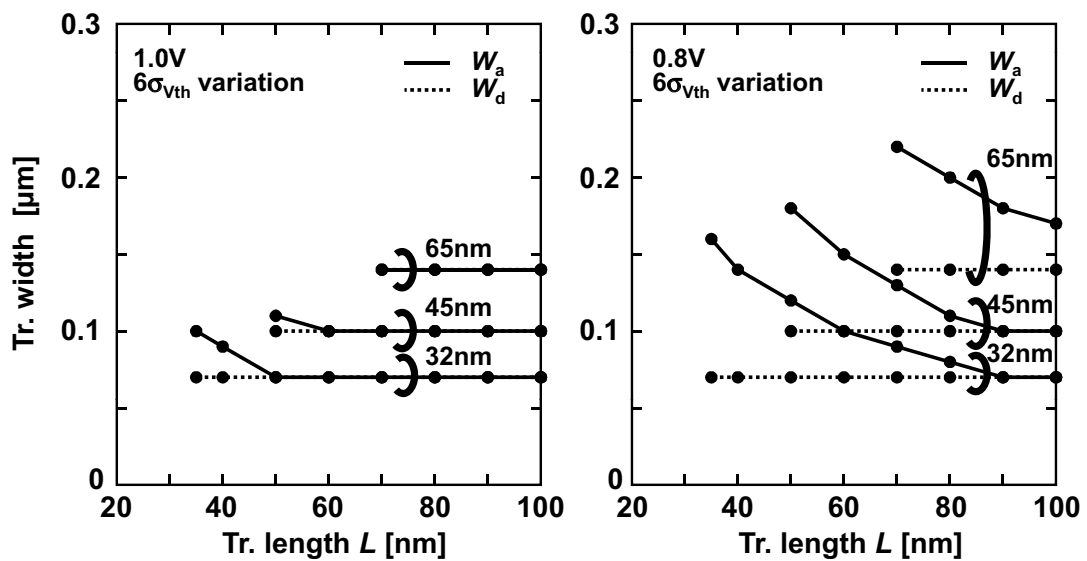
図 6.12 に、6T/8T セルで Tr. の L が変化したときに動作マージンを確保するための最小の W の値を示す。6T セルでは読出し/書込み双方の動作マージンの確保のために W が最適化される。一方、8T セルでは、SF コーナーで書込みマージンが確保されるという条件のみで W が設定される。6T セルでは、 L が小さくなるに従って増大する V_{th} ばらつきを抑制するために、 W_a 及び W_d が長くなる。これに対して、8T セルでは、書込みマージンの確保で十分なため W_a のみが長くなる。

図 6.13 に L が変化したときの 6T/8T セルの面積を示す。なお、65nm, 45nm, 32nm の各世代における 6T/8T セルの最小面積を丸で囲んで示した。6T セルでは最小 L のとき W_d 及び W_a の値が大きくなるため、セル面積は最小とならない。すなわち、6T セルでは将来のプロセスにおいて L を積極的にスケールリングできない。一方、8T セルにおいては、最小 L のとき最小面積となるため、最小 Tr. を使用でき、世代とともに Tr. をスケールリングすることができる。

図 6.14 に、最適 L (L_{opt}) を使用した場合の β , γ 比を示す。また、図 6.15 に $L = L_{\text{opt}}$ の場合の 6T/8T セルの面積の比較を示す。6T セルでは L が最適化されているため ($L_{\text{opt}} > L_{\text{min}}$)、 $L = L_{\text{min}}$ の場合 (図 6.10, 6.11) と比較して β , γ 比及び面積が縮小されている。しかしながら、各世代での面積の大小関係は $L = L_{\text{min}}$ の場合と同様である。32nm 世代では、1.0V 動作で 8T セルの面積が 6T セルの面積を 1.2% 下回り、0.8V では面積差が 14.6% となる。

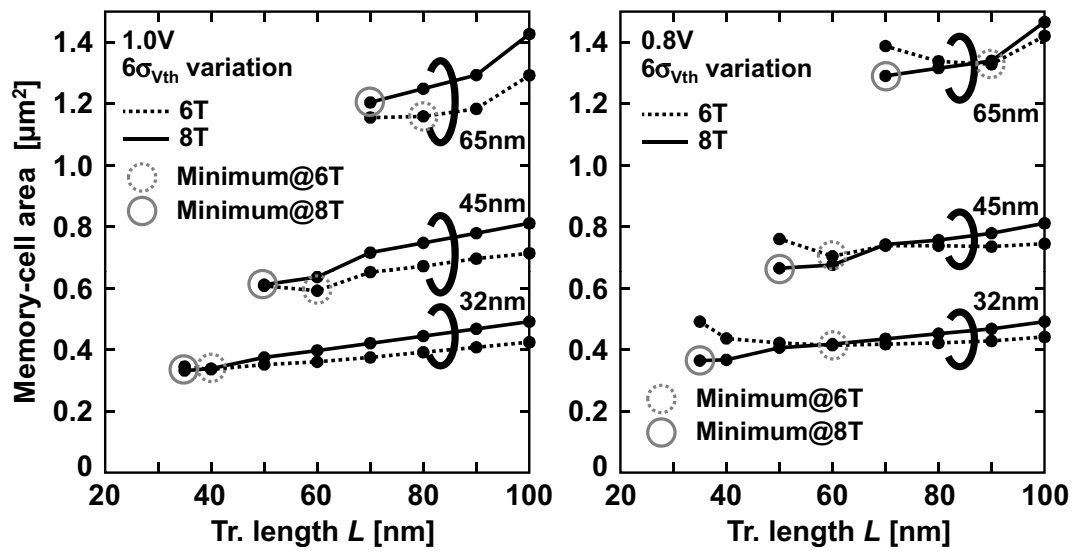


(a) 6T セル



(b) 8T セル

図 6.12 6T/8T セルの Tr. L 変化時の動作マージン確保のための最小 W

図 6.13 6T/8T セルの面積の L 依存性

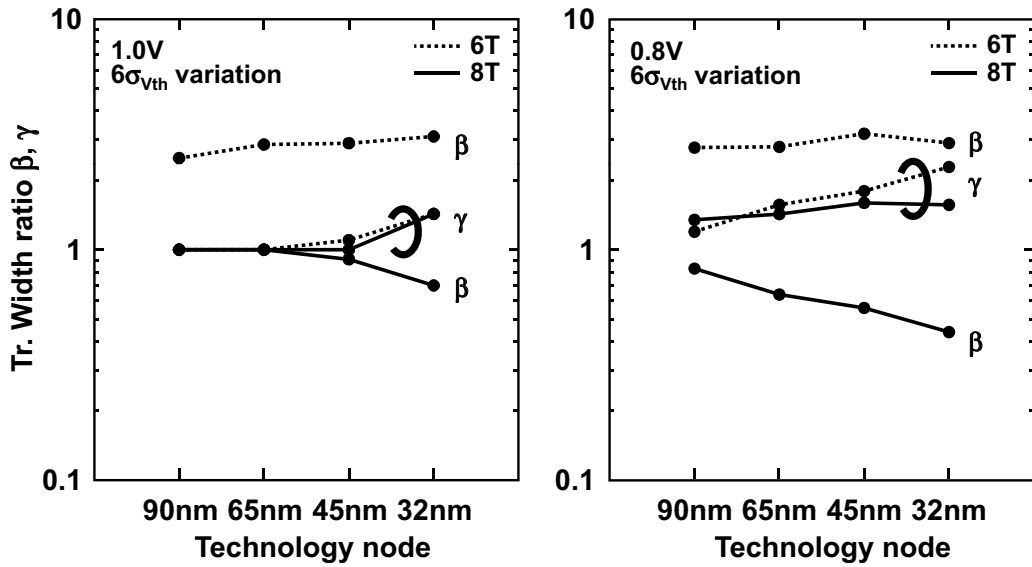


図 6.14 6T/8T セルの β, γ 比の世代推移 ($L = L_{opt}$, ターゲット V_{th} が一定の場合)

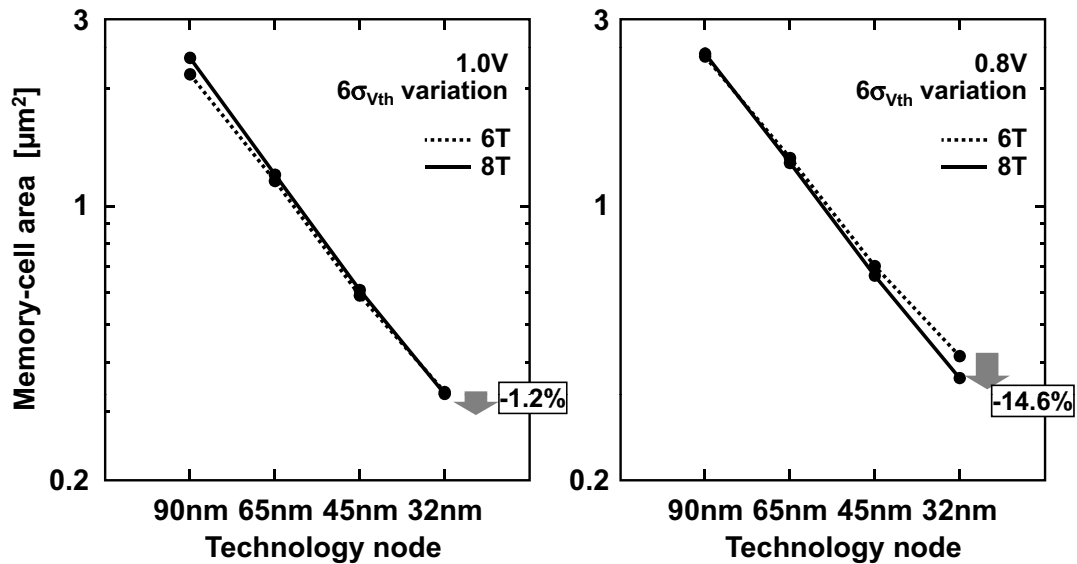


図 6.15 6T/8T セルの面積の世代推移 ($L = L_{opt}$, ターゲット V_{th} が一定の場合)

6.4.3 $L = L_{\min}$, ターゲット V_{th} が最適化される場合

本節では、ターゲット V_{th} を標準 $V_{th} \pm 0.1V$ の範囲で変更可能な場合を考える。図 3.11 のミルキーウェイプロットでは、中央のプロセスコーナーが CC コーナーを中心とした $\pm 0.1V$ の正方形の範囲で平行移動することに相当する。読出しマージンにおいては、ターゲット V_{th} の変化によりセルインバータの論理しきい値電圧 (V_{THL}) が変化する。読出し動作では、nMOS/pMOS V_{th} をともに正の方向に移動させる（すなわち、ミルキーウェイプロット上では右下の方向に移動させる）ことにより、 V_{THL} が上昇して読出しマージンが改善する。一方書込み動作では、nMOS/pMOS V_{th} をともに負の方向に移動させる（すなわち、ミルキーウェイプロット上では左上の方向に移動させる）ことにより、セルインバータの最小出力電圧 V_{WO} が低下し、結果として書込みマージンが改善する。すなわち、ターゲット V_{th} を変化させることで動作マージンが最適化され、6T セルの面積が最小化される。なお、8T セルについては書込みマージンのみ考慮すればよいため、ターゲット V_{th} をミルキーウェイプロット上で左上に最大限移動することにより、面積が最小化される。

図 6.16 に、ターゲット V_{th} を最適化した場合の β , γ 比を示し、図 6.17 に 6T/8T セルの面積の比較を示す。ターゲット V_{th} の最適化により 6T セルのみならず 8T セルにおいても β , γ 比を小さく設定できるため、ターゲット V_{th} が一定の場合と比較して、32nm 世代での 6T/8T セルの面積差が拡大する。32nm 世代での 6T/8T セルの面積差は、1.0V 動作で 4.9%、0.8V 動作で 29.4% である。

ここで、6T/8T セルに流れるリーク電流について言及する。ターゲット V_{th} の値が 6T/8T セルで独立に設定されるため、リーク電流値は 6T/8T セルで異なる。特に 8T セルでは、nMOS/pMOS V_{th} をともに負の方向に移動させることが面積最小化のために最適である。実際、90nm 世代での 8T セルのリーク電流は 6T セルの場合の 8.1 倍である。

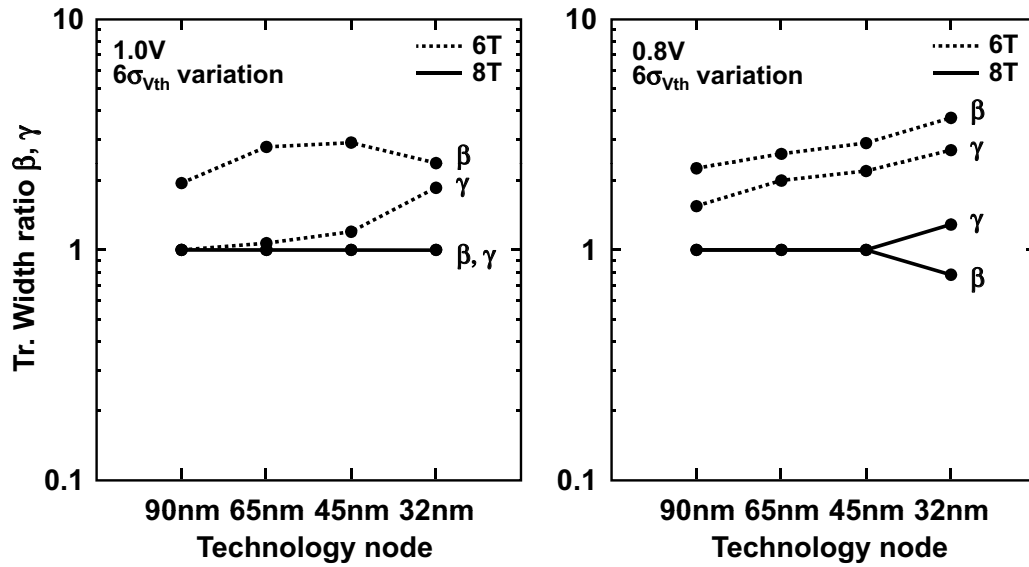


図 6.16 6T/8T セルの β, γ 比の世代推移 ($L = L_{min}$, ターゲット V_{th} が最適化される場合)

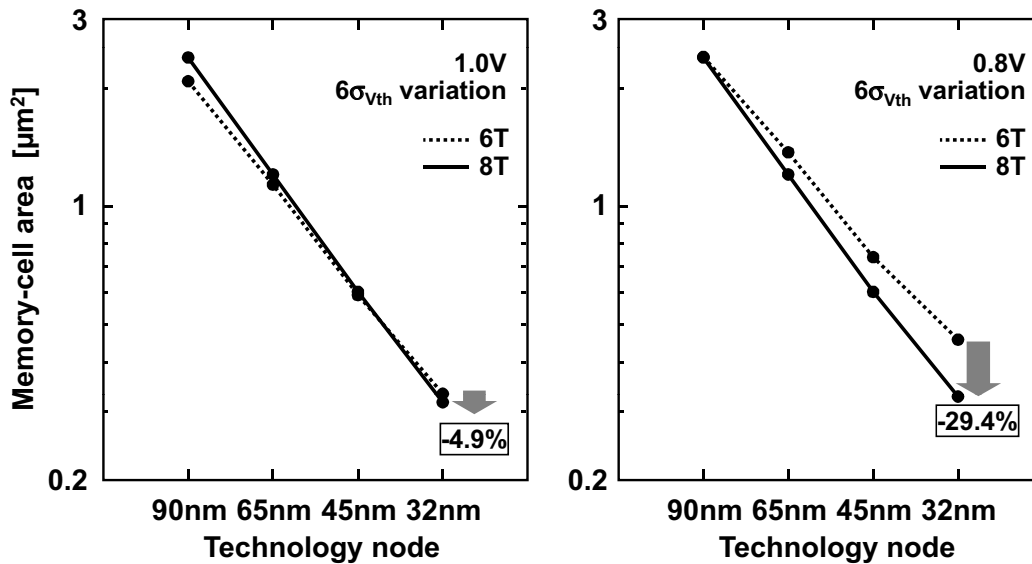


図 6.17 6T/8T セルの面積の世代推移 ($L = L_{min}$, ターゲット V_{th} が最適化される場合)

6.4.4 電圧制御が適用される場合

A. 面積比較

本節では、Dual- V_{dd} 手法及び DVS 手法を適用した際の 6T/8T セルの面積を比較する。なお、 $L = L_{min}$ に設定し、またターゲット V_{th} を標準 $V_{th} \pm 0.1V$ の範囲で最適化している。

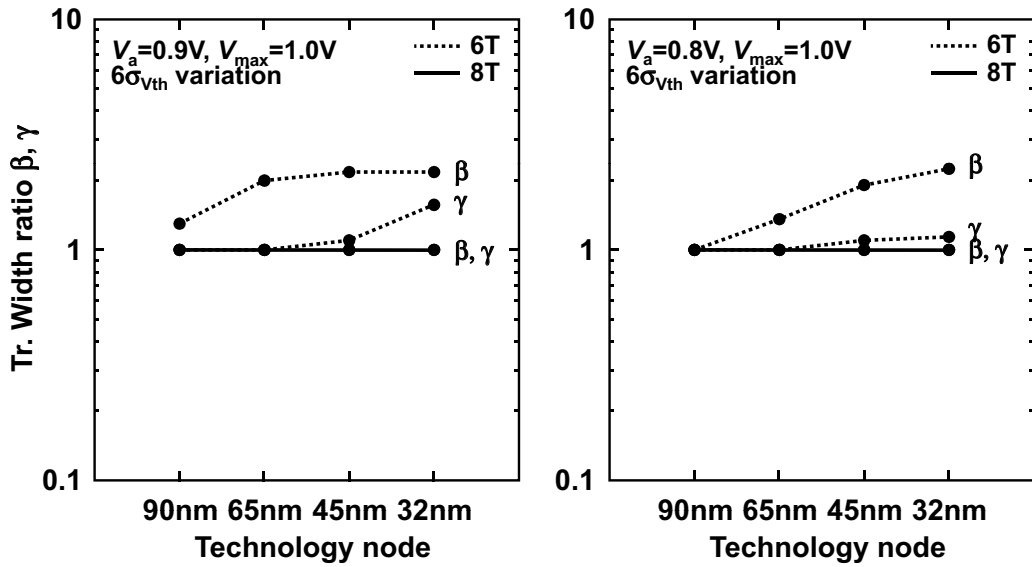
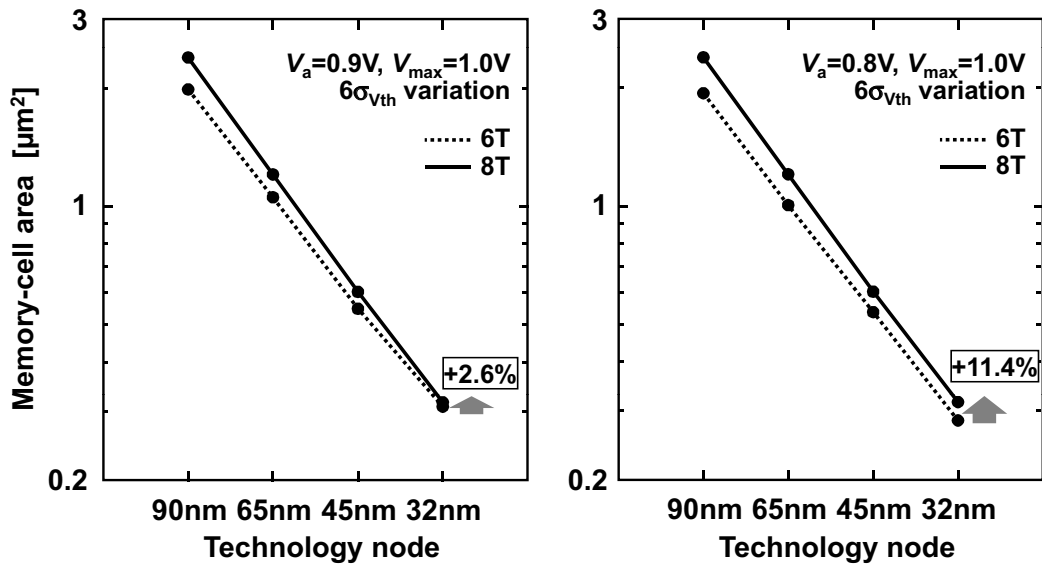
図 6.18 に Dual- V_{dd} 手法適用時の β , γ 比の世代推移を示す。Dual- V_{dd} 手法では低 V_a の場合に動作マージンを改善できるため、Single- V_{dd} 手法と比較して β , γ 比を小さく設定でき、それゆえ面積を縮小可能である。

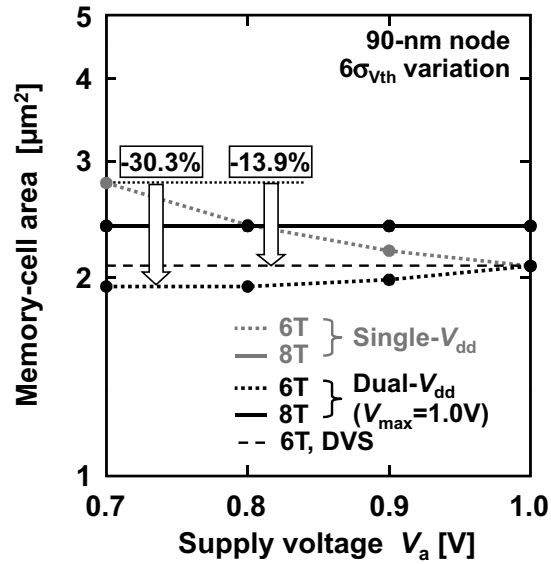
図 6.19 で Dual- V_{dd} 手法適用時の 6T/8T セルの面積を比較している。Dual- V_{dd} 手法により 6T セルの β 比を小さく設定できるため、 $V_a = 0.9[V]$ の時点ですべての世代で 6T セルの面積が 8T セルの面積を下回っている。さらに、 $V_a = 0.8[V]$ の場合、8T セルの面積は 6T セルよりも 11.4% 大きくなる。

B. 面積の V_{dd} 依存性

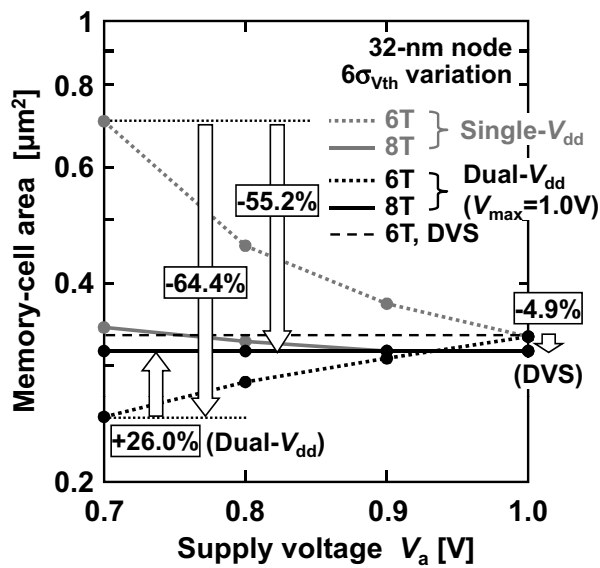
図 6.20 に 6T/8T セルの面積の V_{dd} 依存性をまとめる。DVS 手法適用時のセル面積は、動作マージンに対するワーストケースである $V_a = 1.0[V]$ での面積に相当する。90nm 世代においては、Dual- V_{dd} /DVS 手法の使用により、8T セルの面積が 6T セルの面積を常に上回る。32nm 世代では $V_a = 1.0[V]$ 付近で 8T セルが有利となるが、Dual- V_{dd} 手法を適用すると $V_a \leq 0.9[V]$ で 6T セルが有利となる。

DVS 手法の場合、32nm 世代で 8T セルの面積が 6T セルと比較して 4.9% 小さくなる。一方、Dual- V_{dd} 手法を適用すると、0.7V 動作で 8T セルの面積が 6T セルよりも 26.0% 大きくなる。また、0.7V 動作の 6T セルを対象にすると、Single- V_{dd} 手法と比較して、Dual- V_{dd} 手法の適用により面積を 64.4% 削減でき、DVS 手法では面積を 55.2% 削減できる。

図 6.18 6T/8T セルの β, γ 比の世代推移 (Dual- V_{dd} 手法適用時)図 6.19 6T/8T セルの面積の世代推移 (Dual- V_{dd} 手法適用時)



(a) 90nm 世代



(b) 32nm 世代

図 6.20 6T/8T セルの面積の V_{dd} 依存性

6.5 面積とアクセスタイム

本節では、面積とアクセスタイムの比較を 6T-SRAM マクロと 8T-SRAM マクロで行う。6T/8T-SRAM マクロには、6T/8T セルアレイのほかに周辺回路（アドレスデコーダ、読出し/書込み回路など）が含まれる。Dual- V_{dd} /DVS 手法では、このほかにワード線の電圧を V_{max} に増幅するためのレベルシフタが X デコーダの後段に挿入されている。

6T セルは 2 本のビット線による差動の動作であるため、高速アクセスが可能である。一方、8T セルは読出しビット線 (RBL) がシングルエンドであるため、読出しアクセス時に RBL の電位がフルスイングとなり、低速である。そこで、8T-SRAM マクロを高速化するため、図 6.21 に示す階層ビット線構造 [36] を利用する。階層ビット線構造では、ローカル RBL (LRBL) 及びグローバル RBL (GRBL) を用いて階層的にデータを読出す。しかしながら、階層ビット線構造の GRBL driver に起因して 8T-SRAM マクロに面積オーバーヘッドが発生する。それゆえ、マクロ面積とアクセスタイムにはトレードオフの関係が存在する。

アクセスタイムのシミュレーションでは、ワーストケースとなるようにプロセスコーナーを SS コーナーに設定する。また、ローカル V_{th} ばらつきに関しては、図 6.22 に示すように、6T セルに対しては“L”保持ノードに接続されているアクセス $Tr.$ とドライブ $Tr.$ に割振り、8T セルに対しては読出しポートの $2Tr.$ ($Na3$, $Nd3$) に割振る。図 6.22 の係数 m は 4.24 に設定し、SRAM セル全体で $6\sigma_{V_{th}}$ を考慮するようにする。さらに、アクセスタイムを次のように定義する。6T-SRAM マクロについては、ワード線が立上ってから差動ビット線の電位差が 100mV となるまでの期間とし、8T-SRAM マクロに対しては、ワード線が立上ってからプリチャージされたグローバルビット線 (GRBL) の電位が電源電圧の 1/2 の値に低下するまでの期間とする。

図 6.23-6.27 に、128kb (128 bits \times 1024 words) 6T/8T-SRAM マクロの面積及びアクセスタイムの比較を示す。図の横軸は 8T-SRAM マクロにおいてローカル RBL (LRBL) に接続されているメモリセルの数 (N_{mc}) である。階層ビット線構造を構成する回路 (GRBL

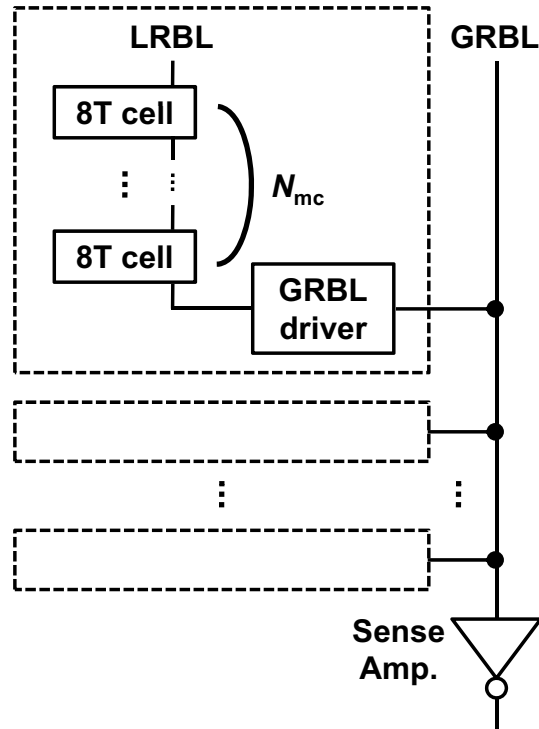


図 6.21 8T-SRAM マクロにおける階層ビット線構造の概念図（読出しポートのみ）

driver など) の LRBL 方向の幅は、8T セルの縦幅の 1.71 倍である。 N_{mc} が増大すると 8T-SRAM マクロのアクセスタイムが長くなるが、階層ビット線構造による面積オーバーヘッドが小さくなり、マクロの面積比がセル面積比とほぼ同一となる。

基本的には、アクセスタイムとマクロ面積にはトレードオフの関係が成立する。しかしながら、図 6.24 では、6T セルの T_r の L が L_{min} よりも長い最適値に設定されているため、6T-SRAM マクロのアクセスタイムが長くなり、アクセスタイム比が小さくなっている。0.8V 動作で $N_{mc} = 128$ と設定した場合、6T-SRAM マクロと比較して 8T-SRAM マクロの面積が 11.9% 小さくなり、かつアクセスタイムが 3.4% 短くなる。また、ターゲット V_{th} が最適化された場合（図 6.25）においては、1.0V 動作で 8T-SRAM マクロが面積及びアクセスタイムで有利となる点が存在する。

Dual- V_{dd} /DVS 手法（図 6.26, 6.27）では、アクセスタイム比が常に 1 より小さく、8T-SRAM マクロの動作が常に相対的に高速である。その理由は、8T-SRAM マクロのア

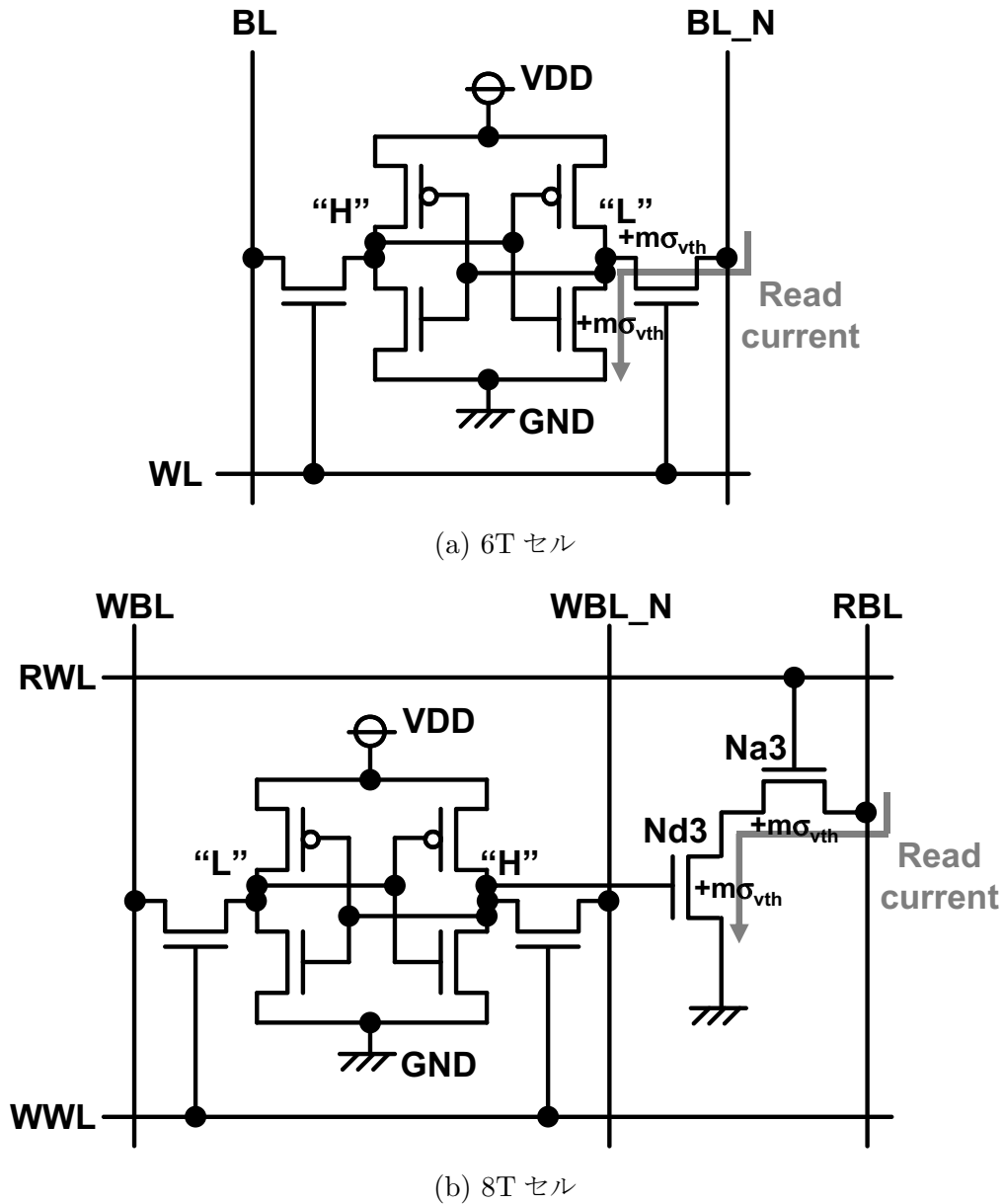


図 6.22 6T/8Tセルにおけるアクセスタイムに対する V_{th} ばらつき最悪ケース

アクセスタイムが 8T セルの独立読出しポートで決定するのに対し、6T-SRAM マクロではアクセスタイムを決定付ける 6T セルの W_d が小さな値に設定されるためである。Dual- V_{dd} 手法では、 V_a が低下すればするほど β 比、すなわち W_d が小さく設定される。なお、DVS 手法では、動作マージンに対する最悪ケースが 1.0V 動作のときであり、 V_a が 1.0V より低い場合においても $V_a = 1.0[V]$ での β 比が適用される。

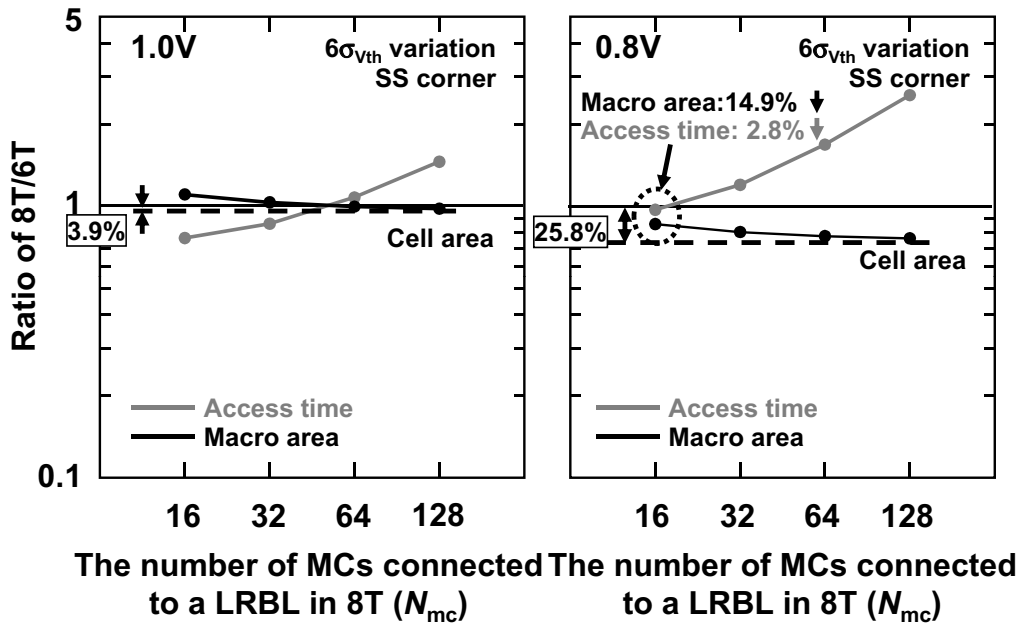


図 6.23 6T/8T-SRAM マクロにおける面積及びアクセスタイムの比較 ($L = L_{min}$, ターゲット V_{th} が一定の場合)

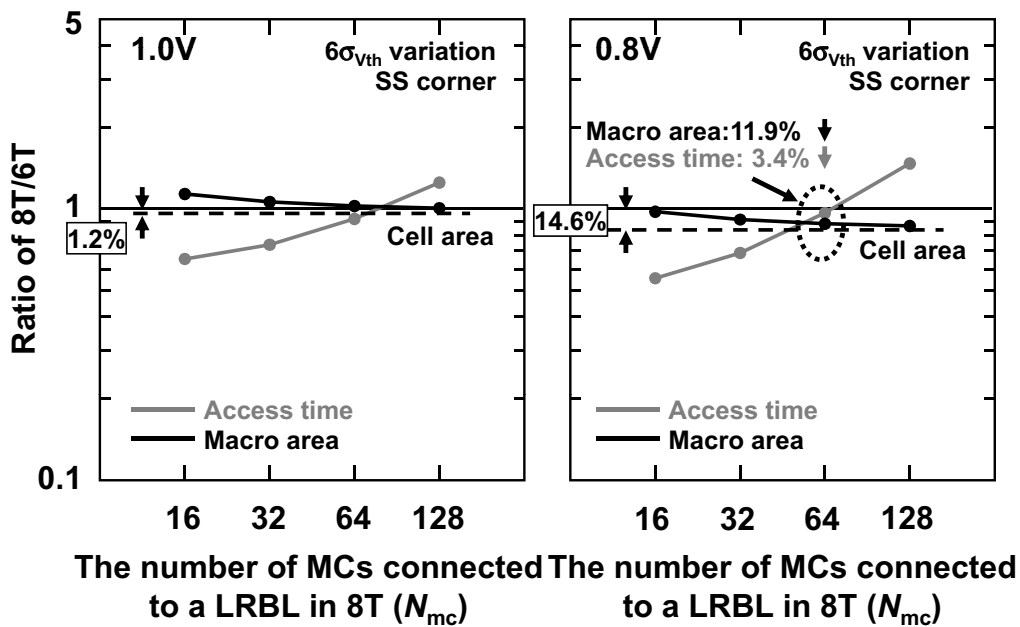


図 6.24 6T/8T-SRAM マクロにおける面積及びアクセスタイムの比較 ($L = L_{opt}$, ターゲット V_{th} が一定の場合)

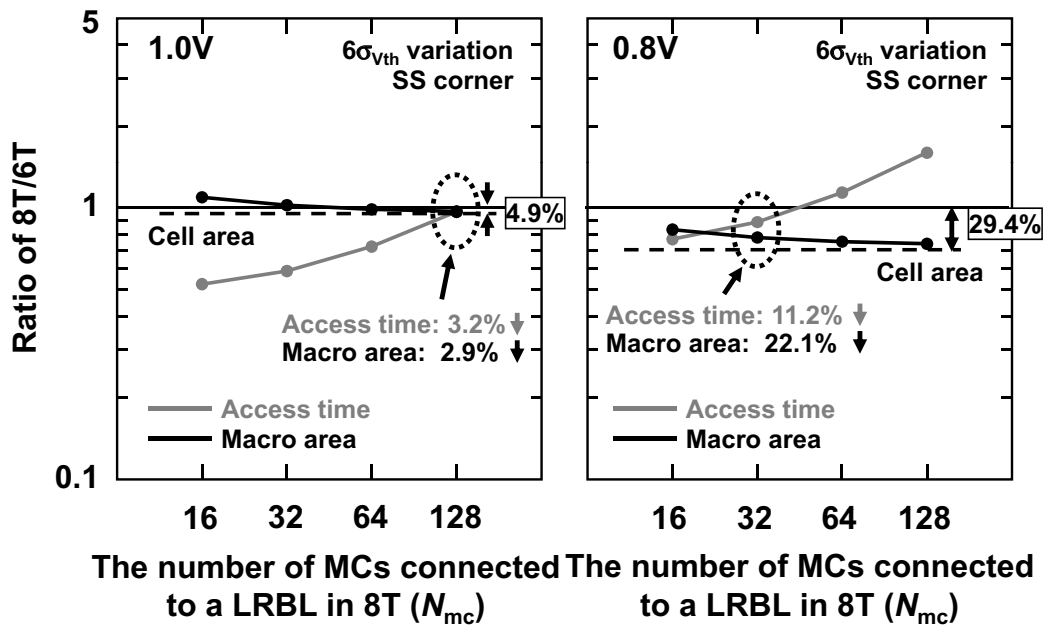


図 6.25 6T/8T-SRAM マクロにおける面積及びアクセスタイムの比較 ($L = L_{min}$, ターゲット V_{th} が最適化される場合)

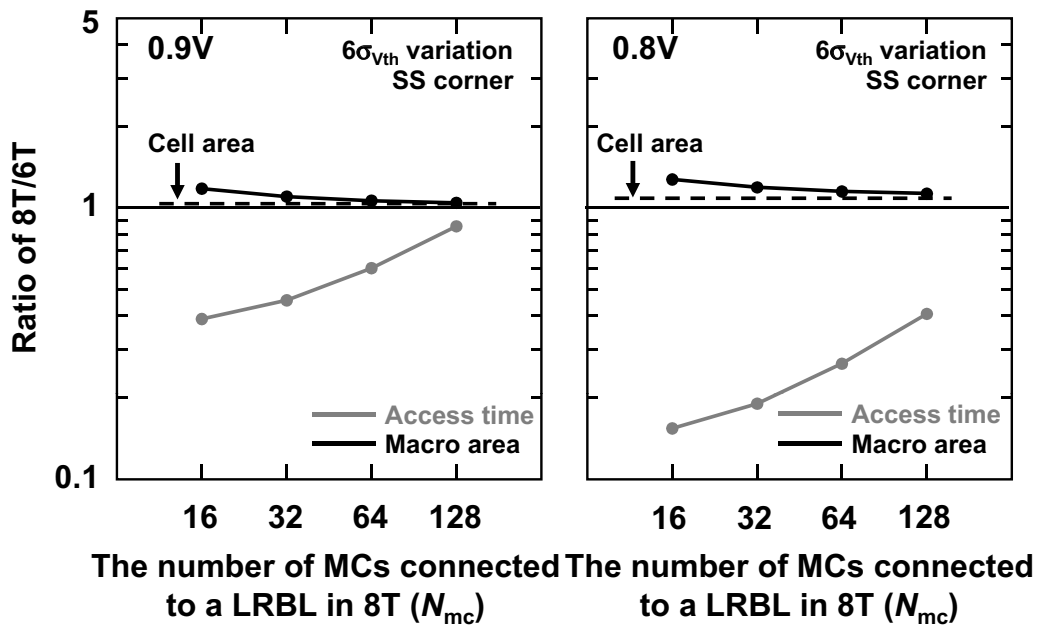


図 6.26 6T/8T-SRAM マクロにおける面積及びアクセスタイムの比較 (Dual- V_{dd} 手法適用時)

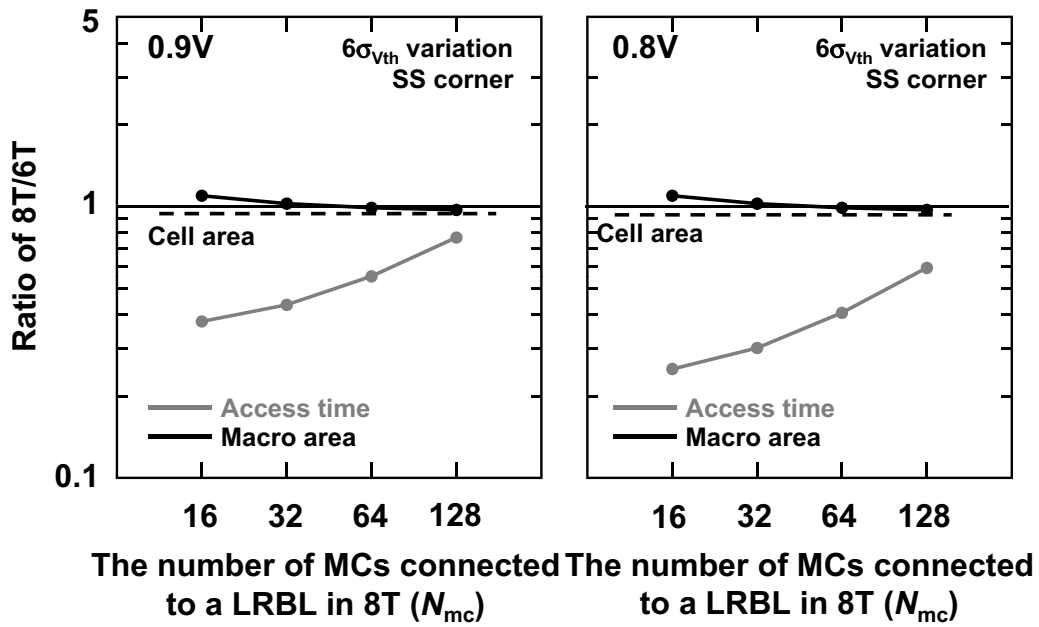


図 6.27 6T/8T-SRAM マクロにおける面積及びアクセスタイムの比較 (DVS 手法適用時)

6.6 結言

V_{th} ばらつきが拡大する将来の 32nm 世代において、単一電源の使用 (Single- V_{dd} 手法) では、従来の 6T セルに独立読出しポートを構成する 2Tr. を付加した 8T セルの面積が 6T セルの面積を下回ることを定量的に示した。実際、0.8V 動作で 8T セルの面積が 6T セルよりも 14.6% 小さくなる。

また、2 電源を使用して動作マージンを拡大する手法 (Dual- V_{dd} 手法) の適用により、32nm 世代においても 6T セルの面積が小さくなることを示した。一方、DVS 手法では、Single- V_{dd} 手法と同様に 32nm 世代で 8T セルが有利となる。32nm 世代、0.7V 動作では、Single- V_{dd} 手法適用時と比較して、Dual- V_{dd} 手法により 6T セルの面積が 64.4% 削減される。また、DVS 手法を適用した 8T セルは、Single- V_{dd} 手法適用の 6T セルよりも面積が 55.2% 削減される。

第7章

結論

本研究では、サブ 100nm 世代 LSI に搭載される SRAM の低電圧動作・高集積化に向けた要素技術を提案した。SRAM セルとして 6T セル及び 8T セルを研究対象とし、おのこのセルで構成された SRAM に対して低電圧動作を実現するための技術を提案した。また、32nm 世代に向けて 6T/8T セルの面積の比較を行い、小面積を実現する SRAM セルの検討を行った。

第4章 DVS 環境下での低電圧動作 6T SRAM の設計

DVS 環境下で低電圧動作時の 6T セルの動作マージンを改善するための最適電圧制御手法と、本手法を適用する上でメモリセルの保持データ破壊を防止するための自己調整タイミング制御回路を提案した。

最適電圧制御手法では、DVS 環境下で動的に制御される電圧 V_a に加えて、外部から供給される一定の高電圧 V_{max} を SRAM に供給し、読出し/書込み動作に応じて 6T セルの各電圧（セルインバータ電源電圧及びワード線電圧）を切り替える。

読出し動作時にはセルインバータの電源電圧を V_{max} に設定し、セルインバータの保持データを安定化させる。一方、書込み動作ではワード線電圧を V_{max} に設定し、アクセス $Tr.$ のコンダクタンス値を上昇させることで、ビット線からセルインバータへのデータの書込みを安定化させる。また、6T セルの pMOS ロード $Tr.$ の基板バイアス電圧を V_{max} に設定し、書込み時にロード $Tr.$ のしきい値電圧を上昇させ、

書込みマージンを改善する。これらの動作により、低電圧動作時の動作マージンを確保する。

また、自己調整タイミング制御回路では、電圧制御にあたってセルインバータ電源電圧、ワード線電圧、書込みイネーブル信号に対して切替タイミングを適切に設定し、6Tセルの保持データ破壊の防止を図る。

90nmプロセスで64kb SRAMを試作し、動作電圧下限を0.55Vから0.3Vに低減し、動作周波数100MHzにおける消費電力を30%削減することを実証した。なお、提案手法による面積オーバーヘッドは5.6%である。また、容量が増大したり、製造プロセスが65nm世代に進化したりした場合、提案手法による消費電力削減効果が増大することを示した。

第5章 DVS環境下での低電圧動作8T SRAMの設計

8Tセルで構成されたSRAMに対し、DVS環境下で低電圧動作を実現するための電圧制御手法と、ハーフセレクト列における書込み時のセル不安定性を回避するためのライトバック手法を提案した。

8Tセルは、従来6Tセルに2Tr.の独立読出しポートを付加した構成であり、安定読出し動作が可能のため、従来6Tセルの部分において読出しマージンを考慮する必要がない。提案する電圧制御手法では、読出し/書込みワード線を高電圧 V_{\max} に設定し、低電圧動作時に書込みマージン及び読出し電流を改善することにより、低電圧化を実現する。

また、ワード線を階層化しないシングルワード線構造の場合、書込み時に書込みワード線が立上がると非選択列（ハーフセレクト列）に属するセルがアクセスされ、セルの安定性が失われる。提案するライトバック手法は、クロックサイクルの前半で、選択/非選択にかかわらず全列の保持データが読出される。クロックサイクルの後半で書込み動作が実行され、書込まれるデータとして、選択列に対しては外部入力信号が割り当てられ、非選択列に対してはクロックサイクルの前半で読出されたデータが割り当てられる。これにより、クロック1サイクルでハーフセレクト列の

保持データが破壊されずに、選択列に外部入力データが書込まれる。

90nm プロセスで従来手法及び提案手法（電圧制御手法及びライトバック手法）を実装した 64kb 8T SRAM を試作し、書込み動作時の動作電圧下限を 0.58V から 0.34V に低減することを実証した。

第 6 章 32nm 世代に向けた低電圧動作・小面積 SRAM セルの検討

現在の 90nm 世代から将来の 32nm 世代において、しきい値電圧ばらつきにかかわらず動作マージンを確保するために必要な 6T/8T セルの面積を導出し、比較を行った。

従来 Single- V_{dd} 手法では、32nm 世代、1.0V 動作において 8T セルの面積が 6T セルの面積を 3.9% 下回ることを示した。0.8V 動作では、8T セルのほうが 6T セルよりも面積が 14.6% 小さくなる。

また、Dual- V_{dd} 手法により 6T/8T セルに対して電圧制御を適用した場合、低電圧動作時に動作マージンが改善され、6T/8T セルの面積が小さくなる。本状況下で、32nm 世代においても 6T セルのほうが面積が小さくなることを示した。一方、DVS 手法では、Single- V_{dd} 手法と同様に 32nm 世代で 8T セルが有利となる。32nm 世代、0.7V 動作では、Single- V_{dd} 手法適用時と比較して、Dual- V_{dd} 手法により 6T セルの面積が 64.4% 削減される。また、DVS 手法を適用した 8T セルは、Single- V_{dd} 手法適用の 6T セルよりも面積が 55.2% 削減される。

したがって、32nm 世代において、Single- V_{dd} 手法や DVS 手法では 8T セルが有利となるが、Dual- V_{dd} 手法を適用することで 6T セルが有利であり続ける。

以上のように、本論文では、サブ 100nm 世代で SRAM の低電圧動作・高集積化を実現するための要素技術を詳述した。6T/8T セルを対象に、DVS 環境下で低電圧動作を実現するための技術について詳述した。また、将来の 32nm 世代において 6T/8T セルの面積を比較し、Single- V_{dd} 手法及び DVS 手法では 8T セルが面積の観点で有利となるが、低電圧動作時に動作マージンを拡大する Dual- V_{dd} 手法の適用時には 6T セルが有利であり続けることを示した。これらの研究成果を適用することにより、サブ 100nm 世代において低電

圧動作かつ高集積性の特徴を有した SRAM が実現可能である.

謝辞

本論文は、筆者が金沢大学工学部電気電子システム工学科集積回路システム研究室及び神戸大学工学部情報知能工学科計算機アーキテクチャ研究室において行った研究成果をまとめたものである。

本研究の遂行に当たり、金沢大学大学院博士前期課程に在籍した頃から一貫して懇切なご指導とご鞭撻を賜った神戸大学大学院工学研究科教授 吉本雅彦博士に甚大なる謝意を表します。豊富な発想・知識により積極的かつ適切なご指導を賜った神戸大学大学院工学研究科准教授 川口博博士に厚く謝意を申し述べます。

金沢大学在籍時において有益なご指導とご助言を賜った金沢大学大学院自然科学研究科教授 松田吉雄博士、金沢大学大学院自然科学研究科講師 深山正幸博士に厚く感謝の意を申し上げます。また、本論文及び本研究に対して貴重なご助言を賜った神戸大学大学院工学研究科准教授 太田能博士、神戸大学大学院工学研究科准教授 永田真博士、神戸大学大学院工学研究科教授 羅志偉博士、神戸大学大学院工学研究科教授 沼昌宏博士、金沢大学大学院自然科学研究科准教授 北川章夫博士、金沢大学大学院自然科学研究科准教授 秋田純一博士に深く感謝の意を表します。

本研究に対して有益なご教示を賜った神戸大学大学院自然科学研究科博士後期課程 3 年新居浩二氏、博士後期課程 2 年 鈴木利一氏、工学研究科博士後期課程 1 年 鈴木弘明氏に厚く感謝の意を表します。

本研究に関して有益な討論を行い、また助言をいただいた神戸大学大学院自然科学研究科博士後期課程 2 年 藤原英弘氏、博士前期課程 2 年 野口紘希氏、工学研究科博士前期課程 1 年 井口友輔氏、神戸大学工学部 4 年 奥村俊介氏に深く感謝の意を表します。

金沢大学在籍時から本研究を支え、多大な協力をいただいた大平英雄博士，峯岸孝行博士，川上健太郎博士，三上真司博士，宮越純一博士，黒田雄樹氏，村地勇一郎氏，金森美和子氏，竹村淳氏に心より感謝いたします。

神戸大学において研究生生活を共にし，多くのご助言とご協力をいただいた Augusto Foronda 氏，芳野宏徳氏，松田隆志氏，竹内隆氏，青西孝文氏，一圓真澄氏，長井健一氏，濱本真生氏，福山祐貴氏，山本亮氏，飯沼隆弘氏，石原朋和氏，印芳氏，祇園昭宏氏，黒田光彦氏，樋口雄飛氏，吉野圭一氏，和泉慎太郎氏，大竹優氏，坂田義典氏，高橋巧至氏，矢倉健一郎氏，李赫鍾氏，李将充氏，上農哲也氏，小西恵大氏，谷純一氏，鶴田嵩氏，中田洋平氏，三浦和夫氏，水野孝祐氏に心より感謝いたします。また，研究生生活のお世話をしてくださり，また温かく見守ってくださった神戸大学工学部情報知能工学科計算機アーキテクチャ研究室秘書 呉恵美氏，泉由里絵氏に深く感謝いたします。

金沢大学在籍時においてわずかな期間ながら研究生生活を共にした，石原一氏，井家佑介氏，小川大佑氏，春日隆文氏，辻崇行氏，辻原完治氏に深く感謝いたします。

また，同期として金沢大学に入学し，神戸大学に転学してからもお互いに叱咤激励，切磋琢磨することができた神戸大学大学院自然科学研究科博士後期課程 2 年 松野哲郎氏に深く感謝いたします。

本論文の第 5，6 章の研究内容は，株式会社ルネサステクノロジとの共同研究の成果の一部である。また，本研究での LSI チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センター，富士通株式会社，松下電器産業株式会社，NEC エレクトロニクス株式会社，株式会社ルネサステクノロジ，株式会社東芝の協力で行われたものである。試作チップの評価に関して，京都大学情報学研究科准教授 小林和淑博士，京都大学情報学研究科助教 土谷亮博士，ならびに京都大学 VDEC サブセンターに深謝いたします。

最後に，これまで筆者を支えてくれた両親，家族に，心から感謝いたします。

参考文献

- [1] International Technology Roadmap for Semiconductors 2005, <http://www.itrs.net/Common/2005ITRS/Home2005.htm>.
- [2] K. Osada, J. Shin, M. Khan, Y. Liou, K. Wang, K. Shoji, K. Kuroda, S. Ikeda, and K. Ishibashi, "Universal-Vdd 0.65-2.0V 32kB cache using voltage-adapted timing-generation scheme and a lithographical-symmetric cell," International Solid-State Circuits Conference Digest of Technical Papers, pp.168-169, Feb. 2001.
- [3] B. Wicht, D. Schmin-Laodsiedel, S. Paul, and A. Sanders, "SRAM current-sense amplifier with fully-compensated bit line multiplexer," International Solid-State Circuits Conference Digest of Technical Papers, pp.172-173, Feb. 2001.
- [4] J.M. Hill and J. Lachman, "A 900MHz 2.25MB cache with on-chip CPU - now in Cu SOI," International Solid-State Circuits Conference Digest of Technical Papers, pp.176-177, Feb. 2001.
- [5] U.R. Cho, T.H. Kim, Y.J. Yoon, J.C. Lee, D.G. Bae, N.S. Kim, K.Y. Kim, Y.J. Son, J.S. Yang, K.I. Sohn, S.T. Kim, I.Y. Lee, K.J. Lee, T.G. Kang, S.C. Kim, K.S. Ahn, and H.G. Byun, "A 1.2 V 1.5 Gb/s 72 Mb DDR3 SRAM," International Solid-State Circuits Conference Digest of Technical Papers, pp.300-301, Feb. 2003.
- [6] K. Osada, Y. Saitoh, E. Ibe, and K. Ishibashi, "16.7 fA/cell tunnel-leakage-suppressed 16 Mb SRAM for handling cosmic-ray-induced multi-errors," International Solid-State Circuits Conference Digest of Technical Papers, pp.302-303, Feb. 2003.

- [7] M. Yamaoka, Y. Shinozaki, N. Maeda, Y. Shimazaki, K. Kato, S. Shimada, K. Yanagisawa, and K. Osada, "A 300MHz 25uA/Mb leakage on-chip SRAM module featuring process-variation immunity and low-leakage-active mode for mobile-phone application processor," International Solid-State Circuits Conference Digest of Technical Papers, pp.494-495, Feb. 2004.
- [8] J. Chang, J. Shoemaker, M. Haque, M. Huang, K. Truong, M. Karim, S. Chiu, G. Leong, K. Desai, R. Goe, S. Kulkarni, A. Rao, D. Hannoun, and S. Rusu, "A 0.13um triple-Vt 9MB third level on-die cache for the Itanium2 processor," International Solid-State Circuits Conference Digest of Technical Papers, pp.496-497, Feb. 2004.
- [9] K. Takeda, Y. Hagihara, Y. Aimoto, M. Nomura, R. Uchida, Y. Nakazawa, Y. Hirota, S. Yoshida, and T. Saito, "Per-bit sense amplifier scheme for 1GHz SRAM macro in sub-100nm CMOS technology," International Solid-State Circuits Conference Digest of Technical Papers, pp.502-503, Feb. 2004.
- [10] K. Nii, Y. Tsukamoto, T. Yoshizawa, S. Imaoka, and H. Makino, "A 90nm dual-port SRAM with 2.04um² 8T-thin cell using dynamically-controlled column bias scheme," International Solid-State Circuits Conference Digest of Technical Papers, pp.508-509, Feb. 2004.
- [11] K. Zhang, U. Bhattacharya, Z. Chen, F. Hamzaoglu, D. Murray, N. Vallepalli, Y. Wang, B. Zheng, and M. Bohr, "A 3-GHz 70MB SRAM in 65nm CMOS technology with integrated column-based dynamic power supply," International Solid-State Circuits Conference Digest of Technical Papers, pp.474-475, Feb. 2005.
- [12] K. Takeda, Y. Hagihara, Y. Aimoto, M. Nomura, Y. Nakazawa, T. Ishii, H. Kobatake, "A read-static-noise-margin-free SRAM cell for low-V_{dd} and high-speed applications," International Solid-State Circuits Conference Digest of Technical Papers, pp.478-479, Feb. 2005.

-
- [13] M. Yamaoka, N. Maeda, Y. Shinozaki, Y. Shimazaki, K. Nii, S. Shimada, K. Yanagisawa, T. Kawahara, "Low-power embedded SRAM modules with expanded margins for writing," International Solid-State Circuits Conference Digest of Technical Papers, pp.480-481, Feb. 2005.
- [14] T. Suzuki, Y. Yamagami, I. Hatanaka, A. Shibayama, H. Akamatsu, and H. Yamauchi, "0.3 to 1.5V embedded SRAM with device-fluctuation-tolerant access-control and cosmic-ray-immune hidden-ECC scheme," International Solid-State Circuits Conference Digest of Technical Papers, pp.484-485, Feb. 2005.
- [15] S.H. Dhong, O. Takahashi, M. White, T. Asano, T. Nakazato, J. Silberman, A. Kawasumi, H. Yoshihara, "A 4.8GHz fully pipelined embedded SRAM in the streaming processor of a CELL processor," International Solid-State Circuits Conference Digest of Technical Papers, pp.486-487, Feb. 2005.
- [16] J. Wu, D. Weiss, C. Morganti, M. Dreesen, "The asynchronous 24MB on-chip level-3 cache for a dual-core Itanium-family processor," International Solid-State Circuits Conference Digest of Technical Papers, pp.488-489, Feb. 2005.
- [17] J. Davis, D. Plass, P. Bunce, Y. Chan, A. Pelella, R. Joshi, A. Chen, W. Huott, T. Knips, P. Patel, K. Lo, and E. Fluhr, "A 5.6GHz 64kB dual-read data cache for the POWER6TM processor," International Solid-State Circuits Conference Digest of Technical Papers, pp.622-623, Feb. 2006.
- [18] M. Khellah, N.S. Kim, J. Howard, G. Ruhl, M. Sunna, Y. Ye, J. Tschanz, D. Somasekhar, N. Borkar, F. Hamzaoglu, G. Pandya, A. Farhang, K. Zhang, and Vivek De, "A 4.2GHz 0.3mm² 256kb dual-V_{cc} SRAM building block in 65nm CMOS," International Solid-State Circuits Conference Digest of Technical Papers, pp.624-625, Feb. 2006.
- [19] C. Tseng, J.H. Kim, S. Chen, M.H. Huang, C. Lu, I. Hashiguchi, Y. Miyazima, M. Ichihashi, K. Maki, K. Nakashima, P. Chuang, "A 72Mb separate-I/O synchronous

- SRAM chip with 504Gb/s data bandwidth,” International Solid-State Circuits Conference Digest of Technical Papers, pp.626-627, Feb. 2006.
- [20] 水野弘之, “DVS/DVFS 技術による低電力化の今後,” 信学技報, ICD2007-76, Vol.107, No.194, pp.41-46, 2007年8月.
- [21] K. Kawakami, M. Kanamori, Y. Morita, J. Takemura, H. Ohira, M. Miyama, M. Yoshimoto, “A feed-forward dynamic VDD-VBB-frequency management for low power motion video compression on 90nm RISC processor,” Intelligent Automation and Soft Computing (AutoSoft Journal), Vol.12, No.3, pp.283-298, 2006.
- [22] T. Sakurai and A.R. Newton, “Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas,” IEEE J. Solid-State Circuits, vol.25, no.2, pp.584-594, April 1990.
- [23] K. Kawakami, M. Kanamori, Y. Morita, J. Takemura, M. Miyama, and M. Yoshimoto, “Power-minimum frequency/voltage cooperative management method for VLSI processor in leakage-dominant technology era,” IEICE Trans. Fundamentals, Vol.E88-A, No.12, pp.3290-3297, Dec. 2005.
- [24] H. Ohira, K. Kawakami, M. Kanamori, Y. Morita, M. Miyama, and M. Yoshimoto, “A feed-forward dynamic voltage control algorithm for low power MPEG4 on multi-regulated voltage CPU,” IEICE Trans. Electron., vol.E87-C, no.4, pp.457-465, April 2004.
- [25] K. Anami, M. Yoshimoto, H. Shinohara, Y. Hirata, and T. Nakano, “Design consideration of a static memory cell,” IEEE J. Solid-State Circuits, vol.SC-18, no.4, pp.414-418, Aug. 1983.
- [26] E. Seevinck, F.J. List, and J. Lohstroh, “Static-noise margin analysis of MOS SRAM cells,” IEEE J. Solid-State Circuits, vol.SC-22, no.5, Oct. 1987.
- [27] 道関隆国, 武藤伸一郎, “微細 CMOS メモリセルのスタティックノイズマージン解析,” 信学論, vol.J75-C-II, no.7, pp.350-361, 1992年7月.

-
- [28] L. Chang, D.M. Fried, J. Hergenrother, J.W. Sleight, R.H. Dennard, R.K. Montoye, L. Sekaric, S.J. McNab, A.W. Topol, C.D. Adams, K.W. Guarini, and W. Haensch, "Stable SRAM cell design for the 32 nm node and beyond," IEEE Symp. VLSI Technology Dig. Tech. Papers, pp.128-129, June 2005.
- [29] T. Suzuki, H. Yamauchi, Y. Yamagami, K. Satomi, and H. Akamatsu, "A Stable SRAM cell design against simultaneously R/W disturbed accesses," IEEE Symp. VLSI Circuits Dig. Tech. Papers, pp.14-15, June 2006.
- [30] P.A. Stolk, F.P. Widdershoven, and D.B.M. Klaassen, "Modeling statistical dopant fluctuations in MOS transistors," IEEE Trans. Electron Devices, vol.45, no.9, pp.1960-1971, Sep. 1998.
- [31] M.J.M. Pelgrom, A.C.J. Duinmaijer, and A.P.G. Welbers, "Matching properties of MOS transistors," IEEE J. Solid-State Circuits, vol.24, no.5, pp.1433-1440, Oct. 1989.
- [32] F. Tachibana and T. Hiramoto, "Re-examination of impact of intrinsic dopant fluctuations on SRAM static noise margin," Proc. of Int. Conf. on Solid State Devices and Materials, pp.192-193, Sep. 2004.
- [33] Y. Tsukamoto, K. Nii, S. Imaoka, Y. Oda, S. Ohbayashi, T. Yoshizawa, H. Makino, K. Ishibashi, and H. Shinohara, "Worst-case analysis to obtain stable read/write DC margin of high density 6T-SRAM-array with local V_{th} variability," Proc. of Int. Conf. on Computer Aided Design, 5A.2, Nov. 2005.
- [34] M. Yamaoka, K. Osada, R. Tsuchiya, M. Horiuchi, S. Kimura, and T. Kawahara, "Low power SRAM menu for SOC application using yin-yang-feedback memory cell technology," IEEE Symp. VLSI Circuits Dig. Tech. Papers, pp.288-291, June 2004.
- [35] M. Yamaoka, N. Maeda, Y. Shinozaki, Y. Shimazaki, K. Nii, S. Shimada, K. Yanagisawa, and T. Kawahara, "90-nm process-variation adaptive embedded

- SRAM modules with power-line-floating write technique,” *IEEE J. Solid-State Circuits*, vol.41, no.3, pp.705-711, March 2006.
- [36] K. Takeda, Y. Hagihara, Y. Aimoto, M. Nomura, Y. Nakazawa, T. Ishii, and H. Kobatake, “A read-static-noise-margin-free SRAM cell for low-VDD and high-speed applications,” *IEEE J. Solid-State Circuits*, vol.41, no.1, pp.113-121, Jan. 2006.
- [37] K. Zhang, U. Bhattacharya, Z. Chen, F. Hamzaoglu, D. Murray, N. Vallepalli, Y. Wang, B. Zheng, and M. Bohr, “A 3-GHz 70-Mb SRAM in 65-nm CMOS technology with integrated column-based dynamic power supply,” *IEEE J. Solid-State Circuits*, vol.41, no.1, pp.146-151, Jan. 2006.
- [38] M. Yoshimoto, K. Anami, H. Shinohara, T. Yoshihara, H. Takagi, S. Nagao, S. Kayano, and T. Nakano, “A divided word-line structure in the static RAM and its application to a 64K full CMOS RAM,” *IEEE J. Solid-State Circuits*, vol.18, no.5, pp.479-485, Oct. 1983.
- [39] P. Gelsinger, “Giga-scale integration for tera-ops performance –challenges, opportunities, and new frontiers,” *IEEE Design Automation Conference Proceedings*, p.25, June 2004.

著者の研究業績目録

A. 学会誌論文（筆頭論文，査読有）

1. Y. Morita, H. Fujiwara, H. Noguchi, K. Kawakami, J. Miyakoshi, S. Mikami, K. Nii, H. Kawaguchi, and M. Yoshimoto, “A 0.3-V Operating, V_{th} -Variation-Tolerant SRAM under DVS Environment for Memory-Rich SoC in 90-nm Technology Era and Beyond,” The IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol.E89-A, no.12, pp.3634-3641, Dec. 2006.
2. Y. Morita, H. Fujiwara, H. Noguchi, Y. Iguchi, K. Nii, H. Kawaguchi, and M. Yoshimoto, “Area Optimization in 6T and 8T SRAM Cells Considering V_{th} Variation in Future Processes,” The IEICE Transactions on Electronics, vol.E90-C, no.10, pp.1949-1956, Oct. 2007.
3. Y. Morita, H. Fujiwara, H. Noguchi, Y. Iguchi, K. Nii, H. Kawaguchi, and M. Yoshimoto, “Area Comparison between 6T and 8T SRAM cells in Dual- V_{dd} Scheme and DVS scheme,” The IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol.E90-A, no.12, pp.2695-2702, Dec. 2007.

B. 国際会議（筆頭論文，査読有）

1. Y. Morita, H. Fujiwara, H. Noguchi, K. Kawakami, J. Miyakoshi, S. Mikami, K. Nii, H. Kawaguchi, and M. Yoshimoto, "A V_{th} -Variation-Tolerant SRAM with 0.3-V Minimum Operation Voltage for Memory-Rich SoC under DVS Environment," 2006 Symposium on VLSI Circuits Digest of Technical Papers, pp.16-17, Honolulu, Hawaii, USA, June 2006.
2. Y. Morita, H. Fujiwara, H. Noguchi, Y. Iguchi, K. Nii, H. Kawaguchi, and M. Yoshimoto, "An Area-Conscious Low-Voltage-Oriented 8T-SRAM Design under DVS Environment," 2007 Symposium on VLSI Circuits Digest of Technical Papers, pp.256-257, Kyoto, Japan, June 2007.

C. 本研究に関するその他の発表（査読無）

1. 森田泰弘，藤原英弘，野口紘希，川上健太郎，宮越純一，三上真司，新居浩二，川口博，吉本雅彦，“動的電圧制御環境下における 0.3-V 動作 64-kb SRAM，” 2006 年電子情報通信学会総合大会講演論文集，AS-2-2，pp.S-17-S-18，2006 年 3 月。
2. 野口紘希，森田泰弘，藤原英弘，川上健太郎，宮越純一，三上真司，新居浩二，川口博，吉本雅彦，“しきい値電圧ばらつきを克服した DVS 環境下における 0.3V 動作 SRAM の開発，” 電子情報通信学会技術研究報告，ICD2006-106，Vol.106，No.206，pp.155-160，2006 年 8 月。
3. 野口紘希，森田泰弘，藤原英弘，新居浩二，川口博，吉本雅彦，“しきい値電圧ばらつきを克服した DVS 環境下における 0.3V 動作 SRAM の開発，” 第 10 回システム LSI ワークショップポスタセッション，pp.219-222，2006 年 11 月。
4. 森田泰弘，藤原英弘，野口紘希，井口友輔，新居浩二，川口博，吉本雅彦，“DVS 環境下での小面積・低電圧動作 8T SRAM の設計，” 電子情報通信学会技術研究報告，

ICD2007-95, Vol.107, No.195, pp.139-144, 2007年8月.

5. 森田泰弘, 藤原英弘, 野口紘希, 井口友輔, 新居浩二, 川口博, 吉本雅彦, “DVS 環境下での小面積・低電圧動作 8T SRAM の設計-32nm 世代以降で 8T セルが小面積・低電圧動作を同時に実現-, ” 第 11 回システム LSI ワークショップポスタセッション, pp.222-224, 2007年11月.

D. 本研究に関する特許出願

1. 森田泰弘, 吉本雅彦, 藤原英弘, 川口博, 新居浩二, “半導体記憶装置, ” 特願 2006-61644, 2006年3月7日出願.