



サブ100nm微細化技術を用いたVLSIスタティックRAM の低電圧動作・高集積化設計技術に関する基礎的研究

森田, 泰弘

(Degree)

博士 (工学)

(Date of Degree)

2008-03-25

(Date of Publication)

2012-02-17

(Resource Type)

doctoral thesis

(Report Number)

甲4201

(URL)

<https://hdl.handle.net/20.500.14094/D1004201>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



氏 名 森田 泰弘
博士の専攻分野の名称 博士（工学）
学 位 記 番 号 博い第 493 号
学位授与の要件 学位規則第 5 条第 1 項該当
学位授与の日付 平成 20 年 3 月 25 日

【 学位論文題目 】

サブ 100nm 微細化技術を用いた VLSI スタティック RAM の低電圧動作・高集積化設計技術に関する基礎的研究

審 査 委 員

主 査 教 授 吉本 雅彦
教 授 羅 志偉
教 授 沼 昌宏
准教授 川口 博

本論文は、サブ100nm世代LSIに搭載されるSRAM(Static Random Access Memory)の低電圧動作・高集積化に向けた設計技術の研究結果をまとめたものである。

多くのシステムLSIには処理データを記憶するメモリとして、高速、低消費電力、周辺回路が簡素、論理演算LSIとの混載が容易、などの理由から、SRAMが搭載されている。今後、情報処理端末にさらに高い処理能力(動画像の場合、高解像度への対応、高ビットレートへの対応など)が要求され、システムLSIにおける処理データ量が規模化するに従ってSRAMの記憶容量が増大することが想定される。これにより、システムLSIの低消費電力性能はオンチップメモリによって支配されるようになり、システムLSIの低消費電力化のためにはSRAMの低消費電力化技術が必要不可欠となる。

LSIの低消費電力化のためには、低電圧での動作が必須である。特に、LSIの動作時に要求負荷に応じてクロック周波数及び電源電圧を動的に制御する技術(動的電圧制御手法、DVS)においては、消費電力削減効果を最大化するにあたって、動作電圧下限を極力低減して電圧制御範囲を拡大する必要がある。しかしながら、半導体の製造プロセスがサブ100nm世代となると、LSIに集積されるMOSトランジスタのしきい値電圧のばらつきが顕在化する。しきい値電圧ばらつきの影響で、1ビットの情報記憶するSRAMセルの安定動作が阻害され、SRAMが低電圧で動作しないという問題が存在する。

また、しきい値電圧ばらつきにかかわらずSRAMセルの安定動作を確保するには、セルの各トランジスタ(T_r)のサイズを増大させる必要があり、セル面積の増大につながる。特に、低電圧動作においては動作マージンが極端に劣化するため、その拡大のためにセル面積がさらに増大する。したがって、これまで微細化により得られたセル面積のスケーリングが鈍化し、メモリ実装の際の必須条件である高集積の特徴が失われる可能性がある。

本研究では、サブ100nm世代LSI製造技術で問題となっているMOSトランジスタのしきい値電圧ばらつきの問題を回避し、低電圧動作でかつ小面積を実現するためのSRAMの設計手法について研究を行った。

第1のテーマは、DVS環境下で6 T_r SRAMセル(6 T セル)で構成されるSRAM(6 T SRAM)を低電圧で動作させるための設計技術の研究である。DVS環境下で、低電圧動作時に6 T セルの動作マージンを改善するための最適電圧制御手法と、本手法を適用する上でメモリセルの保持データ破壊を防止するための自己調整タイミング制御回路を提案した。

最適電圧制御手法では、DVS環境下で動的に制御される電圧 V_a に加えて、外部から供給される一定の高電圧 V_{max} をSRAMに供給し、読出し/書込み動作に応じて6 T セルの各電圧(セルインバータ電源電圧及びワード線電圧)を切り替える。読出し動作時にはセルインバータの電源電圧を V_{max} に設定し、セルインバータの保持データを安定化させる。一方、書込み動作ではワード線電圧を V_{max} に設定し、アクセス T_r のコンダクタンス値を上昇させることで、ビット線からセルインバータへのデータの書込みを安定化させる。また、6 T セルのpMOSロード T_r の基板バイアス電圧を V_{max} に設定し、書込み時にロード T_r のしき

い値電圧を上昇させることで書込みマージンを改善する。これらの動作により、低電圧動作時の動作マージンを確保する。

最適電圧制御手法を回路実装する際、メモリセルアレイを128 words x 8 bits からなるメモリセルブロックに分割し、6 T セルのセルインバータの電源電圧及びワード線電圧を切り替えるための電源セクタを各メモリセルブロックに導入する。また、書込み時にワード線の電圧を V_{max} に増幅するためのレベルシフタをXデコーダの後段に挿入する。

また、自己調整タイミング制御回路では、電圧制御にあたってセルインバータ電源電圧、ワード線電圧、書込みイネーブル信号に対して切り替えタイミングを適切に設定し、6 T セルの保持データ破壊の防止を図る。

90nmプロセスで64kb SRAMを試作し、動作電圧下限を0.55Vから0.3Vに低減し、動作周波数100MHzにおける消費電力を30%削減することを実証した。なお、提案手法による面積オーバーヘッドは5.5%である。また、容量が増大したり製造プロセス世代が進行したりした場合、提案手法による消費電力削減効果が増大することを示した。

第2のテーマは、DVS環境下で8 T SRAMの低電圧動作を実現するための設計技術の研究である。8 T セルに対してDVS環境下で低電圧動作を実現するための電圧制御手法と、ハーフセレクト列における書込み時のセル不安定性を回避するためのライトバック手法を提案した。

8 T セルは、従来6 T セルに2 T_r の独立読出しポートを付加した構成であり、安定読出し動作が可能のため、従来6 T セルの部分において読出しマージンを考慮する必要がない。一方、書込み動作は6 T セルと同一の動作のため、書込みマージンを確保するための設計が依然として必要である。また、8 T セルにおける読出しポートの2 T_r にしきい値電圧ばらつきが発生すると、読出しビット線からの読出し電流がばらつき、結果として“1”読出し/“0”読出しを正常に判別できなくなる可能性がある。すなわち、しきい値電圧ばらつきによる書込みマージン及び読出し電流の劣化により、8 T セルの動作電圧下限が上昇し、DVSによる消費電力削減効果が得られない。

提案する電圧制御手法では、読出し/書込みワード線を高電圧 V_{max} に設定し、低電圧動作時に書込みマージン及び読出し電流を改善し、低電圧化を実現する。シミュレーションにより、電圧制御手法の適用で8 T SRAMの動作電圧下限を0.64Vから0.42Vに低減できることを実証した。

また、ワード線を階層化しないシングルワード線構造の場合、書込み動作時に書込みワード線が立上ると、非選択列(ハーフセレクト列)に属するセルがアクセスされ、セルの安定性が失われる。提案するライトバック手法では、クロックサイクルの前半で、選択/非選択にかかわらず全列の保持データが読出される。クロックサイクルの後半で書込み動作が実行され、書込まれるデータとして、選択列に対しては外部入力信号が割り当てられ、非選択列に対してはクロックサイクルの前半で読出されたデータが割り当てられる。これ

(氏名： 森田 泰弘 NO. 3)

により、クロック 1 サイクルでハーフセレクト列の保持データが破壊されずに選択列に外部入力データが書込まれる。

第3のテーマは、32nm 世代に向けた低電圧動作・小面積 SRAM セルに関する研究である。現在の 90nm 世代から将来の 32nm 世代において、しきい値電圧ばらつきにかかわらず動作マージンを確保するために必要な 6T/8T セルの面積を導出し、比較を行った。

しきい値電圧のローカルばらつきの標準偏差 $\sigma_{V_{th}}$ は $1/\sqrt{\{(ゲート長) \times (ゲート幅)\}}$ に比例するため、MOS Tr のサイズを増大すればしきい値電圧ばらつきを減少させることができるが、SRAM の面積が増大する。また、読出し/書込みマージンの拡大のために、6T セルにおいては β 比 (ドライブ Tr とアクセス Tr のコンダクタンス比) 及び γ 比 (アクセス Tr とロード Tr のコンダクタンス比) を大きくする必要がある。一方、8T セルは独立した読出しポートを所持しているため、読出しマージンを考慮する必要がなく、それゆえ β 比を小さく設定できる。

本状況下で、従来の Single-Vdd 手法では、32nm 世代、1.0V 動作において 8T セルの面積が 6T セルを 3.9% 下回ることを示した。0.8V 動作では、8T セルのほうが 6T セルよりも 14.6% 小さくなる。

また、低電圧動作時に動作マージンを拡大して安定動作を実現する電圧制御手法 (Dual-Vdd 手法、DVS 手法) を適用した場合の 6T/8T セルの面積の検討を行った。電圧制御手法では、2 電源 (高電圧 V_{max} 及び低電圧 V_a) が SRAM セルに供給され、読出し/書込み動作に応じて SRAM セルの各電圧 (セルインパータ電源電圧、ワード線電圧、ビット線電圧) が最適に切り替えられる。電圧制御により、電源電圧 V_a が低下するに従って動作マージンが拡大し、SRAM の電源電圧 V_a を低く設定する場合には SRAM セルの面積を縮小することが可能である。

本状況下で、Dual-Vdd 手法では 32nm 世代においても 6T セルのほうが小面積を実現できることを示した。一方、DVS 手法では、動作電圧が動的に変化するため、動作電圧が高い場合が動作マージンに対するワーストケースとなり、Single-Vdd 手法と同様に 32nm 世代で 8T セルが有利となる。32nm 世代、0.7V 動作では、Single-Vdd 手法適用時と比較して、Dual-Vdd 手法により 6T セルの面積が 64.4% 削減される。また、DVS 手法を適用した 8T セルは、Single-Vdd 手法適用の 6T セルよりも面積が 55.2% 削減される。したがって、32nm 世代において、Single-Vdd 手法や DVS 手法では 8T セルが有利となるが、Dual-Vdd 手法の適用時には 6T セルが有利であり続ける。

以上のように、本論文では、サブ 100nm 世代で SRAM の低電圧動作・高集積化を実現するための要素技術を詳述した。6T/8T セルを対象に、DVS 環境下で低電圧動作を実現するための技術について詳述した。また、将来の 32nm 世代において 6T/8T セルの面積を比較し、Single-Vdd 手法及び DVS 手法では 8T セルが面積の観点で有利となるが、低電圧動作時に動作マージンを拡大する Dual-Vdd 手法の適用時には 6T セルが有利であり続けることを示し

(氏名： 森田 泰弘 NO. 4)

た。これらの研究成果を適用することにより、サブ 100nm 世代において低電圧動作かつ高集積性の特徴を有した SRAM が実現可能である。

氏名	森田 泰弘		
論文 題目	「サブ100nm微細化技術を用いたVLSIスタティックRAMの低電圧動作・高集積化設計技術に関する基礎的研究」		
審査 委員	区 分	職 名	氏 名
	主 査	教 授	吉本 雅彦
	副 査	教 授	沼 昌宏
	副 査	教 授	羅 志偉
	副 査	准教授	川口 博
	副 査		
要 旨			
<p>本論文は、サブ100nm世代LSIに搭載されるスタティックRAM (SRAM: Static Random Access Memory) の低電圧化・高集積化に向けた設計技術の研究結果をまとめたものである。</p> <p>多くのシステムLSIには処理データを記憶するメモリとして、高速、低消費電力、周辺回路が簡素、論理演算LSIとの混載が容易などの理由からSRAMが搭載されている。今後、情報処理端末にさらに高い処理能力(動画像の場合、高解像度への対応、高ビットレートへの対応など)が要求され、システムLSIにおける処理データ量が大規模化するに従ってSRAMの記憶容量が増大することが想定される。これにより、システムLSIの低消費電力性能はオンチップメモリによって決定され、システムLSIの低消費電力化のためにはSRAMの低消費電力化技術が必要不可欠となる。本論文は、最先端のLSI製造技術で問題となっているMOSトランジスタのしきい値電圧ばらつきの問題を回避し、低電圧動作でかつ小面積を実現するためのSRAMの設計手法について研究報告をまとめたものである。</p> <p>本論文の構成については、以下の通りである。</p> <p>本論文は7章からなり、第1章は序論である。第2章では低消費電力化への低電圧動作の有効性を、第3章では研究対象分野の技術課題を論述している。</p> <p>第4章では、DVS(Dynamic Voltage Scaling: 動的電圧制御)環境下での0.3V動作6T SRAMの設計技術研究について詳述している。DVS環境下で低電圧動作時の6Tセルの動作マージンを改善するための最適電圧制御手法と、本手法を適用する上で必須の自己調整タイミング制御回路を提案している。また90nmプロセスで64kb SRAMを試作し、動作電圧下限を0.55Vから0.3Vに低減し、動作周波数100MHzにおける消費電力を30%削減可能であることを実証した。なお、提案手法による面積オーバーヘッドは5.5%である。また、容量が増大したり微細化が進んだりした場合、提案手法による消費電力削減効果が増大することを示した。</p> <p>第5章では、DVS環境下での低電圧動作8T SRAMの設計技術について述べている。8Tセルで構成されたSRAMに対し、DVS環境下で低電圧動作を実現するための電圧制御手法と、ハーフセレクト列における書き込み時のセル不安定性を回避するためのライトバック手法を提案している。電圧制御手法の適用で8T SRAMの動作電圧下限を0.64Vから0.42Vに低減できることを実証した。</p> <p>第6章では、32nm世代に向けた低電圧動作・小面積SRAMセルの回路構成について論述している。現在の90nm世代から将来の32nm世代において、しきい値電圧ばらつきにかかわらず動作マージンを確保するために必要な6T/8Tセルの面積を導出し、比較を行った。32nm世代において、電圧制御を行わない従来のsingle-Vdd手法や電圧が動的に変化するDVS手法では8Tセルが有利となるが、dual-Vdd手法の電圧制御の適用により6Tセルが有利であり続けることを初めて導出した。</p> <p>第7章では、本論分を総括し、結論を述べている。</p> <p>以上のように本研究は、サブ100nm世代LSIに搭載されるスタティックRAMの低電圧化・高集積化のための設計技術について研究したものであり、特に高集積化が進展するシステムLSIの低消費電力化について重要で価値ある知見を得たものと認める。よって、学位申請者の森田 泰弘は、博士(工学)の学位を得る資格があると認める。</p>			