



# Robust Design of Embedded SRAM on Deep-Submicron Low-Power SoC

Nii, Koji

---

(Degree)

博士 (工学)

(Date of Degree)

2008-03-25

(Date of Publication)

2013-02-06

(Resource Type)

doctoral thesis

(Report Number)

甲4351

(URL)

<https://hdl.handle.net/20.500.14094/D1004351>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



氏 名 新居 浩二  
博士の専攻分野の名称 博士（工学）  
学 位 記 番 号 博い第 521 号  
学位授与の 要 件 学位規則第 5 条第 1 項該当  
学位授与の 日 付 平成 20 年 3 月 25 日

【 学位論文題目 】

Robust Design of Embedded SRAM on Deep-Submicron Low-Power SoC（超微細技術を用いた低消費電力 SoC におけるオンチップ SRAM のロバスト設計に関する研究）

審 査 委 員

主 査 教 授 吉本 雅彦  
教 授 羅 志 偉  
教 授 沼 昌宏  
准教授 川口 博

本論文では、超微細技術を用いた低消費電力 SoC におけるオンチップスタティックメモリ (SRAM) のロバスト設計に関して報告する。通信手段の急速な発展に伴い、動画像がリアルタイムで送受信できるような高性能携帯端末機器が世界規模で普及している。携帯機器の性能や機能は向上する一方で、待機時や動作時の省電力化による長時間バッテリー駆動が同時に要求される。そのためには、搭載されるシステム LSI の高機能化・高性能化と共に低消費電力化を図ることが非常に重要となってくる。一方で、チップ面積に占める SRAM の割合は増加傾向にあり、SRAM の高集積・低消費電力化を図ることが今後最も重要な課題の1つになる。90nm 世代以降では、プロセスばらつき増加、ゲート絶縁膜の潤滑化によるゲートダイレクトトンネル電流の増加、しきい値電圧の低下によるサブスレッショルド電流の増加、ショートチャネル特性抑制のための電界集中による BTBT、GIDL の増加など、様々な技術的課題に直面している。特に、ばらつき起因のために 65nm 世代以降では SRAM が動作限界となり、トランジスタサイズの微細化と電圧スケールリングが難しくなっている。一方でシステムからのメモリアクセス頻度は増加傾向にあり、メモリアクセスのスピードがシステム性能を左右するボトルネックになりつつある。動作周波数に限界に達していることから、システムの並列処理化が進みつつあり、メモリアクセスに対しても並列化が要求されるようになってきた。特に画像処理や通信処理用の SoC 等では、複数のポートから同時にアクセス可能なマルチポート SRAM を搭載する要求が増えている。反面、マルチポート化につれてセル面積が指数関数的に増加するため、高集積且つ高速アクセスできるマルチポート SRAM の出現が期待されている。

このような背景を鑑み、本研究では、先端デバイスにおけるシステム LSI 搭載オンチップ SRAM の低電力・低電圧化技術、およびばらつき耐性向上と高集積化・高速アクセス化を図る設計技術について探求を行った。本論文は第1章から第7章より構成する。第1章では本研究の背景と目的について述べる。次に第2章では、先端デバイスにおける SRAM 設計の問題点について言及する。第3章から第6章では、以下に示す具体的な研究内容を詳述する。

### 第3章 SRAMの低電力化技術に関する研究

基板バイアス制御を用いたリーク電流削減方法を提案する。低しきい値化するとサブスレッショルドリーク電流が増大してしまう問題があった。これに対して、高しきい値のトランジスタスイッチを使い、未使用時(スリープ時)に電源遮断する方法が提案されているが、メモリに本手法を適用すると保持データが壊れるという問題があった。そこで、スリープ時にメモリブロックのみに自動的に基板に負バイアスが掛かるように高電圧を印加することで、データを保持しながらリーク電流を削減する ABC-MTCMOS 回路を提案する。低しきい値化と共に動作時の電源電圧を下げることで動作時の電力削減を図っている。0.35 $\mu\text{m}$  CMOS ゲートアレイを用いて 32-k ビットの SRAM を試作した結果、スリープ時のスタンバイ電流を従来に比べて 1/1000 に低減することができた。また、動作電力は、1.0V で 0.27 nW/MHz となり、従来の 3.3V 動作 SRAM に比べて 1 桁以上低減することができた。

次に、ゲートリーク電流低減手法について論述する。100nm 世代以降ではゲート絶縁膜の潤滑化が進むことによりゲートトンネル電流が増加し、トータルスタンバイ電流の大部分を占めるようになる。特にチップ面積の大半を占める SRAM のリーク低減が重要となる。そこで、動的にゲート電界を緩和することでゲートリーク電流を下げる手法を提案した。メモリセルアレイを分割し、選択したブロックの電圧は通常電圧を印加、非選択ブロックの電源電圧を下げる。また周辺回路で最もゲートリーク電流が多いワード線ドライバのリーク低減回路も提案した。90nm CMOS テクノロジーを用いて 32-kB 1-port SRAM を設計試作した結果、スタンバイ電流は標準電圧 1.2V で 1.2  $\mu\text{A}$  となり従来の約 1/10 以下に低減することができた。

### 第4章 プロセスばらつき耐性を高めたSRAM安定性回路に関する研究

微細化進むと共に、チップ内の局所的なトランジスタ特性ばらつき(しきい値電圧)が増大し、SRAMの安定性を劣化させるという問題に直面している。そこで、このプロセス変動に対する耐性を高めるSRAM回路手法について提案する。SRAM読み出しマージンを改善するために、ワード線電位を僅かに下げることが有効であることが報告されている。従来手法ではプルダウントランジスタを使ってワード線電位を下げているが、温度変化に対してワード線電位の変動が大きいう課題があった。そのため、低温度動作時にワード線電位が下がり過ぎてしまい書き込み不良を起すという問題が生じた。そこで、受動抵抗素子及びレプリカメモリトランジスタを用いた読み出しアシスト回路を考案し、プロセス、温度ばらつきに対する耐性向上を図った。また、書き込みマージンを改善する回路として低消費電力容量型ライトアシスト回路を開発した。これらの技術を用いて45nm 低電力CMOSテクノロジーを用いて実証した。セルサイズが0.245 $\mu\text{m}^2$ と0.327 $\mu\text{m}^2$ の2種類の高密度1ポートRAMセルを用いた512-Kb SRAMマクロを設計試作した。測定結果から、1.0V、温度プロセス共にワースト条件下で、従来に比べて100mVのリードマージン改善と35mVのライトマージン改善が得られた。また、512Kbit SRAMの最低動作電圧が従来手法に比べて170mV下げることができた。本手法の適用による面積ペナルティ10%以下である。

### 第5章 高密度2ポートSRAMに関する研究

微細化によるLSIの大規模化が進むにつれて、チップに内蔵するオンチップSRAMの規模がますます増加している。通常は1つのポートでメモリの読み書きを行う1ポートSRAMが主流であるが、画像処理や通信処理用のSoC等では、2つのポートから同時にアクセス可能な2ポートSRAMを搭載する要求が増えている。2ポートメモリは並列処理によるシステムの高速化が期待できることから、LSIの高性能化、多機能化を図るために急速に大容量化しつつある。一方、大規模LSI化が進むにつれ、メモリセルサイズの高密度化の要求は益々高まり、微細化と共にレイアウト的な工夫によって高集積化を図っている。2ポートSRAMは、1ポートSRAMに比べ、メモリセル面積が2倍近く大きくなる。これは、メモリセルを構成するトランジスタの数がSP-SRAMの6個に対してDP-SRAMは8個と多く、更に、読み出し動作時のデータ保持特性を表すStatic Noise Margin (SNM)を確保するために、ドライバトランジスタ( $T_r$ )のサイズを大きくすることによる。ドライバ $T_r$ のサイズ拡大は、DP-SRAM特有2つのポートから同時にアクセスする時の動作を考慮したものでメモリセルサイズ縮小の妨げとなる。以上のような背景から、本章では、DP-SRAMにおける2つのポートからの同時アクセスの問題を解決する新しい方式を提案する。具体的には、プライオリティ行デコーダとビット線切り替え回路を採用し、同一行アクセス時の競合を回避する回路方式を考案した。これにより安定性を確保しつつ、ドライバ $T_r$ サイズを小さくして2ポートメモリセルの高集積化を図る。65-nm CMOSテクノロジーにて、本提案回路を用いた2ポート32-kB SRAMマクロを試作評価した。提案セルのサイズは0.71  $\mu\text{m}^2$ であり、従来セルより30%小さく、また6Tセルの1.44倍の大きさに抑えることができた。32-kBマクロのビット密度は667-kbit/ $\text{mm}^2$ で従来の2ポートSRAMより25%高集積化できた。スタンバイ電流は、実測結果から20uA/Mbitで従来に比べて30%小さく、アクセスタイムは3.0nsで従来とほぼ同じであった。

(氏名: 新居 浩二 NO. 3)

## 第6章 DVFS環境に対応する代替6T SRAMに関する研究

消費電力低減と性能向上の両立を図るため、近年では処理負荷に応じて動的に電圧と周波数を制御する(DVFS)技術が採用されつつある。このようなDVFS環境下では、処理負荷が軽い場合には電圧を下げて動作電力とリーク電流の低減を図る。しかしながら、4章で述べるようにばらつき起因によってSRAMの低電圧化が困難になりつつある。アシスト回路により最低動作電圧の改善は図れるものの、DVFSに適用するには限界が生じている。そこで、一般的な6T構成のSRAMセルに代わり、幅広い電圧範囲で動作可能なロバストなメモリセル回路がこれまでにいくつか提案されている。本章では、まずロジック領域に埋め込まれた小規模構成の高速用途SRAMに適したメモリセル回路を提案する。メモリセル内にプリチャージが不要な読み出しバッファを内蔵し、NANDゲートを含むCMOSバッファ回路で構成する。メモリセルの面積オーバーヘッドは大きくなる反面、読み出し動作時のディスタープが無くなるため低電圧動作が可能となる。更に低電圧動作時の速度改善効果が期待できると同時に、データ変化率が小さい場合には充電電力によるアクティブ電力を削減できる。0.5 $\mu\text{m}$  CMOSゲートアレイ技術を用いて試作した2-port及び3-port SRAMのアクセスタイムは標準3.3V電圧で4.8nsであり、従来セルに比べて30%の速度改善ができた。最低動作電圧は、標準電圧の40%に当たる1.4Vまで下げることができた。

次に、45nm世代にて0.5V動作を実現する10T構成のSRAMセルについて提案する。通常の6T構成に4つのNMOSを追加した構成とすることで、低電圧動作時に問題となるセル電流の低下を抑えると同時に、スタティックノイズマージンの改善を図る。45nmテクノロジーを用いて試作設計したセルサイズは0.76 $\mu\text{m}^2$ で、通常の6Tセルの約1.6倍に抑えることができた。128K-bit SRAMを試作評価した結果、0.5Vでの安定動作を確認することができた。

以上、3章～6章で本研究の具体的な内容について詳述した。最後に、7章で本研究について総括する。研究成果は、現在主流となっている90nm、65nm世代の微細CMOS技術分野における低電力用途向けシステムLSIのSRAM設計技術に役立つものである。更に、今後開発が進む45nm世代や次世代の32nm、22nm世代における超微細CMOS技術分野においても携帯機器の更なる発展に寄与する有効な手段となり得るものである。本研究成果が、今後の産業界において益々の技術進歩の一助となることを期待する。

氏名	新居 浩二		
論文題目	「Robust Design of Embedded SRAM on Deep-Submicron Low-Power SoC」 和訳「超微細技術を用いた低消費電力 SoC におけるオンチップ SRAM のロバスト設計に関する研究」		
審査委員	区分	職名	氏名
	主査	教授	吉本 雅彦
	副査	教授	沼 昌宏
	副査	教授	羅 志偉
	副査	准教授	川口 博

## 要旨

本論文は、超微細 CMOS 技術を用いた低電力用途オンチップスタティックメモリ (SRAM) のロバスト設計に関する研究成果をまとめたものである。

通信手段の急速な発展に伴い、動画像がリアルタイムで送受信できるような高性能携帯端末機器が世界規模で普及している。携帯機器の性能や機能は向上する一方で、待機時や動作時の省電力化による長時間バッテリー駆動が同時に要求される。そのためには、搭載されるシステムLSIの高機能化・高性能化と共に低消費電力化を図ることが非常に重要となってくる。一方で、チップ面積に占めるSRAMの割合は増加傾向にあり、SRAMの高集積・低消費電力化を図ることが今後最も重要な課題の1つになる。しかしながら、90nm世代以降では、プロセスばらつきによるゲート絶縁膜の潮解によるゲートダイレクトトンネル電流の増加、しきい値電圧の低下によるサブスレッショルド電流の増加、ショートチャネル特性抑制のための電界集中によるBTBT、GIDLの増加など、様々な技術的課題に直面している。特に、ばらつき起因のために65nm世代以降ではSRAMが動作限界となり、トランジスタサイズの微細化と電圧スケールアップが難しくなってきた。このような背景を鑑み、本研究では、先端デバイスにおけるシステムLSI搭載オンチップSRAMの低電力・低電圧化技術、及びばらつき耐性向上と高集積化・高速アクセス化を図る設計技術について研究報告をまとめたものである。

本論文は7章からなり、第1章は序論である。第2章では研究対象分野の技術課題を論述している。

第3章では、2つのSRAMの低電力化技術に関する研究結果について論述している。まず一つ目は**基板バイアス制御を用いたリーク電流削減方法を提案する**。32-kビットのSRAMを試作した結果、スリープモードでのスタンバイ電流は従来に比べて1/1000に低減することができ、また、動作電力は、従来の3.3V動作SRAMに比べて1桁以上低減することができた。次に、**ゲートリーク電流低減手法について論述する**。90nm CMOSテクノロジーを用いて32-kB 1-port SRAMを設計試作した結果、スタンバイ電流は標準電圧1.2Vで1.2 $\mu\text{A}$ となり従来の約1/10以下に低減することができた。

第4章では、**プロセスばらつき耐性を高めたSRAM安定性回路に関する研究結果について述べている**。受動抵抗素子及びレプリカメモリトランジスタを用いた読み出しアシスト回路を考案し、プロセス、温度ばらつきに対する耐性向上を図った。45nm低電力CMOSテクノロジーを用いて512-Kb SRAMマクロを設計試作し、従来に比べて100mVのリードマージン改善と35mVのライトマージン改善が得られた。また、512Kbit SRAMの最低動作電圧が従来手法に比べて170mV下げることができた。

第5章では、**高密度2ポートSRAMに関する研究結果について記述している**。プライオリティー行デコードとビット線切り替え回路を採用し、同一行アクセス時の競合を回避する回路方式を考案した。これにより安定性を確保しつつ、ドライバトランジスタサイズを小さくして2ポートメモリセルの高集積化を図る。65-nm CMOSテクノロジーにて、本提案回路を用いた2ポート32-kB SRAMマクロを試作評価し、ビット密度は667-kbit/mm<sup>2</sup>で従来の2ポートSRAMより25%高集積化できた。

第6章では、**DVFS環境に対応する代替6T SRAMに関する研究結果について論述している**。ロジック領域に埋め込まれた小規模構成の高速用途SRAMに適したメモリセル回路を提案する。メモリセル内にプリチャージが不要な読み出しバッファを内蔵し、NANDゲートを含むCMOSバッファ回路で構成する。メモリセルの面積オーバーヘッドは大きくなる反面、読み出し動作時のディスタープが無くなるため低電圧動作が可能となる。0.5 $\mu\text{m}$  CMOSゲートアレイ技術を用いて試作した2-port及び3-port SRAMのアクセスタイムは標準3.3V電圧で4.8nsであり、従来セルに比べて30%の速度改善ができた。

第7章では、本論文を総括し、結論を述べている。

以上のように本研究は、今後、開発が進む45nm世代や次世代の32nm、22nm世代における超微細CMOS技術分野においても携帯機器の更なる発展に寄与する有効な手段となり得ることが期待され重要な知見を得たものと認める。よって、学位申請者の新居 浩二は、博士(工学)の学位を得る資格があると認める。