



微細化CMOSスタティックRAMの低消費電力化・高信頼化設計に関する研究

藤原, 英弘

(Degree)

博士 (工学)

(Date of Degree)

2009-03-25

(Date of Publication)

2013-07-30

(Resource Type)

doctoral thesis

(Report Number)

甲4612

(URL)

<https://hdl.handle.net/20.500.14094/D1004612>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博 士 論 文

微細化 CMOS スタティック RAM の
低消費電力化・高信頼化設計に
関する研究

平成 21 年 1 月

神戸大学大学院自然科学研究科

藤 原 英 弘

内容梗概

本論文は、微細化 CMOS スタティック RAM (SRAM: Static Random Access Memory) の低消費電力化および高信頼化回路設計技術に関する研究成果をまとめたものである。

近年、システム LSI は様々な産業の基幹を担っており、システム LSI の信頼性の向上および低消費電力化がますます重要となってきた。また、システム LSI には処理データを記憶するメモリとして、高速、低消費電力、周辺回路が簡素、論理演算部との混載が容易などという理由から、SRAM が広く用いられている。今後、コンピュータシステムにさらに高い処理能力が要求され、システム LSI における処理データ量が大規模化するにしたがって、システム LSI に搭載される SRAM の記憶容量が増大することが予想されている。

以上に示した理由から、システム LSI の低消費電力化および高信頼化のためには、SRAM の低消費電力化・高信頼化を行うことが最も重要な課題となる。しかし、MOS トランジスタの製造プロセスの微細化が進むにつれて、チップ間およびチップ内における MOS トランジスタのしきい値電圧ばらつきが増大することにより、メモリセルの安定動作性が低下し、SRAM の低電圧動作性の確保、および信頼性の維持が困難となる。

本論文は 6 章で構成されており、第 1 章は序論である。第 2 章では、低消費電力化および高信頼化に向けた SRAM の課題について述べる。

第 3 章では、回路設計技術による低消費電力化および高信頼化手法として、高信頼モードを有する 7T/14T SRAM について詳述する。上記のとおり MOS トランジスタのしきい値ばらつきが増大することにより、SRAM の動作安定性が阻害される。それに加えて、温度の変化、供給電圧の低下、経年劣化といった動作環境の変化によっても SRAM の動作安定性は低下する。また、暗号化プログラム、個人情報データのデータと、スクリーンセーブプログラムで扱うデータの重要性が異なるように、アプリケーションによって要求されるデータの信頼性は異なる。

提案した SRAM は必要なメモリの容量、電力、温度条件、速度、必要とされる信頼性に応じて、ブロック単位で、1) 従来の 6T メモリセルと同様の動作を行う通常モード、2) 高速アクセスが可能な高速モード、3) 動作安定性が高い高信頼性モード、の 3 つの動

作モードに動的に切り替えることができる。通常モードでは 7T メモリセルに 1bit のデータを保持し、高速モードおよび高信頼性モードでは 14T メモリセルに 1bit のデータを保持する。

65nm プロセスを用いてモンテカルロシミュレーションを行った結果、ビット不良率が 10^{-8} となる点で、14T メモリセルは 7T メモリセルと比較して、読出し動作の動作下限電圧を 0.21V、書込み動作の動作下限電圧を 0.26V 改善することを確認した。また、提案した SRAM の高信頼性モードは、ECC(Error Correction Code)および MMR(Multi Module Redundancy)を従来の 6T メモリセルに用いた場合よりも低いビット不良率を実現することができる。また、65-nm プロセスを用いて 64-kb SRAM を試作し、実測した結果、14T メモリセルは 7T メモリセルよりも 0.12V 低電圧で動作することを確認した。

第 4 章では、プロセスと回路技術の協調設計による低消費電力化手法として、FD-SOI プロセスを用いたシステムチックばらつきを補正する基板バイアス電圧制御技術について詳述する。システムチックばらつきは製造過程、方法に依存する。システムチック成分のしきい値電圧ばらつきを抑えるために、すでにバルクプロセスに対する基板バイアス電圧制御技術が提案されている。しかし、バルクプロセスにおいて順方向バイアス電圧を用いる場合、接合リークが増大する。また、微細プロセスに対して逆方向バイアス電圧を用いる場合、GIDL(Gate Induced Drain Leakage)が問題となる。よって、バルクプロセスに対して、基板バイアス電圧制御を用いる場合、基板バイアス電圧を印加できる範囲が制限されてしまうため、しきい値電圧の調整を広い範囲で行うことができない。

一方、FD-SOI プロセスには、1)サブスレッショルドリークが小さい、2)順方向バイアス電圧を用いる場合において接合リークが問題にならない、という利点があるため、基板バイアス電圧制御技術に適している。すでに FD-SOI プロセスにおいても基板バイアス電圧制御技術が提案されているが、特殊プロセスが必要であり、さらに、速度オーバーヘッド、面積オーバーヘッドが発生するという問題があった。

本研究では、FD-SOI プロセスにおいて、自動的にシステムチックばらつきを検出し、SRAM の動作マージンが最大となるように補正を行う基板バイアス電圧制御回路を提案した。0.15 μ m FD-SOI デバイスを用いて 486-kb SRAM を試作し、実測した結果、提案した基板バイアス電圧制御回路を用いることにより、SRAM の動作下限電圧を 0.14V

改善し、0.42Vでの動作を確認した。

第5章では、システム応用・回路技術の協調設計による低消費電力化手法として、動画像処理応用マルチポートSRAMの低消費電力化技術について詳述する。実時間動画像処理プロセッサにおいてもメモリの面積の割合は増大してきている。HDTV対応のH.264エンコーダにも、サーチウィンドウバッファとして少なくとも500-kbのメモリが必要であり、全消費電力のうち40%が消費されると予想されている。また、プロセスの微細化が進むにつれて大容量のSRAMがフレームバッファや再構成画像メモリに実装され、消費電力の大部分を占めると考えられる。

そこで本研究では、動画像の持つ隣接画素相関性を利用し、実時間動画像処理に適した低消費電力2-port SRAMの提案を行った。一般的に、動画像処理用におけるSRAMの電力では、書込み動作電力よりも、読出し動作電力の占める割合が大きい。さらに、読出し電力のうち、ビット線の充放電電力の占める割合が大きいため、ビット線の充放電電力を小さくすることで、動画像処理SRAMを低消費電力化できる。

読出し動作時において“1”を読出す場合にはビット線の充放電電力は発生しないが、“0”を読出す場合にはビット線の充放電電力が発生する。そこで、読出しビット線の充放電電力を最小にするために、書込み動作時において、入力データの“0”の個数が“1”の個数よりも多い場合、多数決論理回路を用いて入力データの反転を行う多数決論理SRAMの提案を行った。さらに多数決論理回路をより効果的に利用するために、動画像の持つ隣接画素相関性に着目し、画像データをビットごとに並べ替えるReordering処理の提案を行った。

90-nmプロセスを用いて68-kb SRAMの試作を行い、実測した結果、H.264で符号化したHDTV解像度の再構成画像に対して、提案した手法を用いることにより、読出し動作電力を28%削減することを確認した。

最後に、第6章において本論文の結論について記述する。

本論文では、微細化CMOSのためのSRAMの低消費電力化および高信頼化を実現するための要素技術について記述した。回路設計技術からのアプローチとして、高信頼モードを有する7T/14Tメモリセルについて詳述した。プロセスと回路技術を組み合わせた協調設計技術として、FD-SOIプロセスを用いた基板バイアス電圧制御手法について詳述した。システム応用と回路技術を組み合わせた協調設計技術として、隣接画素相関性を利用した低消費電力動画像処理応用2-port SRAMについて詳述した。これら

の技術を用いることにより、微細化 CMOS SRAM の低消費電力化および高信頼化が実現可能となる。

目次

第1章	序論	1
1.1	SRAMの技術背景	1
1.2	研究目的及び本論文の構成	1
第2章	低消費電力化および高信頼化に向けたSRAMの課題	5
2.1	緒言	5
2.2	SRAMの概要	5
2.2.1	SRAMの特徴	5
2.2.2	SRAMの構成と動作	7
2.3	メモリセルの動作マージン	8
2.3.1	読出し動作マージン(SNM: Static Noise Margin)	10
2.3.2	書込み動作マージン(WTP: Write Trip Point)	11
2.4	SRAMの低消費電力化の必要性	13
2.5	しきい値電圧ばらつきが動作マージンに与える影響	13
2.5.1	システムチックばらつきとランダムばらつき	13
2.5.2	動作マージンへの影響	16
2.6	動作環境が動作マージンに与える影響	18
2.7	結言	20
第3章	高信頼性モードを有するディペンダブルSRAM	21
3.1	緒言	21
3.2	ディペンダブルSRAMの概要	21
3.3	ディペンダブルメモリセル	23
3.3.1	従来の6Tメモリセル	23
3.3.2	7T/14Tメモリセル	26
3.4	従来6Tメモリセルと7T/14Tメモリセルの比較	30
3.4.1	ビット線遅延時間	30
3.4.2	ビット不良率(BER)	31
3.4.3	スタンバイリーク電力	35
3.4.4	ECC, MMRとの比較	36

3.5	ハーフセレクト回避のためのセルアレイ設計手法	38
3.6	実測結果	43
3.7	結言	46
第4章	システムチックばらつきを補正する基板バイアス電圧制御技術	49
4.1	緒言	49
4.2	FD-SOIデバイス	50
4.3	提案基板バイアス電圧制御手法	52
4.3.1	FD-SOIプロセスにおける基板バイアス電圧制御	52
4.3.2	基板バイアス電圧制御回路	55
4.4	実測結果	59
4.5	結言	63
第5章	動画像処理応用 2-port SRAMの低消費電力化技術	65
5.1	緒言	65
5.2	従来の 2-port SRAMの問題点	66
5.2.1	2-port SRAM の構成	66
5.2.2	2-port SRAMの読出しビット線充放電電力	67
5.3	多数決論理SRAM	68
5.3.1	多数決論理SRAMの概要	68
5.3.2	多数決論理を用いることによる消費電力削減効果	69
5.4	Reordering処理	70
5.4.1	動画像の特性	70
5.4.2	Reordering処理の概要	73
5.4.3	隣接画素の最適な取り方	75
5.5	90-nmプロセスを用いた実装	82
5.5.1	全体回路構成	82
5.5.2	メモリセル	82
5.5.3	多数決論理SRAM向けの書込み回路および読出し回路	84
5.6	実測結果	87
5.7	結言	91
第6章	結論	93

謝辞.....	97
参考文献.....	101
著者の研究業績目録.....	107

目 次

図 1.1	本論文の構成.	3
図 2.1	DRAMのメモリセル.	6
図 2.2	SRAMのメモリセル.	6
図 2.3	SRAMのブロック図.	7
図 2.4	6Tメモリセルの動作: (a)読出し動作時, (b)書込み動作時.	9
図 2.5	6Tメモリセルの読出し動作マージン(SNM): (a)読出し動作マージン導出グラフ, (b)読出し動作マージン導出時の等価回路.	11
図 2.6	6Tメモリセルの書込み動作マージン(WTP): (a)書込み動作マージン導出グラフ, (b)書込み動作マージン導出時の等価回路.	12
図 2.7	SoCに搭載されるメモリの割合.	13
図 2.8	システムチェックばらつきとランダムばらつき.	14
図 2.9	プロセスコーナー.	15
図 2.10	ペリグルムプロット.	16
図 2.11	各プロセスコーナーにおける読出し動作マージン.	17
図 2.12	各プロセスコーナーにおける書込み動作マージン.	17
図 2.13	システムチェックばらつき, ランダムばらつきを考慮した動作マージン:	17
図 2.14	温度を変化させた場合におけるId-Vgs特性: (a)nMOS, (b)pMOS.	18
図 2.15	動作マージンの温度依存性: (a)読出し動作マージン, (b)書込み動作マージン.	19
図 2.16	読出し動作マージンのpMOSしきい値電圧依存性.	19
図 3.1	ディペンダブルSRAM.	22
図 3.2	従来の6Tメモリセル: (a)回路図, (b)レイアウト.	23
図 3.3	読出しセル電流の分布.	24
図 3.4	2-MCモードにおける動作波形: (a)自己修復効果(WLパルス幅が十分長い場合), (b)データ破壊(WLパルス幅が不十分な場合).	25
図 3.5	7TN/14TNメモリセル(追加トランジスタ: nMOS): (a)回路図, (b)レイアウト.	27
図 3.6	7TP/14TPメモリセル: (a)回路図, (b)レイアウト(拡散層~2層メタル), (c)レイアウト(3層メタル~4層メタル).	28
図 3.7	ワーストケースのビット線遅延時間: (a)7TPメモリセル, (b)高速動作モード(14TPメモリセル).	31
図 3.8	7TPメモリセルと14TPメモリセルにおける読出し動作マージン(SNM)と書込み動作マージン(WTP).	32
図 3.9	ビット不良率(読出し動作).	32

図 3.10	ビット不良率(書込み動作).	33
図 3.11	ビット不良率(データ保持).	33
図 3.12	1セル当たりのスタンバイリーク電力(CCコーナー, 25°C).	35
図 3.13	従来の高信頼化手法 : (a)誤り訂正符号(ECC: Error Correction Code), (b)多重化(MMR: Multi Module Redundancy).	36
図 3.14	提案 14TPの高信頼動作モードと従来の高信頼化手法とのBERの比較.	37
図 3.15	ハーフセレクト問題が発生する従来のメモリセルアレイ構造.	39
図 3.16	ハーフセレクト問題が発生しない提案メモリセルアレイ構造(回路図).	40
図 3.17	提案メモリセルアレイのレイアウト.	41
図 3.18	提案メモリセルアレイのデコーダ構成: (a)ブロック図, (b)ワード線セクタの回路図.	42
図 3.19	65-nmプロセスを用いて試作を行った 64-kb SRAM TEG.	43
図 3.20	BERの実測結果.	44
図 3.21	高信頼動作モードのアクセスタイム.	44
図 3.22	1セル当たりのリーク電力の実測結果.	45
図 3.23	40MHz動作時における読出し動作電力の実測結果.	45
図 3.24	40MHz動作時における書込み動作電力の実測結果.	46
図 4.1	従来手法の問題点: (a)特殊プロセス(トリプルウェル構造).	50
図 4.2	基板断面構造の比較: (a) バルクプロセスの基板, (b)SOIプロセスの基板.	50
図 4.3	素子構造: (a) 部分空乏化型(Partially-Depleted SOI).	51
図 4.4	読出し動作および書込み動作の低電圧動作下限(ミルキーウェイプロット): (a)基板バイアス電圧制御なし, (b)基板バイアス電圧制御あり.	53
図 4.5	FD-SOIデバイス: (a)デバイス構造, (b)nMOSのId-Vgs特性, (c)pMOSのId-Vgs特性.	54
図 4.6	FD-SOIプロセスを用いたSRAMのメモリセル.	55
図 4.7	提案基板バイアス電圧制御回路: (a)ブロック図, (b)しきい値電圧検出回路(Vt detector), (c)VDD/2 生成回路(Half-VDD generator).	56
図 4.8	基板バイアス生成回路の動作例(FSコーナー).	58
図 4.9	しきい値電圧検出回路とVDD/2 生成回路のシミュレーション結果.	58
図 4.10	0.15-um FD-SOIプロセスで試作を行った 486-kb SRAM.	59
図 4.11	読出し動作時のBERの実測結果.	60
図 4.12	データ保持時のBERの実測結果.	60
図 4.13	書込み動作時のBERの実測結果.	61
図 4.14	リーク電力の実測結果.	62
図 4.15	ランダムばらつきを抑制することができるデバイス構成.	62
図 5.1	8トランジスタで構成される 2-portメモリセル.	66
図 5.2	2-port SRAMにおける読出し動作時における動作波形.	67

図 5.3	多数決論理SRAMの概要: (a)ブロック図, (b)フラグビットの概念.	68
図 5.4	従来SRAMと多数決論理SRAMにおけるRBLの充放電電力の比較.	69
図 5.5	動画像の例.	71
図 5.6	HDTV解像度の標準テスト動画像シーケンス.	71
図 5.7	H.264 の符号化プロセスと符号化条件.	72
図 5.8	標準テスト動画像シーケンスMarket, Churchにおける隣接する横 8 画素のビットごとの相関性.	73
図 5.9	多数決論理を用いた場合における規格化読出しビット線電力.	74
図 5.10	多数決論理とReordering処理.	75
図 5.11	隣接する画素の取り方.	76
図 5.12	インターレース画像の一例.	76
図 5.13	画素の取り方を変化させた場合の読出しビット線充放電電力削減効果.	77
図 5.14	フラグビットの値を変化させた場合の読出しビット線充放電電力削減効果.	78
図 5.15	フラグビットの値を変化させた場合の読出しビット線充放電電力.	79
図 5.16	原画像に対して多数決論理とReordering処理を用いた場合の読出しビット線充放電電力削減効果.	80
図 5.17	再構成画像に対して多数決論理とReordering処理を用いた場合の読出しビット線充放電電力削減効果.	80
図 5.18	提案SRAMにおける読出しビット線充放電電力削減効果とメモリセルアレイにおける面積オーバーヘッド.	81
図 5.19	提案する 68-kb SRAMのブロック図.	83
図 5.20	メモリセルのレイアウト.	83
図 5.21	多数決論理回路を加えた書込み回路.	84
図 5.22	“1”の個数が 7 個, “0”の個数が 9 個の場合における多数決論理回路の動作波形: (a)JLのシンクパスが 1 個, JL_Nのシンクパスが 0 個, (b)JLのシンクパスが 4 個, JL_Nのシンクパスが 3 個, (c)PVT条件が最悪の場合におけるJLのシンクパスが 4 個, JL_Nのシンクパスが 3 個.	86
図 5.23	元の入力データを復元するための読出し回路.	87
図 5.24	チップ写真およびレイアウト.	88
図 5.25	アクセスタイムの実測結果.	88
図 5.26	メモリセル 1 個あたりにおけるリーク電流の実測結果.	89
図 5.27	100MHz動作時における読出しビット線電力削減効果の実測結果.	90
図 5.28	読出し動作電力の実測結果.	90

表 目 次

表 3.1	7T/14Tメモリセルの3種類の動作モード.	29
表 3.2	提案メモリセルアレイ構造のワード線マッピング.	40

第1章 序論

1.1 SRAMの技術背景

近年，システム LSI は様々な産業の基幹を担っており，システム LSI の信頼性の向上および低消費電力化がますます重要となってきた。また，多くのシステム LSI には処理データを記憶するメモリとして，高速，低消費電力，周辺回路が簡素，論理演算部との混載が容易といった理由から，SRAM(Static Random Access Memory)が搭載されている。今後，情報処理端末にさらに高い処理能力が要求され，システム LSI における処理データ量が大規模化するに従って SRAM の記憶容量が増大することが予想されている。ITRS 2003[1]によれば，2012 年にはシステム LSI の面積の 90%以上がメモリで占有されると予想されており，システム LSI の大部分はメモリによって占められる。

よって，システム LSI の低消費電力化・高信頼化には，SRAM の低消費電力化および高信頼化技術が必要不可欠となる。しかし，半導体の製造プロセスが 90nm 以降の世代になると，LSI に集積される MOS トランジスタのしきい値電圧のばらつきが顕在化する。特に，システム LSI には大容量の SRAM が搭載され，SRAM のメモリセルは最小サイズのトランジスタにより構成されるため，SRAM の低電圧動作性の確保および信頼性の維持が困難となる。

1.2 研究目的及び本論文の構成

本研究では，前節で述べた背景をもとに，微細プロセスにおける SRAM の低消費電力化および高信頼化技術の実現を目的とする。本論文の構成および各研究の概略について以下にまとめる。また，図 1.1 に本論文の構成をまとめる。

第1章 序論

本章では、本研究に関する技術的背景、技術動向及び本論文の研究内容について記述する。

第2章 低消費電力化および高信頼化に向けた SRAM の課題

本章では、SRAM の低消費電力化の必要性について示すとともに、プロセスの微細化が進むにつれて顕著となるしきい値電圧ばらつき、および動作環境の変化が動作マージンへ及ぼす影響について記述する。

第3章 高信頼性モードを有するディペンダブル SRAM

本章では、SRAM の高信頼化を目的とし、動的に信頼性を変化することができる 7T/14T メモリで構成されたディペンダブル SRAM について記述する。提案するメモリセルは通常動作モード、高速動作モード、高信頼動作モードの 3 つの動作モードを有し、ブロックごとに動作モードを切り替えることができる。

第4章 システムチックばらつきを補正する基板バイアス電圧制御技術

本章では、FD-SOI プロセスを用いたシステムチックばらつきを補正するための基板バイアス制御技術について記述する。提案する基板バイアス制御技術は、自動的にチップ間のしきい値ばらつきを検出し、SRAM の動作マージンが最大となるように補正を行うことが可能である。

第5章 動画像処理応用 2-port SRAM の低消費電力化技術

プロセスの微細化が進むにつれ、大容量 SRAM がフレームバッファや再構成画像メモリなどに実装され、消費電力の大部分を占めるため、実時間動画像処理プロセッサの低消費電力化には、SRAM の低消費電力化が必要不可欠である。本章では、アプリ

ケーションとハードウェアの両方の着眼点から動画像処理で広く用いられている 2-port SRAM に対して、動画像の持つ隣接画素相関性を利用した低消費電力化技術について記述する。

第6章 結論

本研究で得られた結論について記述する。

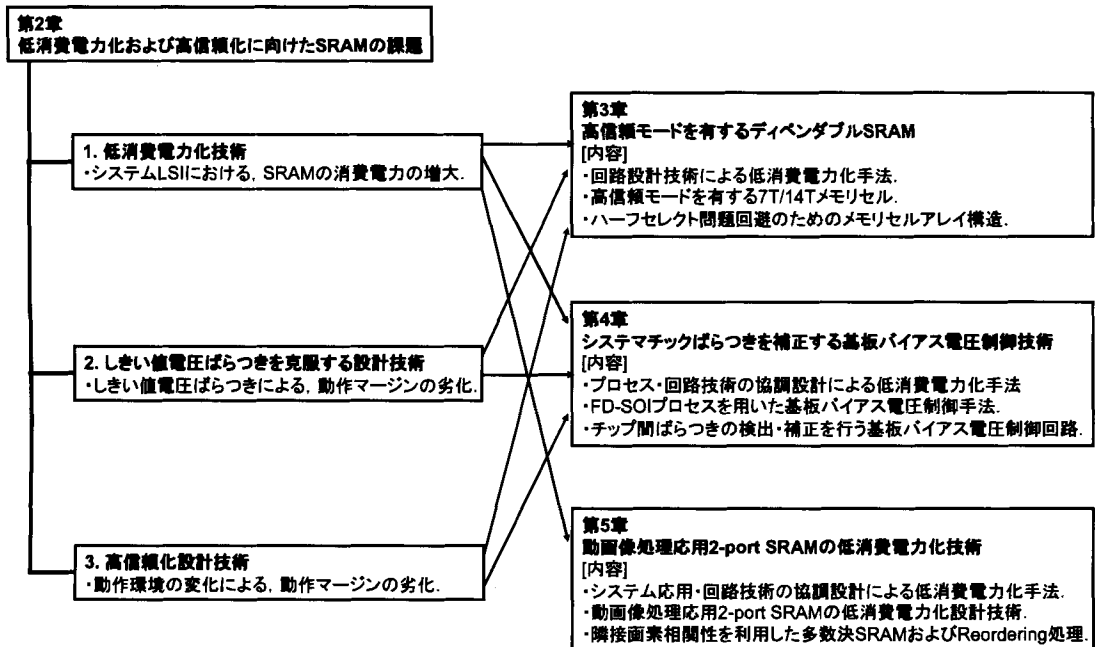


図 1.1 本論文の構成.

第2章 低消費電力化および高信頼化に向けたSRAMの課題

2.1 緒言

本章では、SRAM(Static Random Access Memory)と微細プロセスにおけるSRAMの低消費電力化、高信頼化に対する課題について述べる。

製造プロセスの微細化が進むにつれて、MOSトランジスタのしきい値電圧ばらつきが増大によりSRAMにおけるメモリセルの動作マージンが劣化し、SRAMの動作下限電圧が上昇する傾向にある。

2.2節では、SRAMの概要について記述する。2.3節では、6トランジスタで構成されるSRAMのメモリセルの動作マージンについて記述する。2.4節では、SRAMの低消費電力化の必要性について記述する。2.5節では、しきい値電圧ばらつきが動作マージンへ及ぼす影響について記述する。また、2.6節では動作環境が動作マージンへ及ぼす影響について記述する。

2.2 SRAMの概要

2.2.1 SRAMの特徴

MOS (Metal-Oxide-Semiconductor)技術により構成されるRAM (Random Access Memory)には、スタティック型 (SRAM: Static RAM)とダイナミック型 (DRAM: Dynamic RAM)がある。双方とも揮発メモリであり、電源供給がなくなると記憶データは失われる。

DRAMは、容量に蓄えられた電荷の有無をビット情報の“1” / “0”に対応させる。メモリセル(図 2.1)は1個のトランジスタと1個の容量(1T1C)で構成されるため、小面積であり、大容量化に適し低コストである。しかし、時間経過により、リーク電流によって容量に蓄えられた電荷が放電されるため、定期的に保持データをリフレッシュする必要がある。

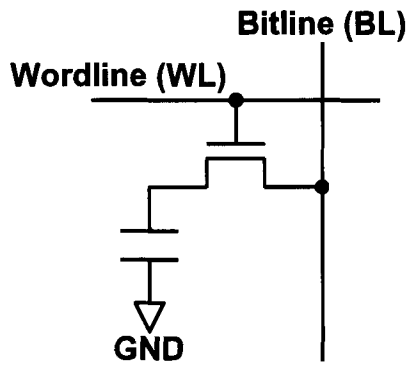


図 2.1 DRAM のメモリセル.

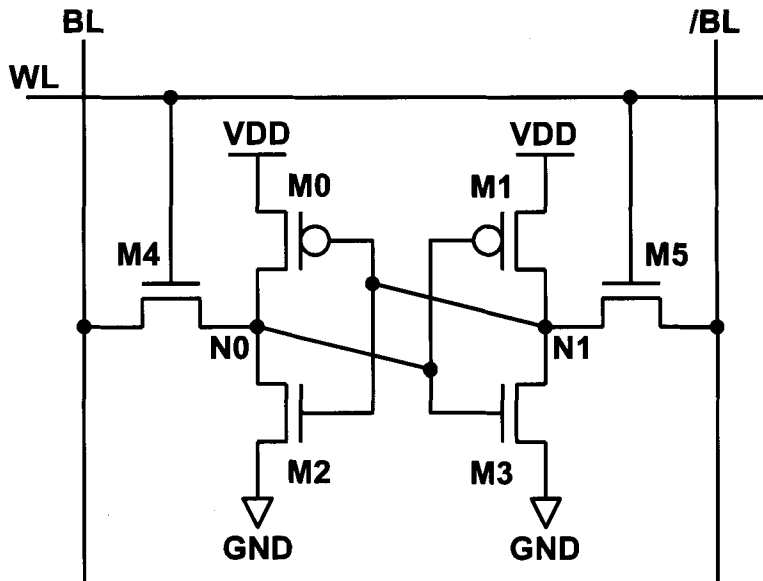


図 2.2 SRAM のメモリセル.

一方, SRAM のメモリセル(図 2.2)はフリップフロップ回路により構成されるため 6 トランジスタ構成となり, DRAM と比較して面積が大きくなるが, 以下の長所を持つ.

1. 読出しおよび書込み動作が高速.
2. メモリセルに貫通電流が流れず, リフレッシュ動作が不要のため, 待機時の消費電力が低い.
3. CMOS ロジックプロセスで実現できるため, システム LSI に集積化しやすい.

1. の特徴を生かして、汎用コンピュータ、ワークステーション、PC のキャッシュメモリ、スーパーコンピュータの主記憶メモリとして、2. の理由から、バッテリー駆動の携帯機器の記憶装置として、また、3. の理由から、CPU や DSP に搭載されるキャッシュメモリとして広く利用されている。

2.2.2 SRAMの構成と動作

図 2.3 に SRAM の全体ブロック図を示す。SRAM ではメモリセルがアレイ状に配置されている。また、メモリセルアレイの行選択線としてワード線、上下に貫通するデータ線としてビット線が配置されている。行アドレス(X アドレス)および列アドレス(Y アドレス)の入力により、メモリセルアレイ内で特定のメモリセルが選択される。

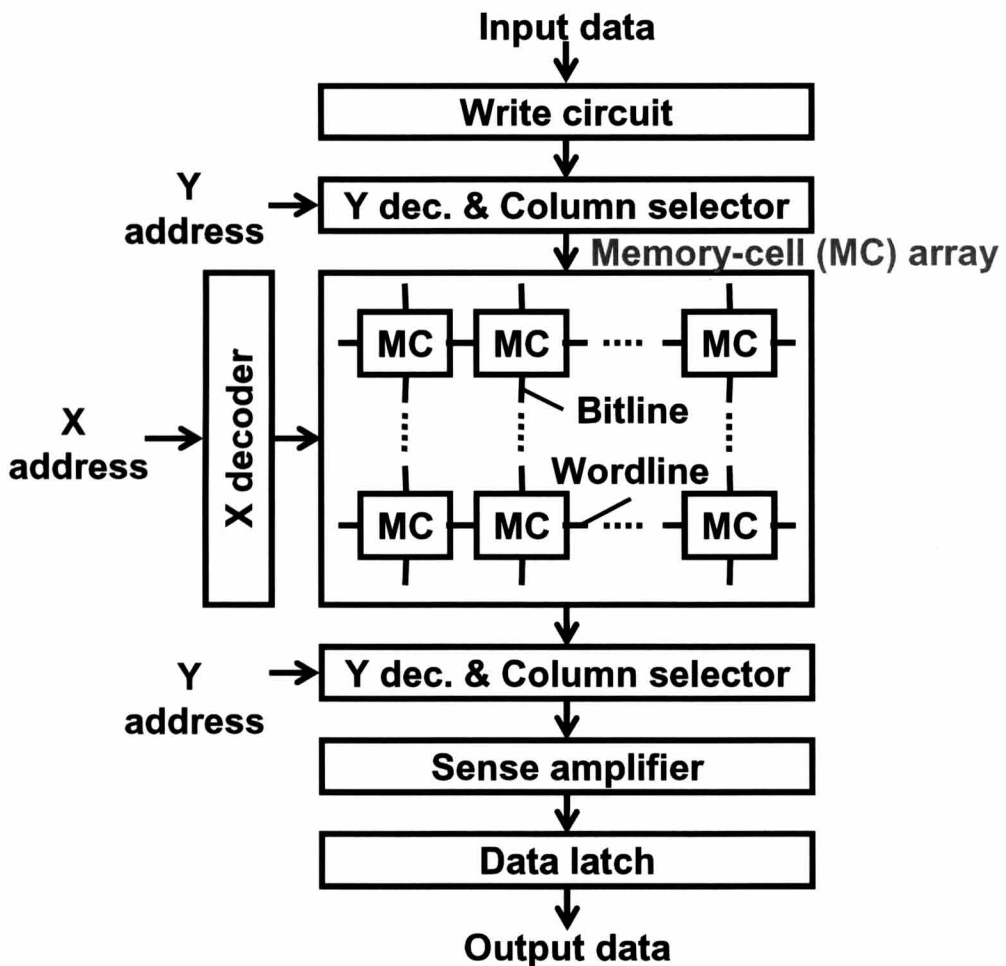


図 2.3 SRAM のブロック図.

SRAM の読出し動作の手順を以下にまとめる。

1. 外部入力の X アドレスを X デコーダでデコードする。また、同時に Y アドレスについても Y デコーダでデコードを行う。
2. 1. で選択された行のワード線を立ち上げ、選択された行のメモリセルのデータをビット線に出力する。
3. 1. で選択された列のビット線のみをセンスアンプに出力する。
4. センスアンプによってビット線の微小振幅を増幅する。
5. 増幅された信号をラッチ部で保持し、読出しデータとして出力する。

また、書込み動作の手順について以下にまとめる。

1. 外部入力の X アドレスを X デコーダでデコードする。また、同時に Y アドレスについても Y デコーダでデコードを行う。
2. 外部入力のデータに応じて、書込み回路により 1. で選択された列のビット線を駆動する。
3. 1. で選択された行のワード線を立ち上げ、X アドレス、Y アドレスによって選択されたメモリセルにデータを書込む。

2.3 メモリセルの動作マージン

6T メモリセル(図 2.2)はドライブトランジスタ(M2, M3)、負荷トランジスタ(M0, M1)、アクセストランジスタ(M4, M5)で構成されている。ドライブトランジスタと負荷トランジスタの 4 トランジスタによりインバータカップルが形成されており、インバータの入出力電圧(N0, N1)は“H”(VDD)もしくは“L”(0V)で安定する。N0, N1 の電位状態は(N0, N1) = (“H”, “L”)もしくは(“L”, “H”)の 2 通りであり、情報 1bit を記憶する。また、6T メモリセルへのデータの入出力としてビット線(BL, /BL)がアクセストランジスタのドレインに接続され、また、6T メモリセルへのアクセスとしてワード線(WL)がアクセストランジスタのゲートに接続されている。

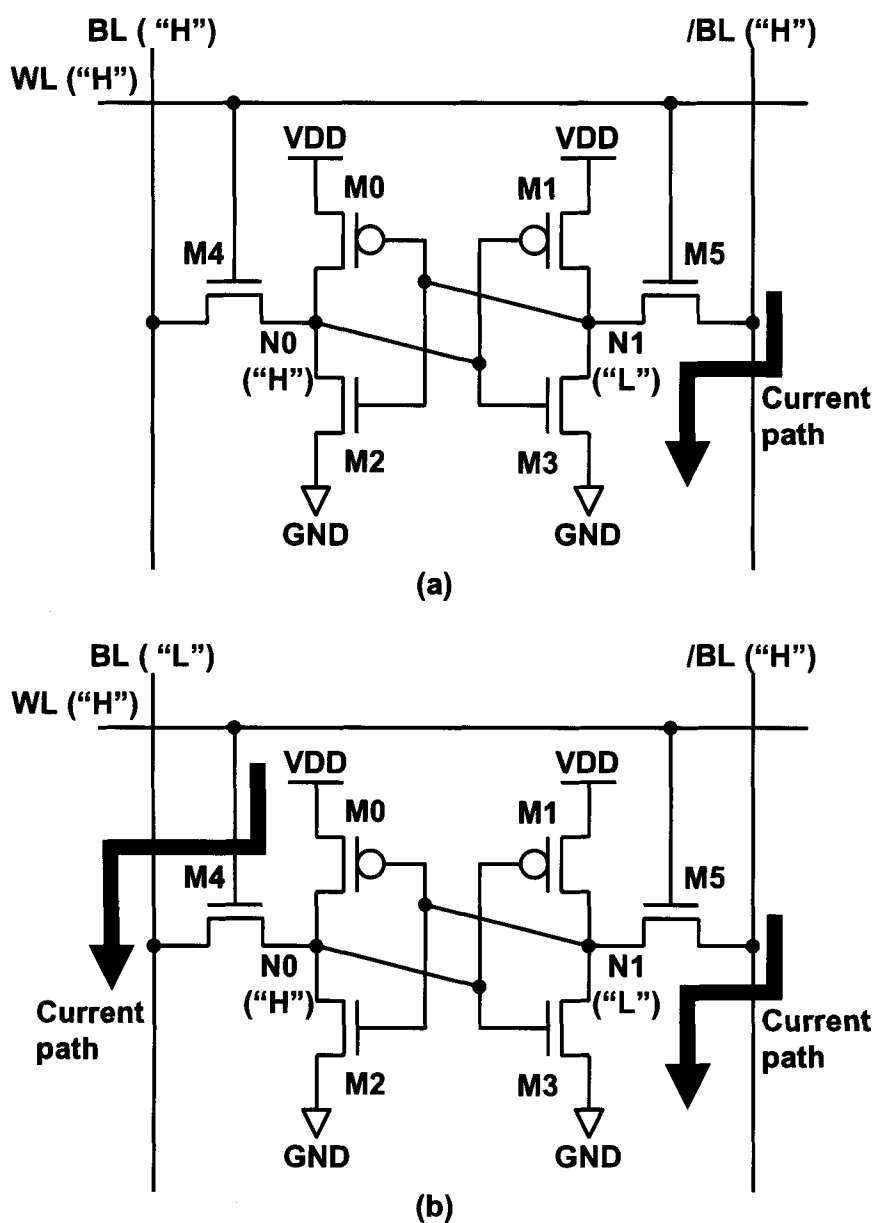


図 2.4 6T メモリセルの動作: (a)読出し動作時, (b)書込み動作時.

図 2.4 を用いることにより, 6T メモリセルの読出しおよび書込み動作について説明する. 図 2.4 に示す 6T メモリセルでは, データ保持ノードを $N0 = \text{"H"}$, $N1 = \text{"L"}$ と仮定する. また, WL が立ち上がる前にビット線 (BL, /BL) が "H" レベルにプリチャージされている.

読出し動作時には, WL が "H" に立ち上がりアクセストランジスタがオン状態になる. /BL から M5, M3 を通して GND への放電パスが生じ, /BL にプリチャージされていた電荷の放電が行われ, /BL の電位が VDD から徐々に低下する. 逆に, ビット線 BL に

においては放電パスが存在しないため、BL の電位はプリチャージ電圧 VDD から変化しない。ビット線対(BL, /BL)に発生する電位差をセンスアンプによって増幅することにより、アクセスされたメモリセルの保持データの値が読出しデータとして出力される。

書込み動作時では、ビット線電位が書込みドライバによって決定される。図 2.4(b)においては、BL = “L”, /BL = “H”となっている。WL が“H”に立ち上がりアクセストランジスタがオン状態になると、セルインバータカップルの電源 VDD から M0, M4 を通して BL への放電パスと、/BL から M5, M3 を通して GND への放電パスが生じ、N0, N1 の電位が反転してデータの書込みが行われる。

安定動作のためには読出しおよび書込み双方の動作マージンの確保が必要である。

2.3.1 読出し動作マージン(SNM: Static Noise Margin)

図 2.5(a)に、読出し動作マージン(SNM: Static Noise Margin)の定義を示す読出し動作マージン導出グラフ、および図 2.5(b)に SNM 導出時の 6T メモリセルの等価回路を示す[2]。読出し動作マージン導出グラフは、ワード線およびビット線対が電源に接続された状態で、セルインバータの入出力(N0, N1)の直流伝達特性をとり、2 本のカーブを重ね合わせたグラフである。

読出し動作マージン導出グラフに内接する最大正方形の1辺の長さが SNM に対応する。SNM の値が大きいほど読出し動作が安定となり、保持データが読出し動作時において破壊されにくくなる。

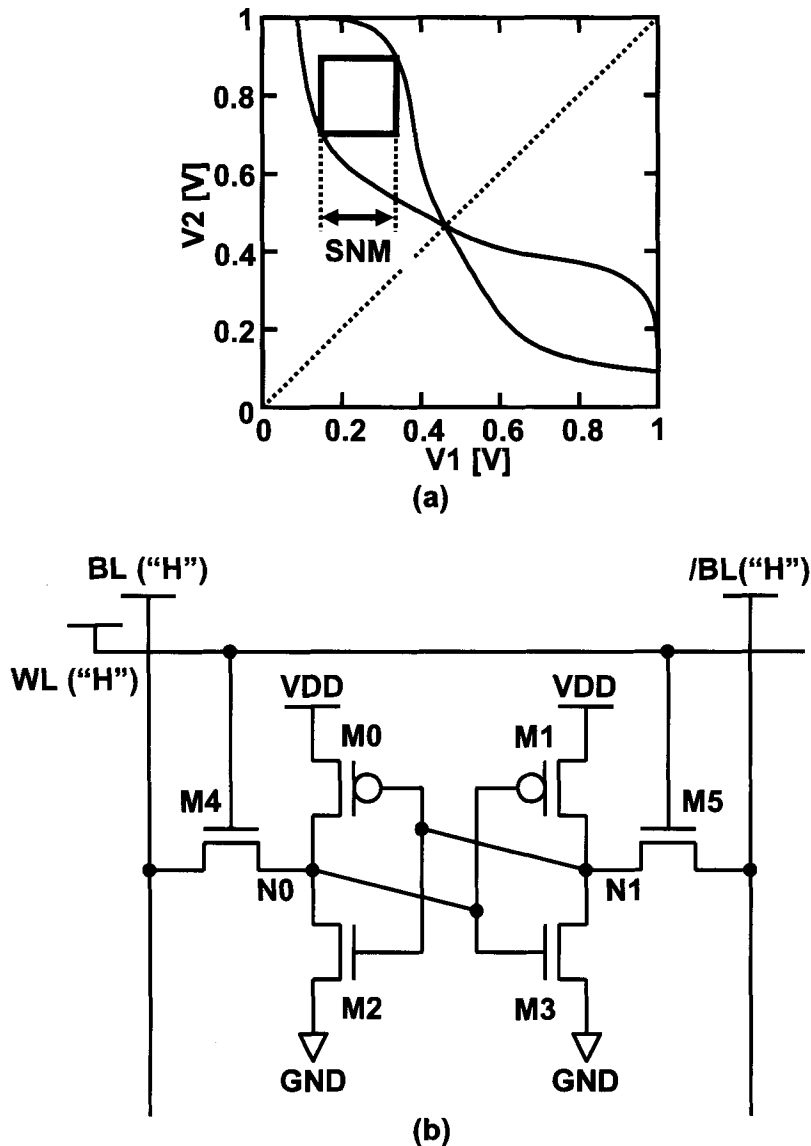


図 2.5 6T メモリセルの読出し動作マージン(SNM): (a)読出し動作マージン導出グラフ, (b)読出し動作マージン導出時の等価回路.

2.3.2 書込み動作マージン(WTP: Write Trip Point)

図 2.6(a)に, 書込み動作マージン(WTP: Write Trip Point)の定義を示すグラフ, および図 2.6(b)に WTP 導出時の 6T メモリセルの等価回路を示す[3]. WTP の導出時には, ワード線が電源に接続され, ビット線の一方(図 2.6(b)では/BL)が電源に接続された状態において, もう一方のビット線(図 2.6(b)では BL)の電位を 0V から VDD の間で変化させる.

保持ノードの値が反転するときの BL の電位が WTP に対応する。WTP の値が大き
いほど書込み動作が安定となり、書込み動作時において、保持データの書換えを行い
やすくなる。

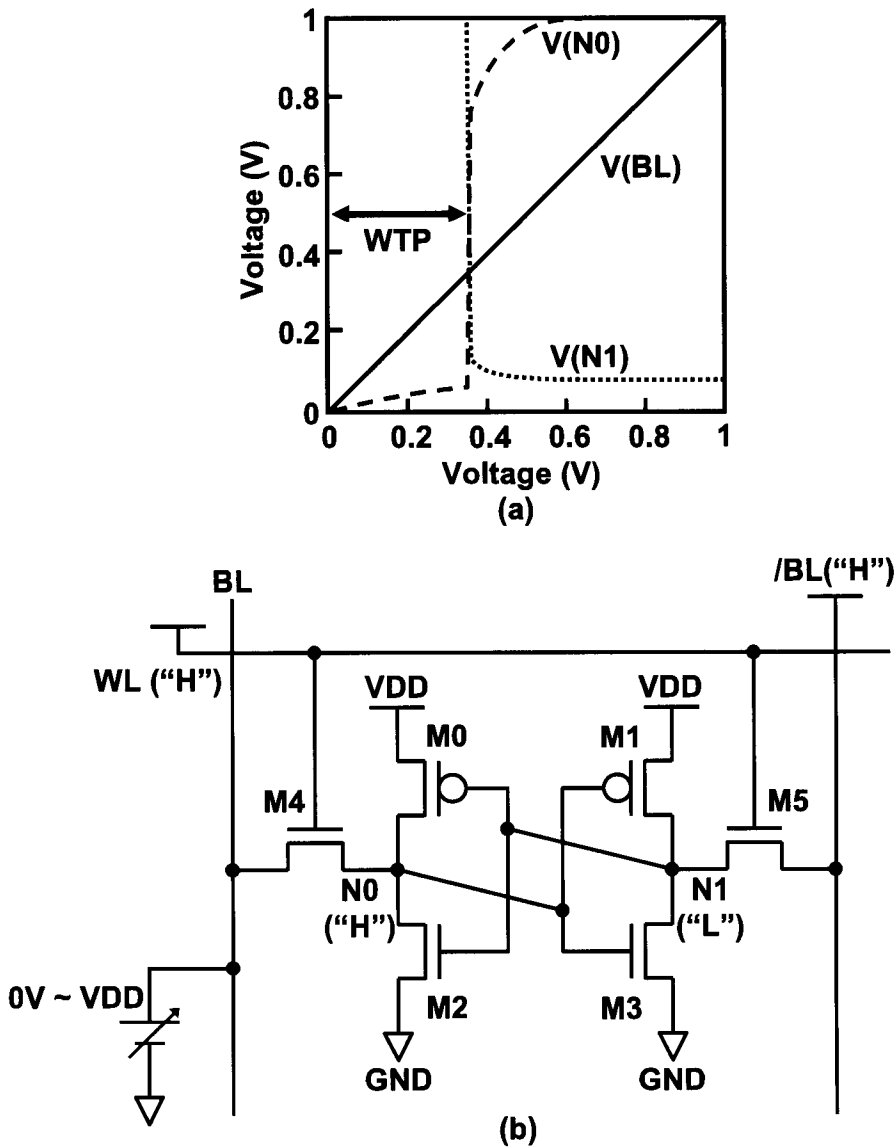


図 2.6 6T1T1 メモリセルの書込み動作マージン(WTP): (a)書込み動作マージン導出グラ
フ, (b)書込み動作マージン導出時の等価回路。

2.4 SRAMの低消費電力化の必要性

情報処理端末にさらに高い処理能力（動画像の場合、高解像度への対応、高ビットエラーレートへの対応など）が要求され、システム LSI における処理データ量が大規模化するに従って SRAM の記憶容量が増大することが予想されている。ITRS 2003[1]によれば、図 2.7 に示すように、2012 年にはシステム LSI の面積の 90%以上がメモリで占有されると予想されており、システム LSI の消費電力の大部分はメモリによって占められる。

よって、システム LSI の低消費電力化には SRAM の低消費電力化は必要不可欠となる。

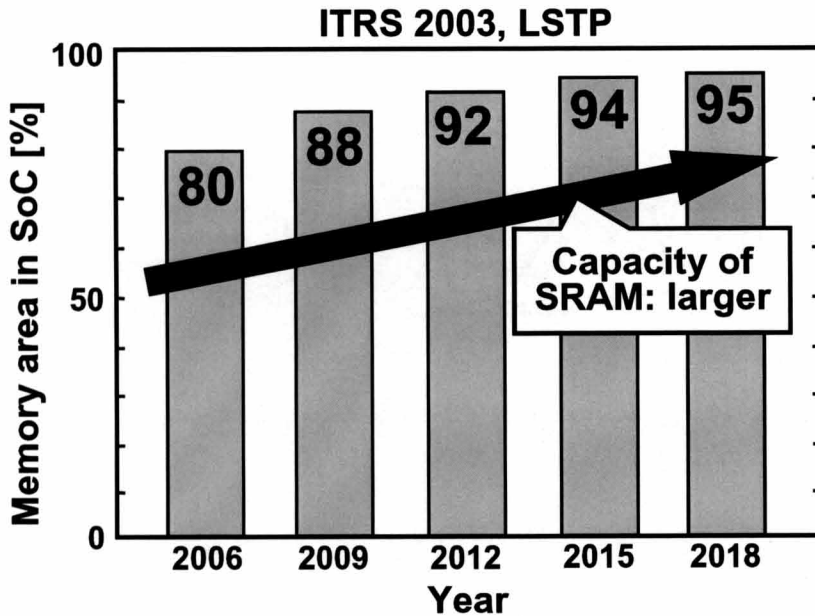


図 2.7 SoC に搭載されるメモリの割合。

2.5 しきい値電圧ばらつきが動作マージンに与える影響

2.5.1 システムチックばらつきとランダムばらつき

前節で記述したとおり、システム LSI の低消費電力化のためには SRAM の低消費電力化が必要不可欠である。また、低消費電力化には動作電圧の低電圧化が効果的であ

る。しかし、LSI 製造プロセスの微細化に伴い、MOS トランジスタのしきい値電圧のばらつきが増大することにより、SRAM の低電圧動作性が阻害されている。

しきい値電圧ばらつきには、図 2.8 に示すようにチップ間/ウェハ間で発生するシステムマチック成分と、チップ内/トランジスタ間で発生するランダム成分が存在する。

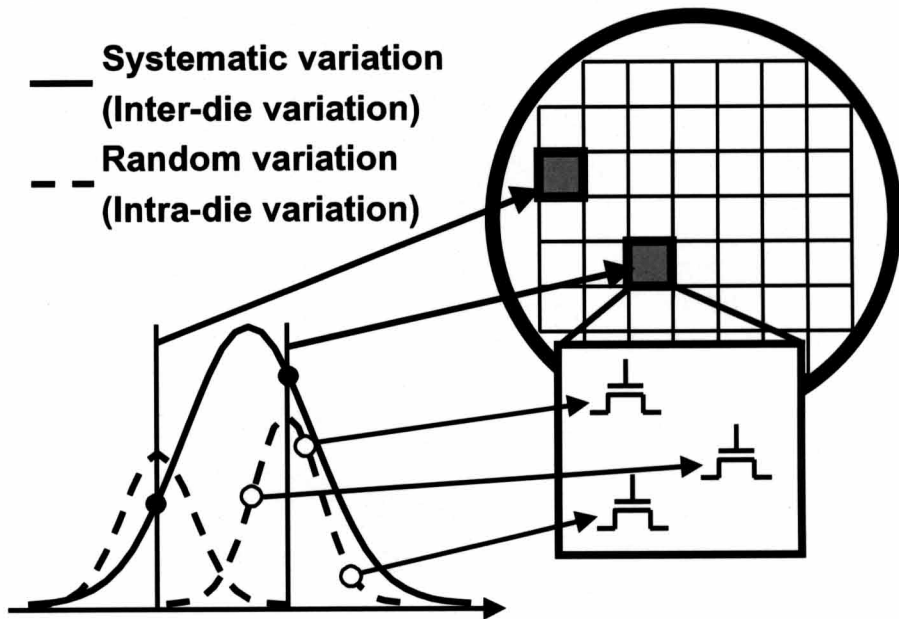


図 2.8 システムマチックばらつきとランダムばらつき。

システムマチックばらつきの発生原因は、パターン寸法、堆積膜厚、酸化膜厚、熱処理温度などの製造プロセスでのばらつきである。実設計においては図 2.9 に示す 5 つのプロセスコーナーを考慮して、回路設計を行う必要がある。図 2.9 において、“F”は fast (しきい値電圧が標準より低い)、“C”は center (標準のしきい値電圧)、“S”は slow (しきい値電圧が標準より高い)の意味であり、例えば“FS”コーナーは nMOS トランジスタのしきい値電圧が標準値よりも低く、pMOS のしきい値電圧が標準値よりも高いことを表す。

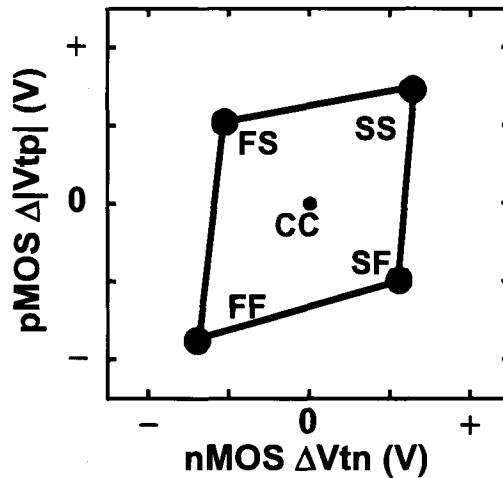


図 2.9 プロセスコーナー.

一方，ランダムばらつきは不純物濃度のゆらぎ，界面準位，ゲート端部におけるラインエッジラフネス(LER)，多結晶粒界などが原因である．ランダムばらつきの標準偏差 $\sigma_{v_{th}}$ は以下の式で表される[4].

$$\sigma_{v_{th}} \propto T_{ox} \cdot \frac{\sqrt{N \cdot T \cdot \ln(N / n_i)}}{\sqrt{L_{eff} \cdot W_{eff}}} \quad (2.1)$$

ただし，

T_{ox} : ゲート実効酸化膜厚

N : チャネル不純物濃度

T : 絶対温度

N_i : 真性キャリア濃度

L_{eff} : 実効チャネルゲート長

W_{eff} : 実効チャネルゲート幅

図 2.10 に，ITRS2005 に基づく， $\sigma_{v_{th}}$ の LSI 製造プロセス世代推移をペリグロムプロットで示す[5]. 世代とともにゲート酸化膜厚が薄くなることでペリグロムプロットの傾きは小さくなるが，チャネルの最小面積(LW)の縮小に $\sigma_{v_{th}}$ が増大する．また，メモリセルの各トランジスタの寸法は高集積化の観点から最小に設定されることが多いので， $\sigma_{v_{th}}$ がロジック部のトランジスタと比較して大きくなる．

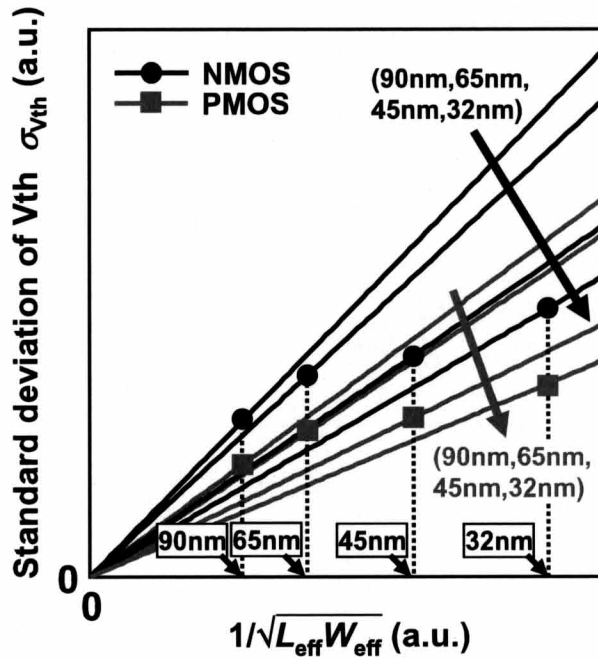


図 2.10 ペリグロムプロット.

2.5.2 動作マージンへの影響

以下では、システムチックばらつき、およびランダムばらつきが動作マージンに及ぼす影響について述べる。図 2.11, 図 2.12 に各プロセスコーナーにおける読出し動作マージンおよび書込み動作マージンを示す。読出し動作マージンは FS コーナーにおいて最も低くなり、書込み動作マージンは SF コーナーにおいて最も低くなる。つまり、SRAM の読出し動作および書込み動作の動作下限電圧は、それぞれ FS コーナーおよび SF コーナーにより決定される。

また、図 2.13 にシステムチックばらつき、およびランダムばらつきを考慮した場合の読出し動作マージンおよび書込み動作マージン導出グラフを示す。図中の実線が 6σ のランダムばらつきを考慮した場合、点線がランダムばらつきを考慮しない場合の動作マージン導出グラフである。ランダムばらつきにより、読出し動作マージン、および書込み動作マージンが、さらに劣化することがわかる。

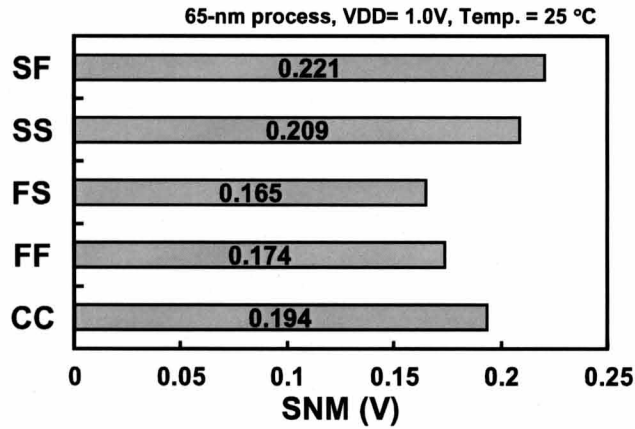


図 2.11 各プロセスコーナーにおける読出し動作マージン.

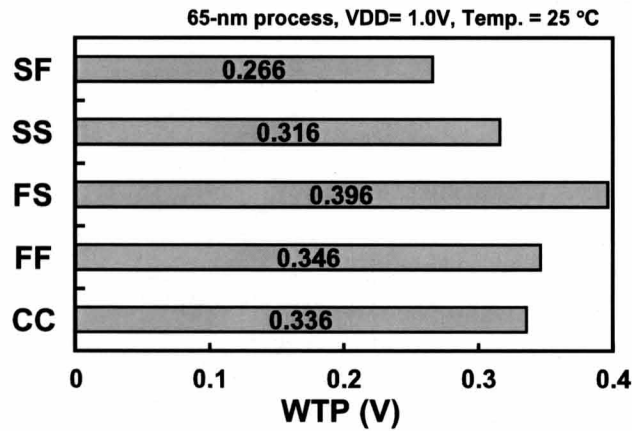


図 2.12 各プロセスコーナーにおける書込み動作マージン.

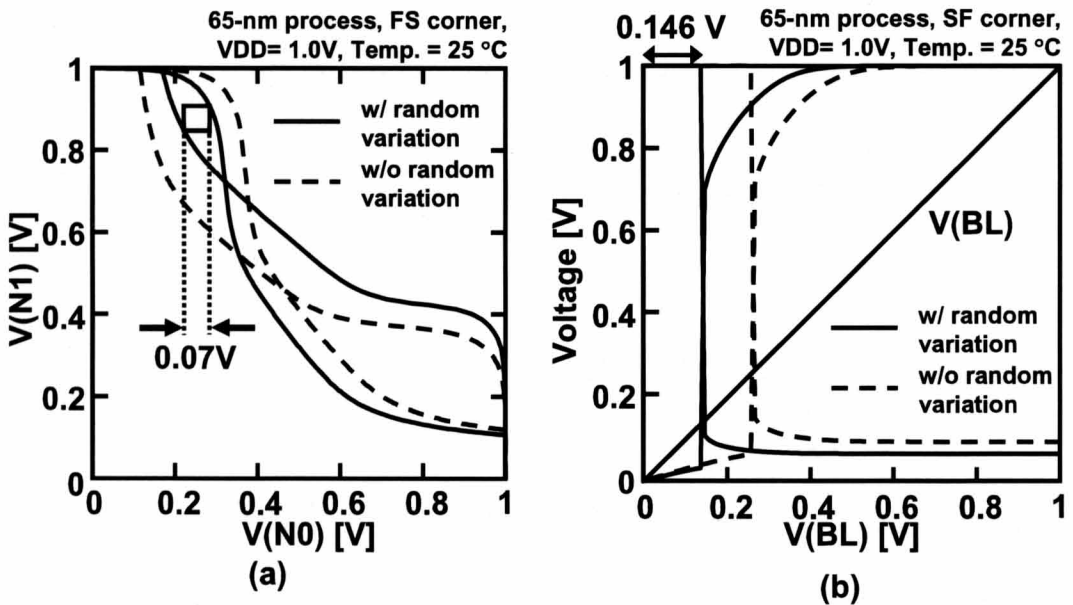


図 2.13 システムチックばらつき, ランダムばらつきを考慮した動作マージン:

(a) 読出し動作マージン, (b) 書込み動作マージン.

2.6 動作環境が動作マージンに与える影響

微細化に伴うしきい値電圧ばらつきのみでなく、動作環境も SRAM の動作マージンに大きな影響を与える。

図 2.14 に温度を変化させた場合における I_d - V_{gs} 特性を示す。オフ領域における電流は拡散電流が支配的であるため、高温条件ではキャリアが多くなるのでオフ電流が上昇し、しきい値電圧は上昇する。一方、オン領域における電流はドリフト電流が支配的であるため、高温条件ではシリコン原子の格子運動により、キャリアの移動度が劣化し、オン電流は減少する[6], [7]。逆に、低温条件においては、しきい値電圧は上昇し、オン電流は増加する傾向を示す。

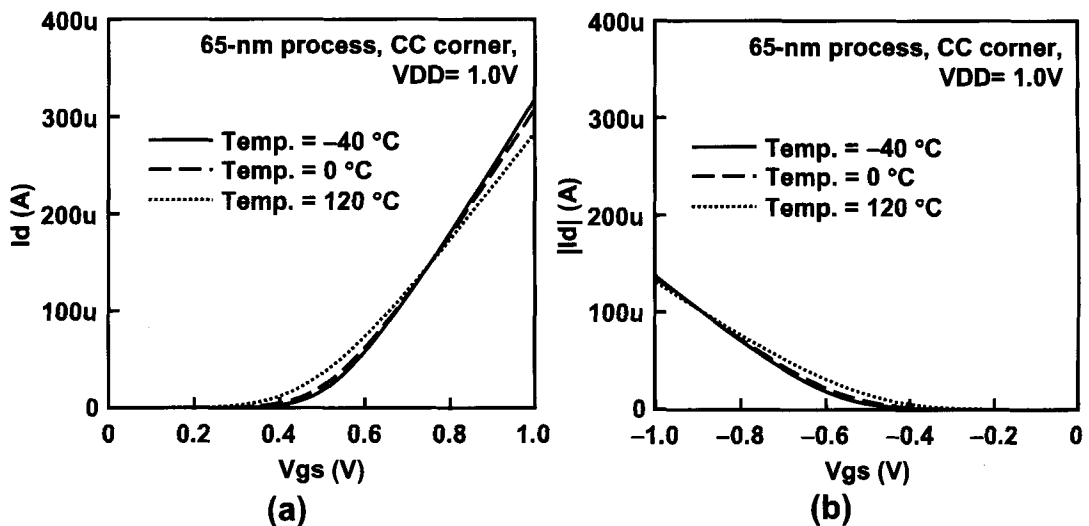


図 2.14 温度を変化させた場合における I_d - V_{gs} 特性: (a)nMOS, (b)pMOS.

また、読出し動作マージンおよび書込み動作マージンの温度依存性を図 2.15 に示す。高温条件においては読出し動作マージンが劣化し、低温条件においては書込み動作マージンが劣化する。

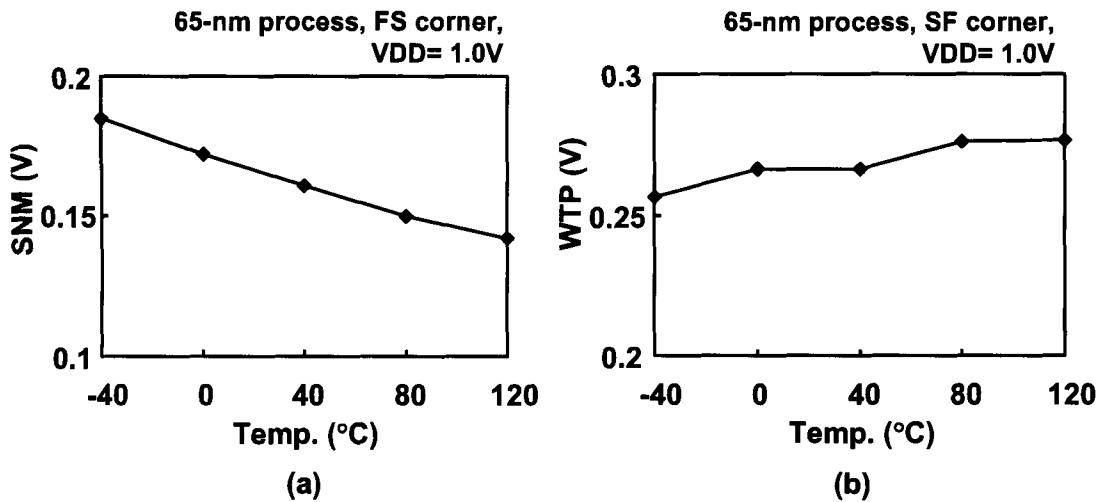


図 2.15 動作マージンの温度依存性: (a)読み出し動作マージン, (b)書き込み動作マージン.

また, MOS トランジスタ特性の経年劣化も, SRAM の動作マージンに影響を及ぼす. pMOS のゲート電極に, ネガティブバイアスを印加した状態を長時間保持した場合において, 界面準位の増加, およびゲート酸化膜中のトラップに起因したチャージにより, pMOS トランジスタのしきい値電圧が上昇し, オン電流が減少する(NBTI: Negative Bias Temperature Instability) [8]

SRAM では, 同じデータを長時間保持する可能性が高いため, 特に深刻な問題となる. 図 2.16 に示すように, pMOS のしきい値電圧が上昇することにより, 読み出し動作マージンが劣化する[9], [10].

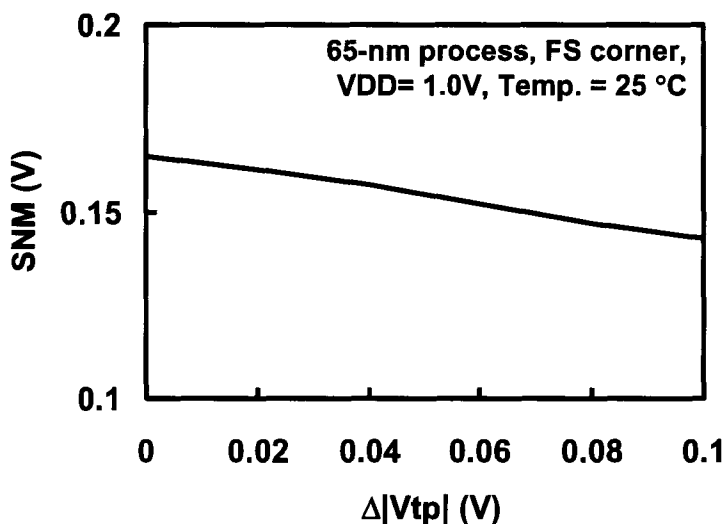


図 2.16 読み出し動作マージンの pMOS しきい値電圧依存性.

2.7 結言

本章では、SRAM と微細化に伴う課題について述べた。SRAM の課題は次の通りである。

- **低消費電力化設計技術**

今後、さらにシステム LSI における SRAM の消費電力の増大が予想されるため、SRAM の低消費電力化設計技術が必要不可欠である。

- **しきい値電圧ばらつきを克服する設計技術**

低消費電力化には、動作電圧の低電圧化が効果的である。しかし、しきい値電圧ばらつきの影響により、メモリセルの動作マージンが劣化し、低電圧動作が阻害されている。よって、しきい値電圧ばらつきを克服するための設計技術が必要不可欠である。

- **高信頼化設計技術**

しきい値電圧ばらつきに加えて、温度変化、経年劣化といった動作環境の変化によっても SRAM の動作安定性は低下する。そのため、動作環境の変化に耐性を持つ設計技術が必要不可欠である。

第3章 高信頼性モードを有するディペンダブルSRAM

3.1 緒言

システム LSI は様々な産業の基幹を担っており、システム LSI の高信頼性化技術がますます重要となってきた。しかし、プロセスの微細化が進むにつれて、MOSFET のしきい値電圧のばらつきが増大することにより、システム LSI において、歩留まり低下とともに信頼性が低下している。特に、SRAM はシステム LSI の大部分の面積を構成しているため、チップの動作安定性を決定する支配的な要因であり、より高い信頼性が求められている[11-16]。

システム LSI は、速度、供給電圧、温度、経年劣化など動作環境によって信頼性が変化するため、環境に応じて動的に信頼性を改善し、適応することが求められている。さらに、要求される信頼性はアプリケーションによっても異なるため、各種のアプリケーションに応じて、信頼性を対応させることが期待されている。

本章では、SRAM の高信頼化を目的とし、動的に信頼性を変化することができる 7T/14T メモリで構成されたディペンダブル SRAM の提案を行う。提案するメモリセルは通常動作モード、高速動作モード、高信頼動作モードの 3 つの動作モードを有し、必要に応じてブロックごとに動作モードを切り替えることができる。

3.2 ディペンダブルSRAMの概要

前節で記述したとおり、速度、供給電圧、温度、経年劣化といった動作環境によって SRAM の信頼性は変化する。また、アプリケーションに応じて、必要とされる信頼性は異なる。例えば、暗号化プログラムや個人データを取り扱うプログラムでは高い信頼性が必要とされるが、スクリーンセーバーでは信頼性は必要とされない。

一方、システム LSI の消費電力を削減する手法として、回路の動作周波数と電源電圧を処理負荷に応じて動的に制御する DVFS(Dynamic Voltage and Frequency Scaling)が提案されている[17]。しかし、微細化が進むにつれ、MOSFET のしきい値電圧のばら

つきの増大によりメモリセルの動作マージンが劣化し、低電圧条件下では SRAM が正常に動作しない可能性がある。よって、DVFS を用いる場合においても、低電圧動作時における、SRAM の信頼性の維持が求められている。

提案する SRAM では、図 3.1 に示すようにブロック単位を基準として SRAM の信頼性を動的に変化させることができる。図 3.1 の場合、ブロック 0 からブロック 3 は 1 つのメモリセルに 1bit のデータが保持され、通常の信頼性を持つ。一方、ブロック 5 とブロック 6 では、2 つのメモリセルを結合し、2 つのメモリセルに 1bit のデータを保持することにより、メモリの容量は半分になるが、高い信頼性を実現することができる。

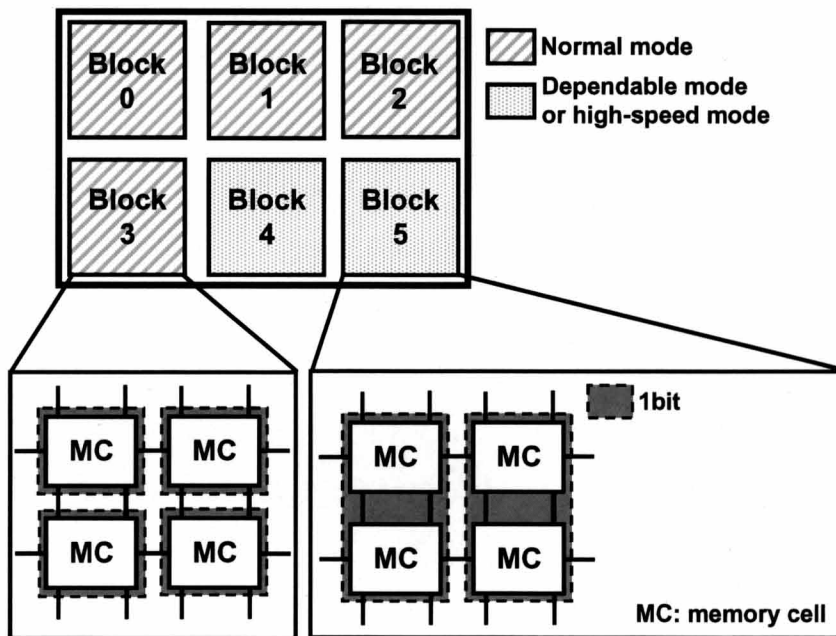


図 3.1 ディペンダブル SRAM.

例えば、OS(Operating system)では、暗号化プログラムや個人情報を取り扱うプログラムに対しては高い信頼性のブロックを割り当てる。アプリケーションソフトでは、システムコールによってデータの信頼性を適切に変化させることが可能となる。また、プログラムとデータの利用率がメモリの 50%以下である場合、メモリの容量を犠牲にすることなく、OS によって積極的に高信頼性ブロックへデータを記憶させることが可能である。また、データ量の少ない簡易なコードは常に高信頼モードで動作させることもできる。

3.3 ディペンダブルメモリセル

3.3.1 従来の6Tメモリセル

図 3.2 に従来の 6T メモリセルペアを示す。従来の 6T メモリセルペアでは、読出しおよび書込みの動作時において、WL[0]もしくはWL[1]の一方が“H”となり、1つのメモリセルのみがアクセスされる。本章では、1bit を1つのメモリセルで保持する従来の方法を“1-MCモード”と呼ぶ。

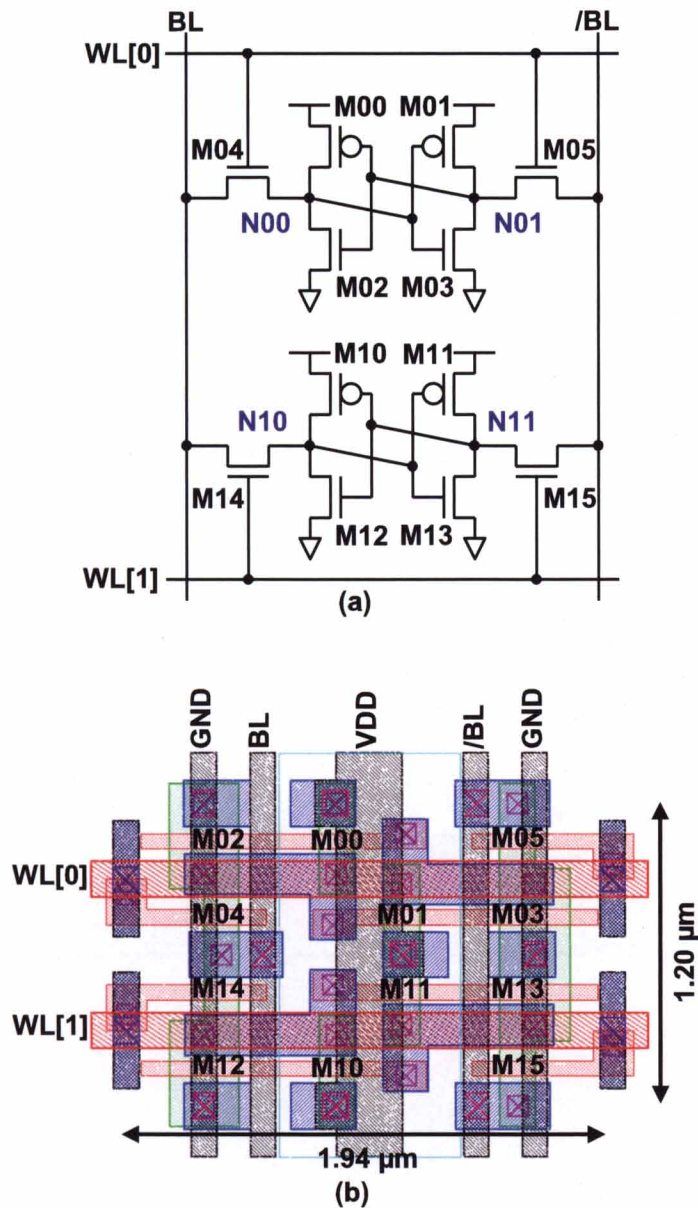


図 3.2 従来の 6T メモリセル: (a)回路図, (b)レイアウト。

また、図 3.1 で示したように、1bit を 2 つのメモリセルで保持し信頼性を確保する方法を“2-MC モード”と呼ぶ。2-MC モードでは、書込み動作時に WL[0]と WL[1]の 2 つの WL を同時に“H”にし、同一のデータを 2 つのメモリセルに書込む。同様に、読出し動作時においても 2 つの WL を同時に“H”にし、2 つのメモリセルから同一データを読出す。

2-MC モードの読出し動作では、2 つのワード線が同時にアクセスされるため、従来の読出し動作(1-MC モード)よりも読出しセル電流が大きくなり、ビット線の充放電時間を短くすることができる。図 3.3 に、モンテカルロシミュレーション(標本数:20,000)を行った結果から得られた、1-MC モードと 2-MC モードの読出しセル電流の分布を示す。2-MC モードは 1-MC モードと比較して、読出しセル電流の最悪値を 133%改善することができる。2-MC モード 2 つともセル電流が少ないメモリセルではない。つまり、2 つのメモリセルペアを結合することにより、チップ内のランダムばらつきを抑制することができる。

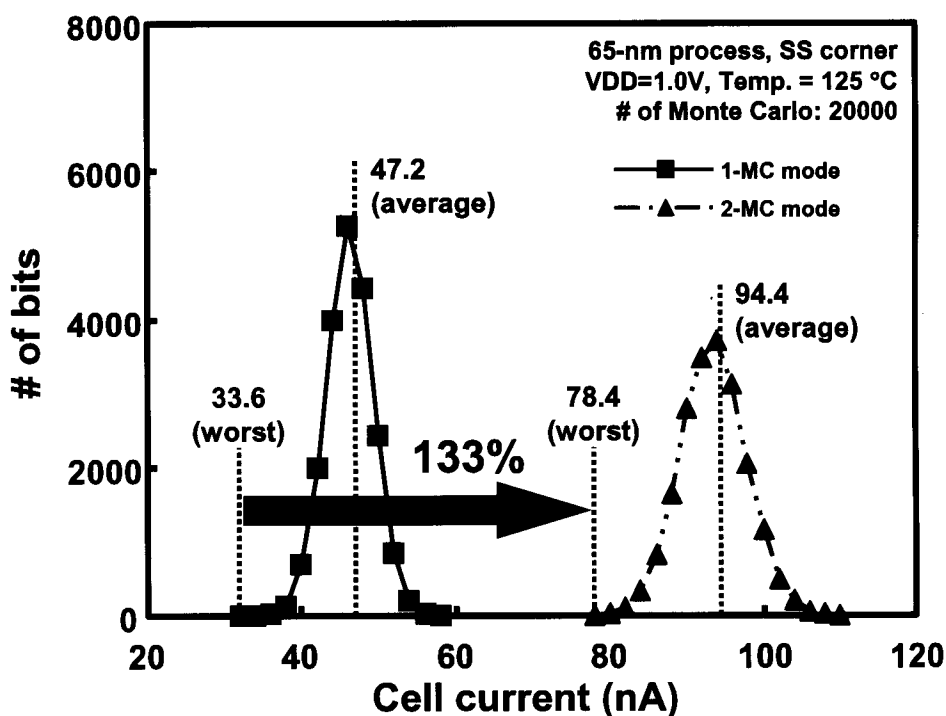


図 3.3 読出しセル電流の分布.

さらに、2-MCモードを用いることの利点として自己修復効果がある。1-MCモードにおいて、メモリセル内の各トランジスタのしきい値電圧のばらつきが大きい場合、メモリセルの動作マージンが小さくなるため、低電圧動作時において保持データが破壊される恐れがある。一方、2-MCモードでは、片方のメモリセルが動作マージンの不十分なメモリセル(Bad Cell)であったとしても、もう片方のメモリセルの動作マージンが十分なメモリセル(Good Cell)であれば、図 3.4(a)に示すように破壊されたデータが正しい値に修復される。よって2-MCモードを用いる場合、1-MCモードよりも低電圧での動作が可能である。

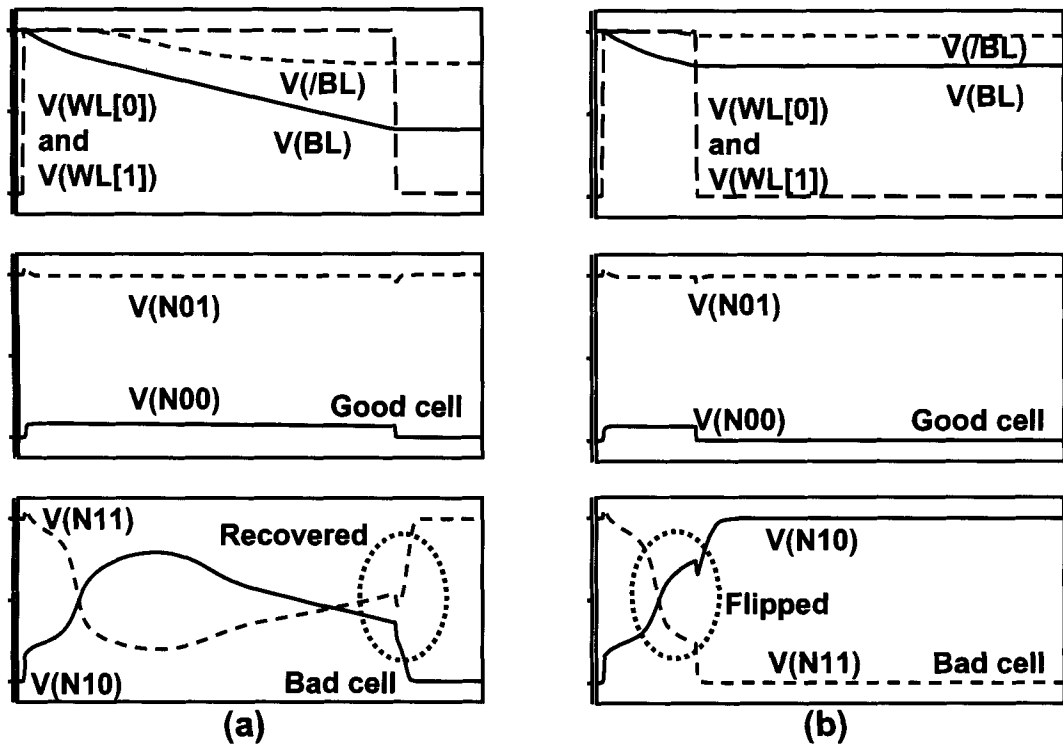


図 3.4 2-MCモードにおける動作波形: (a)自己修復効果(WLパルス幅が十分長い場合), (b)データ破壊(WLパルス幅が不十分な場合)。

しかしながら、自己修復効果を用いるためには、サイクルオーバーヘッドが必要である。これは、動作マージンの不十分なメモリセルの内部ノードがビット線とアクセストランジスタを介して徐々に修復されるためである。つまり、2つのビット線の電位差が十分に開いた後に自己修復効果は発生する。よって、アクセスタイムが高速であったとしても、適切な動作のためにはサイクルタイムが大きくなってしまう。また、

自己修復効果にとって、ワード線パルス幅が不十分な場合、図 3.4(b)に示すように動作マージンの不十分なメモリセルの保持データが破壊されてしまう。つまり、自己修復効果が発生するために必要な時間を考慮して、ワード線パルス幅を決定するのは困難である。

次節では、トランジスタを 2 つ追加して、内部ノードを直接接続した 7T/14T メモリセルについて述べる。

3.3.2 7T/14Tメモリセル

図 3.5, 図 3.6 に提案する 7 トランジスタで構成されるメモリセル(7T/14T メモリセル)を示す。提案するメモリセルはメモリセルの保持ノード(N00 と N10, N01 と N11)間に 2 つの nMOS もしくは pMOS を追加した構成である。以下では、図 3.5 のメモリセル(nMOS を追加した構成)を 7TN メモリセルと呼び、図 3.6 のメモリセル(pMOS を追加した構成)を 7TP メモリセルと呼ぶ。従来の 6T メモリセルと比較して、提案 7TN メモリセルと 7TP メモリセルの面積オーバーヘッドはそれぞれ 26%と 11%となる。また、1bit を 2 つのメモリセルによって記憶する場合、7TN のメモリセルペアが 14TN メモリセルとなり、7TP のメモリセルペアが 14TP メモリセルとなる。

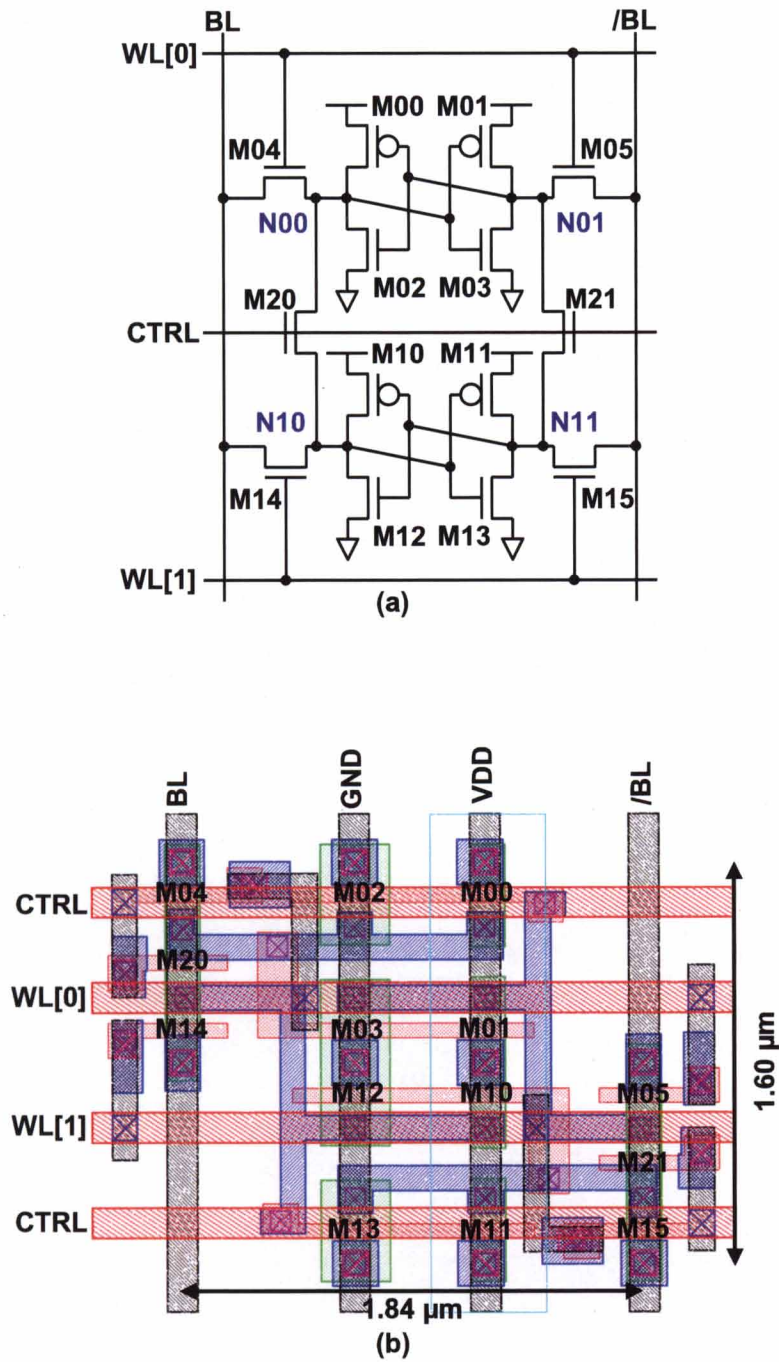


図 3.5 7T1N/14T1N メモリセル(追加トランジスタ: nMOS): (a)回路図, (b)レイアウト.

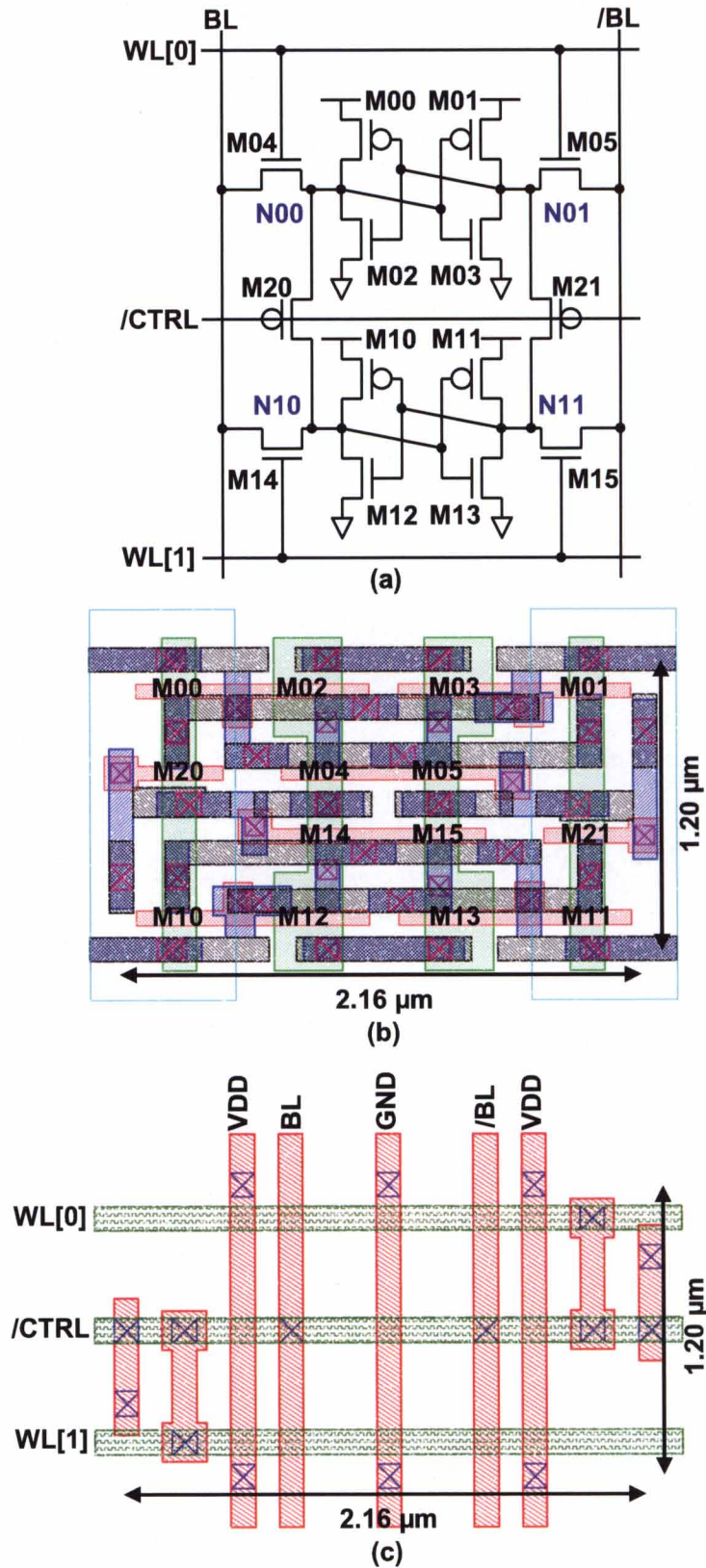


図 3.6 7TP/14TP メモリセル: (a)回路図, (b)レイアウト(拡散層~2層メタル), (c)レイアウト(3層メタル~4層メタル).

表 3.1 7T/14T メモリセルの 3 種類の動作モード.

	# of MCs comprising 1 bit	# of WL drives	CTRL (/CTRL)
Normal	1 (7T/bit)	1	“L” (“H”)
High-speed	2 (14T/bit)	2	“H” (“L”)
Dependable	2 (14T/bit)	1	“H” (“L”)

提案する 7T/14T メモリセルペアは表 3.1 に示す 3 つの動作モードをもつ.

- 通常動作(Normal)モード(7T メモリセル)
 - 追加トランジスタ(M20 および M21)をオフ状態にして, 1bit のデータを 7 個のトランジスタを用いて保持する(7T メモリセル). アクセス時には, WL[0]もしくは WL[1]の一方のみをオン状態にすることにより, 従来の 6T メモリセルと同様の動作を行う.
- 高速動作(High-speed)モード(14T メモリセル)
 - 追加トランジスタをオン状態にして, 1bit のデータを 14 個のトランジスタを用いて保持する(14T メモリセル). アクセス時には, WL[0]および WL[1]の双方をオン状態にする. ビット線の電荷を 2 つのメモリセルを用いて放電するため, 通常動作モードと比較して高速動作が可能となる.
- 高信頼動作(Dependable)モード(14T メモリセル)
 - 追加トランジスタはオン状態にして, 1bit のデータを 14 個のトランジスタを用いて保持する. アクセス時には, WL[0]もしくは WL[1]の一方のみをオン状態にする. β 比を大きくすることができるので, 読出し動作マージン(SNM)を改善することができる.

通常動作モードにおいては, 1bit が 1 つのメモリセルに保持されるため, 高速動作モードおよび高信頼動作モードと比較して, 面積効率が良い. 一方, 高速動作モード

と高信頼動作モードはそれぞれ、高速動作、高い動作安定性を実現することができる。つまり、提案する 7T/14T メモリセルは 1bit の品質を必要に応じて変化させることが可能である。

他に信頼性を向上させる手法として、誤り訂正符号(ECC: Error Correction Code)、多重化(MMR: Multi Module Redundancy)がすでに提案されている。しかし、これらの方法を用いる場合、面積オーバーヘッド、速度オーバーヘッド、電力オーバーヘッドが発生するにもかかわらず、1bit の信頼性およびメモリの容量は、設計時および製造時に決定されてしまう。3.4.4 節で、提案する 7T/14T メモリセルと ECC, MMR の信頼性の比較を詳細に行う。

3.4 従来 6Tメモリセルと 7T/14Tメモリセルの比較

本節では、提案 7T/14T メモリセルを速度およびビット不良率(BER)の観点から評価を行う。

3.4.1 ビット線遅延時間

図 3.3 に示したとおり、WL を 2 本同時に立ち上げることにより、ワーストケースのセル電流を 2 倍以上改善することが可能である。図 3.7 にワーストケースのビット線遅延時間の比較を示す。比較するにあたって、ビット線の長さ、およびビット線上のメモリセルの数は同じであると仮定している(つまり、14T メモリセルを用いる場合は、7T メモリセルを用いる場合と比較して、ビット線上のメモリ容量は半分となる)。また、ビット線遅延時間を WL が $VDD/2$ となってから、BL と \overline{BL} の電位差が 100mV になるまでの時間と定義する。

図 3.7 に示すように、高速動作モードを用いることにより、通常動作モードを用いる場合と比較して、ワーストケースのビット線遅延時間を 53%改善することができる。

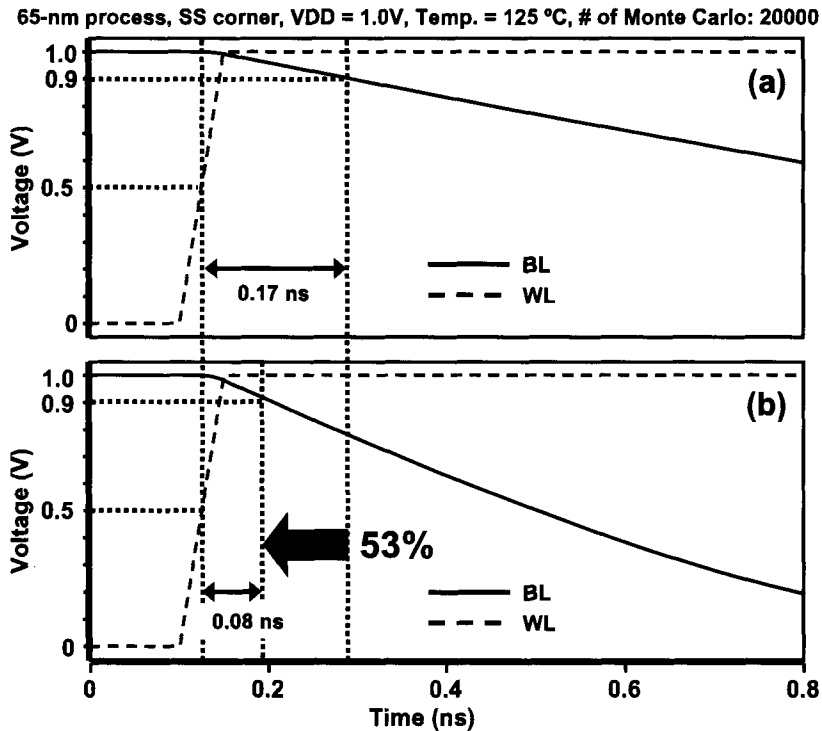


図 3.7 ワorstケースのビット線遅延時間: (a) 7TP メモリセル, (b) 高速動作モード (14TP メモリセル).

3.4.2 ビット不良率(BER)

図 3.8 に, モンテカルロシミュレーション(標本数: 2,000)を行った結果から得られた, 7TP メモリセルと 14TP メモリセルの読出し動作マージン(SNM)と書込み動作マージン(WTP)の比較結果を示す. 14TP メモリセルにおいては, 読出し動作マージンは高信頼動作モードで評価し, 書込み動作マージンは高速動作モードで評価を行った. 14TP メモリセルを用いることにより, 7TP メモリセルと比較して, ワorstケースの読出し動作マージンおよび書込み動作マージンを, それぞれ 40mV, 60mV 改善することができる.

図 3.9~図 3.11 に読出し動作時, 書込み動作時, データ保持時の BER の比較結果を示す. また, 7TP メモリセルと 7TN メモリセルの BER は, 6T メモリセルとほとんど同じであるため以下では, 6T メモリセルと 14TN, 14TP メモリセルの BER の比較について記述する.

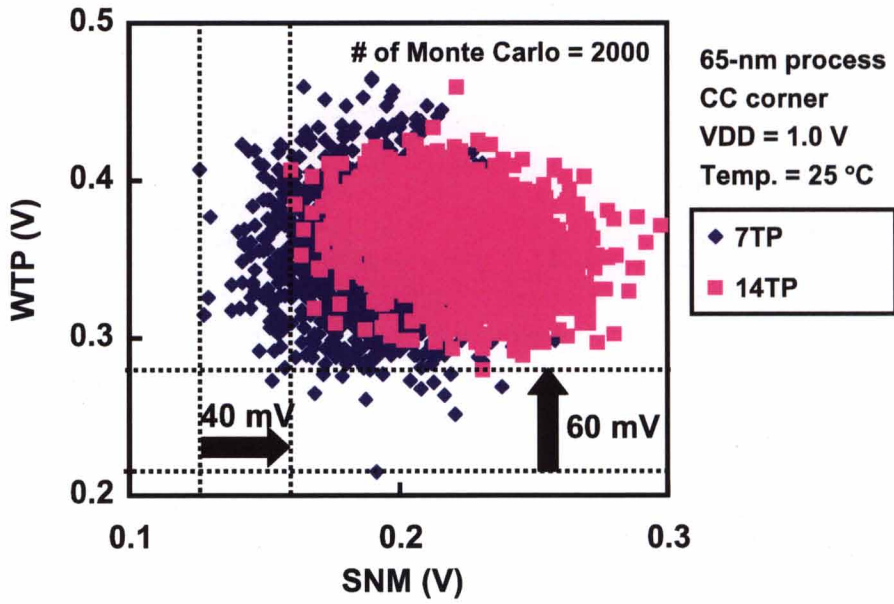


図 3.8 7TP メモリセルと 14TP メモリセルにおける読出し動作マージン(SNM)と書き込み動作マージン(WTP).

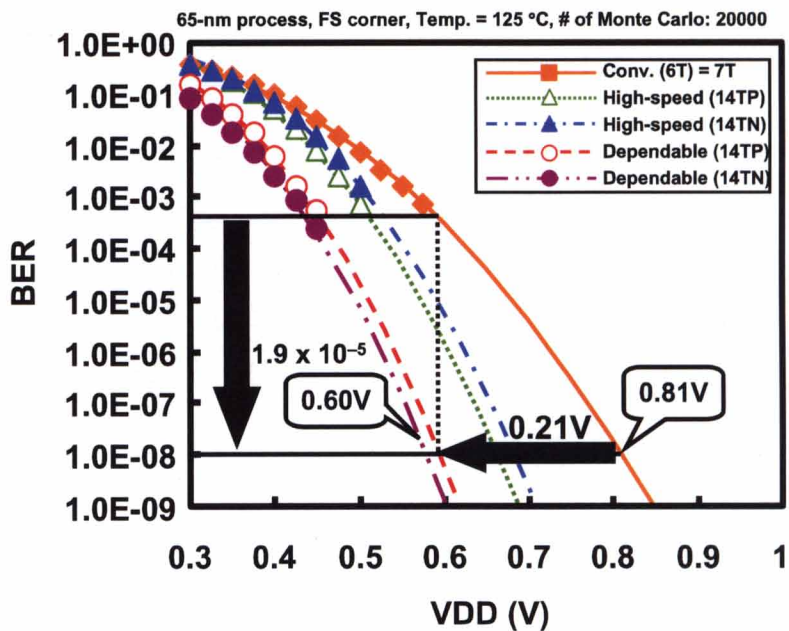


図 3.9 ビット不良率(読出し動作).

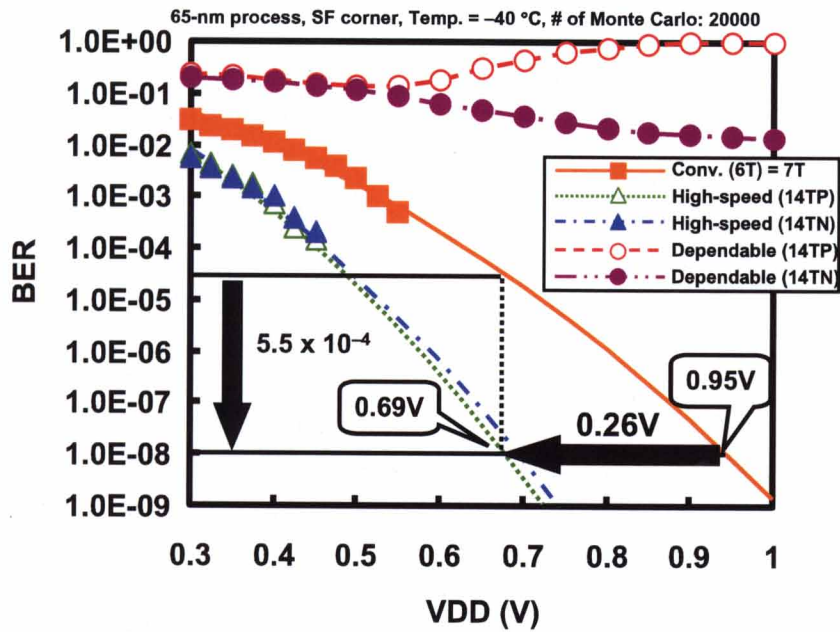


図 3.10 ビット不良率(書込み動作).

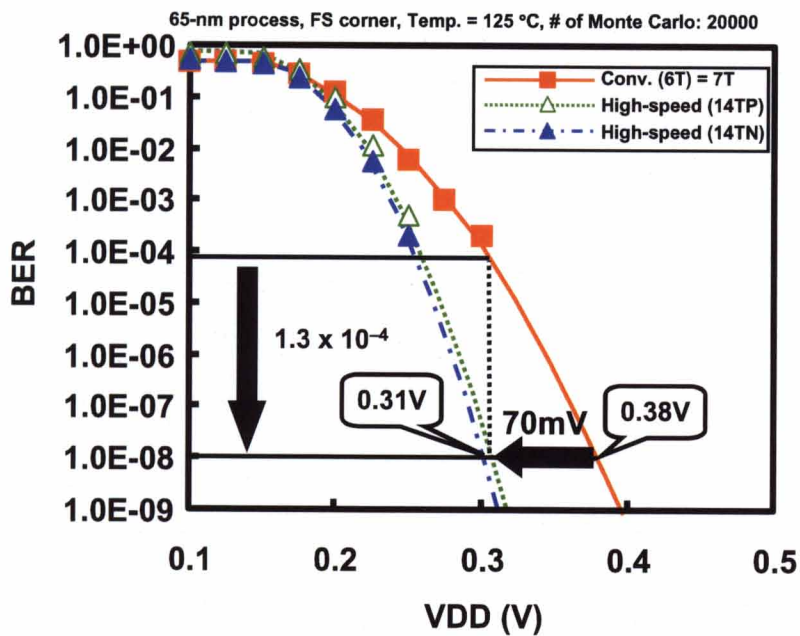


図 3.11 ビット不良率(データ保持).

図 3.9～図 3.11 の打点はモンテカルロシミュレーション(標本数: 20,000)の結果から得られた BER を示す。一方、図中の外挿曲線は、以下に示す BER の近似式から導出したものである。

$$\left\{ \begin{array}{l} f(x) = \begin{cases} \frac{1}{\sqrt{2\pi}\sigma} \text{EXP} \left[-\frac{(x-\mu)^2}{2\sigma^2} \right] & (x \geq \mu) \\ 0 & (x \leq \mu) \end{cases} \\ \text{BER}(VDD) = \int_{VDD}^{\infty} f(x) dx \end{array} \right. \quad (3.1)$$

ここで、 $f(x)$ は正規分布の確率密度関数であり、BER はその累積分布関数である。 μ は BER が 0.5 となる電圧値であり、モンテカルロシミュレーションの結果から得られる。また、 σ はフィッティングにより得られる。

図 3.9 はワーストケース(FS コーナー, 125°C)における読出し動作時の BER である。ここで、最低動作電圧を BER が 10^{-8} となる電圧と定義する。高信頼動作モードを用いることにより、読出し動作時の最低動作電圧は 0.60 V となり、従来の 6T メモリセルと比較して、最低動作電圧が 0.21V 改善され、最低動作電圧における BER は 1.9×10^{-5} 改善される。また、7T メモリセルの通常動作モードの BER の曲線は 6T メモリセルと同じ結果となる。

図 3.10 はワーストケース(SF コーナー, -40°C)の書込み動作時の BER である。高信頼動作モードは 1 組のアクセストランジスタで、2 つの 7T メモリセルを同時に書込むことになるので、アクセストランジスタのコンダクタンスが不十分となり、書込み動作には適さない。そのかわり、1bit のデータを 14T メモリセルで保持する場合は、高速動作モードが適している。追加トランジスタが 6T メモリセルのデータ保持ノードを直接接続しているので、メモリセルのばらつきが抑制され、低電圧での動作が可能となる。高速動作モードを用いることにより、書込み動作時の最低動作電圧は 0.69V となり、従来の 6T メモリセルと比較して、最低動作電圧が 0.26V 改善され、最低動作電圧における BER は 5.5×10^{-4} 改善される。

図 3.11 はワーストケース(FS コーナー, 125°C)のデータ保持時の BER である。追加トランジスタを用いることにより、2 つの 6T メモリセルの保持ノード間を直接接続さ

れるので、14T メモリセルを用いることにより、データ保持電圧を改善することができる。図 3.11 には高速動作モードの結果のみを示しているが、高信頼動作モードにおいても同じ結果となる。

提案するディペンダブル SRAM は、面積オーバーヘッド、速度、もしくは必要な信頼性に応じて、最適な動作モードを選択することができる。また、提案するディペンダブル SRAM は、高信頼動作モードと高速動作モードを用いることにより、低電圧動作時においても正常な動作が可能であるので、DVFS にも適している。

3.4.3 スタンバイリーク電力

図 3.12 に最低動作電圧におけるスタンバイリーク電力の比較を示す[18]。14TP メモリセルは 6T メモリセルと比較して 22%リーク電力を小さくすることができる。サブスレッショルドリークは 6T メモリセルと比較して大きくなるが、ゲートリークは 50%以上削減される。6T メモリセルに 1bit のデータを記憶するよりも、メモリセルペア (14TP メモリセル) に 1bit のデータを記憶する方が、リーク電力を削減することができる。

また、14TP メモリセルは低電圧での動作が可能であるため、NBTI に対する耐性を持つ。

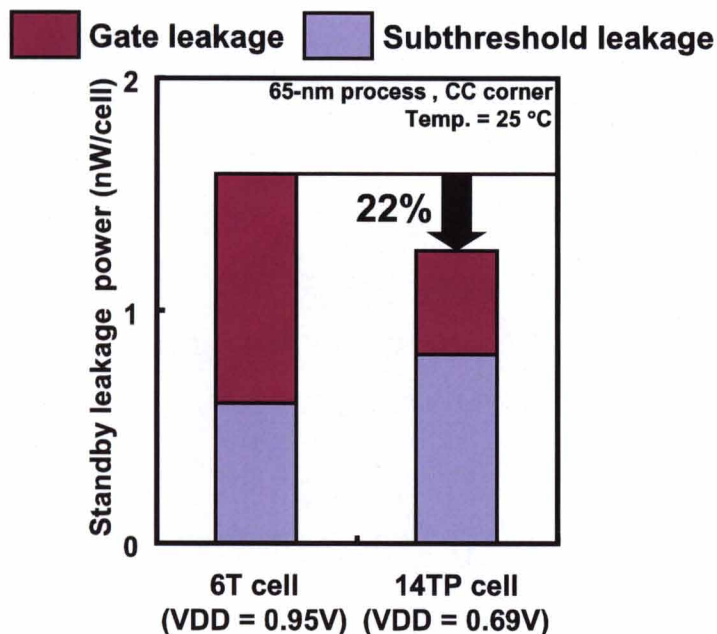


図 3.12 1セル当たりのスタンバイリーク電力(CC コーナー, 25°C)

3.4.4 ECC, MMRとの比較

本節では、提案する 7T/14T メモリセルと、従来の高信頼化手法(ECC, MMR)との比較について記述する。

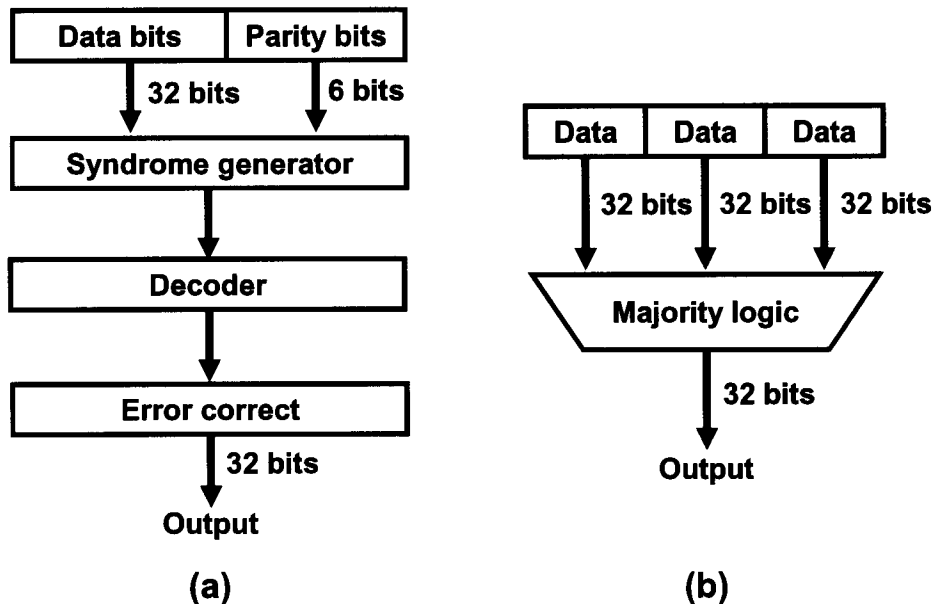


図 3.13 従来の高信頼化手法 : (a)誤り訂正符号(ECC: Error Correction Code), (b)多重化(MMR: Multi Module Redundancy).

ECC について図 3.13(a)に示す。ECC ではパリティビットをデータビットとは別にメモリに記憶することにより、誤動作が発生し、誤ったデータが読出されたとしても、正しいデータに復元することができる[15-17]。データビット長が 32bit の場合、6bit のパリティビットを用いることにより、1bit のデータ訂正および 2bit の誤り検出が可能である。ECC を用いる場合、データビットおよび冗長ビット(図 3.13(a)では、データビットが 32bit, 冗長ビットが 6bit)の内 2 ビットの動作不良があれば、エラー救済を行うことができないため、BER は以下の式で表すことができる。

$$BER(VDD) = P_{\text{error}}(VDD) \times \left[1 - \{1 - (P_{\text{error}}(VDD))\}^{37} \right] \quad (3.2)$$

ここで、 P_{error} は図 3.9 で示した従来の 6T メモリセル単体の BER である。

また、MMR について図 3.13(b)に示す。MMR では同じ処理を多重化することにより、信頼性を向上させることが可能である[22], [23]。図 3.13(b)では、3 重にデータビットを保持している。3 重にデータを保持しておくことにより、1つの処理で誤動作が発生し、誤ったデータが読出されたとしても、残りの 2つのデータが正しく読出された場合、処理の最終段において多数決論理を用いることにより、正常な動作を行うことが可能である。MMR を用いる場合の BER は以下の式で表される。

$$BER(VDD) = 3(P_{\text{error}}(VDD))^2 - 2(P_{\text{error}}(VDD))^3 \quad (3.3)$$

図 3.14 に従来の高信頼化手法と提案する 14TP メモリセルの高信頼動作モードとの BER の比較結果を示す。14TP メモリセルは従来の高信頼化手法と比較して、最も低い BER を実現することが可能である。

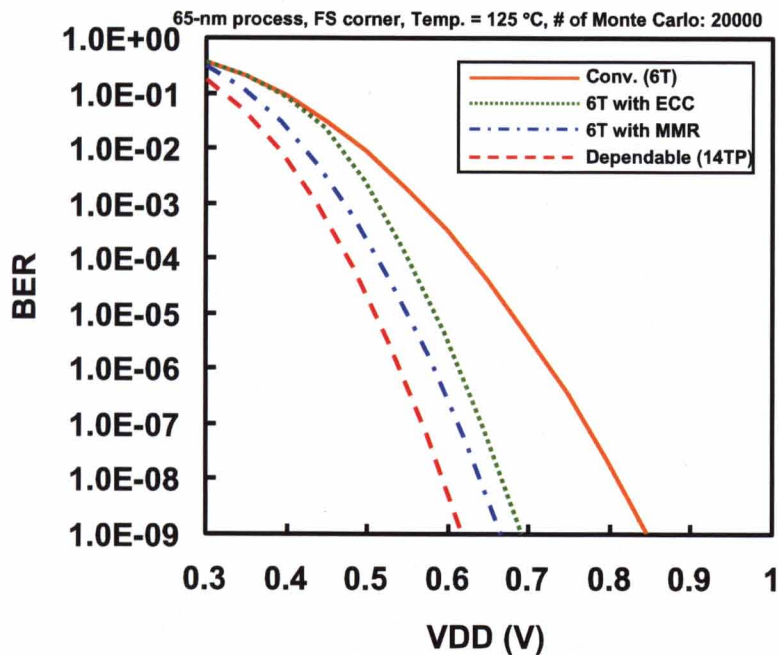


図 3.14 提案 14TP の高信頼動作モードと従来の高信頼化手法との BER の比較。

また、従来の高信頼化手法では様々なオーバーヘッドが発生する。ECC においては、出力のクリティカルパス(シンドロームジェネレータ, デコーダ, エラー訂正)により、

2倍以上のアクセスタイムオーバーが発生する[19]。さらに、従来の高信頼化手法では、追加ビット(ECCにおいてはパリティビット、MMRにおいては冗長ビット)についても、データの読出しおよび書込みを行う必要があるため、電力オーバーヘッドが発生する。一方、提案する 7T/14T メモリセルでは、速度オーバーヘッド、および電力オーバーヘッドが発生しない。

提案する 7T/14T メモリセルは従来の高信頼化手法と併せて用いることもできる。提案する 7T/14T メモリセルと従来の高信頼化手法を併せて用いることにより、より高い信頼性を実現することが可能である。

3.5 ハーフセレクト回避のためのセルアレイ設計手法

書込み動作時、選択された行のワード線を立ち上げて書込みを行うが、一方で選択されていない列のメモリセルのアクセストランジスタもオン状態となる。この時、ビット線に電流が流れ込み、読出し動作マージンの不十分なメモリセルではデータが反転する可能性がある(ハーフセレクト問題)[24]。

すでに示した通り、14T メモリセルにおける読出し動作、書込み動作は以下の特徴を持つ。

- 読出し動作
 - 追加トランジスタはオン状態であり、ワード線を 1 本のみ立ち上げて、保持データを読出す(高信頼動作モード)。
- 書込み動作
 - 追加トランジスタはオン状態であり、ワード線を 2 本同時に立ち上げて、データの書込む(高速動作モード)。

14T メモリセルにおいては、読出し動作方法と書込み動作方法が異なるため、図 3.15 に示す従来のセル配置では、書込み動作時において、書込みを行う必要のないメモリセル(Half-selected pair)まで、ワード線が 2 本立ち上がるためデータが破壊される恐れがある。

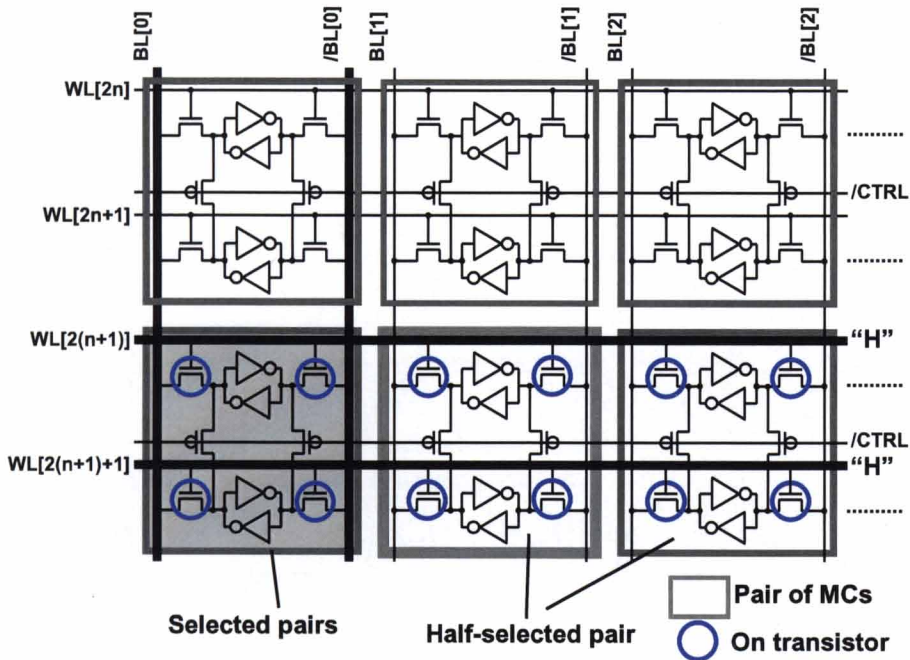


図 3.15 ハーフセレクト問題が発生する従来のメモリセルアレイ構造。

そこで、ハーフセレクト問題を回避するために、図 3.16 に示すメモリセルアレイ構造を提案する。1 列ごとにメモリセルペアを 1 セル分だけ列方向にシフトさせて、WLA と WLB の 2 つのワード線を導入する。表 3.1 は WLA と WLB のマッピング方法をまとめたものである。高速アクセスモードでの書込み時に、選択された列においては 2 本のワード線が立ち上がり高速動作モードでの動作となるが、非選択の列においては、1 本のワード線のみ立ち上がり、高信頼動作モードでの動作となり、横 8 列のブロックまでハーフセレクトの問題に対応することができる。また、図 3.6(b)に示したレイアウトでは、メタル配線を追加するための面積の余裕があるので、WL および BL を追加することによる面積オーバーヘッドは発生しない。

図 3.16 に示す回路図では、1 列ごとにメモリセルペアを 1 セル分だけ列方向にシフトさせているが、実際のレイアウトにおいては図 3.17 に示すように、WL を終端に 1 組追加(図 3.17 では WLA[2(n+2)], WLB[(2n+2)]を追加)するだけで、従来のレイアウトと同様の並べ方で対応することができる。

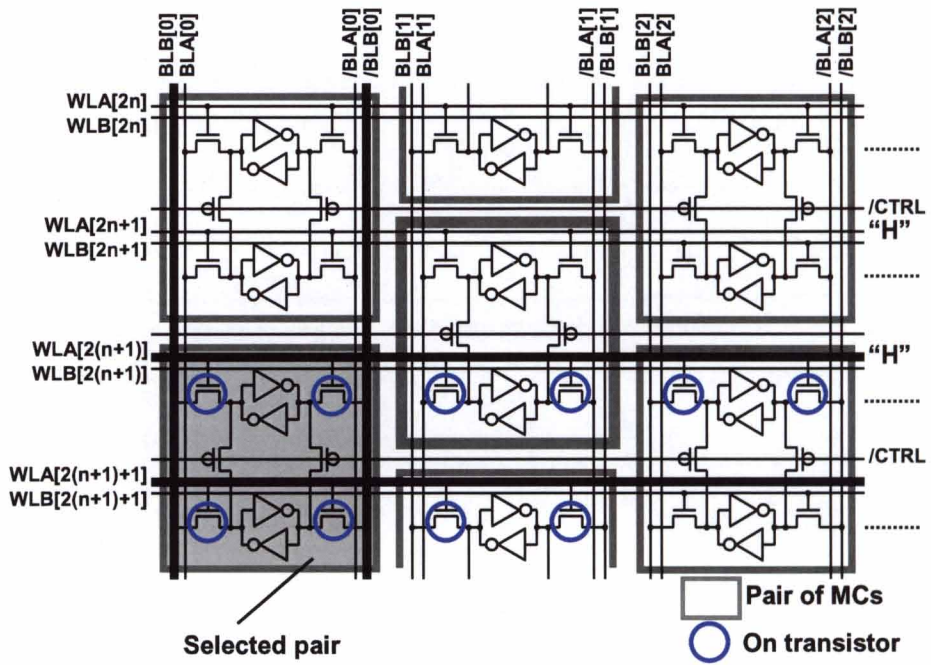


図 3.16 ハーフセレクト問題が発生しない提案メモリセルアレイ構造(回路図).

表 3.2 提案メモリセルアレイ構造のワード線マッピング.

	BL[0]	BL[1]	BL[2]	BL[3]	BL[4]	BL[5]	BL[6]	BL[7]
WL[2n]	WLA	WLA	WLA	WLA	WLB	WLB	WLB	WLB
WL[2n+1]	WLA	WLA	WLB	WLB	WLA	WLA	WLB	WLB
WL[2(n+1)]	WLA	WLA	WLA	WLA	WLB	WLB	WLB	WLB
WL[2(n+1)+1]	WLA	WLA	WLB	WLB	WLA	WLA	WLB	WLB

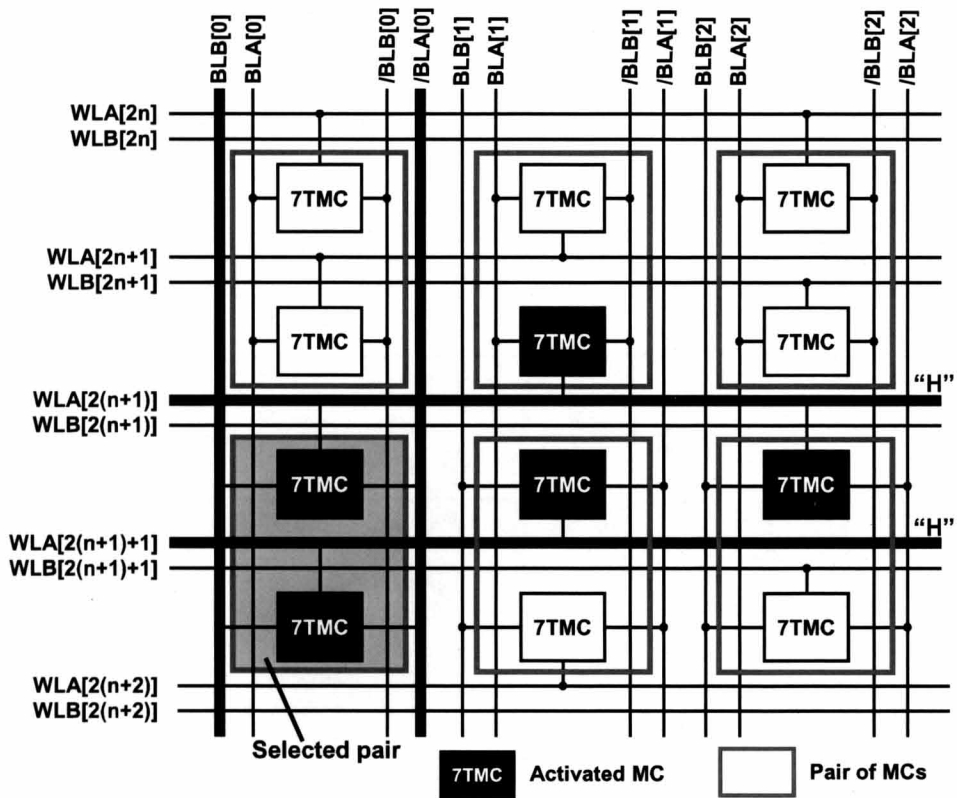


図 3.17 提案メモリセルアレイのレイアウト.

提案メモリセル構造を実現するためのデコーダのブロック図を図 3.18(a)に示す. 高速動作モードおよび高信頼動作モードでは, $X[0]$ が“H”に固定される. つまり, X アドレスが常に奇数アドレスとなる. また, 高速動作モードにおいては, HSM(High-speed mode)信号が“H”となり, 隣接するワード線が2本活性化される. 一方, 通常動作モードおよび高信頼動作モードにおいては, HSM信号は“L”となり, ワード線が1本だけ活性化される.

HSM信号および, 行アドレス($X[6:0]$)を用いることにより, 行デコーダの出力信号($ROW[127:0]$)のうち, 通常動作モードおよび高信頼動作モードでは1つ, 高速動作モードでは2つが“H”となる. 次に, 行デコーダの出力と列アドレス($Y[2:0]$)を用いることにより, ワード線セクタがワード線を活性化する(通常動作モードおよび高信頼動作モードでは1つのワード線が“H”となり, 高速動作モードでは2つのワード線が“H”となる). また, BL対は $X[1]$ および列アドレスを用いることにより選択される.

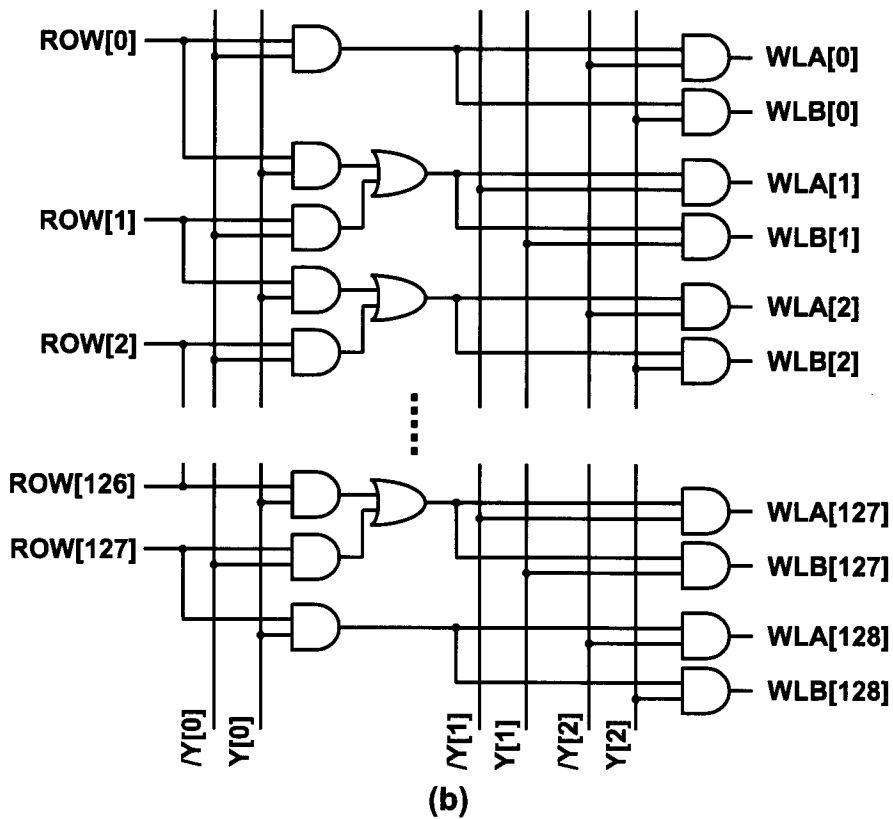
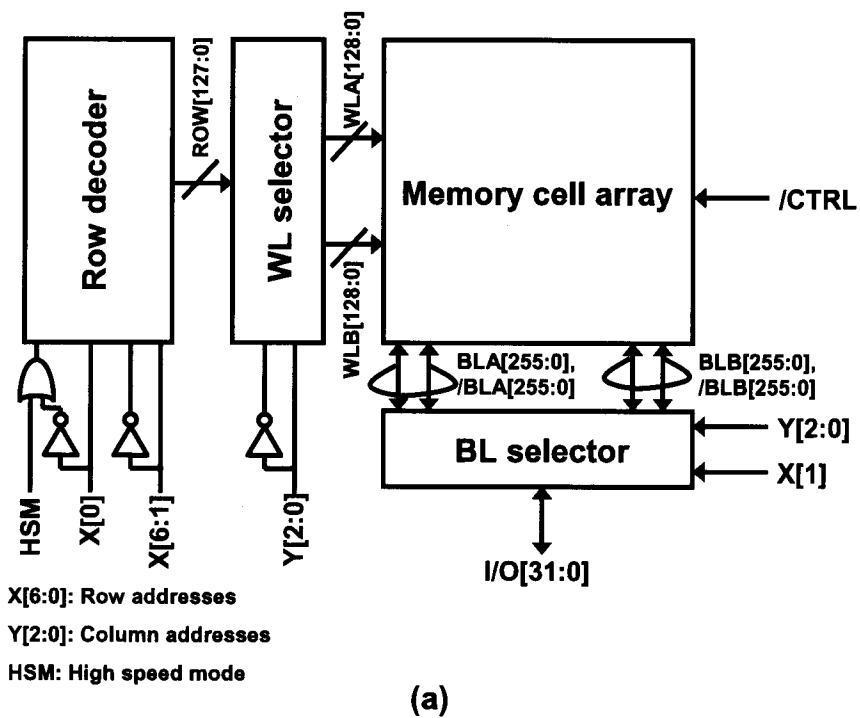


図 3.18 提案メモリセルアレイのデコーダ構成: (a)ブロック図, (b)ワード線セレクタの回路図.

3.6 実測結果

図 3.19 に 65-nm CMOS プロセスを用いて試作を行った 64-kb SRAM TEG のチップ写真およびレイアウトを示す。本試作 TEG では、メモリセルに 7TP/14TP メモリセルを用いた。

図 3.20 に 7TP メモリセルと 14TP メモリセルの BER の実測結果を示す。14TP メモリセルは 7TP メモリセルと比較して、最初に動作不良が発生する電圧を 0.12V を改善する。シミュレーション結果の図 3.9, 図 3.10 と比較して最低動作電圧が低くなっているが、室温での測定状況および、測定チップが FS コーナーもしくは SF コーナーではないためであると考えられる。

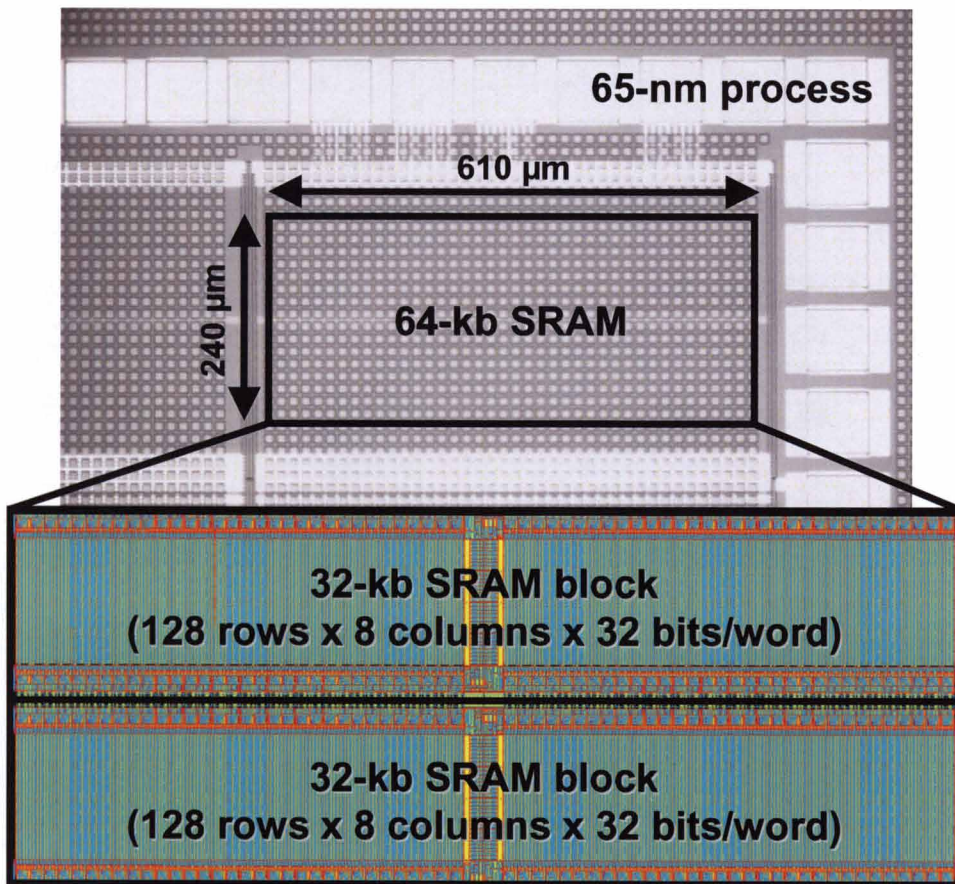


図 3.19 65-nm プロセスを用いて試作を行った 64-kb SRAM TEG.

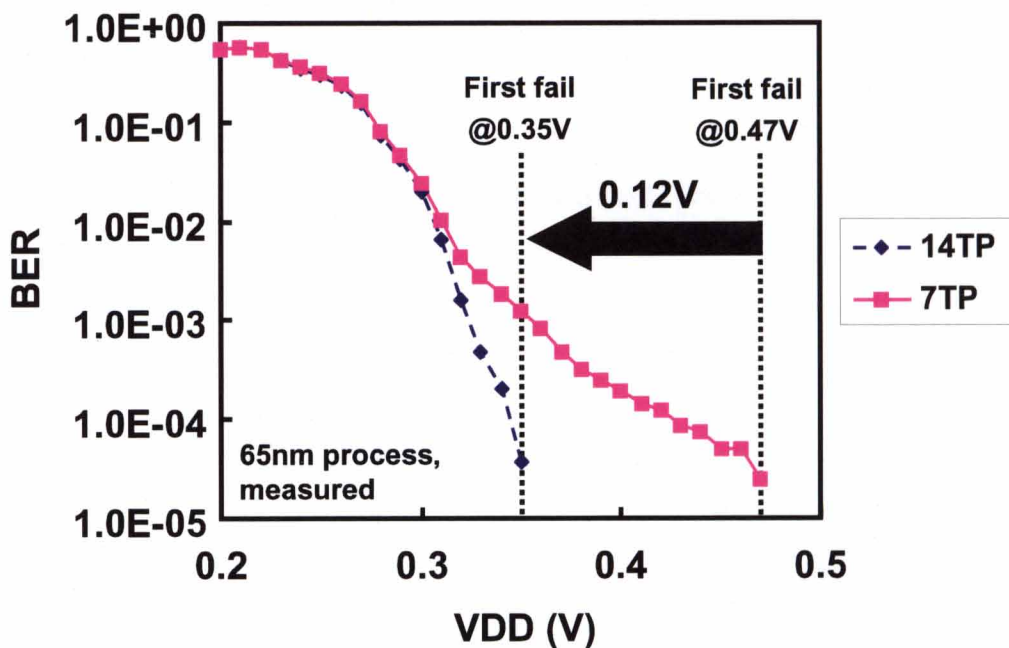


図 3.20 BER の実測結果.

高信頼動作モードにおけるアクセスタイムを図 3.21 に示す. また, 高信頼動作モードの最低動作電圧である 0.36V において, 40MHz での動作を実測により確認した.

図 3.22 に図 3.20 の結果から得られた最低動作電圧における, 1セル当たりのリーク電力の実測結果を示す.

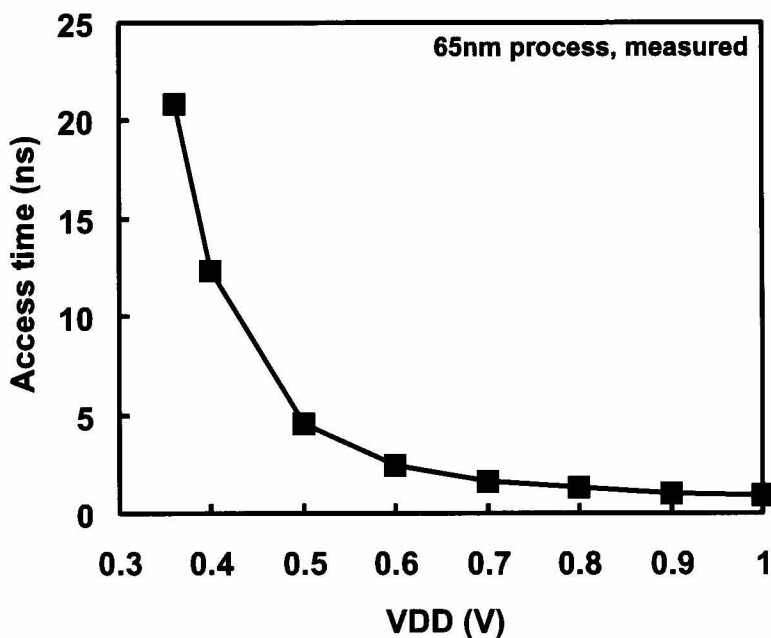


図 3.21 高信頼動作モードのアクセスタイム.

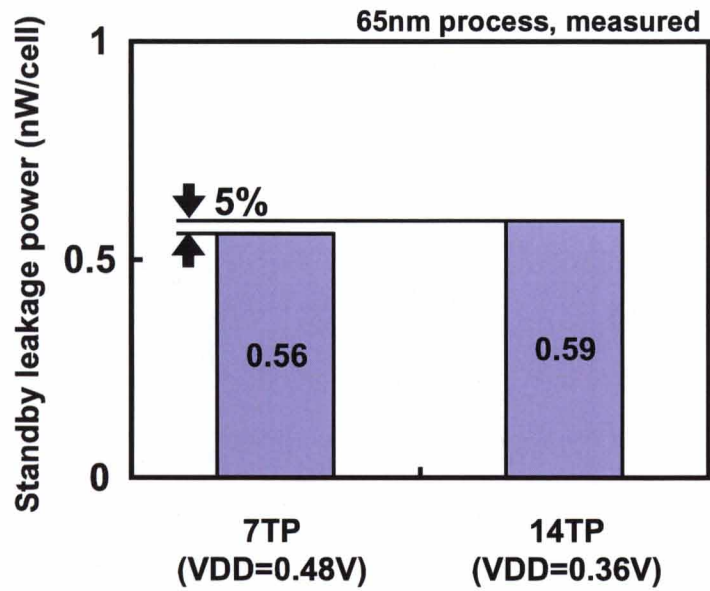


図 3.22 1セル当たりのリーク電力の実測結果.

図 3.12 で示したシミュレーション結果では 14TP メモリセルの方が 7TP メモリセルよりも 1セルあたりのリーク電力は小さくなっているが, 実測結果では 14TP メモリセルの方が 5%大きくなっている. これは, 最低動作電圧の実測結果が, シミュレーション結果よりも低くなっているため, ゲートリークがサブスレッショルドリークと比べて無視できるほど小さくなっているためと考えられる.

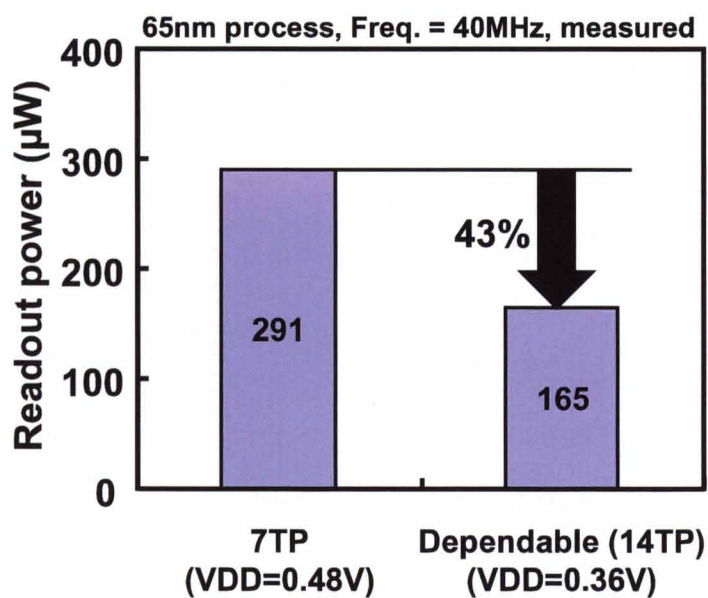


図 3.23 40MHz 動作時における読出し動作電力の実測結果.

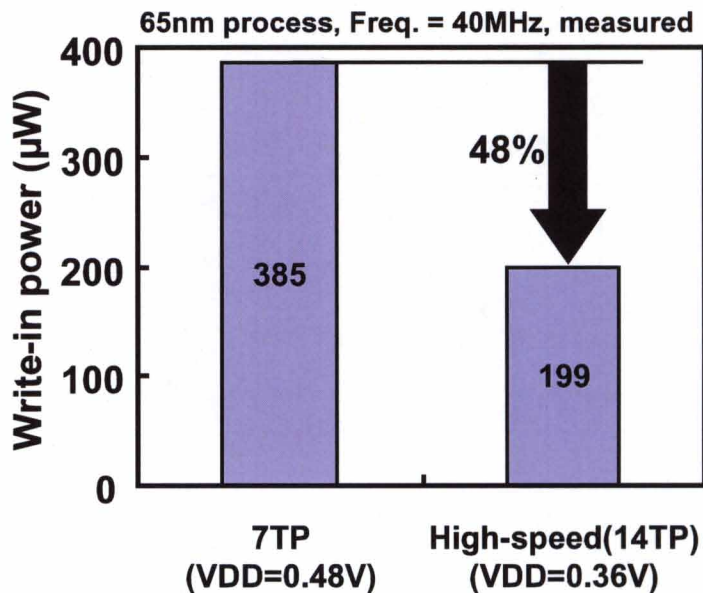


図 3.24 40MHz 動作時における書込み動作電力の実測結果.

図 3.23, 図 3.24 に 40MHz 動作時における読出し動作電力および書込み動作電力を示す. 14TP メモリセルを用いることにより, 7TP メモリセルと比較して読出し動作電力を 43%, 書込み動作電力を 48%削減することができる.

3.7 結言

動的に信頼性を変化することのできるディペンダブル SRAM の提案を行った. 提案した 7T/14T メモリセルは必要とされるメモリ容量, 速度, 信頼性に応じて, 動的に 3 種類のモード(通常動作モード, 高速動作モード, 高信頼動作モード)を切り替えることができる. メモリセルの面積オーバーヘッドは追加するトランジスタが nMOS の場合 26%となり, pMOS の場合は 11%となる.

モンテカルロシミュレーションの結果から, ビット不良率が 10^{-8} となる点において, 読出し動作時および書込み動作時における最低動作電圧が, それぞれ 0.21V, 0.26V 改善されることを確認した. 提案した 7T/14T メモリセルは, 誤り訂正符号(ECC: Error Correction Code)および多重化(MMR: Multi Module Redundancy)と比較して, より低いビット不良率を実現することができる. また, 提案した 7T/14T メモリセルを使用するこ

とによる，速度オーバーヘッド，電力オーバーヘッドは発生しない．

さらに，提案した 7T/14T メモリセルにおけるハーフセレクト問題を回避するための新しいメモリセルアレイ構造の提案も行った．65-nm プロセスを用いて 64-kb SRAM を試作し，その実測結果から，14T メモリセルが 7T メモリセルよりも低いビット不良率を実現することを確認した．

本手法を用いることにより，システム LSI において新しいメモリ割り当て方法が可能となる．また，ユーザが動作環境，必要な信頼性，速度，電源電圧，アプリケーションなどに応じて，動的に SRAM の性能を変化させることが可能となる．

第4章 システマチックばらつきを補正する 基板バイアス電圧制御技術

4.1 緒言

第3章では、ランダムばらつきを抑えるための手法としてディペンダブル 7T/14T メモリセルの提案を行った。本章では、チップ間におけるシステマチックばらつきを抑える手法の提案を行う。

システマチックばらつきを抑えるために、すでにバルクプロセスに対する基板バイアス電圧制御技術が提案されている[25], [26]。しかし、これらバルクプロセスにおいては順方向バイアス電圧を用いる場合、フォワードジャンクションリークが増大してしまう。さらに、微細プロセスに対して逆方向バイアス電圧を用いる場合においても、GIDL (Gate Induced Drain Leakage current)が問題となる。よって、バルクプロセスに対して、基板バイアス電圧制御を用いる場合、基板バイアス電圧を $\pm 0.6\text{V}$ 程度にしか印加することができないため、しきい値電圧の調整を広い範囲で行うことができない。

一方、FD-SOI(Fully-Depleted Silicon-on-Insulator) プロセスには、1)サブスレッショルドリークが小さい、2)順方向バイアスを用いる場合でも、フォワードジャンクションリークが問題にならない、という利点がある。

FD-SOI プロセスにおいても、すでに基板バイアス電圧制御技術が提案されている[27]。しかし、すでに提案されている手法では、図 4.1(a)に示すトリプルウェル構造を用いて、pMOS および nMOS の基板バイアス電圧をそれぞれ別に印加する必要があるため、特殊なデバイス構造が必要となる。さらに、図 4.1(b)に示すように、基板バイアス電圧を、読出し動作および書込み動作に応じて制御する必要があるため、サイクルオーバーヘッドが発生してしまう。また、ブロックごとに基板バイアス電圧制御を行うため、バックゲートコンタクトに伴うメモリセルアレイにおける面積オーバーヘッドも発生する。

そこで本研究では、FD-SOI プロセスにおいて、自動的にチップ間のしきい値ばらつきを検出し、SRAM の動作マージンが最大となるように補正を行う基板バイアス電圧制御回路の提案を行う。また、本提案手法を用いることによる速度オーバーヘッド、お

よびメモリセルアレイにおける面積オーバーヘッドは発生しない。

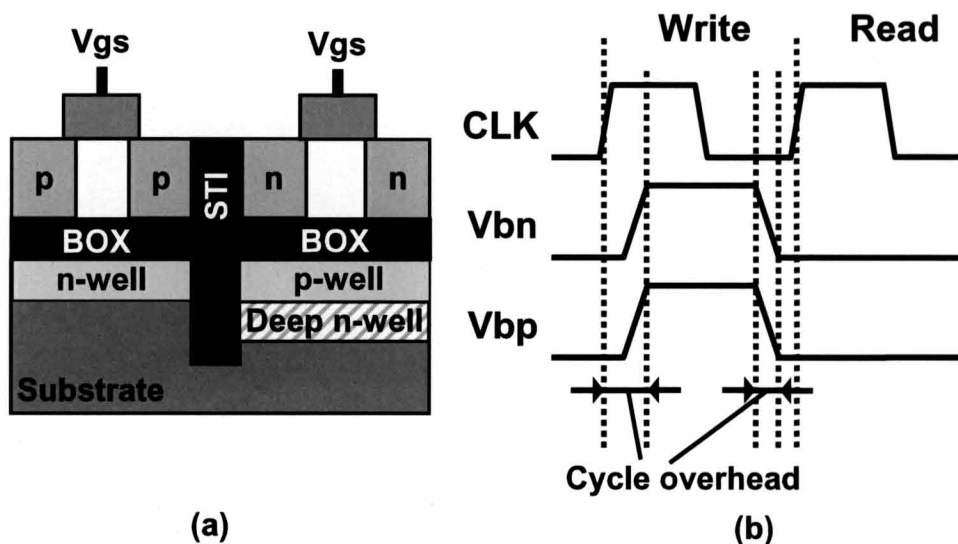


図 4.1 従来手法の問題点: (a)特殊プロセス(トリプルウェル構造),
(b)サイクルオーバーヘッド.

4.2 FD-SOIデバイス

図 4.2 は, SOI(Silicon-On-Insulator)の断面構造を示したものである. シリコン基板中に埋め込み酸化膜 SiO_2 (BOX: Buried Oxide)が埋め込まれ, その上に単結晶シリコン膜(SOI 膜)が存在し, 素子はこの単結晶シリコン膜上に形成される. また, BOX の下のバルク Si 部は支持基板と呼ばれる[28], [29].

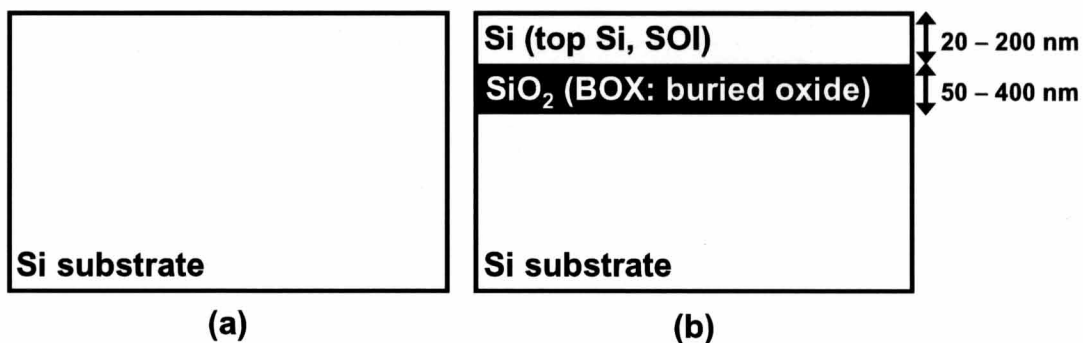


図 4.2 基板断面構造の比較: (a) バルクプロセスの基板, (b)SOI プロセスの基板.

素子構造には図 4.3 に示すように部分空乏化型(PD-SOI : Partially-Depleted SOI)および完全空乏化型(FD-SOI: Fully-Depleted SOI)の 2 種類がある。

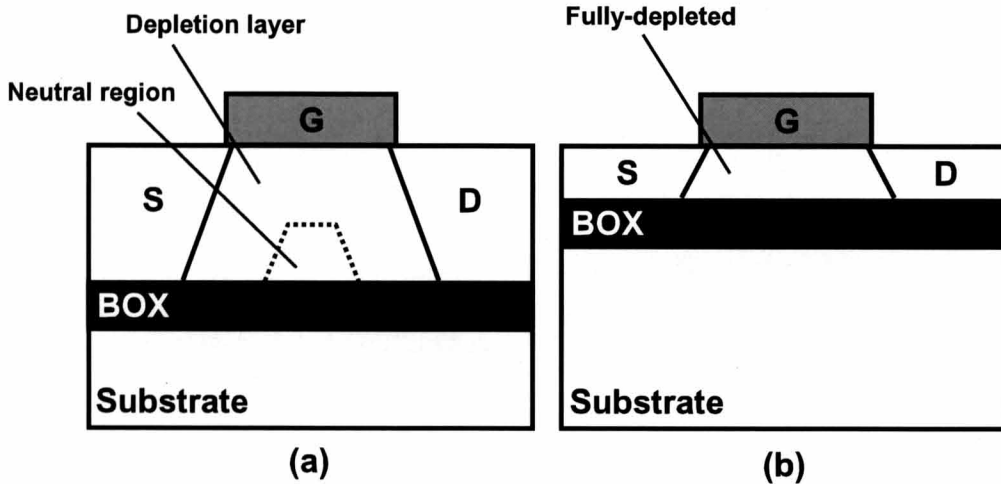


図 4.3 素子構造: (a) 部分空乏化型(Partially-Depleted SOI),
(b) 完全空乏化型 (Fully-Depleted SOI).

一般的に、SOI プロセスは、バルクプロセスと比較して以下の長所がある。

1. 高速化・低消費電力化が可能.

SOI プロセスでは、ドレイン-基板間容量が小さいため、寄生容量が小さくなるので、スイッチングが高速化し、スイッチングに要する消費電力も下がる。

2. 多段入力論理回路の高速化が可能.

バルクプロセスでは、多段入力論理回路を構成した場合、基板効果が発生し高速動作の妨げとなるが、SOI プロセスでは基板効果が発生しない。

3. ラッチアップの心配がない.

バルクプロセスでは、トランジスタの拡散層、ウェル構造から構成される寄生サイリスタ構造が存在するため、ラッチアップを起こさないように、寄生抵抗の低減、回路レイアウトなどの工夫が必要となる。一方、SOI プロセスでは、寄生サイリスタ構造が存在しないため、設計時にラッチアップを起こさないように注意を払う必要がない。

4. ソフトエラーに強い.

SOI プロセスでは BOX 膜が存在するので, α 線など放射線の影響を小さくできる. SOI 素子では, BOX 膜が素子表面から数百 nm 以内に存在するため, 深い場所で発生した電子・正孔対は, SiO₂ のエネルギー障壁でブロックされ, SOI 膜中に形成された回路に影響を与えない.

5. 拡散層における pn 接合リーク電流が小さい.

SOI プロセスにおける拡散層 pn 接合のリーク電流は, 不純物が SOI 層に深く拡散されれば, pn 接合の底面部からの寄与は無視することができるため, 小さくなる.

また, FD-SOI プロセスは, PD-SOI プロセスと比較して以下の長所がある.

1. 基板浮遊効果が小さい.

PD-SOI では, 中性領域にドレインのインパクト・イオン化で発生した正孔が蓄積しやすく基板浮遊効果が発生し, キンク効果, ドレイン破壊電圧の低下, しきい値電圧の不安定性といった問題が発生する.

一方 FD-SOI では, ソースと SOI ボディ間のエネルギー障壁が低いため, 正孔はソースに流れやすくなり, SOI ボディ中に蓄積されにくくなるため, 基板浮遊効果を抑制することができる.

2. サブスレッショルドリークの低減

FD-SOI プロセスは, PD-SOI プロセスと比較して空乏層容量を小さくすることができるため, サブスレッショルドスロープ係数(S 係数)が小さくなり, サブスレッショルドリークを抑制することができる.

4.3 提案基板バイアス電圧制御手法

4.3.1 FD-SOIプロセスにおける基板バイアス電圧制御

図 4.4(a)に電源電圧を変化させた場合のプロセスコーナーと, 読出し動作および書込み動作下限の関係を示したミルキーウェイプロットを示す[30]. 既に記述したとおり, SRAM の読出し動作および書込み動作の動作下限電圧は, それぞれ FS コーナーおよ

びSFコーナーにより決定される。

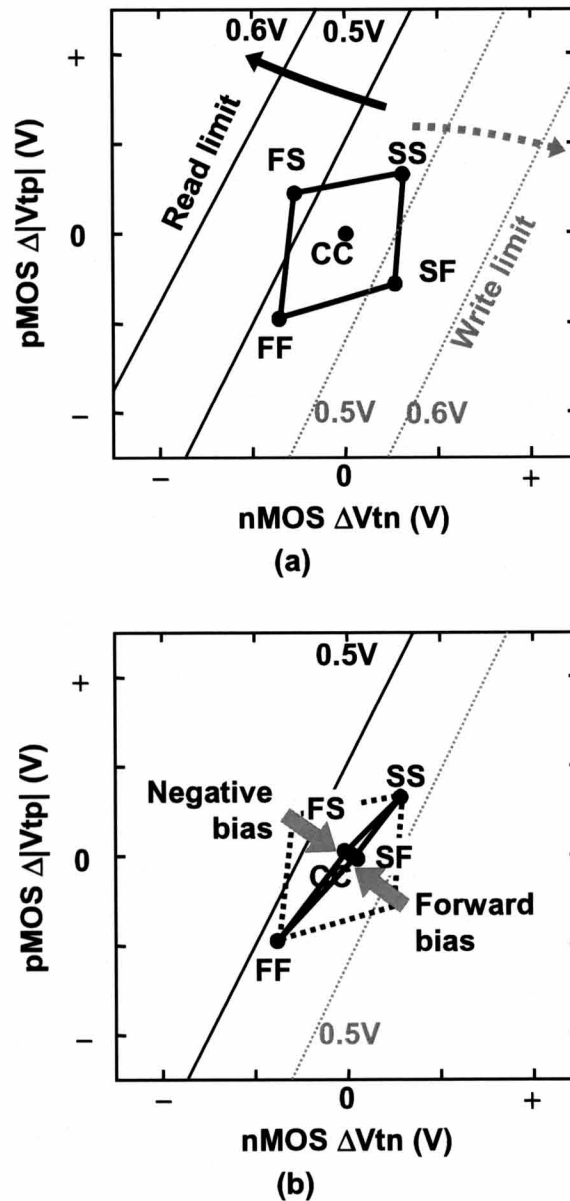


図 4.4 読出し動作および書込み動作の低電圧動作下限(ミルクウェイプロット):
(a)基板バイアス電圧制御なし, (b)基板バイアス電圧制御あり.

FD-SOI プロセスはバルクプロセスと比較して、ランダムばらつきが小さいので、FS コーナーおよび SF コーナーのシステムチックばらつきが SRAM の歩留まり、および低電圧動作性に大きな影響を与える[31]. したがって、FD-SOI プロセスを用いた SRAM では、システムチックばらつきを補正することにより、歩留まりの向上および低電圧動作を実現することができる(図 4.4(b)).

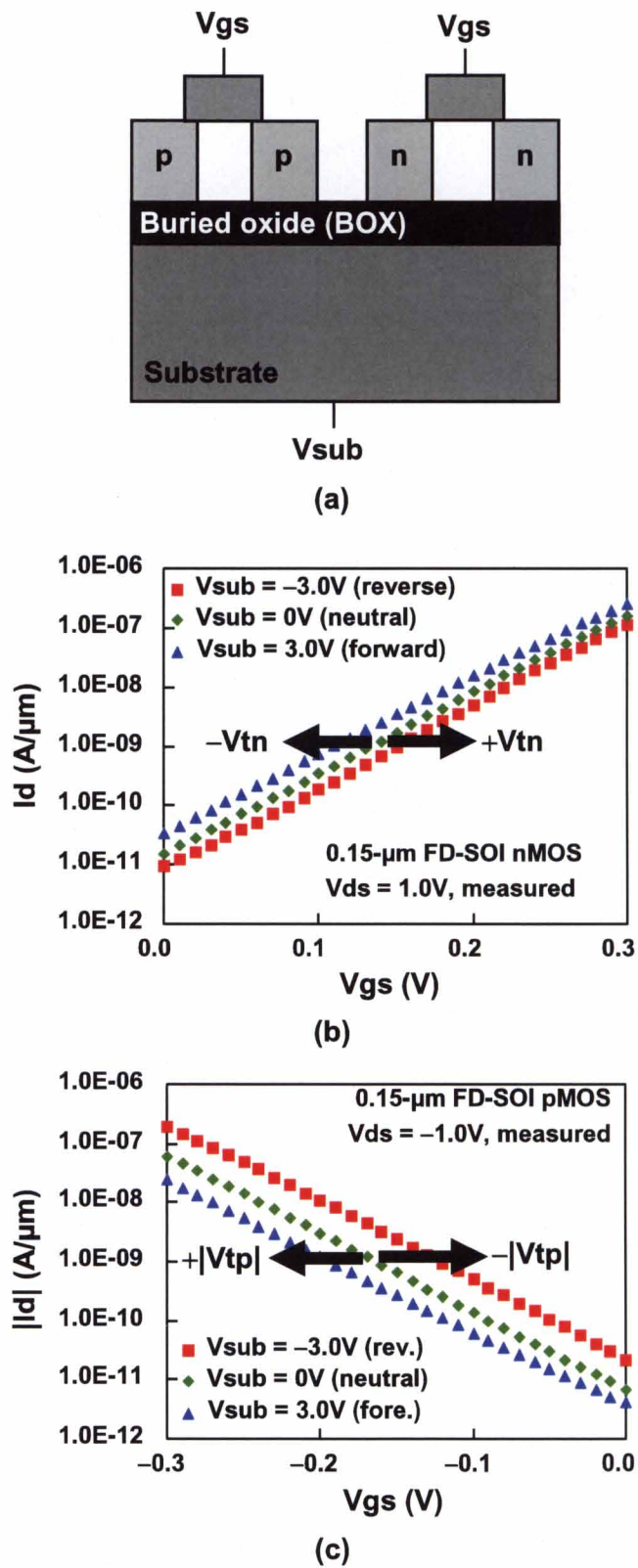


図 4.5 FD-SOI デバイス : (a) デバイス構造, (b) nMOS の I_d - V_{gs} 特性, (c) pMOS の I_d - V_{gs} 特性.

図 4.5(a)に FD-SOI デバイス構造を，支持基板から基板バイアス電圧(V_{sub})を印加した場合の nMOS および pMOS の I_d - V_{gs} 特性をそれぞれ図 4.5(b)，図 4.5(c)に示す．順方向バイアス電圧を印加する場合，nMOS のしきい値電圧(V_{tn})は低下し，pMOS のしきい値電圧の絶対値($|V_{tp}|$)は上昇する．一方，逆方向バイアス電圧を印加する場合， V_{tn} は上昇し， $|V_{tp}|$ は低下する．つまり，FS コーナーのチップにおいては逆方向バイアス電圧を印加し，SF コーナーのチップにおいては順方向バイアス電圧を印加することにより，図 4.4(b)に示すように，システムチックばらつきを CC コーナーのしきい値電圧に補正することが可能となる．

また，図 4.6 に示すように，支持基板から基板バイアス電圧を印加することにより，全てのトランジスタのしきい値電圧を同時に変化させることが可能であるため，基板バイアス電圧を用いることによる面積オーバーヘッドは発生しない．

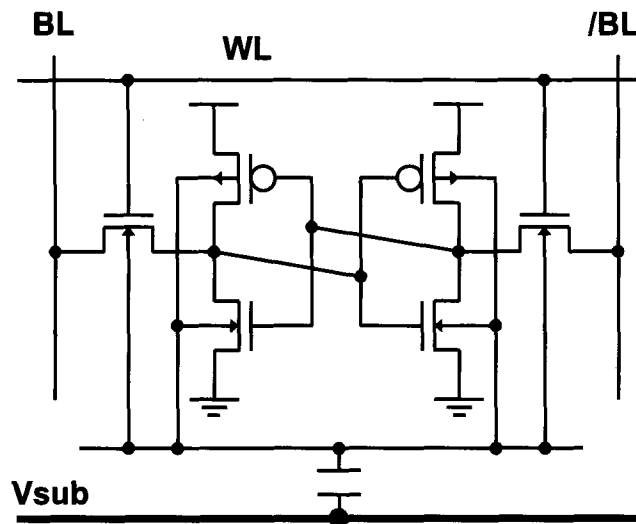
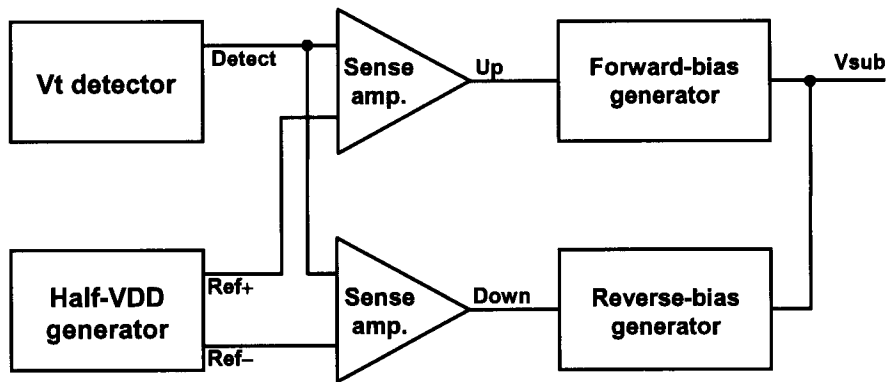


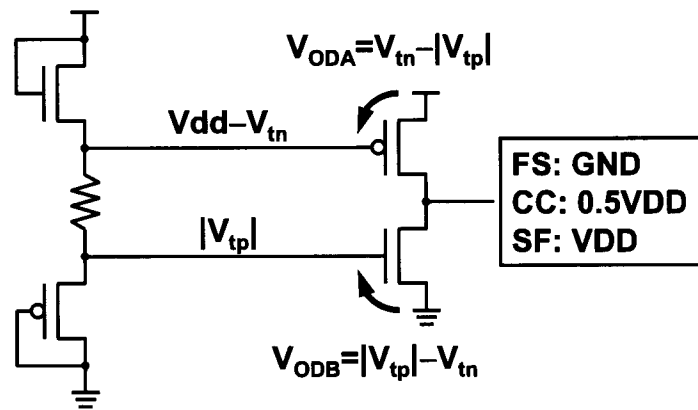
図 4.6 FD-SOI プロセスを用いた SRAM のメモリセル．

4.3.2 基板バイアス電圧制御回路

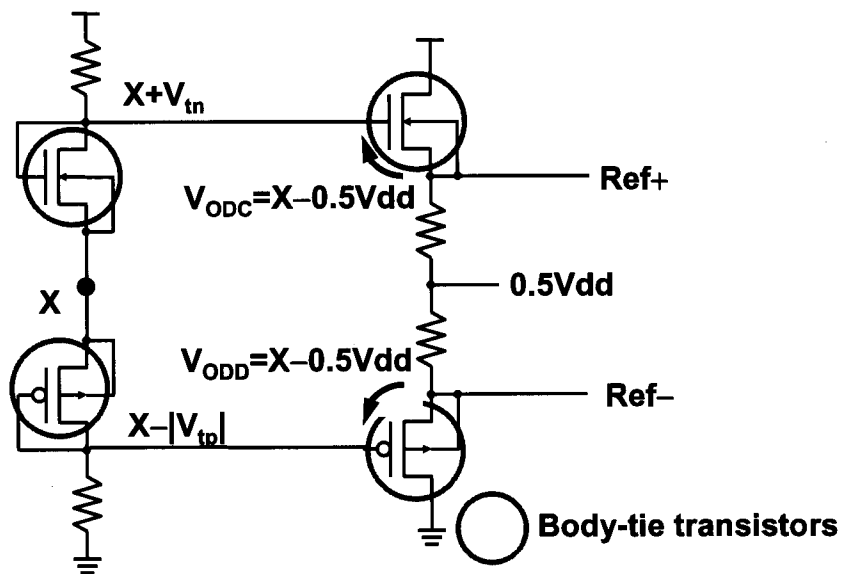
図 4.7(a)に提案する基板バイアス電圧制御回路のブロック図を示す．図 4.7(b)，図 4.7(c)にしきい値電圧検出回路および $V_{DD}/2$ 生成回路をそれぞれ示す．



(a)



(b)



(c)

図 4.7 提案基板バイアス電圧制御回路：(a)ブロック図，(b)しきい値電圧検出回路(Vt detector)，(c)VDD/2 生成回路(Half-VDD generator)。

しきい値電圧検出回路はシステムチックばらつきを Detect 信号として出力する。チップ間のしきい値電圧が FS コーナー寄りの場合、Detect 信号は VDD/2 よりも低い電圧値を出力する。逆に、チップ間のしきい値電圧が SF コーナー寄りの場合、Detect 信号は VDD/2 よりも高い電圧値を出力する。

一方、VDD/2 生成回路はボディタイトランジスタを使用し、プロセスばらつきの影響を受けずに、VDD/2 よりも高い電圧値、および低い電圧値を、それぞれ Ref+, Ref-として出力する。

次に、しきい値電圧検出回路からの出力 Detect 信号と VDD/2 生成回路からの出力 Ref+, Ref-の比較をセンスアンプにより行う。順方向バイアスを生成する場合は Up 信号が“H”となり、順方向バイアス電圧生成回路により、順方向バイアス電圧が生成される。また、逆方向バイアスを生成する場合は Down 信号が“H”となり、逆方向バイアス電圧が生成される。順方向バイアス電圧生成回路、および逆方向バイアス電圧生成回路はチャージポンプにより構成される。

図 4.8 に FS コーナーチップにおける動作例を示す。FS コーナーチップにおいて、基板バイアス電圧生成回路は以下のように動作する。

1. Detect 信号は VDD/2 よりも低い値(“L”)を出力する。同時に、VDD/2 生成回路が VDD/2 よりも少し高い電圧値 $\text{Ref}+(\text{VDD}/2+\alpha)$ 、および VDD/2 よりも少し低い電圧値 $\text{Ref}-(\text{VDD}/2-\alpha)$ を出力する。
2. センスアンプを用いて、Detect 信号と Ref+, Ref-の比較を行う。FS コーナーチップにおいては、Detect 信号が“L”になるので、センスアンプの出力信号である Down 信号、および Up 信号はそれぞれ、“H”、および“L”となる。
3. Down 信号が“H”となるので、逆方向バイアス電圧生成回路により、逆方向バイアス電圧が生成される。

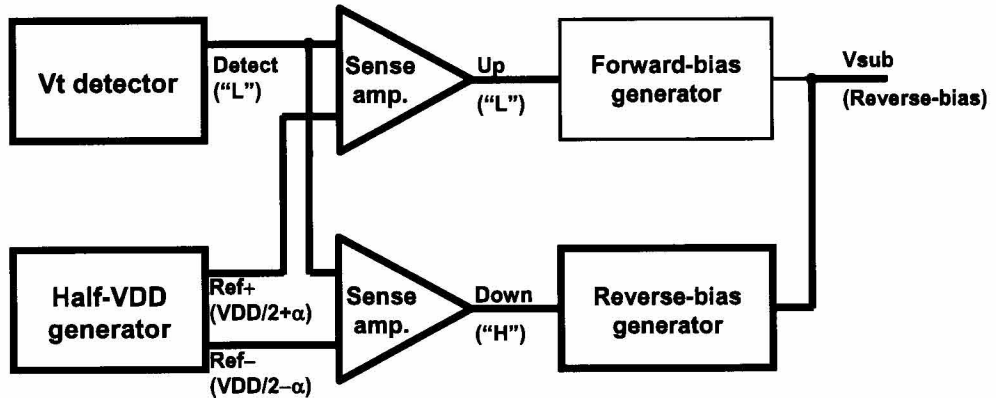


図 4.8 基板バイアス生成回路の動作例(FS コーナー).

図 4.9 にしきい値電圧検出回路および、VDD/2 生成回路のシミュレーション結果を示す。基板バイアス電圧はセンスアンプの出力信号に基づいたフィードバック機構により制御され、最終的に Detect 信号は Ref+ と Ref- の間の電位となる。このようにして、FS コーナーおよび SF コーナーのしきい値電圧は CC コーナーのしきい値電圧に収束する。

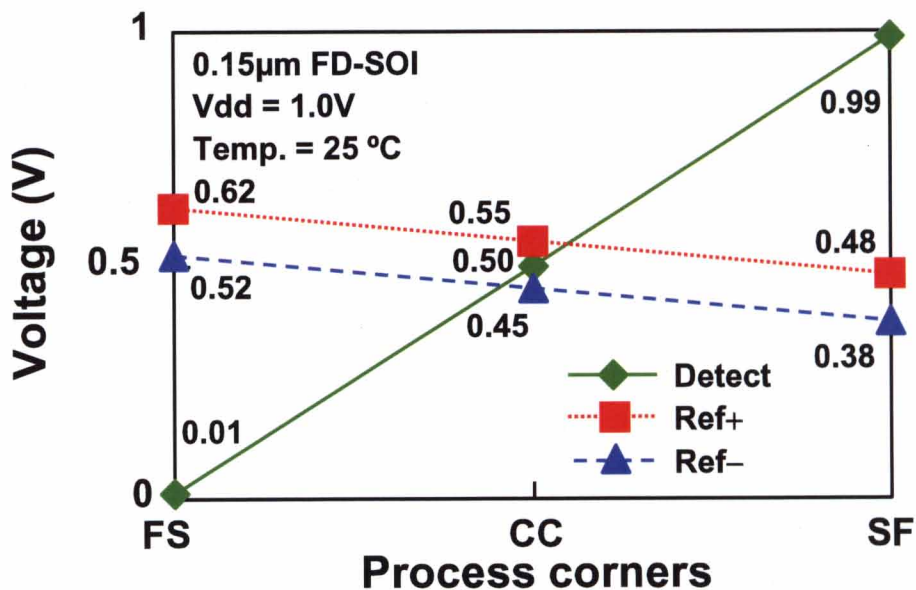


図 4.9 しきい値電圧検出回路と VDD/2 生成回路のシミュレーション結果.

4.4 実測結果

図 4.10 に 0.15- μm FD-SOI プロセスを用いて試作を行った 486-kb SRAM のチップ写真を示す。

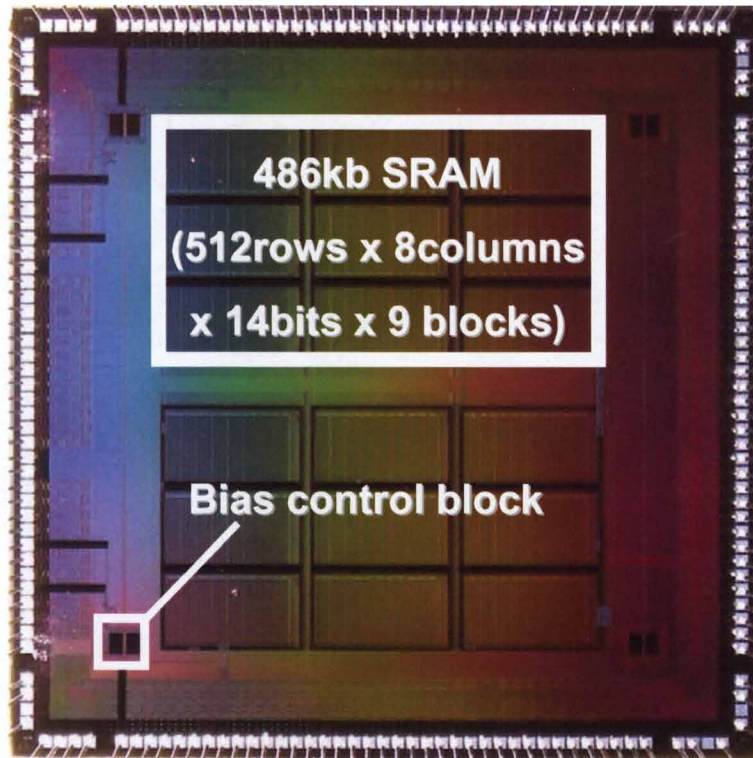


図 4.10 0.15- μm FD-SOI プロセスで試作を行った 486-kb SRAM.

図 4.11～図 4.13 に FS コーナーチップにおける BER の実測結果を示す。図 4.11 は読出し動作時の BER である。基板バイアス電圧を印加しない場合の読出し動作の最低動作電圧は 0.56V である。逆方向バイアス電圧を印加することにより、しきい値電圧が FS コーナーから CC コーナーの方向に補正させるため、読出し動作マージンが増大し、最低動作電圧は改善される。逆に、順方向バイアス電圧を印加する場合、読出し動作マージンが劣化するので、最低動作電圧は悪化する。

図 4.12 にデータ保持時の BER を示す、基板バイアスを印加しない場合、リテンション電圧は 0.36V である。また、読出し動作と同様に、逆方向バイアス電圧を印加することにより、リテンション電圧は改善される。

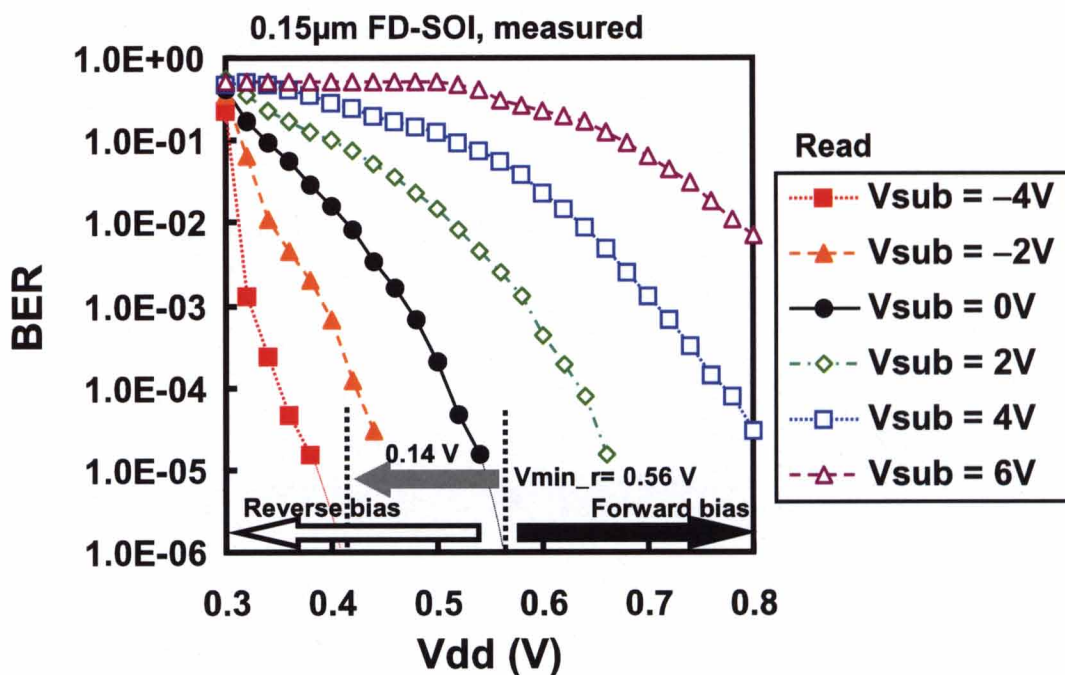


図 4.11 読出し動作時の BER の実測結果.

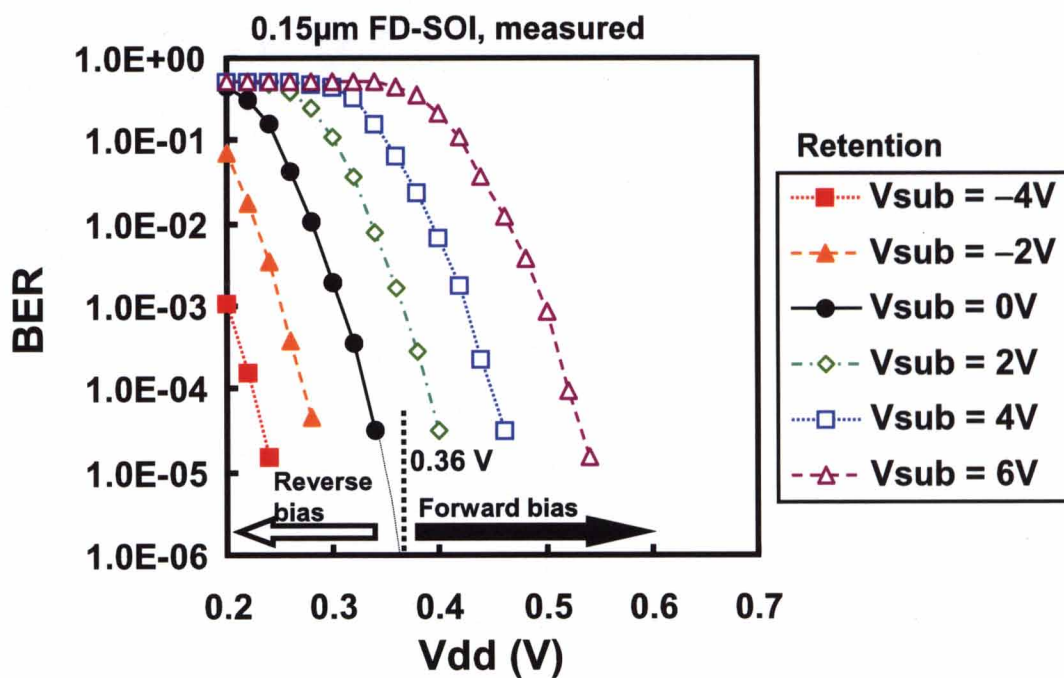


図 4.12 データ保持時の BER の実測結果.

図 4.13 に書き込み動作時の BER を示す。基板バイアス電圧を印加しない場合、書き込み動作の最低動作電圧は 0.36V である。逆方向を印加することにより、最低動作電圧は悪化すると考えられるが、 V_{sub} が $-2V$ 以下の場合、リテンション電圧により最低動作電圧が律速されている。そのため、 V_{sub} が $-2V$ においては、リテンション電圧が改善されるため、最低動作電圧は改善される。また、 V_{sub} が $-2V$ より低い場合、書き込み動作の最低動作電圧は悪化するため、実測結果は妥当である。

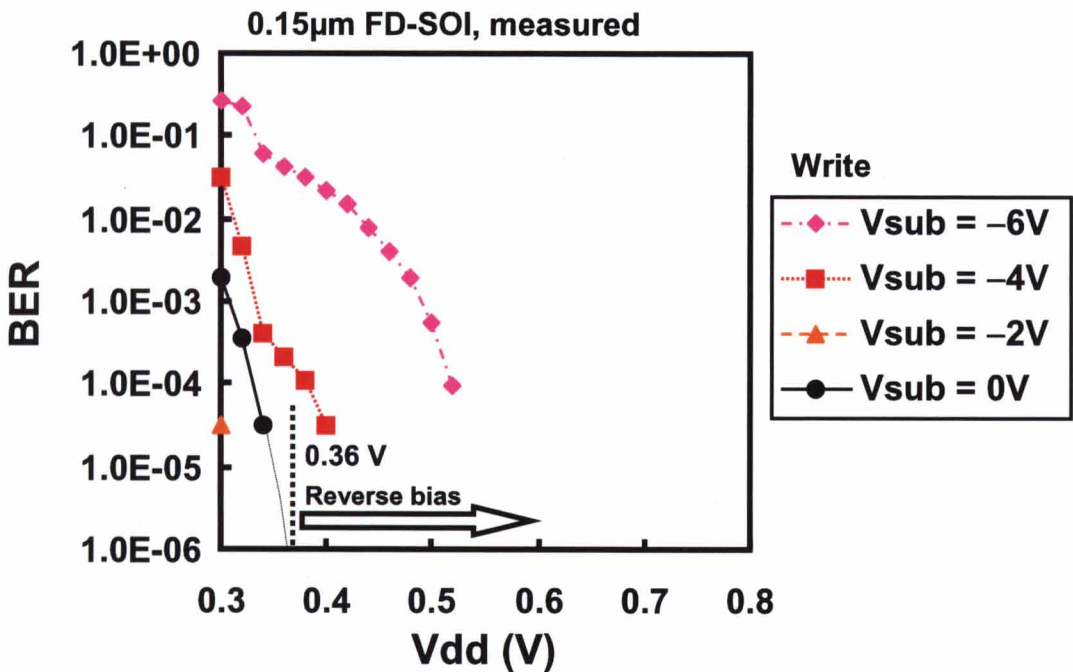


図 4.13 書き込み動作時の BER の実測結果。

$V_{sub} = -4V$ において、最低動作電圧が 0.14V 改善され、486-kb SRAM が 0.42V で正常に動作することを実測により確認した。またこの場合において、図 4.14 に示すように、リーク電力が 40% 削減されることを実測により確認した。低電圧動作は微細プロセスにおけるゲートリークの削減および、NBTI に対しても効果的である。

また、図 4.15 に示すようにチャネル部の不純物濃度を低くし、支持基板の不純物濃度を高くすることにより、ランダムばらつきを抑制することのできるデバイス構造がすでに提案されている[32], [33]

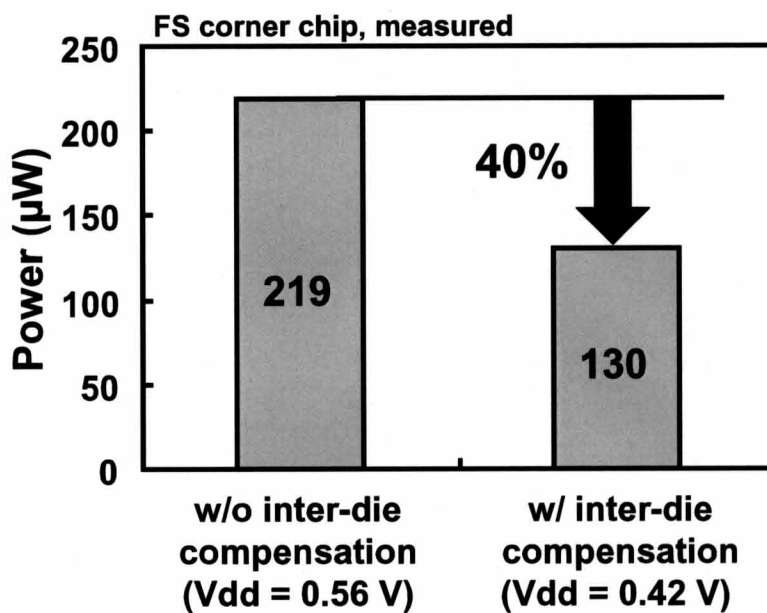


図 4.14 リーク電力の実測結果.

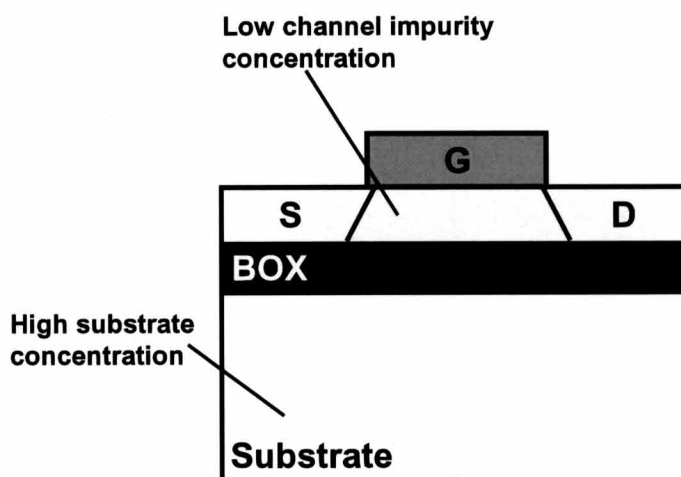


図 4.15 ランダムばらつきを抑制することができるデバイス構成.

提案した基板バイアス電圧制御回路は、ランダムばらつきを抑制することができるデバイス構造および、第3章で提案した7T/14Tメモリセルと併せて用いることにより、チップ間およびチップ内の両方のばらつきを改善することが可能である。

4.5 結言

FD-SOIプロセスを用いた、システムチックばらつきを抑制することができる基板バイアス電圧制御回路の提案を行った。提案した基板バイアス電圧制御回路は、システムチックばらつきを自動的に検出し、補正することによりSRAMのメモリセルの動作マージンを改善することができる。

0.15-um FD-SOIプロセスを用いて、486-kb SRAMを試作し、実測することにより、動作下限電圧を0.14V改善し、0.46Vで動作することを確認した。

第5章 動画像処理応用 2-port SRAMの低消費電力化技術

5.1 緒言

近年の携帯機器の普及により、限られたバッテリー容量の範囲で、実時間動画像処理プロセッサを長時間駆動させる必要があるため、実時間動画像処理プロセッサの低消費電力化は非常に重要な課題である。

2003年、MPEG-2、MPEG-4に続く動画像圧縮規格 H.264 が制定された。H.264 は MPEG-4 に比べて最大で約 2 倍の圧縮符号化効率を持つ。しかし、H.264 は、複数ブロックサイズ、複数参照ピクチャでの動き補償、デブロッキングフィルタなど、多くの高効率符号化ツールを採用しており、MPEG-4 と比較して圧縮符号化演算量は数十倍となるため、消費電力が莫大に増加してしまう。

また、既に示したとおり、近年 SoC に搭載されるメモリの容量が増大しており、実時間動画像処理プロセッサにおいても、この傾向は顕著である。特に HDTV 対応の H.264 エンコーダには、サーチウィンドウバッファとして少なくとも 500-kb のメモリが必要であり、全消費電力のうち 40% が消費される[34]。

さらに、プロセスの微細化が進むにつれ、大容量 SRAM がフレームバッファや再構成画像メモリなどに実装され、消費電力の大部分を占めると考えられる。

上記の理由から、実時間動画像処理プロセッサの低消費電力化には、SRAM の低消費電力化が必要不可欠である。本章では、アプリケーションとハードウェアの両方の着眼点から動画像処理で広く用いられている 2-port SRAM に対して、動画像の持つ隣接画素相関性を利用した低消費電力化技術の提案を行う。

また、本提案手法は標準動作電圧時においても低消費電力化を実現することができるため、プロセスの微細化が進み SRAM の低電圧動作が困難となる状況においても有効な手法である。

5.2 従来の 2-port SRAM の問題点

5.2.1 2-port SRAM の構成

通常のプロセッサでは、1 サイクルで読出し、または書込みを行うことができる 1-port SRAM が用いられている。しかし、実時間動画画像処理プロセッサでは、1 サイクルで同時に読出しと書込みを行うことができ、より処理の高速化を図れる、2-port SRAM が広く用いられている[34–37]。

本章では、図 5.1 に示す読出しポートがシングルビット線構造の 2-port SRAM メモリセルを用いる。本メモリセルは従来の 1-port 6T メモリセルに、読出しポート用に 2 つの nMOS トランジスタを追加した、8 トランジスタで構成される。

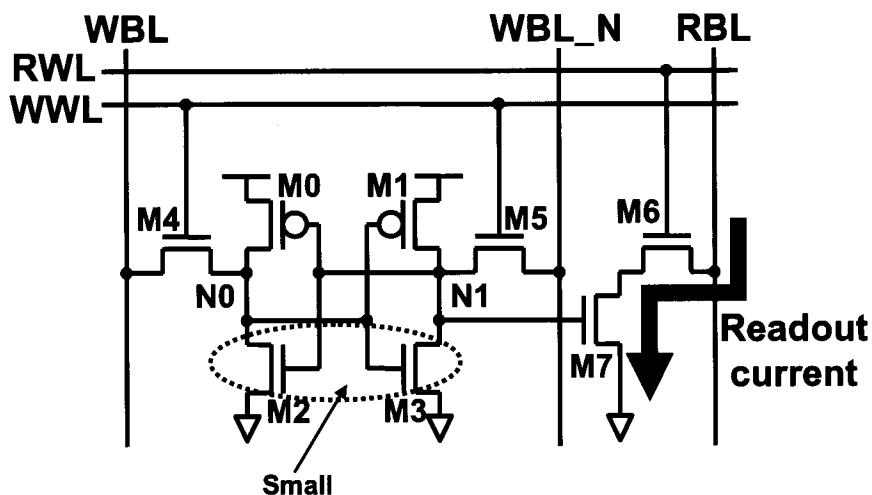


図 5.1 8 トランジスタで構成される 2-port メモリセル。

このメモリセルは読出し用のドライバトランジスタ M7 のゲートが保持ノードに接続されているため、読出し動作マージンが無限大となる。よって、アクセストランジスタ M4, M5 に対して、ドライバトランジスタ M2, M3 を大きくする必要がなく、M2, M3 を最小サイズにすることができるため、メモリセルの面積を小さくすることができる[38], [39]。

5.2.2 2-port SRAMの読出しビット線充放電電力

図 5.2 に本章で用いる 2-port SRAM の読出し動作時の読出しワード線(RWL: Read Word Line)と読出しビット線(RBL: Read Bit Line)の波形を示す. 一般的に, SRAM のビット線はプリチャージ構造がとられており, 読出しビット線は RWL が立ち上がる前に, 電源電圧 VDD に充電されている. シングルビット線構造では, “0”データ読出しの場合, 読出しドライバトランジスタ N5 がオン状態となり, 読出しビット線の電荷が放電され, 充放電電力が発生する. 一方, “1”データ読出しの場合, N5 はオフ状態となるため, 読出しビット線の電荷の放電は発生しないので, 充放電電力は発生しない.

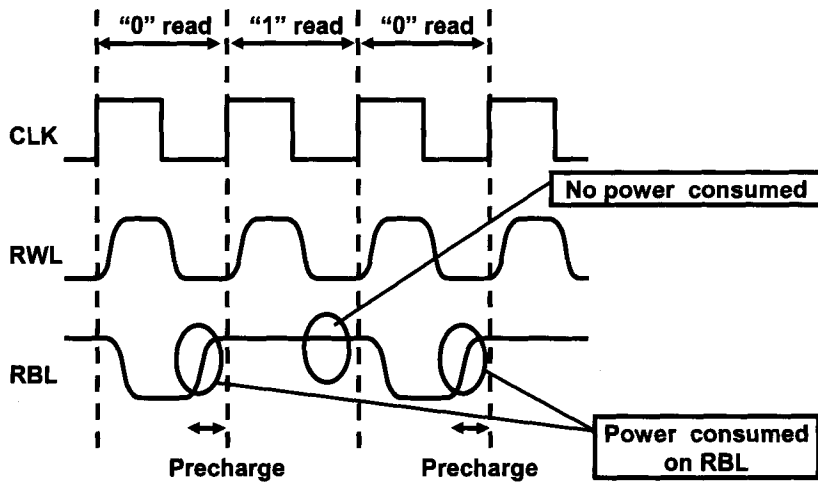


図 5.2 2-port SRAM における読出し動作時における動作波形.

よって, “0”読出しの数を削減し, “1”読出しの数を増加させることにより, 読出しビット線の充放電電力を削減することができる. 次節では, 多数決論理を用いて“0”読出しの数を削減し, “1”読出しの数を増加させる手法について述べる.

5.3 多数決論理SRAM

5.3.1 多数決論理SRAMの概要

“1”読出しの数を増加させるには、SRAM に保持するデータの“1”の個数を増加させればよい。書込み動作時に入力データの“0”の個数を削減し、“1”の個数を増加させることにより、保持データの“1”の個数を増加させることができる。以下では、書込み動作時に多数決論理判定回路を用いて、入力データの“0”の個数を減らし、“1”の個数を増加させる手法について述べる。

図 5.3(a)に多数決論理 SRAM のブロック図を示す。多数決論理 SRAM では、保持データの“1”の個数を増加させるため、書込み動作時において、多数決論理回路を用いて入力データの“0”の個数が“1”の個数よりも多い場合に入力データの反転を行う。また、入力データが反転したかどうかの情報を、図 5.3(b)に示すように、フラグビットとして付加する(図 5.3(b)では、入力データが反転した場合、フラグビットの値を“1”とし、反転しなかった場合、フラグビットの値を“0”としている)。

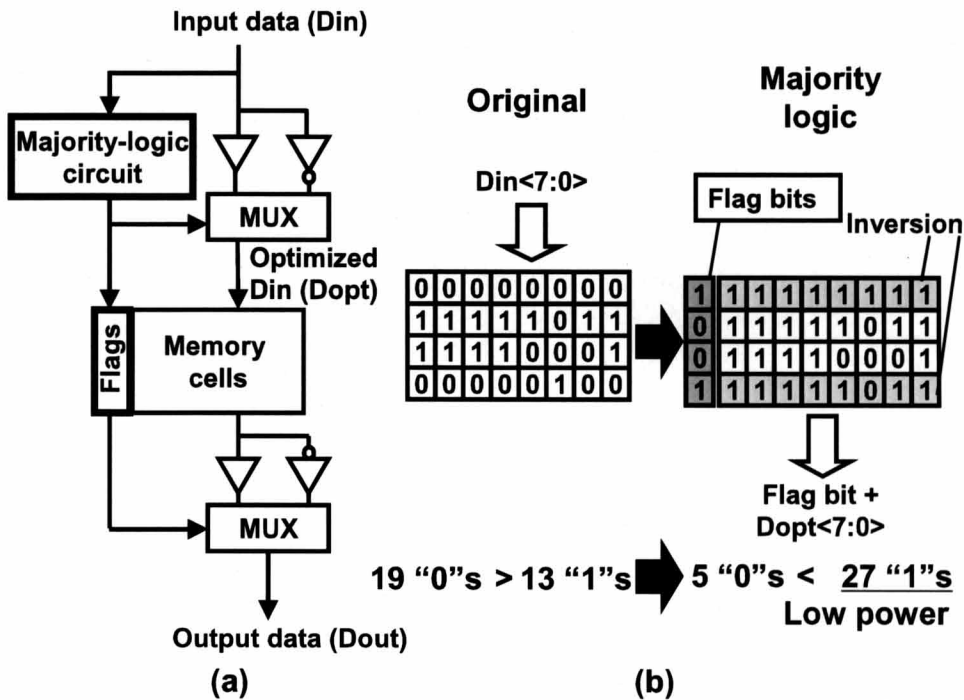


図 5.3 多数決論理 SRAM の概要: (a)ブロック図, (b)フラグビットの概念.

また、読出し動作時において、フラグビットの値が“1”の場合、保持データの反転を行ってから出力し、フラグビットの値が“0”の場合、保持データをそのまま出力することにより、元の入力データを復元することができる。

5.3.2 多数決論理を用いることによる消費電力削減効果.

図 5.4 に、従来 SRAM と多数決論理 SRAM の消費電力の比較を示す。図 5.4 では、入出力データのビット幅を 8bit (8bit/word)としている。入力データの“1”の個数が 8 個の場合、多数決論理 SRAM では、データの反転は行われず、保持データの“0”の個数はフラグビットの 1 個のみとなる。この場合、従来の SRAM では、保持データに“0”が存在しないため、多数決論理 SRAM の方が読出しビット線の充放電電力は大きくなる。つまり、入力データの“1”の個数が 5 個以上の場合においては、フラグビットの値が“0”となるので電力オーバーヘッドが発生する。一方、入力データの“1”の個数が 4 個以下の場合においては、多数決論理回路によって、入力データが反転されるので、“0”の個数が削減され“1”の個数が増加するし、読出しビット線の消費電力は削減される。

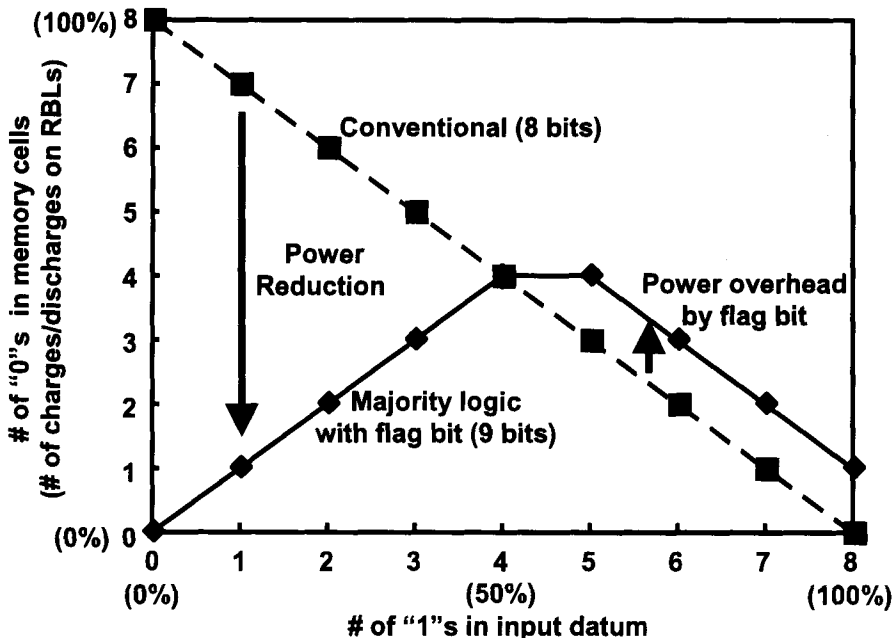


図 5.4 従来 SRAM と多数決論理 SRAM における RBL の充放電電力の比較.

ここで、入力データを二項分布のパターンと仮定した場合における、消費電力削減効果について解析を行う。従来 SRAM では、保持データの“0”の個数の平均 μ_{conv} は以下のようになる。

$$\mu_{\text{conv}} = \frac{\sum_{k=0}^8 {}_8C_k \cdot (8-k)}{\sum_{k=0}^8 {}_8C_k} = 4.0 \quad (5.1)$$

一方、多数決論理 SRAM では、保持データの“0”の個数の平均 μ_{mj} は以下のようになる。

$$\mu_{\text{mj}} = \frac{\sum_{k=0}^4 {}_8C_k \cdot k + \sum_{k=5}^8 {}_8C_k \cdot (8+1-k)}{\sum_{k=0}^8 {}_8C_k} = 3.27 \quad (5.2)$$

よって、入力データが二項分布のパターンである場合、多数決論理を SRAM に用いることにより、読出しビット線の充放電電力を 18%削減することができる。

データが反転した場合の、フラグビットの値を“1”とするか“0”とするかという問題があるが、入力データが全体的に“1”が多い場合は、フラグビットの消費電力オーバーヘッドを避けるために、フラグビットの値を“0”とした方が良い。逆に、入力データが全体的に“0”が多い場合は、多数決論理 SRAM の消費電力削減効果を効率的に利用するために、フラグビットは“1”とした方がよい。詳細については次節で記述する。

5.4 Reordering処理

5.4.1 動画像の特性

H.264 コーデックでは、YUV フォーマットが用いられている。図 5.5 に動画像の例を示す。1つの画素は 8bit の輝度信号(Y 信号)と、4bit の色差信号(U 信号, V 信号)からなる。以下では、簡単のため、Y 信号についてのみ取り扱うこととする。また、本章で取り扱う動画像として、図 5.6 に示す 10 種類の HDTV 解像度の標準テスト動画像シーケンスである、“Bronze with Credit” (Bronze), “Building along the Canal” (Canal), “Church” (Church), “Intersections” (Inters), “Japanese room” (Jpnroom), “European Market”

(Market), “Yachting” (Sail), “Street Car” (Stcar), “Whale Show” (Whale), “Yacht Harbor” (Yacht)を用いる。

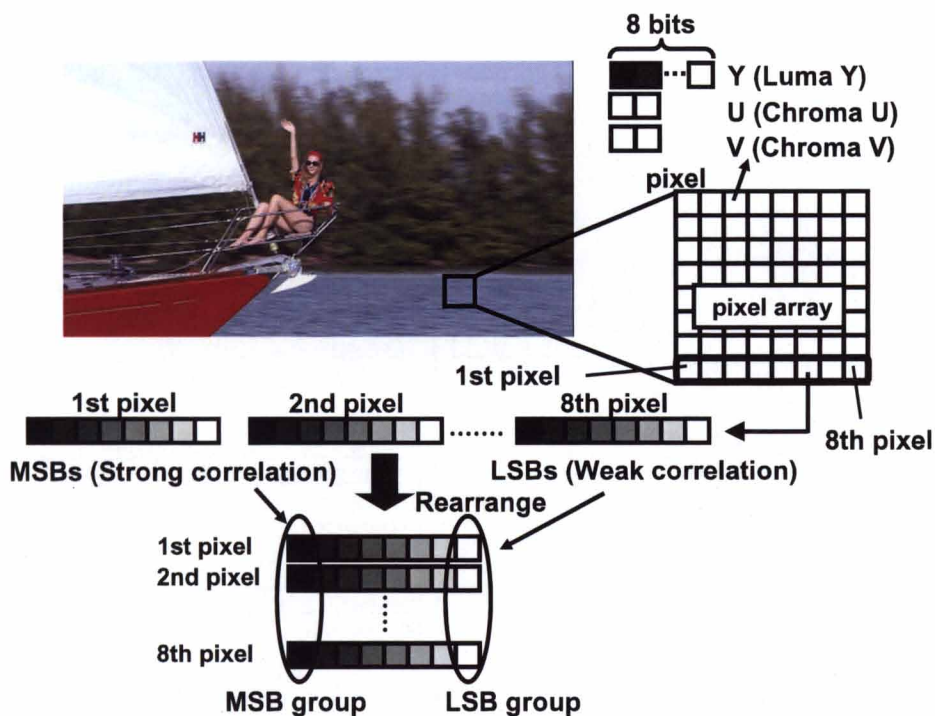


図 5.5 動画像の例.



図 5.6 HDTV 解像度の標準テスト動画像シーケンス.

また、原画像は符号化され、再構成画像がループフィルタから生成され、動き補償器に利用される。符号化条件を図 5.7 に示す。本章では、再構成画像についても取り扱う。

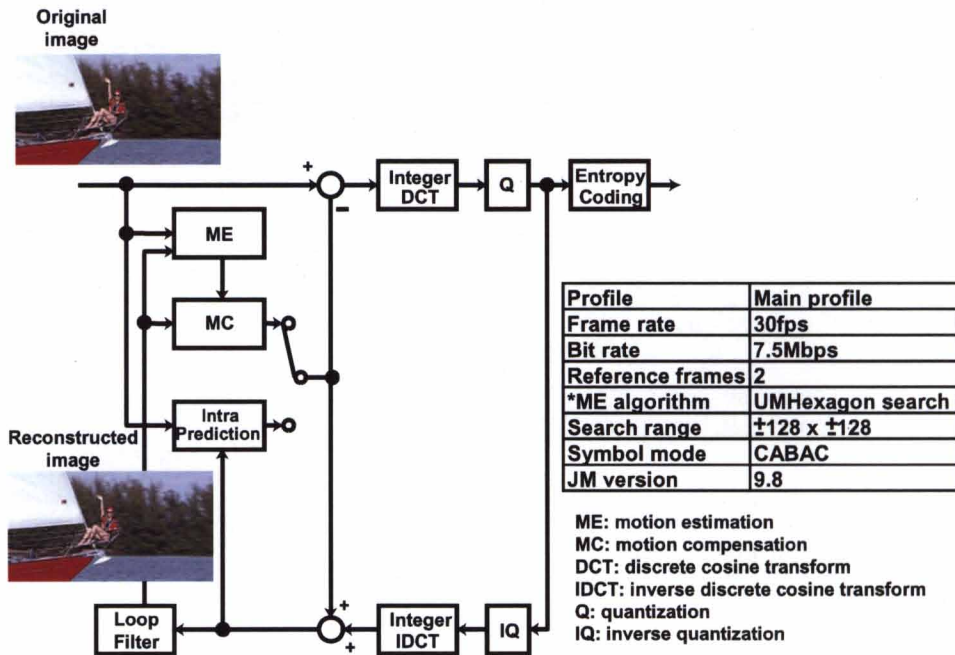


図 5.7 H.264 の符号化プロセスと符号化条件.

動画像は、隣接する画素同士の間に関係性をもつ。特に、上位ビットほど関係性は強く、最上位ビットの値は高い確率で、全て“0”もしくは“1”となる。また、下位ビットほど関係性は弱くなり、最下位ビットの値はランダムとなる。

図 5.8 に、隣接する横 8 画素のビットごとの関係性を示す。最上位ビットは、全て“0”もしくは“1”になる可能性が大きく、一方、最下位ビットは、ほぼ二項分布となっており、関係性が低いということが分かる。

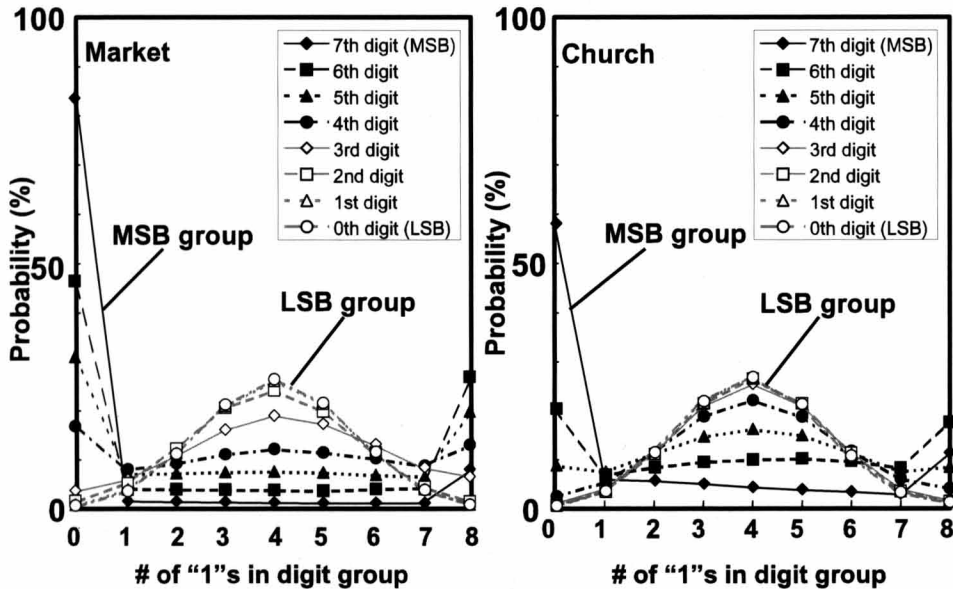


図 5.8 標準テスト動画画像シーケンス Market, Church における隣接する横 8 画素のビットごとの相関性.

5.4.2 Reordering処理の概要

5.3 節で記述したとおり，入力データが二項分布のパターンであっても，多数決論理回路を用いることにより，読出しビット線の充放電電力を削減することができる．HDTV 解像度の標準テスト動画画像シーケンスの原画像に対して多数決論理を用いる場合，読出しビット線の充放電電力を平均 20%削減することができる．

さらに，多数決論理を“0”に偏ったデータに用いることで，より効率的に読出しビット線の充放電電量を削減することができる．図 5.8 に示した通り，隣接する画素の最上位ビットは高い確率で，全て“0”もしくは“1”となる．よって，動画画像の持つ隣接画素相関性を利用することにより，読出しビット線の充放電電力をより効率的に削減することが可能である．

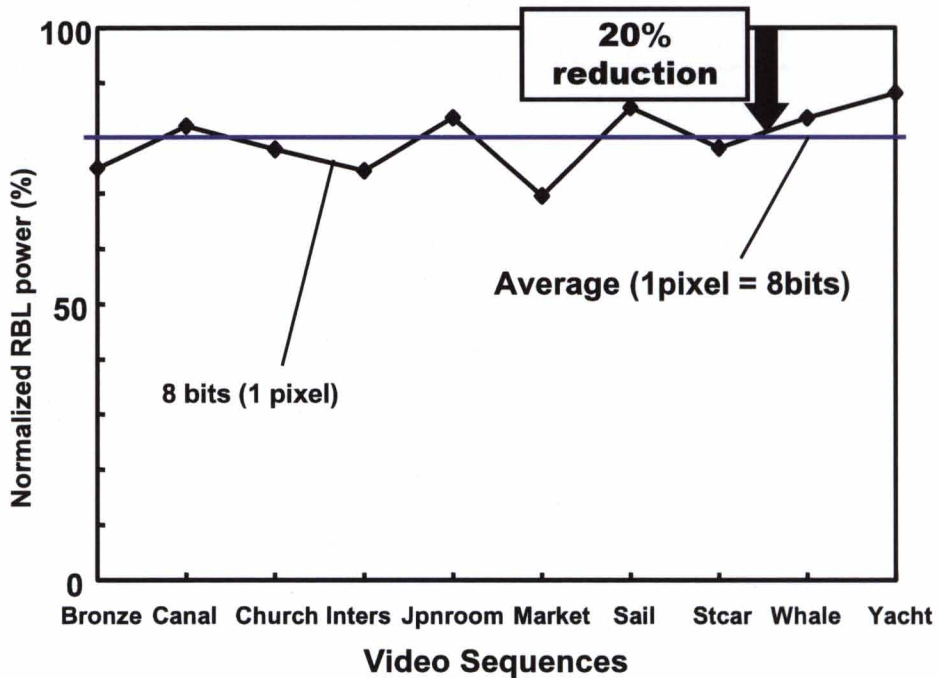


図 5.9 多数決論理を用いた場合における規格化読出しビット線電力.

図 5.10 に Reordering 処理の概要を示す. 書込み動作において, はじめに m 画素(つまり, $8m$ bit)で構成されるデータをビットごとのグループに並び替える. 次に, 入力データの“0”の個数が“1”の個数よりも多い場合, つまり, “0”の個数が $m/2$ 以上の場合, データの反転を行い, そうでなければデータの反転を行わない. Reordering 処理と多数決論理を組み合わせることにより, 保持データの“1”の個数を最大化することができ, 読出しビット線の充放電電力を最適化することができる.

また, 読出し動作時において, フラグビットの値に応じて保持データを反転するかどうかの判定を行い, その後, 並び替えを行うことにより, 元の入力データを復元することができる.

本節では, 画像の持つ隣接画素相関性を利用した Reordering 処理の概要について述べた. しかし, 隣接画素の取り方として, 例えば, 縦方向に 8 画素を取る方法, 横方向に 16 画素を取る方法, 横 2 画素×縦 4 画素の 8 画素を取る方法などが考えられる. 次節では, 画像の持つ隣接画素相関性を最大限に発揮できる隣接画素の取り方の解析, フラグビットの値の解析, および読出しビット線電力の消費電力削減効果について述べる.

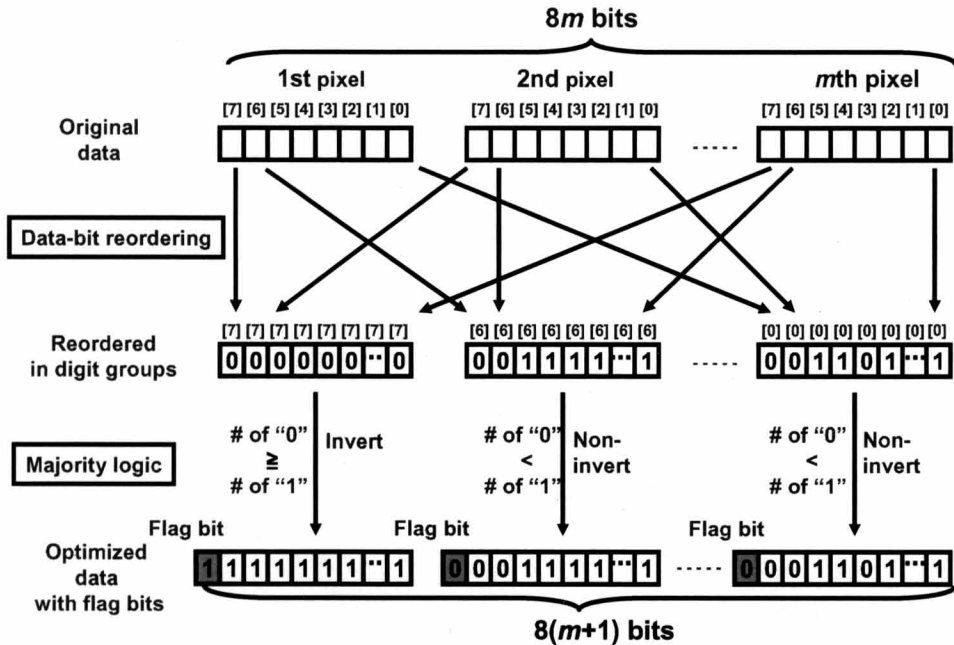


図 5.10 多数決論理と Reordering 処理.

5.4.3 隣接画素の最適な取り方

はじめに $m = 8$ とする場合(隣接する 8 画素を取る場合)について検討を行う。考えられる全ての画素の取り方は、図 5.11 に示すように、横 8 画素 × 縦 1 画素、横 4 画素 × 縦 2 画素、横 2 画素 × 縦 4 画素、および横 1 画素 × 縦 8 画素である。また、動画像符号化処理では図 5.12 に示すようなインターレース画像を用いるため、奇数行の画素と偶数行の画素では時間が生じる。よって、縦方向に画素を取る場合、1 行とばしに取る方法において、隣接画素相関性が高くなる可能性がある。したがって、画素の取り方を横 4 画素 × 縦 2 画素、横 2 画素 × 縦 4 画素、および横 1 画素 × 縦 8 画素とする場合、縦方向について連続して画素を取る場合と、1 行とばしに取る場合の 2 通りについて検討を行う。

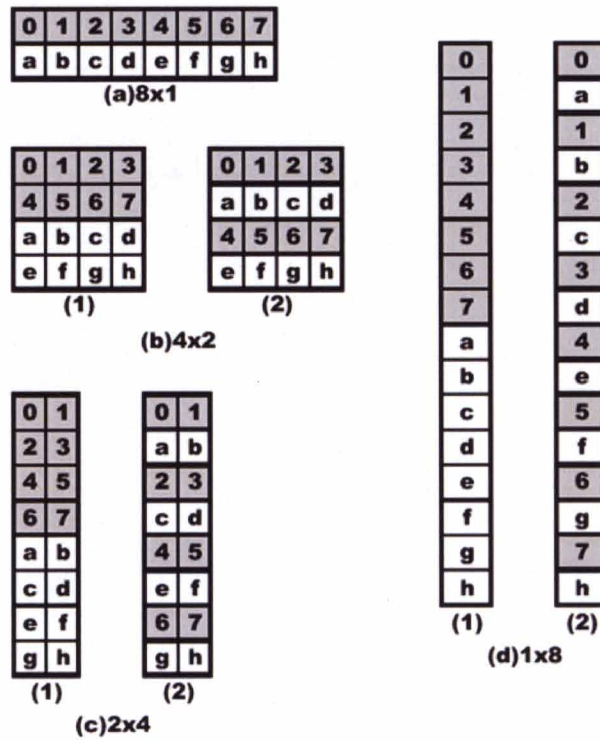


図 5.11 隣接する画素の取り方.



図 5.12 インターレース画像の一例.

図 5.13 に、HDTV 解像度の標準テスト動画シーケンスの原画像に対して画素の取り方を変化させた場合における、多数決論理と Reordering 処理の読出しビット線充放電電力削減効果を示す。

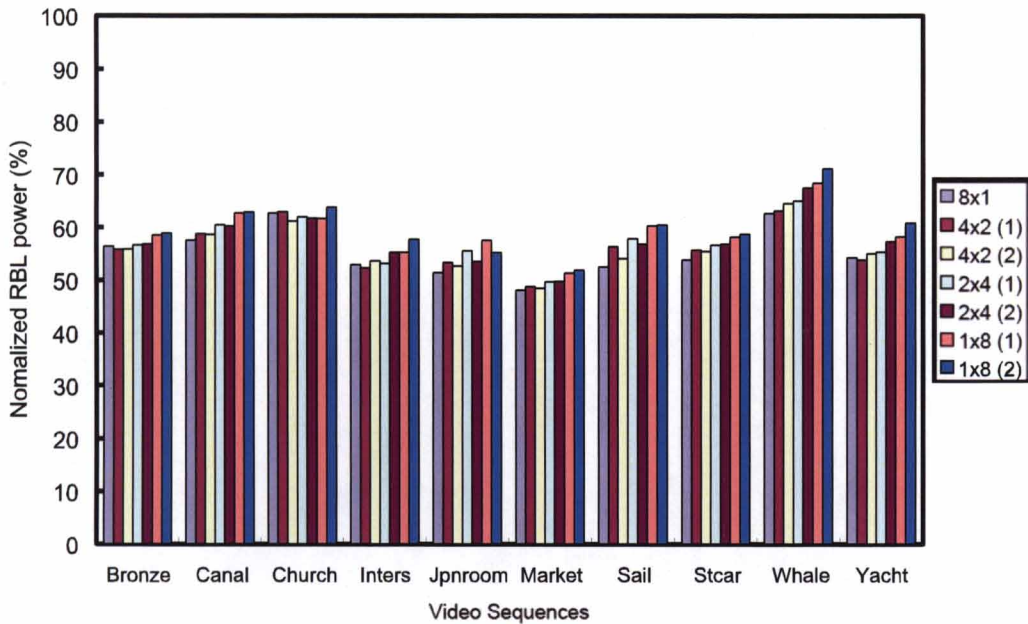


図 5.13 画素の取り方を変化させた場合の読出しビット線充放電電力削減効果。

図 5.13 より横方向に連続して画素を取る方法(横 8 画素 × 縦 1 画素)が最も消費電力を削減することができる。原因は以下のように考えられる。

- 連続して縦方向に画素を取る場合、インターレース画像を取り扱っているため、奇数行と偶数行では時間差が存在し、隣接画素相関性は低くなる。
- 1 行とばしに画素を取る場合、時間差は存在しない。しかし、縦に 8 画素取る場合、実際には縦方向の 16 画素を扱ってしまうため、画素間の距離が遠くなり、隣接画素相関性は低くなる。

次に、フラグビットの付け方について解析を行う。ただし、画素の取り方を 8 画素 × 縦 1 画素とした場合について取り扱う。

これまで、「入力データが反転した場合は、フラグビットの値を“1”、入力データが反転しなかった場合は、フラグビットの値を“0”」として記述してきた。しかし、「入

カデータが反転した場合は、フラグビットの値を“0”，入力データが反転しなかった場合は、フラグビットの値を“1”）とする方法も考えられる。

図 5.14 に、データ反転時のフラグビットの値を変化させた場合の読出しビット線の充放電電力削減効果の変化を示す。“Flag”が「入力データが反転した場合は、フラグビットの値を“1”，入力データが反転しなかった場合は、フラグビットの値を“0”）とする場合，“Flag_n”が「入力データが反転した場合は、フラグビットの値を“0”，入力データが反転しなかった場合は、フラグビットの値を“1”）とする場合である。

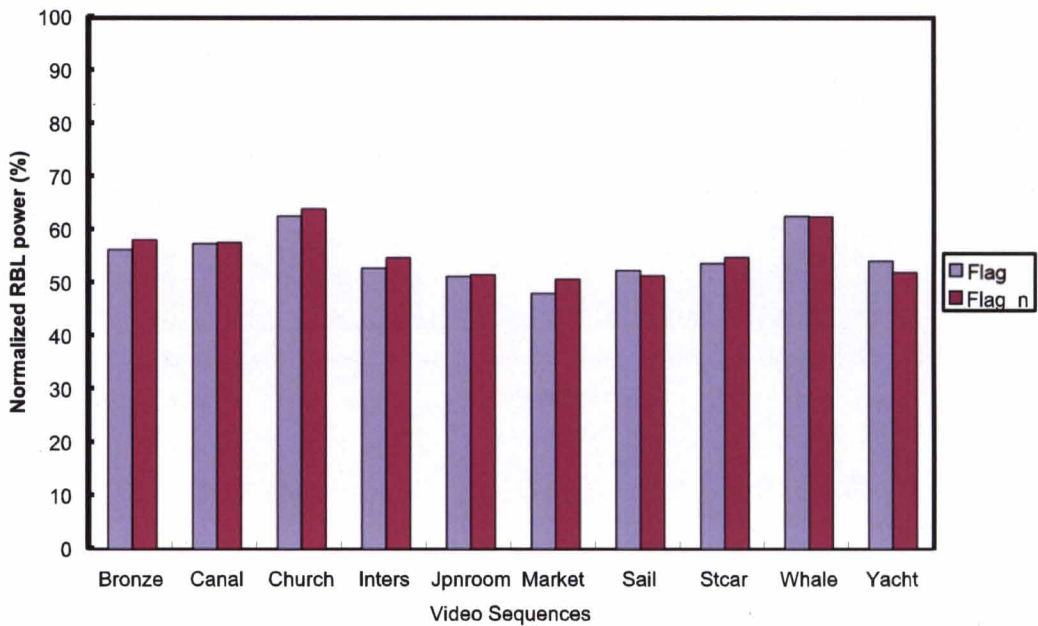


図 5.14 フラグビットの値を変化させた場合の読出しビット線充放電電力削減効果。

図 5.15 に“1”の個数に応じた Flag と Flag_n の読出しビット線の充放電電力削減効果の比較を示す。取り扱うデータの“0”の個数が多い場合、Flag の方が消費電力削減効果は大きくなり、取り扱うデータの“1”の個数が多い場合、Flag_n の方が消費電力削減効果は大きくなる。つまり、暗い画像(Bronze, Church, Inters, Market, Stcar)に対しては「入力データが反転した場合は、フラグビットの値を“1”，入力データが反転しなかった場合は、フラグビットの値を“0”）とする方が消費電力削減効果は大きくなり、明るい画像(Sail, Whale, Yacht)に対しては「入力データが反転した場合は、フラグビットの値を“0”，入力データが反転しなかった場合は、フラグビットの値を“1”）とする方が消費電力削減効果は大きくなる。

本論文で用いた 10 種類の HDTV 解像度の標準テスト動画シーケンスに対しては「入力データが反転した場合は、フラグビットの値を“1”，入力データが反転しなかった場合は、フラグビットの値を“0」とする方が消費電力削減効果は大きくなる。したがって、5.5 で述べる実設計ではこの方法を用いて実装を行った。

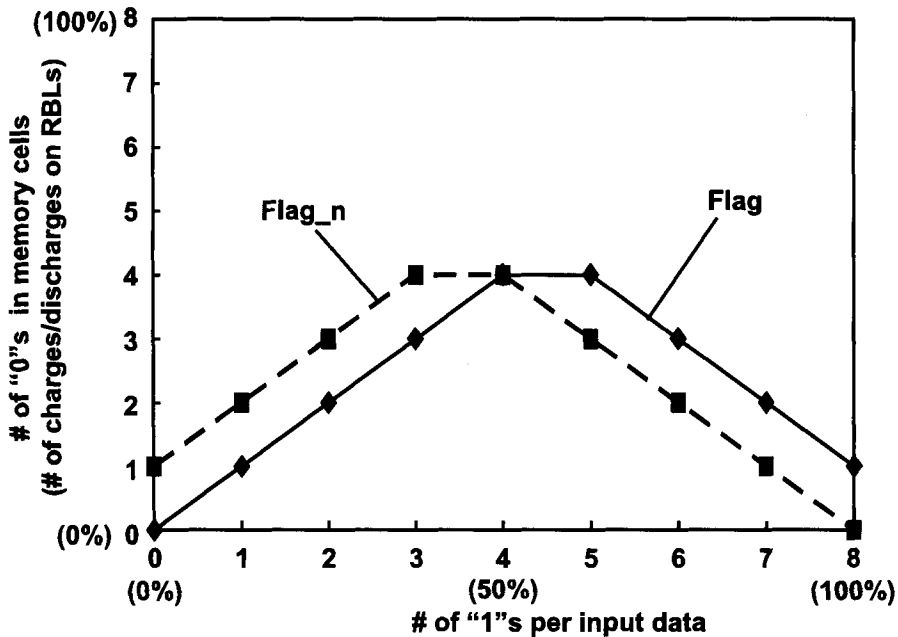


図 5.15 フラグビットの値を変化させた場合の読出しビット線充放電電力。

次に、横方向に連続して取る画素数について解析を行う。以下では、横方向に 4 画素($m=4$)、8 画素($m=8$)、16 画素($m=16$)、32 画素($m=32$)、を取る場合について取り扱う。図 5.16 に HDTV 解像度の標準テスト動画シーケンスの原画像に対する読出しビット線の充放電電力削減効果を示す。 $m=8$ とする場合、消費電力削減効果は最大となり、読出しビット線の充放電電力を 45%削減することができる。さらに、H.264 符号化処理時の再構成画像に対して多数決論理と Reordering 処理を用いることにより、 $m=8$ とする場合、図 5.17 に示すように読出しビット線の充放電電力を 53%削減することができる。よって、再構成画像に対して多数決論理と Reordering 処理を用いることにより、さらに読出しビット線の充放電電力を削減することができる。

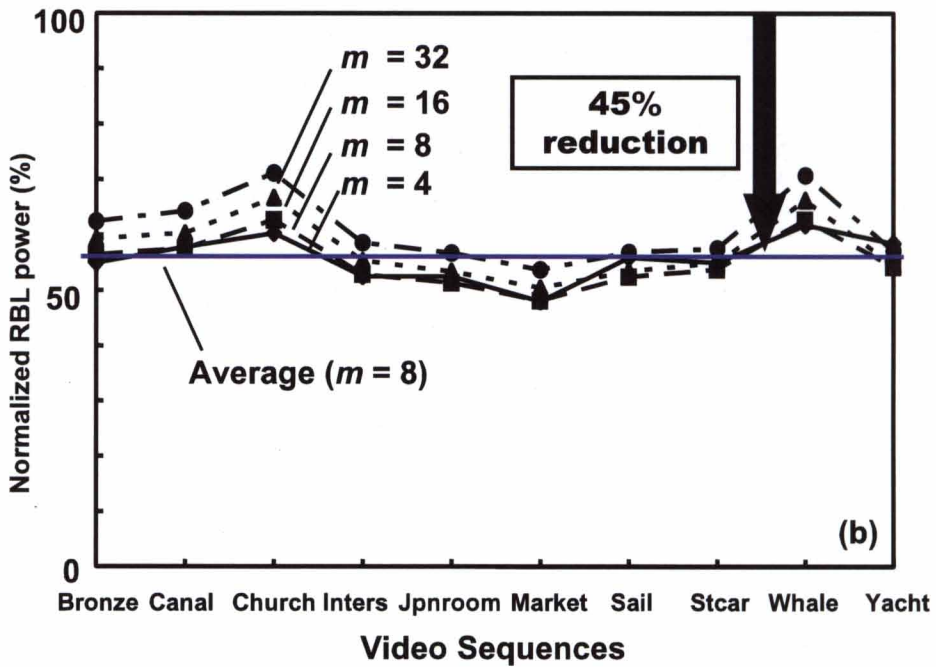


図 5.16 原画像に対して多数決論理と Reordering 処理を用いた場合の読出しビット線充放電電力削減効果.

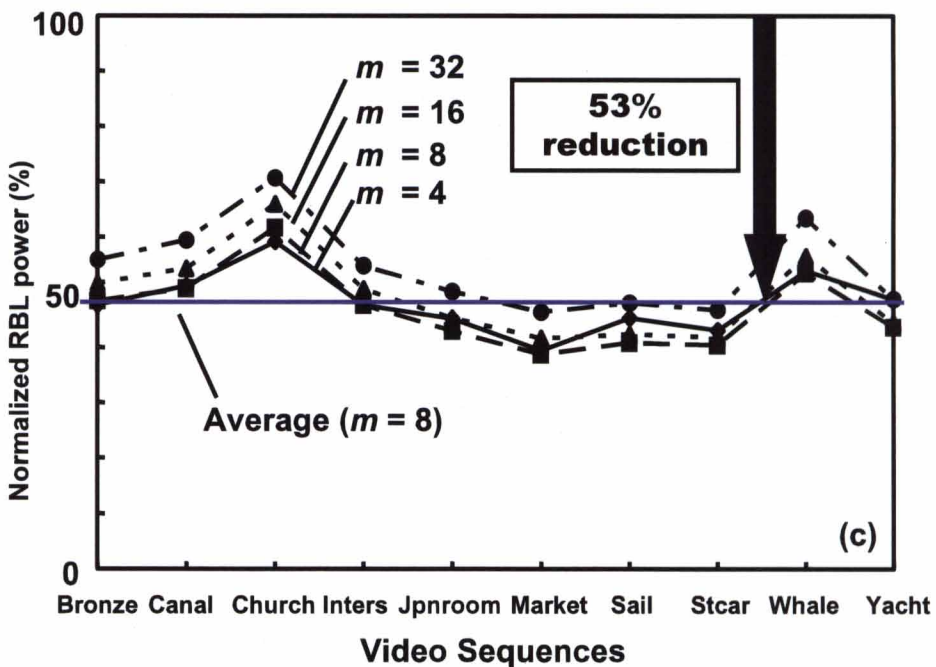


図 5.17 再構成画像に対して多数決論理と Reordering 処理を用いた場合の読出しビット線充放電電力削減効果.

最後に、横方向に連続して取る画素数を変化させた場合における、消費電力削減効果とフラグビットによる面積オーバーヘッドの解析を行う。図 5.18 に、連続して取る画素数を変化させた場合の消費電力削減効果と面積オーバーヘッドのグラフを示す。4 画素を取る場合、隣接画素相関性は大きくなるが、フラグビットによる消費電力オーバーヘッドが大きいため、8 画素をとる場合と比べて消費電力削減効果は小さくなる。8 画素を取る場合が、最も消費電力削減効果は大きくなる。また、16 画素以上になると、隣接画素相関性が低くなるため、消費電力削減効果は小さくなる。4 画素、8 画素を取る場合、フラグビットによるメモリセルアレイにおける面積オーバーヘッドが 10%以上となってしまったため、次節で記述する実設計では、横方向に連続して 16 画素を取る場合を選択した。

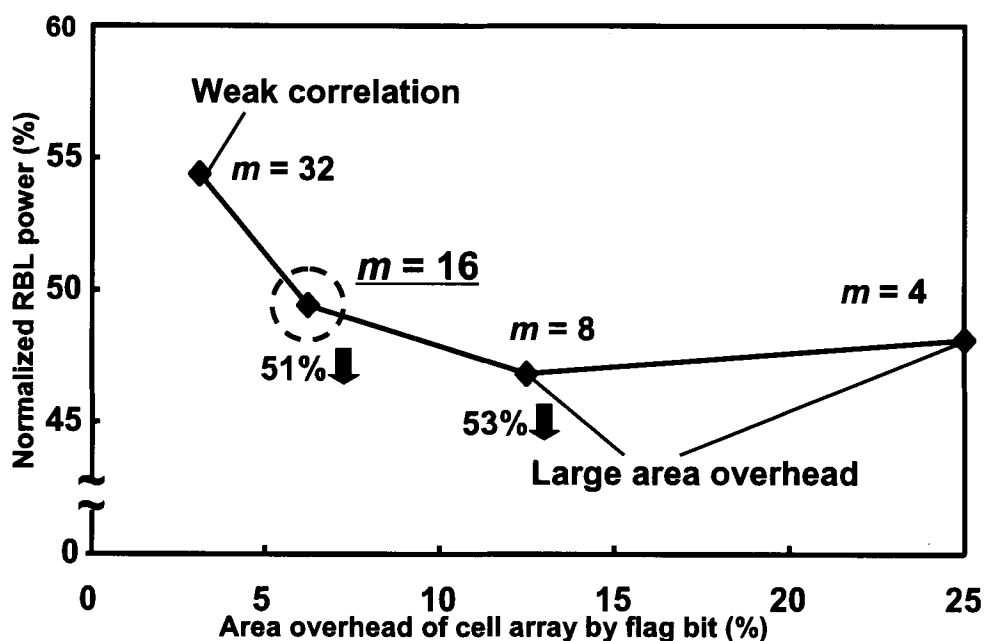


図 5.18 提案 SRAM における読出しビット線充放電電力削減効果とメモリセルアレイにおける面積オーバーヘッド。

5.5 90-nmプロセスを用いた実装

5.5.1 全体回路構成

90-nm プロセスを用いた提案 SRAM の実装方法を本節において記述する。図 5.19 に提案 SRAM のブロック構成図を示す。メモリセルの容量は 68-kb で、図 5.18 に記述した通り、 $m = 16$ を採用している。本 SRAM は 64-kb がデータ用の領域、4-kb はフラグビット用の領域である。

読出しビット線は、すでに記述したとおりシングルビット線を採用している。また、シングルビット線構造はデュアルビット線構造と比較して、速度オーバーヘッドが発生するため、階層ビット線構造を用いている[38], [39]。一方、書込みビット線はデュアルビット線構造を採用している。書込みビット線は書込み動作時にしか用いられず、動作前にプリチャージをする必要がないので、書込みビット線にプリチャージトランジスタは存在しない。

5.5.2 メモリセル

図 5.20 に本 SRAM で用いたメモリセルのレイアウトを示す。セル面積は $3.15\mu\text{m} \times 0.76\mu\text{m}$ であり、メモリセルの回路図はすでに図 5.1 で示したとおりである。また、各トランジスタのサイズは図 5.20 に示してある。

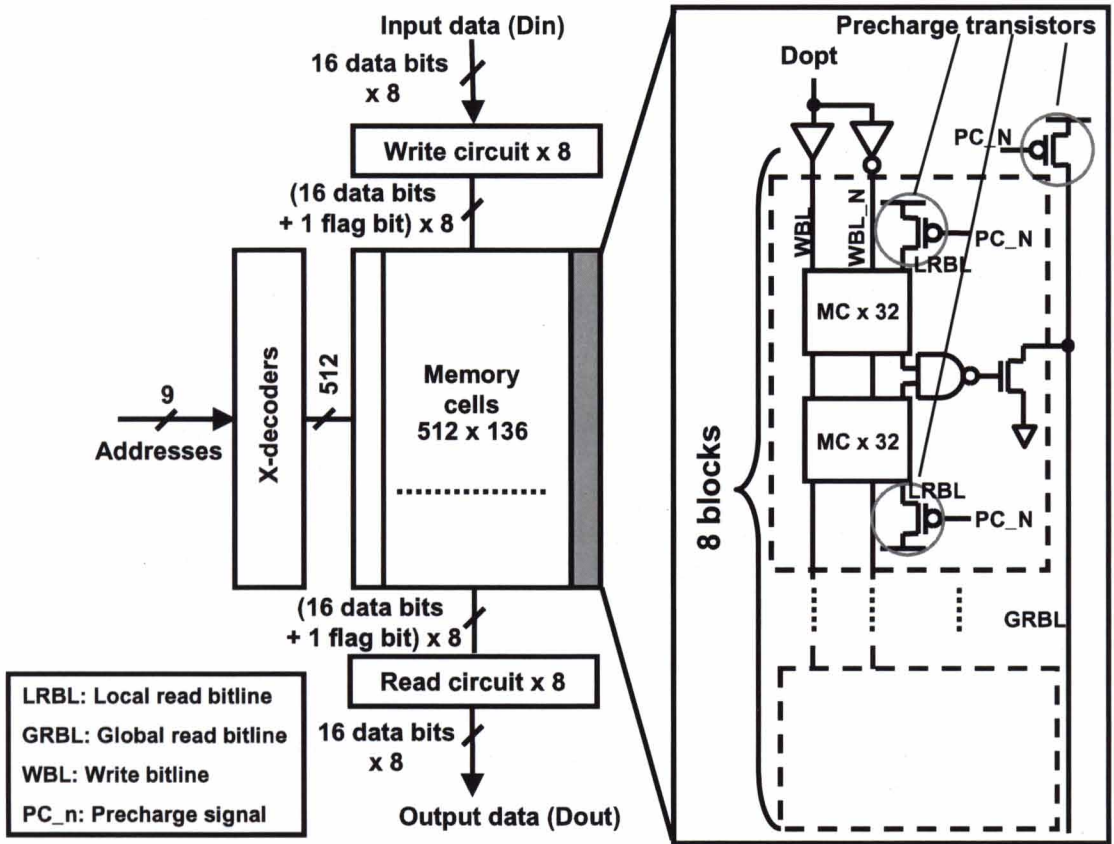


図 5.19 提案する 68-kb SRAM のブロック図。

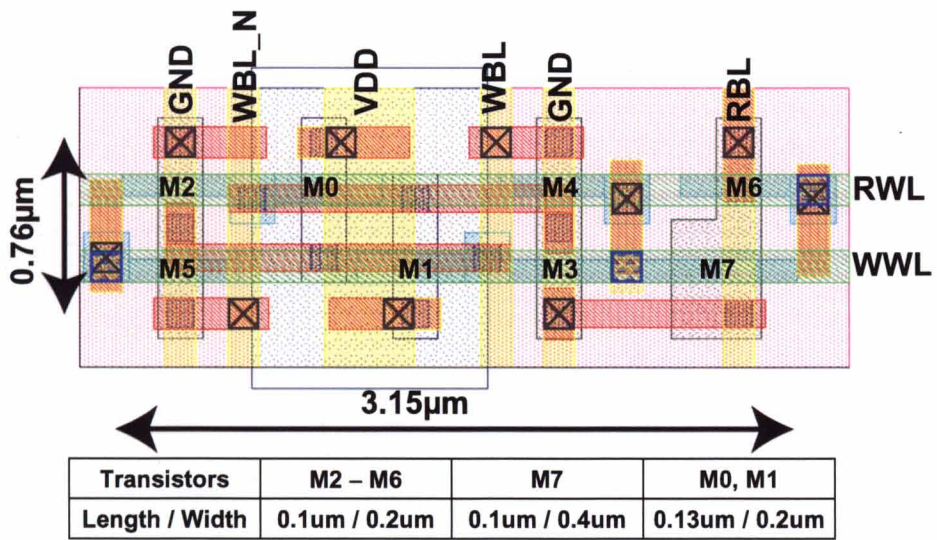


図 5.20 メモリセルのレイアウト。

5.5.3 多数決論理SRAM向けの書込み回路および読出し回路

提案 SRAM では、書込み動作時において入力データに対して多数決論理をとる必要があるため、書込み回路には多数決論理回路が必要となる。しかし、デジタルセルライブラリのみで多数決論理回路を構成する場合は 70 ゲート必要となるため、面積オーバーヘッドが大きくなる[40], [41].

図 5.21 に多数決論理回路を加えた書込み回路を示す。多数決論理回路はダイナミッククロジックによって構成されている。フリップフロップ(FF)に接続されたプルダウンネットワークが JL と JL_N の電荷の引き抜きを行い、センスアンプが JL と JL_N の電位差を増幅し、フラグビットの値が決定される。

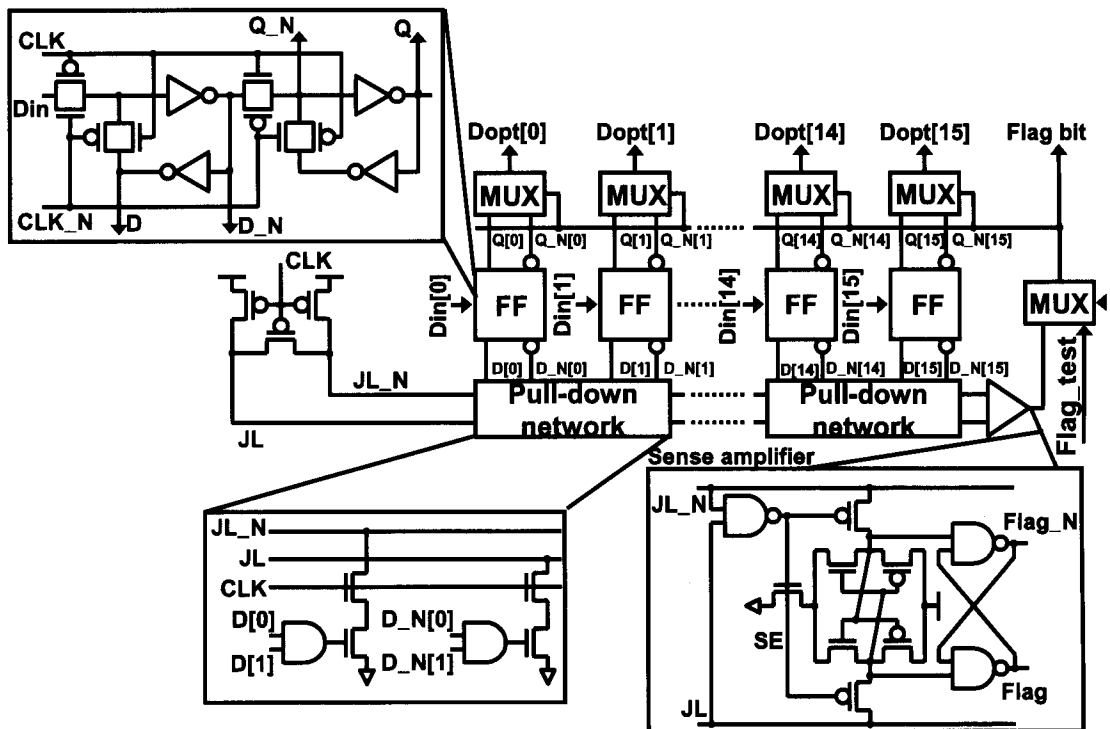


図 5.21 多数決論理回路を加えた書込み回路。

単純にダイナミックロジックを用いて 16bit の多数決論理を実装する場合、16 個のプルダウンネットワークにより多数決論理を判定しなければならないため、JL と JL_N の電位差が小さくなる可能性がある。そこで、提案する多数決論理回路では、JL と JL_N の電位差を大きくするために、AND ゲートを用いることにより、プルダウンネットワ

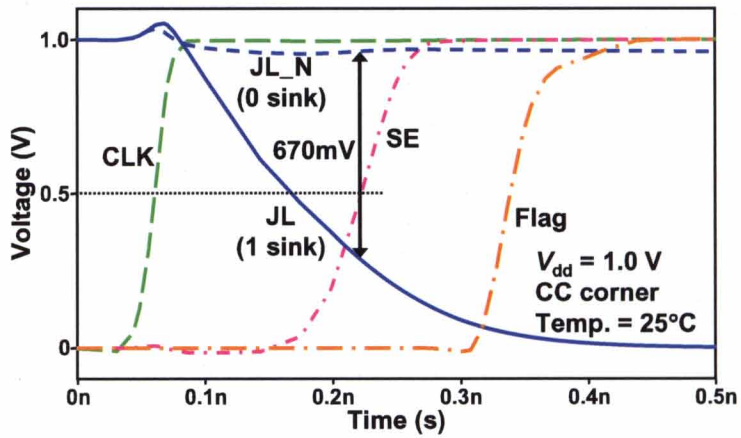
ークの個数を 16 個から 8 個に削減している。また、センスアンプの次段に MUX を追加することにより、テストモード時において、外部からフラグビットの値を入力することができる。

入力データの“1”の個数が 7 個，“0”の個数が 9 個の場合における多数決論理回路の動作波形を図 5.22 に示す。図 5.22(a)は JL のシンクパスが 1 個，JL_N のシンクパスが 0 個の場合の動作波形である。JL_N のシンクパスが 0 個であるため，JL_N はプリチャージレベル(VDD)の状態から変化しないので，センスアンプの入力の電位差(JL と JL_N)が 670mV と最も大きくなる。図 5.22(b)は JL のシンクパスが 4 個，JL_N のシンクパスが 3 個の場合の動作波形である。センスアンプの入力の電位差が 130mV となり，図 5.22(a)と比較して小さくなるが，センスアンプが正常な動作をするには十分な電位差である。

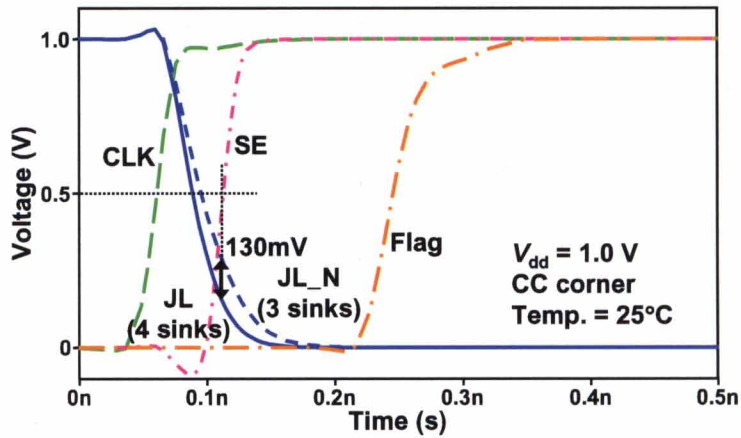
PVT が最悪条件(FS コーナー，電源電圧 0.9V， -40°C)における，動作波形を図 5.22(c) に示す。また，図 5.22(b)と同様，JL のシンクパスは 4 個，JL_N のシンクパスは 3 個である。PVT が最悪条件であったとしても，センスアンプの入力の電位差は 100mV 存在するため，センスアンプは正常に動作する。

入力データの“1”の個数と“0”の個数が同じで，JL と JL_N におけるシンクパスの個数が同じ場合において，JL と JL_N の電位差は発生しない。しかし，フラグビットの値はセットリセットフリップフロップにより，“1”もしくは“0”に決定される。“1”と“0”の個数が同じ場合，多数決論理による消費電力削減効果は小さくなる可能性があるが，フラグビットによって，メモリセルへの入力(Dopt[15:0])は決定されるため，動作に問題は発生しない。

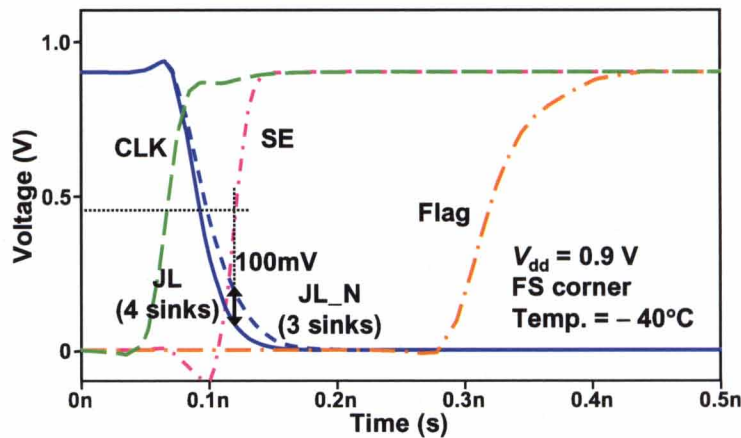
また，書込みワード線(WWL)の立ち上がりまでに，多数決論理回路によって入力データが決定されるので，多数決論理回路を追加したことによる速度オーバーヘッドは発生しない。



(a)



(b)



(c)

図 5.22 “1”の個数が7個，“0”の個数が9個の場合における多数決論理回路の動作波形: (a)JLのシンクパスが1個，JL_Nのシンクパスが0個，(b)JLのシンクパスが4個，JL_Nのシンクパスが3個，(c)PVT条件が最悪の場合におけるJLのシンクパスが4

個， JL_N のシンクパスが 3 個。

図 5.23 に元の入力データを復元するための読出し回路を示す。EX-OR を用いることにより，フラグビットの値と保持データから元の入力データを復元することができる。

また，テストモード時において，TEST 信号と Flag_test 信号を用いることにより，メモリセルに保持されている値を読出すことができる。

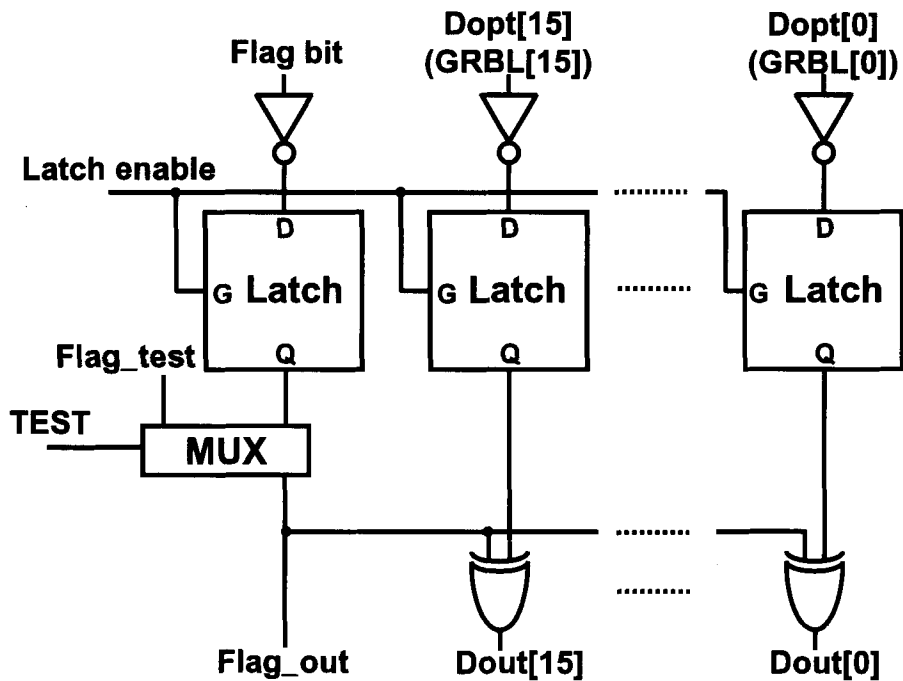


図 5.23 元の入力データを復元するための読出し回路。

5.6 実測結果

図 5.24 に 90-nm CMOS プロセスを用いて試作を行った 68-kb SRAM TEG のチップ写真およびレイアウトを示す。また，比較評価のために，従来の 64-kb SRAM TEG も同一チップに搭載されている。

フラグビット，多数決論理回路，EX-OR による面積オーバーヘッドは 7% である。また，電源電圧 1.0V におけるアクセスタイムの実測結果を図 5.25 アクセスタイムの実測結果に示す。提案 SRAM および従来 SRAM のアクセスタイムは，それぞれ 3.32 ns および 3.19 ns である。提案 SRAM のアクセスタイムのオーバーヘッドは読出し回路に

追加した MUX および EX-OR が原因である。

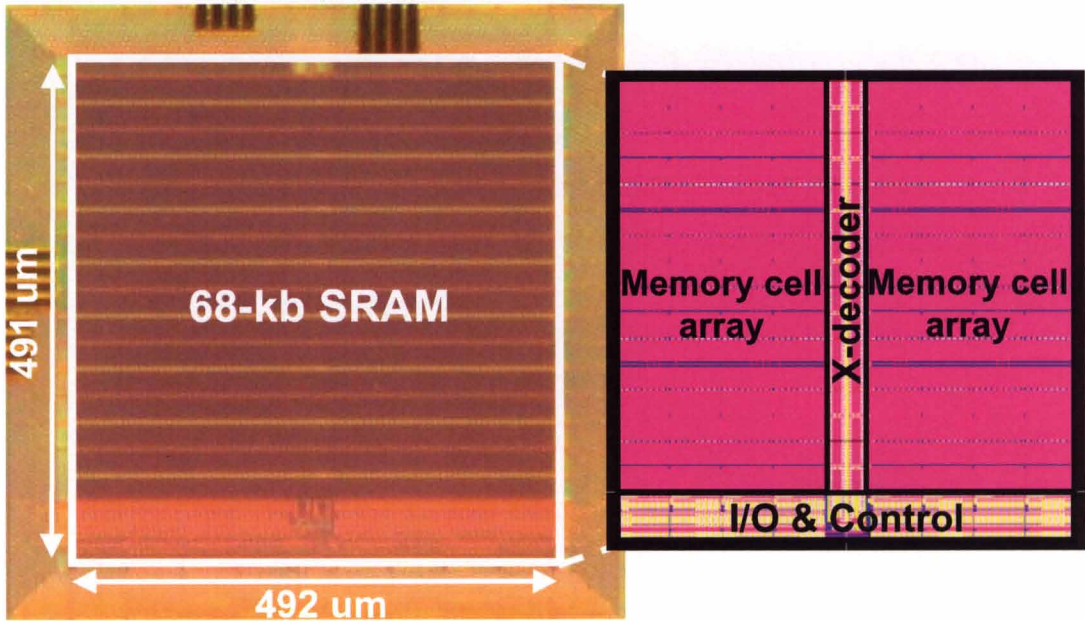


図 5.24 チップ写真およびレイアウト。

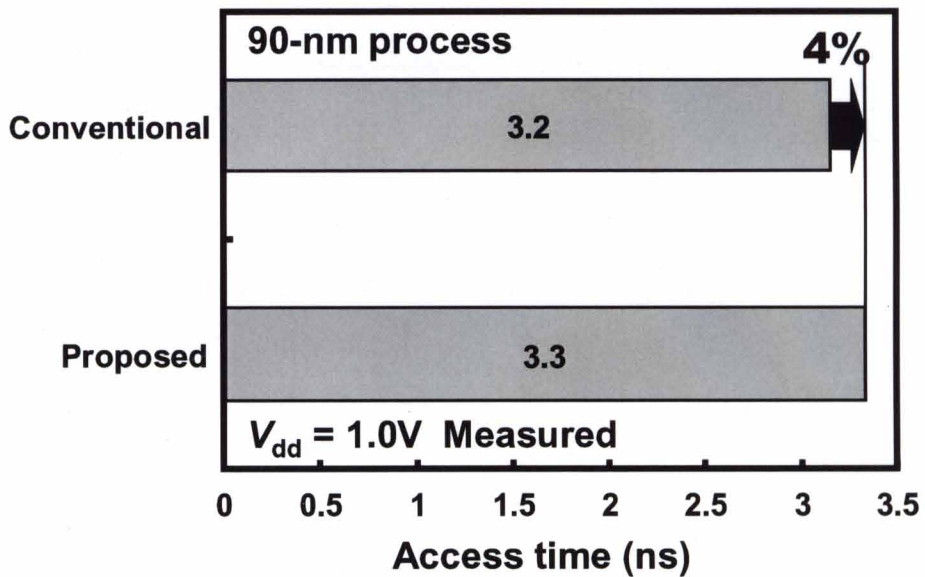


図 5.25 アクセスタイムの実測結果

図 5.26 にメモリセルのリーク電流の実測結果を示す。“1”を保持する場合，読出しドライブトランジスタ N4 のゲートリーク，および RBL に流れるビット線リークを削減することができるため，“0”を保持する場合と比較して，リーク電流を 36%削減する

ことができる。よって、多数決論理回路および Reordering 処理を用いて、保持データの“1”の個数を増加させることにより、読出しビット線の充放電電力を削減するだけでなく、リーク電力も削減することができる。

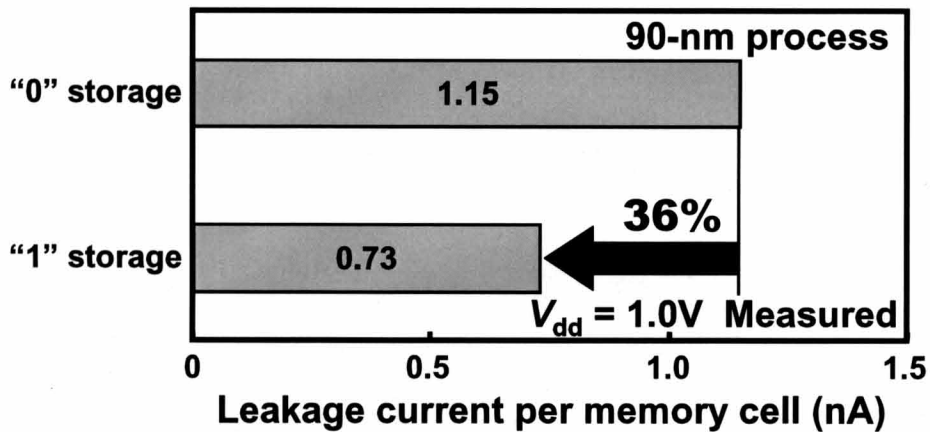


図 5.26 メモリセル1個あたりにおけるリーク電流の実測結果。

図 5.27 に電源電圧 1.0V、動作周波数 100MHz における、読出しビット線の充放電電力を示す。10 種類の標準テスト動画シーケンスにおいて、読出しビット線の充放電電力を平均で 45%削減することを実測により確認した。図 5.17, 図 5.18 と比較して消費電力削減効果が小さくなる理由を以下に示す。

- シミュレーションにおいて、“0”読出し時におけるフラグビットとデータビットの充放電電力は同じであると仮定していたが、実際の回路では、読出し回路の EX-OR を駆動する必要があるため、“0”読出し時におけるフラグビットのビット線充放電電力は、データビットのビット線充放電電力と比較して 1.6 倍大きくなる。
- 入力データの“0”と“1”の個数が同じ場合、シミュレーションではフラグビットの値を“1”になると仮定していたが、実際の回路では 5.5.3 で記述した通り、“1”になるとは限らない。

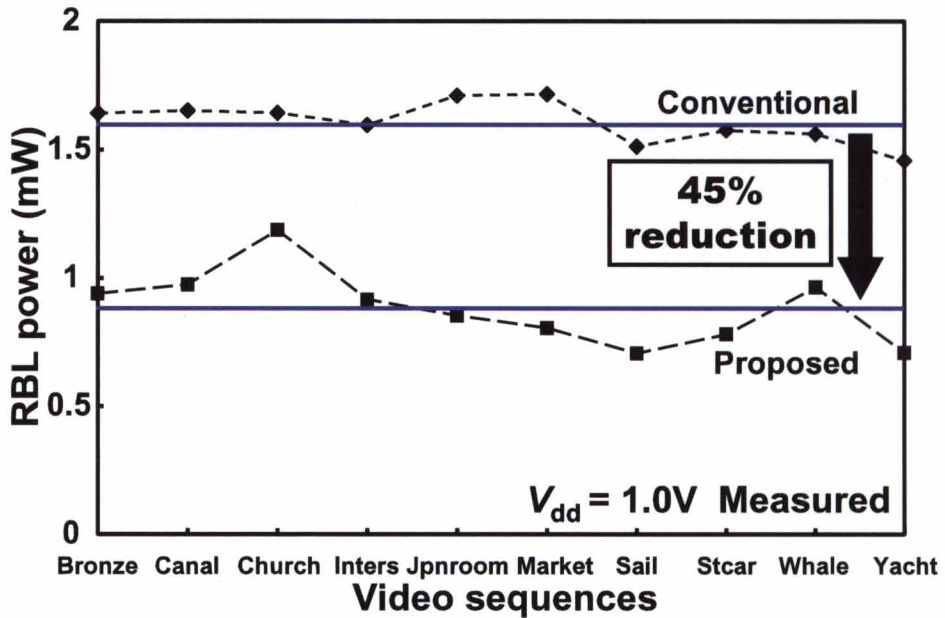


図 5.27 100MHz 動作時における読出しビット線電力削減効果の実測結果.

図 5.28 に電源電圧 1.0V, 動作周波数 300MHz における, 読出し動作時の全体電力を示す. 提案 SRAM を用いることにより, 読出し電力が 28%削減される.

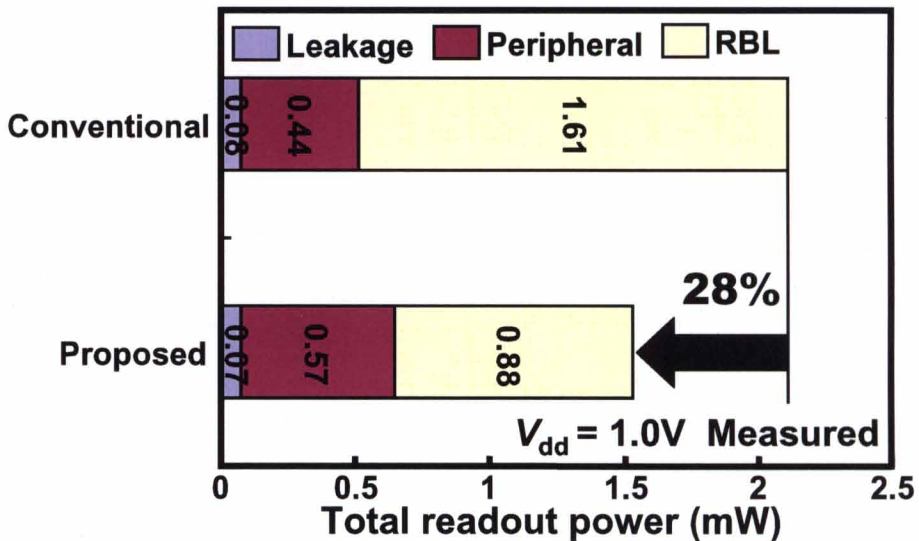


図 5.28 読出し動作電力の実測結果.

5.7 結言

多数決論理と Reordering 処理を用いて、実時間動画像処理に利用される 8T 2-port SRAM の読出しビット線充放電電力を削減する手法の提案を行った。90nm プロセスを用いて 68-kb SRAM を試作し実測することにより、提案手法を用いることで、読出しビット線充放電電力を 45%削減し、読出し動作電力を 28%削減することを確認した。また、速度オーバーヘッドおよび面積オーバーヘッドは、それぞれ 4%、7%となった。

本提案手法は標準動作電圧時においても低消費電力化を実現することができるため、プロセスの微細化が進み SRAM の低電圧動作が困難となる状況においても有効な手法である。

また、実時間動画像処理のみでなく、実時間動画像認識においても本手法を適用することにより、SRAM の低消費電力化を実現できると考えられる。

第6章 結論

本論文では、微細プロセスにおける SRAM の低消費電力化技術および高信頼化技術の要素技術について詳述した。

第3章 高信頼モードを有するディペンダブル SRAM

高信頼モードを有する 7T/14T ディペンダブル SRAM の提案を行った。提案した 7T/14T メモリセルは必要とされるメモリ容量，速度，信頼性に応じて，動的に3種類のモード(通常動作モード，高速動作モード，高信頼動作モード)を切り替えることができる。メモリセルの面積オーバーヘッドは追加するトランジスタが nMOS の場合 26%となり，pMOS の場合は 11%となる。

モンテカルロシミュレーションの結果から，ビット不良率が 10^{-8} となる点において，読出し動作時および書込み動作時における最低動作電圧が，それぞれ 0.21V, 0.26V 改善されることを確認した。提案した 7T/14T メモリセルは，誤り訂正符号(ECC: Error Correction Code)および多重化(MMR: Multi Module Redundancy)と比較して，より低いビット不良率を実現することができる。また，提案した 7T/14T メモリセルを使用することによる，速度オーバーヘッド，電力オーバーヘッドは発生しない。

さらに，提案した 7T/14T メモリセルにおけるハーフセレクト問題を回避するための新しいメモリセルアレイ構造の提案も行った。65-nm プロセスを用いて 64-kb SRAM を試作し，その実測結果から，14T メモリセルが 7T メモリセルよりも低いビット不良率を実現することを確認した。

本手法を用いることにより，システム LSI において新しいメモリ割り当て方法が可能となる。また，ユーザが動作環境，必要な信頼性，速度，電源電圧，アプリケーションなどに応じて，動的に SRAM の性能を変化させることが可能となる。

第4章 システムチックばらつきを補正する基板バイアス電圧制御技術

FD-SOI プロセスを用いた、システムチックばらつきを抑制することができる基板バイアス電圧制御回路の提案を行った。提案した基板バイアス電圧制御回路は、システムチックばらつきを自動的に検出し、補正することにより SRAM のメモリセルの動作マージンを改善することができる。

0.15-um FD-SOI プロセスを用いて、486-kb SRAM を試作し、実測することにより、動作下限電圧を 0.14V 改善し、0.46V で動作することを確認した。

本手法は、ランダムばらつきを抑制するデバイス構造、および第 3 章で提案した 7T/14T メモリセルと併せて用いることにより、システムチックばらつき、およびランダムばらつきの双方を抑制することが可能となる。

第5章 動画像処理応用 2-port SRAM の低消費電力化技術

多数決論理と Reordering 処理を用いて、実時間動画像処理に利用される 8T 2-port SRAM の読出しビット線充放電電力を削減する手法の提案を行った。

90nm プロセスを用いて 68-kb SRAM を試作し実測することにより、提案手法を用いることで、読出しビット線充放電電力を 45%削減し、読出し動作電力を 28%削減することを確認した。また、速度オーバーヘッドおよび面積オーバーヘッドは、それぞれ 4%、7%となった。

本提案手法は標準動作電圧時においても低消費電力化を実現することができるため、プロセスの微細化が進み SRAM の低電圧動作が困難となる状況においても有効な手法である。

また、実時間動画像処理のみでなく、実時間動画像認識においても本手法を適用することにより、SRAM の低消費電力化を実現することができると考えられる。

以上、本論文では、微細プロセスにおける SRAM の低消費電力化および高信頼化を実現するための要素技術について、回路設計技術からのアプローチとして、高信頼モードを有する 7T/14T メモリセルについて詳述した。プロセスと回路技術を組み合わせ

た協調設計技術として、FD-SOI プロセスを用いた基板バイアス電圧制御手法について詳述した。システム応用と回路技術を組み合わせた協調設計技術として、隣接画素相関性を利用した低消費電力動画像処理応用 2-port SRAM について詳述した。これらの技術を用いることにより、微細プロセスにおいて SRAM の低消費電力化および高信頼化が実現可能となる。

謝辞

本論文は、筆者が神戸大学大学院情報知能学専攻プロセッサアーキテクチャ研究室において行った研究成果をまとめたものである。

本研究の遂行に当たり、5年間、一貫して懇切なご指導とご鞭撻を賜った神戸大学大学院工学研究科教授 吉本雅彦先生に甚大なる謝意を表します。豊富な発想・知識により積極的かつ適切にご指導を賜った神戸大学大学院工学研究科准教授 川口博先生に厚く謝意を申し述べます。

また、本論文及び本研究に対して貴重なご助言を賜った神戸大学大学院工学研究科准教授 太田能先生、神戸大学大学院工学研究科准教授 永田真先生、神戸大学大学院工学研究科教授 羅志偉先生、神戸大学大学院工学研究科教授 沼昌宏先生に深く感謝の意を表します。

本研究に対して有益なご教示を賜った新居浩二博士、森田泰弘博士、宮越純一博士、村地勇一郎博士、鈴木利一博士、鈴木弘明博士に厚く感謝の意を表します。

本研究に関して有益な討論を行い、また助言をいただいた川上健太郎博士、金森美和子氏、竹村淳氏、野口紘希氏、黒田光彦氏、井口友輔氏、奥村俊介氏、山口幸介氏、吉本秀輔氏に深く感謝の意を表します。

国際学会発表の際、英語のプレゼンテーションの指導をしていただいた月野光先生に深く感謝の意を表します。

研究室配属から5年の間ともに研究室生活を過ごし、共に切磋琢磨できた竹内隆氏、松田隆志氏に深く感謝いたします。

研究室配属から修士号取得までの3年間の研究生活をともに過ごした、青西孝文氏、一圓真澄氏、長井健一氏、濱本真生氏、福山祐貴氏、山本亮氏に深く感謝いたします。

研究生活を共にし、多くのご助言とご協力をいただいた、峯岸孝行博士、三上真司博士、Augusto Foronda 博士、松野哲郎氏、芳野宏徳氏、飯沼隆弘氏、石原朋和氏、印芳氏、祇園昭宏氏、黒田光彦氏、樋口雄飛氏、吉野圭一氏、和泉慎太郎氏、大竹優氏、坂田義典氏、高橋巧至氏、矢倉健一郎氏、李赫鍾氏、李将充氏、上農哲也氏、小西恵大氏、谷純一氏、鶴田嵩氏、中田洋平氏、三浦和夫氏、水野孝祐氏、酒井康晴氏、岡頭久氏、藤永剛史氏、嶋井優介氏、高木智也氏、

竹内幸大氏，何光霽氏に深く感謝いたします。

学部4回生の8月から12月の4ヶ月間，金沢大学集積回路システム研究室でお世話になり，貴重な経験をさせていただいた，黒田雄樹氏，片桐忠義氏，浜野康司氏に深く感謝いたします。

また，研究生活のお世話をしていただいた泉由里絵氏，呉恵美氏に深く感謝いたします。

2008年1月から2008年3月の3ヶ月間，Takumi B.V., Eindhoven, Netherlands におけるインターンシッププログラムでお世話になり，生涯忘れることのできない経験をさせていただいた後藤彬文氏，馬場健志氏，川西宏博士，Maarten Berkens 氏，Marjolein Hilgers 氏，Kevin Haens 氏，Michiel Oostindie 氏，Mark Scheffer 氏，Simon Klaver 氏，Ekaterina Viatkina 氏，Elena Bortnik 氏，Frank Driessen 氏，Rene Beugels 氏，北川恭資氏，倉本聡氏，中島望氏，柴田有紀子氏，川上研一氏，柳澤伸氏，Elias Ahmed 氏に深く感謝の意を表します。

大学1回生から8年間，神戸大学柔道部においてご指導を賜った，神戸大学柔道部総監督 貴島徹先生，神戸大学発達科学部教授 岡田修一先生，神戸大学医学部教授 千原和夫先生，神戸大学柔道部コーチ 松雪博先生，豊学館佐伯道場館長 佐伯太郎先生に深く感謝の意を表します。

同期として神戸大学柔道部において入部し，大学1回生から4年間楽しい時間を共にし，切磋琢磨することができた近藤正樹氏，亀山智史氏，小山昭洋氏，高見直樹氏，岡向恵美氏に感謝いたします。また，神戸大学柔道部においてご指導，ご支援いただいた先輩方，後輩の皆様に深く感謝いたします。

本論文の第4章の研究内容は科学研究費補助金(20360161)の協力の下に行われた研究成果の一部です。また，LSI チップ試作は沖電気工業株式会社の協力で行われたものです。研究の技術的支援に関して，沖電気工業株式会社の谷幸一氏に感謝いたします。

本論文の第5章でのLSI チップ試作は東京大学大規模集積システム設計教育研究センター(VDEC)を通し，株式会社半導体理工学研究センター，富士通株式会社，松下電器産業株式会社，NEC エレクトロニクス株式会社，株式会社ルネサステクノロジ，株式会社東芝の協力で行われたものです。

試作チップの評価に関して，京都大学情報学研究科准教授 小林和淑先生，京都大

学情報学研究科助教 土谷亮先生，ならびに京都大学 VDEC サブセンターに感謝いたします。

研生活において奨学金の支給をしていただいた財団法人 井植記念会，奨学金の貸与をしていただいた財団法人 日本学生支援機構に深く感謝いたします。

神戸大学大学院工学研究科プロセッサアーキテクチャ研究室に在籍していた 5 年間，暖かく支えていただいた林佐知世氏に深く感謝いたします。

最後に，丈夫な体に生んでくれた両親，これまで支えてくれた兄弟に感謝いたします。

参考文献

- [1] ITRS, "International Technology Roadmap for Semiconductors," 2003. [Online]. Available: <http://www.itrs.net/Common/2003ITRS/Home2003.htm>.
- [2] E. Seevinck, F. J. List, and J. Lohstroh, "Static-Noise Margin Analysis of MOS SRAM Cells," *IEEE J. Solid-State Circuits*, vol. 22, no. 5, pp. 748-754, October 1987.
- [3] E. Grossar, M. Stucchi, K Maex, and W. Dehaene, "Statically Aware SRAM Memory Array Design," 7th Int. Symposium on Quality Electronic Design (ISQED 2006), pp. 25-30, March 2006.
- [4] P. A. Stolk, F. P. Widdershoven, and D. B. M. Klaassen, "Modeling Statistical Dopant Fluctuations in MOS Transistors," *IEEE Trans. Electron Devices*, vol. 45, no. 9, pp. 1960-1971, Sep. 1998.
- [5] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching Properties of MOS Transistors," *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1440, Oct. 1989.
- [6] A. Bellaouar, A. Fridi, M. I. Elmasry, and K. Itoh, "Supply voltage scaling for temperature-insensitive CMOS circuit operation," *IEEE Trans. Circuits Syst.*, vol. 45, pp. 415-417, Mar. 1998.
- [7] K. Kanda, K. Nose, H. Kawaguchi, T. Sakurai, "Design Impact of Positive Temperature Dependence on Drain Current in Sub-1-V CMOS VLSIs," *IEEE J. Solid-State Circuits*, vol. 36, no. 10, Oct. 2001.
- [8] V. Huard and M. Denais, "Hole Trapping Effect on Methodology for DC and AC Negative Bias Temperature Instability Measurements in pMOS Transistors," *Proc. IEEE IRPS 2004*, pp. 40-45, Apr. 2004.
- [9] M. Ball, J. Rosal, R. McKee, WK Loh, T. Houston, R. Garcia, J. Raval, D. Li, R. Hollingsworth, R. Gury, R. Eklund, J. Vaccani, B. Castellano, F. Piacibello, S. Ashburn, A. Tsao, A. Krishnan, J. Ondrusek, and T. Anderson, "A Screening Methodology for VMIN Drift in SRAM Arrays with Application to Sub-65nm Nodes," *IEDM 2006*, Dec. 2006.
- [10] A. T. Krishnan, V. Reddy, D. Aldrich, J. Raval, K. Christensen, J. Rosal, C. O'Brien, R. Khamankar, A. Marshall, W-K. Loh, R. McKee, and S. Krishnan, "SRAM Cell Static

- Noise Margin and VMIN Sensitivity to Transistor Degradation,” IEDM 2006, Dec. 2006.
- [11] H. Pilo, J. Barwin, G. Bracer, C. Browning, S. Burns, J. Gabric, S. Lamphier, M. Miller, A. Roberts, F. Towler, “An SRAM Design in 65nm and 45nm Technology Nodes Featuring Read and Write-Assist Circuits to Expand Operating Voltage,” 2006 Symposium on VLSI Circuits Digest of Technical Papers, pp. 15-16, June 2006.
- [12] N. Verma, A. P. Chandrakasan, “A 65nm 8T Sub-Vt SRAM Employing Sense-Amplifier Redundancy,” ISSCC 2007 Digest of Technical Paper, pp. 328-329, February 2007.
- [13] T. H. Kim, J. Liu, J. Keane, C. H. Kim, “A High-Density Subthreshold SRAM with Data-Independent Bitline Leakage and Virtual Ground Replica Scheme,” ISSCC 2007 Digest of Technical Papers, pp. 330-331, February 2007.
- [14] I. J. Chang, J. J. Kim, S. P. Park, and K. Roy, “A 32kb 10T Subthreshold SRAM Array with Bit-Interleaving and Differential Read Scheme in 90nm CMOS,” ISSCC 2008 Digest of Technical Papers, pp. 398-300, February 2008.
- [15] M. Yamaoka, N. Maeda, Y. Shinozaki, Y. Shimazaki, K. Nii, S. Shimada, K. Yanagisawa, and T. Kawahara, “90-nm process-variation adaptive embedded SRAM modules with power-line-floating write technique,” IEEE J. Solid-State Circuits, vol. 41. no. 3, pp. 705-711, March 2006.
- [16] Y. Morita, H. Fujiwara, H. Noguchi, K. Kawakami, J. Miyakoshi, S. Mikami, K. Nii, H. Kawaguchi, and M. Yoshimoto, “A Vth-Variation-Tolerant SRAM with 0.3-V Minimum Operation Voltage for Memory-Rich SoC under DVS Environment,” 2006 Symposium on VLSI Circuits Digest of Technical Papers, pp. 16-17, June 2006.
- [17] K. Kawakami, J. Takemura, M. Kuroda, H. Kawaguchi, and M. Yoshimoto, “A 50% Power Reduction in H.264/AVC HDTV Video Decoder LSI by Dynamic Voltage Scaling in Elastic Pipeline,” IEICE Trans. Fundamentals, vol. E89-A, no. 12, pp. 3642-3651, December 2006.
- [18] K. Nii, Y. Tsukamoto, T. Yoshizawa, S. Imaoka, Y. Yamagami, T. Suzuki, A. Shibayama, H. Makino, and S. Iwade, “A 90-nm low-power 32-kB embedded SRAM with gate leakage suppression circuit for mobile applications,” IEEE J. Solid-State Circuits, vol. 39. no. 4, pp. 684-693, April 2004.
- [19] T. Suzuki, Y. Yamagami, I. Hatanaka, A. Shibayama, H. Akamatsu, and H. Yamauchi, “A

- Sub-0.5-V Operating Embedded SRAM Featuring a Multi-Bit-Error-Immune Hidden-ECC Scheme,” *IEEE J. Solid-State Circuits*, vol. 41. no. 1, pp. 152-160, January 2006.
- [20] K. Osada, Y. Saitoh, E. Ibe, and K. Ishibashi, “16.7 fA/cell tunnel-leakage-suppressed 16 Mb SRAM for handling cosmic-ray-induced multi-errors,” *IEEE J. Solid-State Circuits*, vol. 38, no. 11, pp. 1952-1957, November 2003.
- [21] J. Maiz, S. Hareland, K. Zhang, and P. Armstrong, “Characterization of Multi-bit Soft Error Events in Advanced SRAMs,” *IEDM 2003 Digest of Technical Papers*, pp. 519-522, December 2003.
- [22] J. F. Wakerly, “Microcomputer Reliability Improvement Using Triple-Modular Redundancy,” *Proceedings of the IEEE*, vol. 64, no. 6, pp. 889-895, June 1976.
- [23] C-H. Chen, and A. K. Somani, “Fault-Containment in Cache Memories for TMR Redundant Processor Systems,” *IEEE Trans. on Computers*, vol. 48, no. 4, pp. 386-397, April 1999.
- [24] H. Yamauchi, T. Suzuki, and Y. Yamagami, “A 1R/1W SRAM Cell Design to Keep Cell Current and Area Saving against Simultaneous Read/Write Disturbed Accesses,” *IEICE Trans. Electronics*, vol. E90-C, no. 4, pp. 749-757, April 2007.
- [25] S. Mukhopadhyay, K. Kim, H. Mahmoodi, A. Datta, D. Park, and K. Roy, “Self-Repairing SRAM for Reducing Parametric Failures in Nanoscaled Memory,” *Digest of Technical Papers of Symposium on VLSI Circuits*, pp. 132-133, July, 2006.
- [26] M. Yamaoka, R. Tsuchiya, and T. Kawahara, “SRAM Circuits with Expanded Operating Margin and Reduced Stand by Leakage Current Using Thin-BOX FD-SOI Transistors”, *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 11, pp.2366-2372, November, 2006.
- [27] M.Yamaoka, N.Shinozaki, Y.Shimazaki, K.Nii, S.Shimada, K.Yanagisawa, Y.Kawahara, “90-nm process-variation adaptive embedded SRAM modules with power-line-floating write technique”, *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 3, pp.705-711, March, 2006.
- [28] 吉見信, “SOI デバイス技術ー実践的基礎と応用ー, ” ED リサーチ社, 2005 年 1 月 25 日.
- [29] T. Sakurai, A. Matsuzawa and T. Douseki, “Fully-Depleted SOI CMOS Circuits and

- Technology for Ultralow-Power Applications,” Springer-Verlag New York Inc., June, 2006.
- [30] M. Yamaoka, K. Osada, R. Tsuchiya, M. Horiuchi, S. Kimura and T. Kawahara, “Low power SRAM Menu for SoC Application Using Yin-Yang-Feedback Memory Cell Technology,” IEEE Symp. VLSI Circuits Dig. Tech. Papers, pp. 288-291, June 2004.
- [31] S.Sundareswaran, J.A.Abraham, A.Ardelea, R.Panda,,” Characterization of Standard Cells for Intra-Cell Mismatch Variations”, Quality Electronic Design, 2008. ISQED 2008. 9th International Symposium on, pp.213-219, March, 2008.
- [32] M. Fujiwara, T.Morooka, N.Yasutake, K.Ohuchi, N.Aoki, H.Tanimoto, M.Kondo, K.Miyano, S.Inaba, K.Ishimaru, H.Ishiuchi, ” Impact of BOX scaling on 30 nm gate length FD SOI MOSFET”, SOI Conference, 2005. Proceedings. 2005 IEEE International, pp.180-182, October, 2005.
- [33] T.Ohtou, N.Sugii, T.Hiramoto, ” Impact of Parameter Variations and Random Dopant Fluctuations on Short-Channel Fully Depleted SOI MOSFETs With Extremely Thin BOX”, Electron Device Letters, IEEE ,Vol.28,No.8, pp.740-742,August,2007.
- [34] J. Miyakoshi, Y. Murachi, K. Hamano, T. Matsuno, M. Miyama, and M. Yoshimoto, “A Low-Power Systolic Array Architecture for Block-Matching Motion Estimation,” IEICE Trans. Electronics, vol. E88-C, No. 4, pp. 559-569, Apr. 2005.
- [35] Y. Murachi, K. Hamano, T. Matsuno, J. Miyakoshi, M. Miyama, and M. Yoshimoto, “A 95 mW MPEG2 MP@HL Motion Estimation Processor Core for Portable High-Resolution Video Application,” IEICE Trans. Fundamentals, vol. E88-A, no. 12, pp. 3492-3499, Dec. 2005.
- [36] S. Ishiwata, T. Yamakage, Y. Tsuboi, T. Shimazawa, T. Kitazawa, S. Michinaka, K. Yahagi, A. Oue, T. Kodama, N. Matsumoto, T. Kamei, M. Saito, T. Miyamori, G. Ootomo, and M. Matsui, “A Single-Chip MPEG-2 Codec Based on Customizable Media Embedded Processor,” IEEE J. Solid-State Circuits, vol. 38, no. 3, pp. 530-540, Mar. 2003.
- [37] Y-W. Huang, T-C. Chen, C-H.Tsai, C-Y. Chen, T-W. Chen, C-S. Chen, C-F. Shen, S-Y. Ma, T-C. Wang, B-Y. Hsieh, H-C. Fang, and L-G. Chen, “A 1.3TOPS H.264/AVC Single-Chip Encoder for HDTV Applications,” IEEE Int. Solid-State Circuits Conf., pp. 128-129, Jan. 2005.
- [38] K. Takeda, Y. Hagihara, Y. Aimoto, M. Nomura, Y. Nakazawa, T. Ishii, and H. Kobatake,

- “A Read-Static-Noise-Margin-Free SRAM Cell for Low-V_{dd} and High-Speed Applications,” *IEEE J. Solid-State Circuits*, vol. 41, no. 1, pp. 113-121, Jan. 2006.
- [39] J. Pille, C. Adams, T. Christensen, S. Cottier, S. Ehrenreich, F. Kono, D. Nelson, O. Takahashi, S. Tokito, O. Torreiter, O. Wagner, D. Wendel, “Implementation of the CELL Broadband Engine in a 65nm SOI Technology Featuring Dual-Supply SRAM Arrays Supporting 6 GHz at 1.3V,” *IEEE Intl. Solid-State Circuits Conf.*, pp. 322-323, Feb. 2007.
- [40] M. R. Stan, and W. P. Burlison, “Bus-Invert Coding for Low Power I/O,” *IEEE Trans. VLSI Systems*, vol. 3, no. 1, pp. 49-58, Mar. 1995.
- [41] Y. Shin, and K. Choi, “Narrow Bus Encoding for Low Power Systems,” *Asia and South Pacific Design Automation Conf.*, pp.217-220, Jan. 2000.

著者の研究業績目録

A. 学会誌論文 (筆頭論文, 査読有)

1. H. Fujiwara, K. Nii, H. Noguchi, J. Miyakoshi, Y. Murachi, Y. Morita, H. Kawaguchi, and M. Yoshimoto, "Novel Video Memory Reduces 45% of Bitline Power using Majority Logic and Data-Bit Reordering," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 16, no. 6, pp. 620-627, June 2008.
2. H. Fujiwara, S. Okumura, Y. Iguchi, H. Noguchi, H. Kawaguchi, and M. Yoshimoto, "A Dependable SRAM with 7T/14T Memory Cells," IEICE Trans. Electron, April 2009.

B. 国際会議(筆頭論文, 査読有)

1. H. Fujiwara, S. Okumura, Y. Iguchi, H. Noguchi, Y. Morita, H. Kawaguchi, and M. Yoshimoto, "Quality of a Bit (QoB): A New Concept in Dependable SRAM," 9th International Symposium on Quality Electronic Design (ISQED 2008), San Jose, California, pp. 98-102, USA, March 2008.
2. H. Fujiwara, S. Okumura, Y. Iguchi, H. Noguchi, H. Kawaguchi, and M. Yoshimoto, "A 7T/14T Dependable SRAM and Its Array Structure to Avoid Half Selection," International Conference on VLSI Design 2009, New Delhi, India, pp. 295-300, Jan. 2009.
3. H. Fujiwara, T. Takeuchi, Y. Otake, M. Yoshimoto, and H. Kawaguchi, "An Inter-Die Variability Compensation Scheme for 0.42-V 486-kb FD-SOI SRAM using Substrate Control," 2008 IEEE International SOI Conference, pp. 93-94, New Paltz, New York, USA, Oct. 2008.
4. H. Fujiwara, K. Nii, J. Miyakoshi, Y. Murachi, Y. Morita, H. Kawaguchi, and M. Yoshimoto, "A Two-Port SRAM for Real-Time Video Processor Saving 53% of Bitline Power with Majority Logic and Data-Bit Reordering," International Symposium on Low Power Electronics and Design (ISLPED), pp.61-66, Tegernsee, Germany, Oct. 2006.

C.本研究に関するその他の発表(査読無)

1. 藤原英弘, 奥村俊介, 井口友輔, 野口紘希, 川口博, 吉本雅彦, “7T/14T ディペンダブル SRAM およびそのセル配置構造,” 電子情報通信学会総合大会, 2009 年 3 月.
2. 奥村俊介, 藤原英弘, 井口友輔, 野口紘希, 森田泰弘, 川口博, 吉本雅彦, “高信頼性モードと高速アクセスモードを有するディペンダブル SRAM,” システム LSI 設計技術(SLDM)研究報告, 2008-SLDM-135, Vol.2008 No.38, pp.67-72, 電子情報通信学会技術研究報告, VLD2008-12, pp.31-36, 2008 年 5 月.
3. 山口幸介, 藤原英弘, 竹内隆, 大竹優, 吉本雅彦, 川口博, “システマチックばらつき補正機能を有する基板バイアス電圧制御を用いた 0.42V 動作 486-kb FD-SOI SRAM,” 電子情報通信学会技術研究報告, 2008 年 12 月.
4. 藤原英弘, 新居浩二, 野口紘希, 宮越純一, 村地勇一郎, 森田泰弘, 川口博, 吉本雅彦, “ビット線の電力を削減する実時間動画像処理応用 2-port SRAM,” 電子情報通信学会技術研究報告, ICD2007-7, Vol.107, No.1, pp.35-40, 2007 年 4 月.
5. 藤原英弘, 新居浩二, 宮越純一, 村地勇一郎, 森田泰弘, 川口博, 吉本雅彦, “ビット線電力を 53%削減できる実時間動画像処理応用 2 ポート SRAM,” 第 10 回システム LSI ワークショップ ポスタセッション, pp.223-226, 2006 年 11 月.
6. 藤原英弘, 新居浩二, 野口紘希, 宮越純一, 村地勇一郎, 森田泰弘, 川口博, 吉本雅彦, “ビット線充放電電力を 53%削減する動画像処理応用 2-port SRAM,” 2006 電子情報通信学会ソサイエティ大会講演論文集, C-12-42, p.103, 2006 年 9 月.

D.本研究に関する特許出願

1. 吉本雅彦, 川口博, 藤原英弘, 奥村俊介, “半導体メモリのハーフセレクト防止セル配置,” 特願 2009-000012(2009 年 1 月 4 日出願).
2. 吉本雅彦, 川口博, 藤原英弘, 奥村俊介, “半導体メモリおよびプログラム,” 特願 2008-000357(2008 年 1 月 7 日出願).
3. 藤原英弘, 宮越純一, 村地勇一郎, 川口博, 吉本雅彦, 新居浩二, “半導体装置,” 特願 2006-237637(2006 年 9 月 1 日出願).