



微細化CMOSスタティックRAMの低消費電力化・高信頼化設計に関する研究

藤原, 英弘

(Degree)

博士 (工学)

(Date of Degree)

2009-03-25

(Date of Publication)

2013-07-30

(Resource Type)

doctoral thesis

(Report Number)

甲4612

(URL)

<https://hdl.handle.net/20.500.14094/D1004612>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



氏 名 藤原 英弘
博士の専攻分野の名称 博士（工学）
学 位 記 番 号 博い第 4612 号
学位授与の要件 学位規則第 5 条第 1 項該当
学位授与の日付 平成 21 年 3 月 25 日

【 学位論文題目 】

微細化 CMOS スタティック RAM の低消費電力化・高信頼化設計に関する研究

審 査 委 員

主 査 教 授 吉本 雅彦
教 授 羅 志偉
教 授 沼 昌宏
准教授 川口 博

本論文は、微細化CMOSスタティックRAM(SRAM: Static Random Access Memory)の低消費電力化および高信頼化回路設計技術に関する研究成果をまとめたものである。

近年、システムLSIは様々な産業の基幹を担っており、システムLSIの信頼性の向上および低消費電力化がますます重要となってきた。また、システムLSIには処理データを記憶するメモリとして、高速、低消費電力、周辺回路が簡素、論理演算部との混載が容易などという理由から、SRAMが広く用いられている。今後、コンピュータシステムにさらに高い処理能力が要求され、システムLSIにおける処理データ量が大規模化するにしたがって、システムLSIに搭載されるSRAMの記憶容量が増大することが予想されている。

以上の理由から、システムLSIの低消費電力化および高信頼化のためには、SRAMの低消費電力化および高信頼化を行うことが最も重要な課題となる。しかし、MOSトランジスタの製造プロセスの微細化が進むにつれて、チップ間およびチップ内におけるMOSトランジスタのしきい値電圧ばらつきが増大することにより、メモリセルの安定動作性が低下し、SRAMの低電圧動作性の確保、および信頼性の維持が困難となる。

本論文は6章で構成されており、第1章は序論である。第2章では、低消費電力化および高信頼化に向けたSRAMの課題について述べる。

第3章 高信頼モードを有するディベンダブルSRAM

回路設計技術による低消費電力化および高信頼化手法として、高信頼モードを有する7T/14T SRAMについて詳述する。上記のとおりMOSトランジスタのしきい値ばらつきが増大することにより、SRAMの動作安定性が阻害される。それに加えて、温度の変化、供給電圧の低下といった動作環境の変化によってもSRAMの動作安定性は低下する。また、暗号化プログラム、個人情報のデータと、スクリーンセーブプログラムで扱うデータの重要性が異なるように、アプリケーションによって要求されるデータの信頼性は異なる。

提案したSRAMは必要なメモリの容量、電力、温度条件、速度、必要とされる信頼性に応じて、ブロック単位で、1) 従来の6Tセルと同様の動作を行う通常モード、2) 高速アクセスが可能な高速モード、3) 動作安定性が高い高信頼性モード、の3つの動作モードに動的に切り替えることができる。通常モードでは7Tセルに1bitのデータを保持し、高速モードおよび高信頼性モードでは14Tセルに1bitのデータを保持する。

65nmプロセスを用いてモンテカルロシミュレーションを行った結果、ビット不良率が 10^{-8} となる点で、14Tセルは7Tセルと比較して、読出し動作の動作下限電圧を0.21V、書込み動作の動作下限電圧を0.26V改善することを確認した。また、提案したSRAMの高信頼性モードは、ECC(Error Correction Code)およびMMR(Multi Module Redundancy)を従来の6Tセルに用いた場合よりも低いビット不良率を実現することができる。また、65-nmプロセスを用いて64-kb SRAMを試作し、実測した結果、14Tセルは7Tセルよりも0.12V低電圧で動作することを確認した。

第4章 システムマチックばらつきを補正する基板バイアス電圧制御技術

第4章では、プロセスと回路技術の協調設計による低消費電力化手法として、FD-SOIプロセスを用いたシステムマチックばらつきを補正する基板バイアス電圧制御技術について詳述する。システムマチックばらつきは製造過程、方法に依存する。システムマチック成分のしきい値電圧ばらつきを抑えるために、すでにバルクプロセスに対する基板バイアス制御技術が提案されている。しかし、バルクプロセスにおいて順方向バイアス電圧を用いる場合、接合リークが増大する。また、微細プロセスに対して逆方向バイアス電圧を用いる場合、GIDL(Gate Induced Drain Leakage)が問題となる。よって、バルクプロセスに対して、基板バイアス制御を用いる場合、基板バイアス電圧を印加できる範囲が制限されてしまうため、しきい値電圧の調整を広い範囲で行うことができない。

一方、FD-SOIプロセスには、1) サブスレッショルドリークが小さい、2) 順方向バイアス電圧を用いる場合において接合リークが問題にならない、という利点があるため、基板バイアス制御技術に適している。すでにFD-SOIプロセスにおいても基板バイアス制御技術が提案されているが、特殊プロセスが必要であり、さらに、速度オーバーヘッド、面積オーバーヘッドが発生するという問題があった。

本研究では、FD-SOIプロセスにおいて、自動的にチップ間のしきい値電圧ばらつきを検出し、SRAMの動作マージンが最大となるように補正を行う基板バイアス制御回路を提案した。0.15 μ m FD-SOIデバイスを用いて486-kb SRAMを試作し、実測した結果、提案した基板バイアス制御回路を用いることにより、SRAMの動作下限電圧を0.14V改善し、0.42Vでの動作を確認した。

第5章 動画処理応用2-port SRAMの低消費電力化技術

第5章ではシステム応用・回路技術の協調設計による低消費電力化手法では、動画処理応用マルチポートSRAMの低消費電力化技術について詳述する。実時間動画処理プロセッサにおいてもメモリの面積の割合は増大してきている。HDTV対応のH.264エンコーダにも、サーチウィンドバッファとして少なくとも500-kbのメモリが必要であり、全消費電力のうち40%が消費されると予想されている。また、プロセスの微細化が進むにつれて大容量のSRAMがフレームバッファや再構成画像メモリに実装され、消費電力の大部分を占めると考えられる。

そこで、本研究では、動画の持つ隣接画素相関性を利用し、実時間動画処理に適した低消費電力2-port SRAMの提案を行った。一般的に、動画処理用におけるSRAMの電力では、書込み動作電力よりも、読出し動作電力の占める割合が大きい。さらに、読出し電力のうち、ビット線の充放電電力の占める割合が大きいため、ビット線の充放電電力を小さくすることで、動画処理SRAMを低消費電力化できる。

(氏名： 藤原 英弘 No. 3)

読出し動作時において“1”を読出す場合にはビット線の充放電電力は発生しないが、“0”を読出す場合にはビット線の充放電電力が発生する。そこで、読出しビット線の充放電電力を最小にするために、書込み動作時において、入力データの“0”の個数が“1”の個数よりも多い場合、多数決論理回路を用いて入力データの反転を行う多数決論理SRAMの提案を行った。さらに多数決論理回路をより効果的に利用するために、動画像の持つ隣接画素相関性に着目し、画像データをビットごとに並べ替えるReordering処理の提案を行った。

90-nmプロセスを用いて68-kb SRAMの試作を行い、実測した結果、H.264で符号化したHDTV解像度の再構成画像に対して、提案した手法を用いることにより、読出し動作電力を28%削減することを確認した。

最後に、第6章において本論文の結論について記述する。

本論文では、微細化CMOSのためのSRAMの低消費電力化および高信頼化を実現するための要素技術について記述した。回路設計技術からのアプローチとして、高信頼モードを有する7T/14Tメモリセルについて詳述した。プロセスと回路技術を組み合わせた協調設計技術として、FD-SOIプロセスを用いた基板バイアス電圧制御手法について詳述した。システム応用と回路技術を組み合わせた協調設計技術として、隣接画素相関性を利用した低消費電力動画像処理応用2-port SRAMについて詳述した。これらの技術を用いることにより、微細化CMOS SRAMの低消費電力化および高信頼化が実現可能となる。

氏名	藤原 英弘		
論文題目	「微細化 CMOS スタティック RAM の低消費電力化・高信頼化設計に関する研究」		
審査委員	区分	職名	氏名
	主査	教授	吉本 雅彦
	副査	教授	沼 昌宏
	副査	教授	羅 志偉
	副査	准教授	川口 博

甲

要 旨

近年、システム LSI は様々な産業の基幹を担っており、システム LSI の信頼性の向上および低消費電力化がますます重要となってきている。また、システム LSI には処理データを記憶するメモリとして、高速、低消費電力、周辺回路が簡素、論理演算部との混載が容易などという理由から、SRAM が広く用いられている。今後、コンピュータシステムにさらに高い処理能力が要求され、システム LSI における処理データ量が大幅に増加するにたがって、システム LSI に搭載される SRAM の記憶容量が増大することが予想されている。

以上の理由から、システム LSI の低消費電力化のためには、SRAM の低消費電力化を行うことが最も重要な課題となる。また、LSI の低消費電力化のためには、動作電圧の低電圧化が効果的である。しかし、MOS トランジスタの製造プロセスの微細化が進むにつれて、チップ間およびチップ内における MOS トランジスタのしきい値電圧ばらつきが増大することにより、メモリセルの安定動作性が低下し、SRAM の低電圧動作性を確保することが困難となる。したがって、製造ばらつき耐性を有する高信頼性設計技術の開発も課題である。

本論文は 6 章で構成されており、第 1 章は序論である。第 2 章では、低消費電力化および高信頼化に向けた SRAM の具体的課題について述べる。

第 3 章では、回路設計技術による低消費電力化および高信頼化手法として、高信頼モードを有する 7T/14T SRAM について詳述する。上記のとおり MOS トランジスタのしきい値ばらつきが増大することにより、SRAM の動作安定性が阻害される。それに加えて、温度の変化、供給電圧の低下といった動作環境の変化によっても SRAM の動作安定性は低下する。また、暗号化プログラム、個人情報のデータと、スクリーンセーブプログラムで扱うデータの重要性が異なるように、アプリケーションによって要求されるデータの信頼性は異なる。提案した SRAM は必要なメモリの容量、電力、温度条件、速度、必要とされる信頼性に応じて、ブロック単位で、1) 従来の 6T セルと同様の動作を行う通常モード、2) 高速アクセスが可能な高速モード、3) 動作安定性が高い高信頼モード、の 3 つの動作モードに動的に切り替えることができる。通常モードでは 7T セルに 1bit のデータを保持し、高速モードおよび高信頼モードでは 14T セルに 1bit のデータを保持する。65nm プロセスを用いてモンテカルロシミュレーションを行った結果、ビット不良率が 10⁻⁸ となる点で、14T セルは 7T セルと比較して、読出し動作の動作下限電圧を 0.21V、書込み動作の動作下限電圧を 0.26V 改善することを確認した。また、提案した SRAM の高信頼モードは、ECC(Error Correction Code) および MMR(Multi Module Redundancy) を従来の 6T セルに用いた場合よりも低いビット不良率を実現することができる。また、65-nm プロセスを用いて 64-kb SRAM を試作し、実測した結果、14T セルは 7T セルよりも 0.12V 低電圧で動作することを確認した。

第 4 章では、プロセス技術の特徴を活かした回路設計技術による低消費電力化手法として、FD-SOI プロセスを用いたシステムチェックばらつきを補正する基板バイアス電圧制御技術について詳述する。システムチェックばらつきは製造過程、方法に依存する。システムチェック成分のしきい値電圧ばらつきを抑えるために、すでにバルクプロセスに対する基板バイアス制御技術が提案されている。しかし、バルクプロセスにおいて順方向バイアス電圧を用いる場合、接合リークが増大する。また、微細プロセスに対して逆方向バイアス電圧を用いる場合、GIDL(Gate Induced Drain Leakage)が問題となる。よって、バルクプロセスに対して、基板バイアス制御を用いる場合、基板バイアス電圧を印加できる範囲が制限されてしまうため、しきい値電圧の調整を広い範囲で行うことができない。一方、FD-SOI プロセスには、1) サブスレッショルドリークが小さい、2) 順方向バイアス電圧を用いる場合において接合リークが問題にならない、という利点があるため、基板バイアス制御技術に適している。すでに FD-SOI プロセスにおいても基板バイアス制御技術が提案されているが、特殊プロセスが必要であり、さらに、速度オーバーヘッド、面積オーバーヘッドが発生するという問題があった。本研究では、FD-SOI プロセスにおいて、自動的にチップ間のしきい値電圧ばらつきを検出し、SRAM の動作マージンが最大となるように補正を行う基板バイアス制御回路を提案した。0.15 μ m FD-SOI デバイスを用いて 486-kb SRAM を試作し、実測した結果、提案した

氏名 藤原 英弘

基板バイアス制御回路を用いることにより、SRAMの動作下限電圧を0.14V改善し、0.42Vでの動作を確認した。

第5章では、システム応用技術・回路技術の協調設計による低消費電力化手法として、動画像処理応用マルチポートSRAMの低消費電力化技術について詳述する。実時間動画像処理プロセッサにおいてもメモリの面積の割合は増大してきている。HDTV対応のH.264エンコーダにも、サーチウィンドウバッファとして少なくとも500-kbのメモリが必要であり、全消費電力のうち40%が消費されると予想されている。また、プロセスの微細化が進むにつれて大容量のSRAMがフレームバッファや再構成画像メモリに実装され、消費電力の大部分を占めると考えられる。そこで、本研究では、動画像の持つ隣接画素相関性を利用し、実時間動画像処理に適した低消費電力2-port SRAMの提案を行った。一般的に、動画像処理用におけるSRAMの電力では、書込み動作電力よりも、読出し動作電力の占める割合が大きい。さらに、読出し電力のうち、ビット線の充放電電力の占める割合が大きいため、ビット線の充放電電力を小さくすることで、動画像処理SRAMを低消費電力化できる。読出し動作時において“1”を読出す場合にはビット線の充放電電力は発生しないが、“0”を読出す場合にはビット線の充放電電力が発生する。そこで、読出しビット線の充放電電力を最小にするために、書込み動作時において、入力データの“0”の個数が“1”の個数よりも多い場合、多数決論理回路を用いて入力データの反転を行う多数決論理SRAMの提案を行った。さらに多数決論理回路をより効果的に利用するために、動画像の持つ隣接画素相関性に着目し、画像データをビットごとに並べ替えるReordering処理の提案を行った。90-nmプロセスを用いて68-kb SRAMの試作を行い、実測した結果、H.264で符号化したHDTV解像度の再構成画像に対して、提案した手法を用いることにより、読出し動作電力を28%削減することを確認した。

以上、第3章～第5章で、微細プロセスにおけるSRAMの低消費電力化および高信頼化を実現するための要素技術について記述し、最後に、第6章で本論文を総括し、結論を述べている。これらの研究成果は、2編の査読付き論文（そのうち1編については採録確定で掲載予定）と4編の国際学会プロシーディングにて掲載されており、今後、開発が進む32nmや次世代の22nm世代における超微細CMOS技術分野においてもVLSIの低消費電力化、高信頼性に寄与する有効な手段となり得るものである。

以上のように本研究は、サブ100nm世代LSIに搭載されるスタティックRAMの低電圧化・高集積化のための設計技術について研究したものであり、特に高集積化が進展するシステムLSIの低消費電力化について重要で価値ある知見を得たものと認める。よって、学位申請者の藤原 英弘は、博士（工学）の学位を得る資格があると認める。

以上。