



ワイヤレスセンサネットワークにおけるセンサノードLSIの低消費電力化に関する研究

竹内, 隆

(Degree)

博士 (工学)

(Date of Degree)

2010-03-25

(Date of Publication)

2014-04-09

(Resource Type)

doctoral thesis

(Report Number)

甲4936

(URL)

<https://hdl.handle.net/20.500.14094/D1004936>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博 士 論 文

ワイヤレスセンサネットワークにおける
センサノード LSI の低消費電力化に
関する研究

平成 22 年 1 月

神戸大学大学院工学研究科

竹 内 隆

内容梗概

本論文は、ワイヤレスセンサネットワークにおけるセンサノード LSI の低消費電力化、低コスト化に関する研究成果をまとめたものである。

近年 ICT (Information and Communication Technology) の普及によりコンピュータによる情報処理やインターネットなどの通信に関する技術が急速に発展している。特に携帯電話や無線 LAN などの無線通信を利用したシステムの発展はめざましく、ユビキタス(Ubiquitous)社会実現のためには必要不可欠な技術となっている。ユビキタスとは、それが何であるかを意識させず、しかも「いつでも、どこでも、だれでも」が恩恵を受けることができる環境、技術のことである。このユビキタス社会実現の一環として、無線通信機能を有する超小型センサ同士を相互に連携するワイヤレスセンサネットワークが注目されている。ワイヤレスセンサネットワークは、センサ機能、データ保持機能、無線通信機能、ネットワーク情報処理機能を備えたセンサノードにより構成され、センサノードを空間に多数配置することでネットワークの構築と高密度の空間センシングを同時におこなう。センシングされた情報はサーバへと集約、データベース化され、ユーザはその情報を活用することができる。このような機能をもつワイヤレスセンサネットワークはすべての ICT 産業を支える基盤となる技術であり、防犯、環境、経済産業、道路交通、農林水産、厚生、エネルギーなど、幅広い分野において新しい応用を創造する。

ワイヤレスセンサネットワークの課題はセンサノードの低消費電力化である。センサネットワークによる定期的な情報収集を目的とするアプリケーションでは、バッテリーで動作するセンサノードの低消費電力化は必須であり、センサノードの自律的な電源管理が必要不可欠である。またワイヤレスセンサネットワークにおいて、無線通信回路によって消費される電力は非常に大きく、無線通信の時間を極力減らすための通信プロトコルが不可欠となる。この通信プロトコルはマイクロコントローラに実装されるため、通信中マイクロコントローラは常に起動していなければならない。このためプロトコル処理をおこなうマイクロコントローラの動作電力削減が必要となる。さらにセンサノードはデータのセンシング、中継、ネットワーク処理以外のほとんどの時間が待機状態であることから、ワイヤレスセンサネットワーク全体の平均消費電力

を削減するためには待機時に浪費する電力を削減することが重要である。

またワイヤレスセンサネットワーク普及への課題として、センサノードを安価に大量生産可能とすることが重要である。半導体製造技術の向上により、従来集積できない規模の複数の回路も1チップに集積可能となっている。このためセンサノードを1つのLSIにSoC (System on a Chip) として集積することが低コスト化のために有効である。複数の単機能LSIを基板に実装する場合と比較して、SoC化することで小型化、低消費電力化、高速化、低コスト化というメリットが得られる。しかし無線通信回路に用いられる高いQ値のフィルタなど、一部の回路はLSI化が困難である。このように集積化が難しい回路は通常LSIの外部にモジュールとして接続する。その結果、部品点数の増加、歩留まりの劣化、大型化、コストの増加が問題となる。このため集積化が難しい回路はアーキテクチャを改善することで回路への要求を緩和し、集積化を可能とすることが求められる。

本論文は全6章で構成される。第1章は序論である。第2章では、低消費電力化および低コスト化に向けたセンサノードの課題についてまとめる。

第3章では無線通信回路の動作時間を削減するためのMACプロトコルを紹介する。提案されたMACプロトコル(I-MAC)はノード間の同期を利用することでアイドルリスニングの時間を削減し、通信電力を大幅に削減する。このI-MACプロトコルの有効性を検証するため、長波標準電波による同期を利用したプロトタイプを作成し、消費電力を評価した。またI-MACをさらに低消費電力化するため、時刻補正アルゴリズムと低消費電力水晶発振回路を提案した。時刻補正アルゴリズムは温度変化によるノード間の時間のずれを補正することでプリアンブル送信時間を削減し、結果として通信電力を削減することができる。また低消費電力な水晶発振回路を用いることで、起動時間カウンタのために常に動作しているタイマの電力を削減した。これらI-MAC、時刻補正アルゴリズム、低消費電力水晶発振回路の統合設計によって、従来のLPLを使ったノードと比較して81%の消費電力削減を達成した。I-MACによる通信時間の削減はセンサノードの動作電力削減に大きな貢献をしている。またI-MACは通信量の多いベースステーションに近いノードほど大きな電力削減効果を得ることができることから、センサネットワーク全体の可用時間の向上が期待できる。

第4章では無線通信回路のキャリアセンスにかかる電力を削減する技術について述べる。ワイヤレスセンサネットワークにおいて、キャリアセンス機能は衝突を回避す

るために重要な技術である。特に第3章で提案した I-MAC は同期型 MAC プロトコルであり、すべてのセンサノードが同時刻に起動することから、キャリアセンスによる衝突の回避が必要不可欠である。キャリアセンス回路の低消費電力化を実現するため、双安定状態を利用した閾値特性を持つ低消費電力電圧増幅器 (BSAMP) を提案する。BSAMP は、電圧増幅器を双安定状態とすることで定常状態でのバイアス電力を削減する。双安定状態が反転する閾値を制御することで、指定した振幅以上の電圧のみを増幅する機能を実現する。この最小入力電圧を持つ特性を利用し、他に特別な回路を追加することなくキャリアセンス機能を実現することができる。動作周波数 433MHz において BSAMP の平均動作電力は $449\mu\text{W}$ 、最大電圧利得は 11dB であった。従来のインバータタイプの電圧増幅器と比較して、スタンバイ電力は 78%、動作電力は 25% の削減が可能である。ワイヤレスセンサネットワークにおいてノードがアクティブである比率を 10^{-3} 、信号 “High” と “Low” の比率が 1 対 1 であると仮定した場合、平均消費電力は 376nW と見積もられ、従来の電圧増幅器と比較して平均電力の 40% を削減できる見通しを得た。

第5章では各レイヤの技術を統合することによるセンサノードの SoC 化について述べる。I-MAC を専用ハードウェアとして実装することで、消費電力の大きい汎用マイクロコントローラの稼働時間を大幅に削減し、低消費電力化することが可能となる。また I-MAC プロセッサが自身の状態遷移に合わせてセンサノードの各ブロックの電源をシーケンシャルに制御することで低消費電力化する。ノード間の同期には FTSP を用い、MAC プロセッサの一部としてハードウェア化した。また集積化の難しい無線通信回路の SoC 化を実現するために、イメージ除去をデジタル処理で実現する。これにより高い Q 値が必要なアナログフィルタ回路を除去することができる。またセンサネットワークによる定期的な情報収集を目的とするアプリケーションでは、センサノードの待機時間が長いことから、ネットワーク全体の平均消費電力を削減するためには待機時に浪費する電力を削減することが重要となる。待機時のリーク電力を削減するため、データメモリを必要容量だけ起動する分割データバッファメモリ技術を提案する。試作されたセンサノード LSI は CMOS $0.18\mu\text{m}$ プロセスで設計され、電源電圧 1.8V で動作する。チップ面積は $3.0\text{mm}\times 1.7\text{mm}$ 、トランジスタ数は 0.63M 個であった。また QualNet を用いたネットワークシミュレーションにより、1日の収集回数と平均消費電力を評価した。1日の収集回数が 24 回のとき、平均消費電力で $6.34\mu\text{W}$ を達成で

きる見積もりを得た。

最後に，第 6 章において本論文の結論について記述する。

本論文では，各レイヤの技術を統合することによって，低コスト，低消費電力なセンサノード LSI を提案する．低消費電力，低コストなセンサノードを実現するためにはレイヤ間の協調設計が不可欠である。

目次

第1章	序論	1
1.1	センサネットワークの技術背景	1
1.2	研究目的及び本論文の構成	2
第2章	低消費電力化および低コスト化に向けたセンサノードの課題	5
2.1	緒言	5
2.2	ワイヤレスセンサネットワークの概要	5
2.3	センサノードの構成と動作	7
2.4	センサノードの低消費電力化に対する課題.....	8
2.5	センサノードの低コスト化に対する課題.....	9
2.6	結言	9
第3章	データリンク層における低消費電力化技術	11
3.1	緒言	11
3.2	Isochronous MAC プロトコル.....	11
3.3	温度変化に対する時刻補正アルゴリズム	15
3.4	I-MAC の実装と消費電力のモデル化	18
3.4.1	I-MAC の実装	18
3.4.2	I-MAC における消費電力のモデル化.....	19
3.4.3	LPL と I-MAC の消費電力比較.....	21
3.5	低消費電力水晶発振回路.....	22
3.6	電力削減効果の評価	24
3.7	結言	27
第4章	低消費電力キャリアセンス回路	29
4.1	緒言	29
4.2	従来の電圧増幅器.....	30
4.3	BSAMP (Bistability Amplifier)	32
4.3.1	DC 特性	33

4.3.2	アクティブモードにおける動作	36
4.3.3	電圧生成回路	39
4.4	実測結果	42
4.5	結言	45
第 5 章	レイヤ間統合と SoC 化による低消費電力化.....	47
5.1	緒言	47
5.2	I-MAC の専用ハードウェア化と電源管理技術.....	48
5.2.1	通信制御用マイクロコントローラの機能分割.....	48
5.2.2	I-MAC プロセッサの実装	49
5.3	センサノードの同期技術	53
5.3.1	ノード間同期における誤差要因.....	53
5.3.2	GPS(Global Positioning System)	54
5.3.3	長波帯標準電波(電波時計).....	55
5.3.4	RBS(Reference Broadcast Synchronization)	56
5.3.5	TPSN(Timing-sync Protocol for Sensor Networks).....	58
5.3.6	FTSP(Flooding Time Synchronization Protocol).....	59
5.3.7	ワイヤレスセンサネットワークにおける同期技術のまとめ	60
5.4	RF トランシーバの設計	61
5.4.1	無線通信規格とターゲットの選定	61
5.4.2	通信方式.....	63
5.4.3	トランシーバアーキテクチャ.....	66
5.4.4	RF フロントエンド回路	68
5.4.5	デジタルイメージ除去フィルタ.....	72
5.4.6	マルチフェーズを利用した高効率電力増幅器.....	75
5.5	待機電力削減のための分割 SRAM 技術	79
5.5.1	データメモリの分割による待機電力削減	79
5.5.2	分割 SRAM の実装.....	81
5.5.3	分割 SRAM の測定結果	83
5.6	センサノード LSI の実装とネットワークシミュレーション による評価.....	84
5.6.1	センサノード LSI の実装と電力測定	84
5.6.2	ネットワークシミュレーションによる平均消費電力の評価.....	87
5.7	結言	90
第 6 章	結論.....	93

謝辞	95
参考文献	97
著者の研究業績目録	101

目 次

図 1.1	本論文の構成.....	3
図 2.1	ワイヤレスセンサネットワーク.....	6
図 2.2	センサノードの構成.....	7
図 2.3	既存のセンサノード.....	8
図 3.1	(a) LPL と(b) I-MAC における送受信タイミング.....	13
図 3.2	ノード間の同期ずれ.....	14
図 3.3	東京の夏の温度変化.....	16
図 3.4	日向と日陰におけるセンサノード間の時間ずれ.....	17
図 3.5	I-MAC を実装したプロトタイプセンサノードの写真(a)とブロック図(b).....	18
図 3.6	起動周期に対する消費電力の変化.....	22
図 3.7	提案する水晶発振回路.....	23
図 3.8	提案水晶発振器における同期ずれ.....	24
図 3.9	電力の比較と内訳.....	26
図 3.10	1日の平均データ送信回数と消費電力の関係.....	26
図 4.1	従来のインバータタイプ電圧増幅器.....	31
図 4.2	ラッチタイプの電圧増幅器.....	31
図 4.3	提案型双安定増幅回路 (BSAMP).....	32
図 4.4	BSAMP の DC 特性. (a)バイアス電圧, (b)バイアス電流.....	35
図 4.5	出力バッファのバイアス電流.....	36
図 4.6	入力電圧に対する電圧利得特性.....	37
図 4.7	周波数特性.....	37
図 4.8	入力電圧に対する消費電力特性.....	38
図 4.9	電圧生成回路.....	40
図 4.10	電圧生成の特性.....	40
図 4.11	プロセスコーナーにおける DC 特性の変化 (図中の括弧の値はそれぞれのバイアス点におけるメインアンプの電圧利得).....	41
図 4.12	チップ写真および BSAMP のレイアウト.....	42
図 4.13	電圧利得の測定結果.....	43
図 4.14	周波数特性の測定結果.....	43
図 4.15	消費電力の測定結果.....	44
図 5.1	提案するセンサノードの機能ブロック図.....	49
図 5.2	TICER と I-MAC におけるリンク確立の様子.....	50
図 5.3	TICER と I-MAC のノード起動時間の比較.....	51

図 5.4	I-MAC におけるパケット送受信処理.....	52
図 5.5	ノード間同期における誤差要因.....	54
図 5.6	日本における長波標準電波の送信局.....	56
図 5.7	RBS (Reference Broadcast Synchronization) によるノード間同期.....	57
図 5.8	TPSN (Timing-sync Protocol for Sensor Networks) によるノード間同期.....	58
図 5.9	FTSP (Flooding Time Synchronization Protocol) によるノード間同期.....	59
図 5.10	通信距離で見たワイヤレスネットワークの分類.....	62
図 5.11	規格による通信速度と通信距離の違い.....	63
図 5.12	通信方式による BER の違い.....	65
図 5.13	デジタルイメージ除去機能を持つ FSK トランシーバ.....	67
図 5.14	低雑音増幅器 (LNA)	68
図 5.15	Mixer 周辺回路.....	69
図 5.16	Mixer 回路.....	69
図 5.17	Mixer の RF 入力電圧に対する IF 出力への変換利得.....	70
図 5.18	VGA (Variable Gain Amplifier)	71
図 5.19	可変抵抗 R1 の回路構成.....	71
図 5.20	ハートレー型イメージ除去ミキサ.....	72
図 5.21	提案するイメージ除去方式.....	73
図 5.22	デジタル信号処理による周波数シフト.....	74
図 5.23	信号スペクトルの様子 (a)周波数シフト前, (b)周波数シフトおよび LPF による周波数選択後.....	75
図 5.24	マルチフェーズリングオシレータ.....	76
図 5.25	マルチフェーズリングオシレータの実測波形 (a)ph1 と ph2 (位相差 18 度), (b)ph1 と ph6 (位相差 90 度)	76
図 5.26	多入力 Class-D PA (power amplifier)	77
図 5.27	多入力 Class-D PA の導通角による効率の変化.....	78
図 5.28	多入力 Class-D PA の実測結果 (a)出力波形, (b)出力スペクトラム.....	78
図 5.29	等比分割されたデータバッファ SRAM.....	80
図 5.30	電源遮断用 pMOS トランジスタ.....	81
図 5.31	メモリセルの起動, カットオフ時のモデル.....	82
図 5.32	分割 SRAM のレイアウト.....	82
図 5.33	分割 SRAM のリーク電力.	83
図 5.34	センサノード全体図.....	84
図 5.35	センサノード LSI.....	85
図 5.36	MAC プロセッサの動作検証と電力測定.....	86
図 5.37	センサネットワークの動作と平均消費電力.....	89
図 5.38	分割 SRAM による待機電力削減の効果.....	89

図 5.39 1日のデータ収集回数に対する平均電力の変化.....	90
-----------------------------------	----

表 目 次

表 3.1	実測した電力パラメータ.....	21
表 3.2	水晶発振機の消費電力.....	24
表 3.3	電力評価時の各パラメータ.....	25
表 3.4	プリアンプル長とタイマ消費電力.....	25
表 4.1	全体の消費電力.....	45
表 5.1	パケットの定義.....	52
表 5.2	同期技術のまとめ.....	61
表 5.3	通信距離と無線規格.....	62
表 5.4	変調方式と CN 対符号誤り率.....	65
表 5.5	ヘテロダイン方式とダイレクトコンバージョン方式の比較.....	66
表 5.6	LNA の特性.....	68
表 5.7	Mixer の特性.....	70
表 5.8	VGA の特性.....	71
表 5.9	PA の特性.....	79
表 5.10	電源安定までにかかる時間.....	82
表 5.11	各ブロックの動作/待機電力とノードの状態ごとの消費電力.....	86
表 5.12	ネットワークシミュレーションの条件.....	88
表 5.13	一回の収集にかかった時間とその内訳.....	88

第1章 序論

1.1 センサネットワークの技術背景

ICT (Information and Communication Technology) の普及によりコンピュータによる情報処理やインターネットなどの通信に関する技術が急速に発展している。特に携帯電話や無線 LAN などの無線通信を利用したシステムの発展はめざましく、ユビキタス (Ubiquitous) 社会実現のためには必要不可欠な技術となっている。ユビキタスとは、それが何であるかを意識させず、しかも「いつでも、どこでも、だれでも」が恩恵を受けることができる環境、技術のことである。

近年、ユビキタス社会実現の一環として、無線通信機能を有する超小型センサ同士を相互に連携するワイヤレスセンサネットワークが注目されている。ワイヤレスセンサネットワークは空間のさまざまな場所でセンシング情報を取り込み、その情報を活用することができる。ワイヤレスセンサネットワークは、センサ機能、データ保持機能、無線通信機能、ネットワーク情報処理機能を備えたセンサノードにより構成され、センサノードを空間に多数配置することでネットワークの構築と高密度の空間センシングを同時におこなう。センシングされた情報はサーバへと集約、データベース化され、ユーザはその情報を活用することができる。このような機能をもつワイヤレスセンサネットワークはすべての ICT 産業を支える基盤となる技術であり、防犯、環境、経済産業、道路交通、農林水産、厚生、エネルギーなど、幅広い分野において新しい応用を創造する[1]。

センサノードは通常バッテリーで動作する。このため多数のセンサノードが分散配置されるセンサネットワークにおいて、バッテリーの交換は非常に困難である。システムの可用時間を最大限延長するためには、センサノードは低消費電力でなければならない。またワイヤレスセンサネットワーク普及への課題として、ノードを安価に大量生産可能とすることが重要である。そのためには、センサノードの部品点数を削減する必要がある。センサノードの機能をシステム LSI (Large-Scale Integration) として実装することが有効である。

1.2 研究目的及び本論文の構成

本研究では、前節で述べた背景をもとに、データリンク層と協調して物理層を設計することでセンサノードの低消費電力化および低コスト化の実現を目的とする。また、図 1.1 に本論文の構成をまとめる。

第1章 序論

本研究に関する技術的背景、技術動向及び本論文の研究内容について記述する。

第2章 低消費電力化および低コスト化に向けたセンサノードの課題

本章では研究対象とするワイヤレスセンサネットワークの概要を示し、動作電力および待機電力削減の必要性、低コスト化に対する課題を明確化する。

第3章 データリンク層における低消費電力化技術

本章ではセンサノードの動作電力削減を目的とし、無線通信回路の動作時間を削減するための MAC (Media Access Control) プロトコル、および同期時間を補正する技術について記述する。提案する Isochronous-MAC (I-MAC) プロトコルは、センサノードノードの起動周期を同期させることで、プリアンブルを送信する時間およびデータの送信がない時に受信機が受信している状態(アイドルリスニング)の時間を削減し、動作電力を削減する。

第4章 低消費電力キャリアセンス回路

同期プロトコルである I-MAC の通信において、データの衝突を避けるためにはキャリアセンスが必要不可欠である。提案する BSAMP (bistability amplifier) は、電圧増幅器を双安定状態とすることで定常状態でのバイアス電力を削減する。双安定状態が反転する閾値を制御することで、指定した振幅以上の電圧のみを増幅する機能を実現する。

第5章 センサノードの LSI 実装

低消費電力、低コストなセンサノードを実現するための要素技術とその統合について記述する。無線通信回路の SoC 化のためのイメージ除去アーキテクチャ、送信電力削減のため多位相発振器を用いた高効率電力増幅器、待機電力削減のための分割データ SRAM (Static Random Access Memory) の実装について記述する。

第6章 結論

本研究で得られたセンサノード LSI の低消費電力化技術を総括し、結論を述べる。

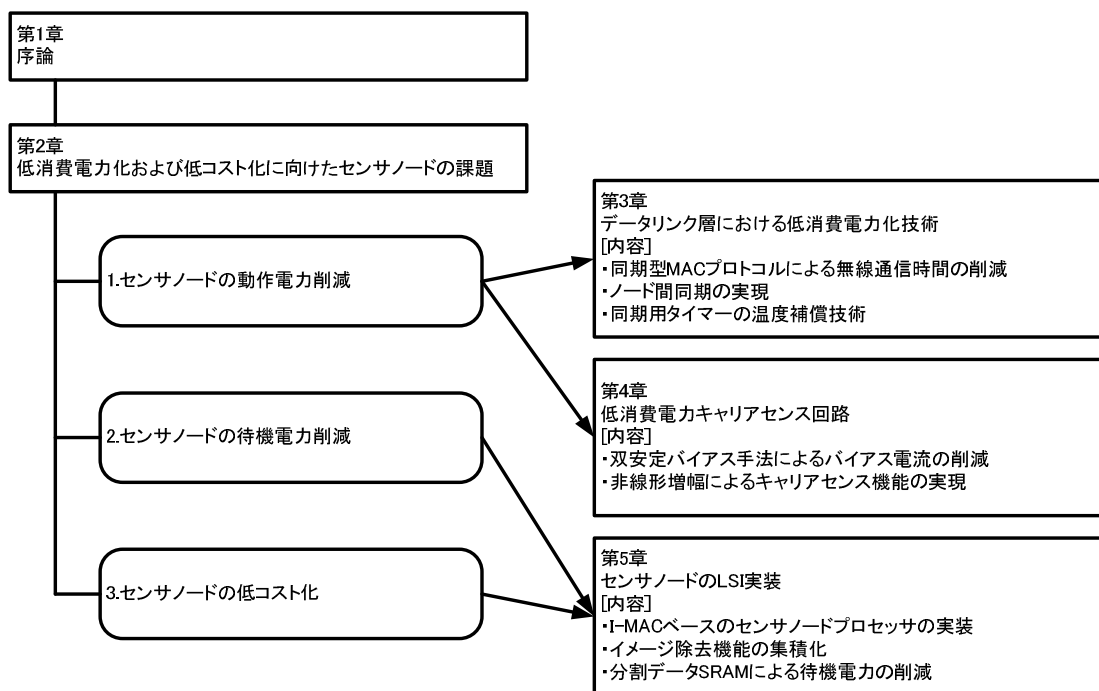


図 1.1 本論文の構成

第2章 低消費電力化および低コスト化に向けたセンサノードの課題

2.1 緒言

本章ではワイヤレスセンサネットワークを構成するセンサノードの低消費電力化、および低コスト化における課題を述べる。

センサノードはセンサ機能、データ保持機能、無線通信機能、ネットワーク処理機能によって実現される。この中でも特に無線通信回路の消費電力が大きく、また集積化が難しい部分を外部素子に依存する設計が珍しくない。このため無線通信にかかる電力消費の削減と外部素子に依存しない無線回路アーキテクチャが重要となる。

2.2 節では、ワイヤレスセンサネットワークの概要について記述する。2.3 節では、センサノードの構成について述べる。また現存するセンサノードについて紹介する。2.4 節では、センサノードの低消費電力化に対する課題について述べる。2.5 節では、センサノードのコスト削減のための課題について記述し、2.6 節にこれら課題をまとめる。

2.2 ワイヤレスセンサネットワークの概要

ワイヤレスセンサネットワークは通常バッテリーで駆動する多数のセンサノードで構成される。多数のセンサノードが分散配置され、各ノードは自律的にマルチホップ無線ネットワークを形成する。センサから得られた環境情報はこのマルチホップ通信網でベースステーションまで伝送される。この様子を図 2.1 に示す。

このような機能をもつワイヤレスセンサネットワークは、防犯、環境、経済産業、道路交通、農林水産、厚生、エネルギーなど、幅広い分野において新しい応用分野を創造する。防犯分野では、センサノードを各所に取り付けることで、住宅やビルへの不正侵入をあらゆる方面から検知できるようになる。環境分野では、河川や森林のリモートセンシングによって、人命や財産を守ることに寄与できる。さらに、危険地域

などにノードを投下することで、その地域のセンシング情報を無線多段中継により入手することが可能である。経済産業分野では、物流システムの高度化が達成できる。近い将来、商品等に電子タグが付与されれば、センサに相当するタグリーダを倉庫などに分散配置し、これをネットワーク化することで、より厳密な在庫管理、正確な集配システムを構築できる。道路交通分野では、車々間通信や路車間通信などにも応用でき、ITS 社会の実現に寄与できる。また、幹線でない道路にセンサを設置してネットワーク化することで、交通量調査システムを必要に応じて展開できるため、より細やかな道路行政が期待できる。農林水産分野では、農産物の遠隔監視や散水などの遠隔制御が可能になり、農業従事者の負担軽減や、生産性の向上につながる。厚生分野では、電子タグとあわせて薬品や医療器具の管理に応用することができ、薬や治療器具のとり違いによる医療事故などの防止にもつながる。エネルギー分野においては、発電所などの監視に利用でき、事故発生時に迅速に的確な対策をとることが可能になる。ひとたび災害が発生した場合は、各種センサを取り付けたロボットを現場に送り込むことで、安全に災害状況を調査することが可能であり、これにより迅速かつ安全に適切な対策をとることができる。センサネットワークは様々な分野においてその利用価値が期待されている。

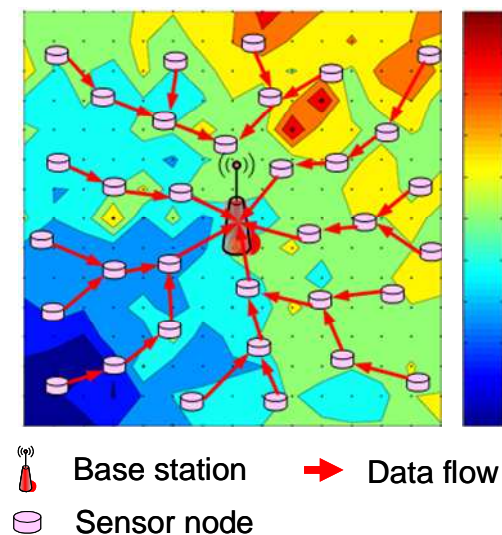


図 2.1 ワイヤレスセンサネットワーク

2.3 センサノードの構成と動作

図 2.2 にセンサノードの構成を示す。センサノードは、センサ、アナログ無線通信回路、MAC レイヤおよびネットワークレイヤ処理用のマイクロコントローラ、データメモリから構成される。

センサから得られた情報はマイクロコントローラを介してデータ RAM に保存される。センサノードは他のノードとのリンクを確立するために、無線通信回路とマイクロコントローラが連携して MAC 処理をおこなう。実際にリンクが確立されると、次にデータの送受信 (TX, RX) がおこなわれる。このときメモリに蓄えられた情報はマイクロコントローラから RF 回路に渡され、無線通信によって他のノードに情報が伝送される。データを受け取った後、センサノードはマイクロコントローラで経路情報の記録、受け取ったヘッダやデータの集約、次回起動タイミングのスケジューリングなど、ネットワーク処理をおこなう。このようにマイクロコントローラはセンサノードの各状態を管理し、その状態に合わせて適切な処理をおこなう。

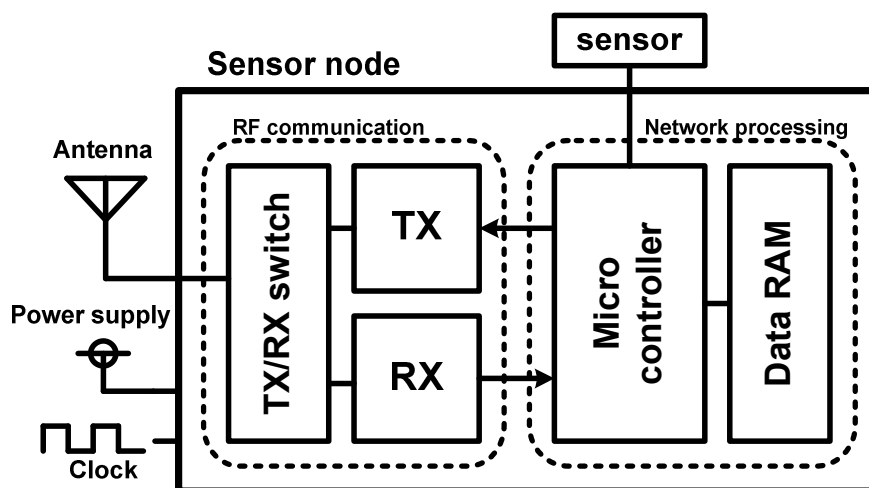


図 2.2 センサノードの構成

図 2.3 に既存のセンサノードを示す[2]-[6]。これらのセンサノードはすべてバッテリーによる動作を想定している。いずれのセンサノードもマイクロコントローラを搭載し、MAC 処理、ネットワーク処理をおこなう。また部品点数が多く、消費電力も大きい無線通信回路の実装がコストやバッテリーの消費に大きな影響を与えている。

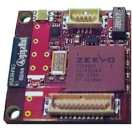





Sensor node						
	Intel Mote[2]	Mica2Dot[3]	Mica2[3]	S-Mote[4]	S-node[5]	Telos[6]
Micro controller	ARM7	AVR	ARM7	i8051	PIC	MSP430

図 2.3 既存のセンサノード

2.4 センサノードの低消費電力化に対する課題

センサノードにおいて、無線通信回路は電力を送信しなければならないため、動作電力が非常に大きい。高周波で動作する無線通信回路はアナログ回路で構成される。ムーアの法則によれば、デジタル回路はプロセスの微細化に伴い消費電力を大幅に減らすことができる。しかしアナログ回路は、プロセッサ等のデジタル回路と比較して LSI のスケールリングによって得られる消費電力削減の効果が小さい。よってセンサネットワークでは無線通信の時間を極力減らすための通信プロトコルが不可欠となる。このため通信量を減らす努力としてネットワーク処理をおこないデータを集約する技術も提案されている[7]。また通信プロトコルはマイクロコントローラに実装されるため、マイクロコントローラは常に起動していなければならない。このためマイクロコントローラは低消費電力であることが要求される。

一方、前節で説明したように、センサノードはデータのセンシング、中継、ネットワーク処理以外のほとんどの時間が待機状態である。また動作電力削減のために無線通信の時間を減らすことは、待機時間の増加につながる。ここで例えば、センサノードの動作電力と待機電力の比が 1000:1、動作時間と待機時間の比が 1:1000 であったとすると、動作時に消費するエネルギーと待機時に消費するエネルギーの比は 1:1 となる。このためワイヤレスセンサネットワーク全体の平均消費電力を削減するためには、動作電力のみでなく、待機時に消費する消費電力の削減も同様に重要となる。待機電力の削減は電源、クロックを管理し、無駄な電力を消費させないことが重要となる。またセンサノードは待機時、データを保管するためにデータメモリの電源を遮断する

ことができない。このためリーク電力の削減が不可欠となる。

2.5 センサノードの低コスト化に対する課題

ワイヤレスセンサネットワーク普及への課題として、センサノードを安価に大量生産可能とすることが重要である。半導体製造技術の向上により、従来集積できない規模の複数の回路も 1 チップに集積可能となっていることから、センサノードを 1 つの LSI に SoC (System on a Chip) として集積することが有効となる。複数の単機能 LSI を基板に実装する場合と比較して、SoC にすることで小型化、低消費電力化、高速化、低コスト化というメリットが得られる。しかしアナログ回路の SoC 化において、オンチップの受動素子のコスト、性能、精度が問題となっている。オンチップのインダクタは大面積であり、メタル配線の寄生容量や抵抗値によって Q 値は低いものとなる。また製造過程でばらつきの影響を受け、それを補償するための機構が別途必要となる。無線通信回路では、イメージ除去のためのフィルタ等に高い Q 値が必要となることから、一部の回路は LSI 化が困難である。このため、通常これらの回路素子は LSI の外部にモジュールとして接続する。その結果、部品点数の増加、歩留まりの劣化、大型化、コストの増加が問題となる。よって無線回路の SoC 化を進めるために、無線通信回路のアーキテクチャによって LSI 内部の回路にかかる負担を低減することが重要となる。無線通信回路の LSI 化において、回路とアーキテクチャの協調設計が不可欠である。

2.6 結言

本章では、低消費電力化および低コスト化に向けたセンサノードの課題について述べた。センサノードの課題は次の通りである。

- **動作電力削減技術**

無線通信回路の消費電力はプロセスのスケーリングによって減少しない。このた

め無線通信回路の動作時間を削減する **Communication-Centric** なプロトコルの開発が不可欠である。

- **待機電力削減技術**

センサノードはほとんどの時間が待機状態にある。待機電力の削減のために、電源、クロックを管理し、無駄な電力を消費させない技術が不可欠である。

- **低コストアーキテクチャ設計技術**

アーキテクチャによって LSI 内部の回路にかかる負担を低減することで、無線通信回路の SoC 化を進める。無線通信回路とアーキテクチャの協調設計が不可欠である。

第3章 データリンク層における低消費電力化 技術

3.1 緒言

センサノードの低電力化のためには無線通信回路の動作時間を削減することが不可欠である。無線通信にかかる時間を削減するためには、送信ノードがないにもかかわらずノードが受信状態にあるアイドルリスニングや、不必要な制御パケットの送信回数を削減する必要がある。

3.2 節では、データリンクレイヤにおいて通信を確立するための MAC (Media Access Control) プロトコルとして I-MAC (Isochronous-MAC) を提案する。I-MAC は間欠同期型 MAC で、ノード間の起動周期の同期を前提とした MAC プロトコルである。本章では I-MAC の有効性の確認のため、同期の手法として長波標準電波を用いる。長波帯標準電波を用いた I-MAC では、周期的な起動時刻を現実の時刻と同期させる。しかしノード間の温度差によってセンサノードの内部クロックに違いが生じ、結果として同期のずれが発生する。そこで、3.3 節では同期補正アルゴリズムを提案し、同期のずれを小さくすることで I-MAC の通信時の電力削減をおこなう。3.4 節では I-MAC を既存のセンサノードに実装し、プロトタイプを試作する。さらに I-MAC の消費電力のモデル化をおこない、既存の間欠型 MAC プロトコルである LPL (Low Power Listening) [9] との比較をおこなう。3.5 節では低電力な水晶発振器を提案し、待機時の電力削減について記述する。3.6 節で電力削減効果の評価をおこない、3.7 節にこの章の結論をまとめる。

3.2 Isochronous MAC プロトコル

センサネットワークでは無線通信が大きな電力を消費する。無線通信の電力を削減するためには、送信ノードがないにもかかわらずノードが受信状態にあるアイドルリスニングの電力を削減することが効果的である。このアイドルリスニングの電力を削

減するために S-MAC[8], LPL (Low Power Listening) [9], WiseMAC[10]などの間欠起動型 MAC が開発されている。間欠起動型 MAC では各ノードは決められた起動周期ごとに起動して受信状態に入る。受信機が起動する時間が減少するため、アイドルリスニングも同様に減少する。一般的に起動周期の長い間欠起動型 MAC では通信のリンクを確立するために長い時間がかかる。それゆえ同じ起動デューティ比という条件で見たとき、起動周期の短い方が遅延時間が短い。S-MAC の起動周期は通常 115ms に設定されている。一方 LPL や WiseMAC では 50 μ s よりも短く、これはチャンネルの使用を監視するには十分な時間である。結局のところ、同じデューティ比が与えられたとき S-MAC の起動周期の方が長くなり、遅延が増加するため、他の二つのプロトコルと比較してあまり有利ではない。

LPL ではノード間で起動するタイミングが一致していないため、プリアンプルの長さを、起動周期 T 以上にする必要がある。したがって、起動周期 T を長くするほどプリアンプルも長くなり、通信時の電力消費が増大する。これは目標とするアイドルリスニングの削減と反する結果となる。

もうひとつの方法として WiseMAC がある。WiseMAC は LPL の発展型で、送信ノードが次回の起動タイミングを ACK パケットに含めて送信する。受信ノードはその送信ノードの起動時間をそのデータから学習し、同じタイミングで起動する。結果として次回以降のプリアンプル長を短くすることができる。しかしノードの温度差などによって生じる内部タイマのずれはこの学習機能に不正確さを与える。従って頻繁な通信が確立されない限り、この学習機能は効率的に動作しない。また WiseMAC はベースステーションからセンサノードへのダウンリンクの効果だけが評価されており、マルチホップでの効果は確認されていない。

そこでこれらの問題を解決するために、ノード間の同期を利用した I-MAC を提案する。図 3.1 に LPL と I-MAC におけるパケットの送受信の様子を示す。各ノードは起動周期 T ごとに通信チャンネルをキャリアセンスする。送信するデータを持たず、かつチャンネルが空いている場合、次の起動周期までアイドル状態に入る。データを送信する際は、まずプリアンプルを送信し、次にデータを送信する。I-MAC では起動タイミングが同期しているため、衝突が発生しやすい。そこで、衝突回避のために送信前にキャリアセンスをおこなう。また、ランダムに contention slot を選択し、送信開始を遅らせる。キャリアセンスで通信を検知した場合はプリアンプルとデータの受信をおこな

う。正しくデータを受信できた場合、ACK(acknowledge)信号を返信する。I-MAC では各センサノードが同期しているため、送信ノードは、受信ノードの起動タイミングを高精度に予測することが可能となる。送信ノードは受信ノードが起動するタイミングに合わせてプリアンプルを送信することで短いプリアンプルで通信することができる。よって、I-MAC ではLPL よりも通信時の電力消費を削減することが可能である。

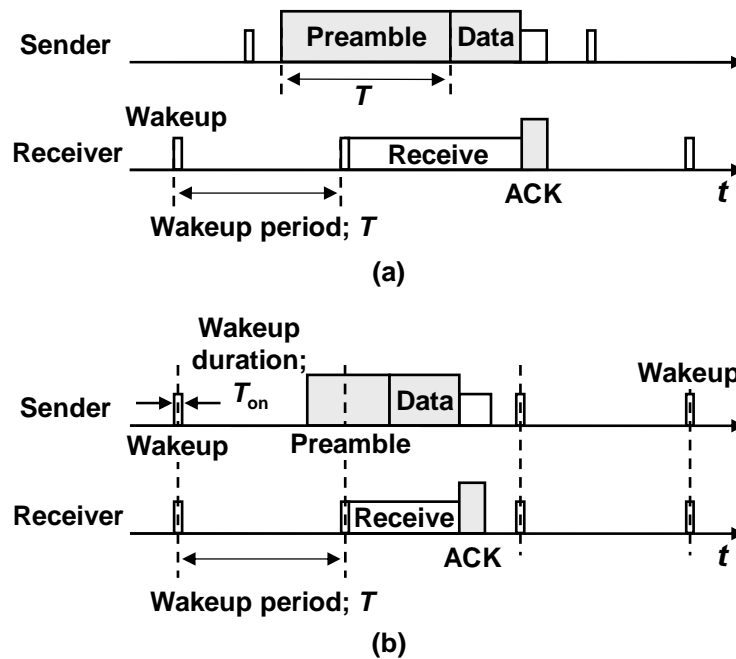


図 3.1 (a) LPL と(b) I-MAC における送受信タイミング

I-MAC の特徴は、センサノード間の時刻同期を他のプロトコルに任せることで、MAC プロトコルの単純化と低消費電力化を両立している点である。この時刻同期のための手法として、我々は電波時計や GPS 等のハードウェアによるアプローチと、パケット交換等によるソフトウェア的なアプローチを検討しており、ここでは I-MAC の評価をおこなうため、利用が簡単な長波帯標準電波[11]による同期を選択した。同期技術の詳細な検討に関しては第 5 章 5.3 節にておこなう。

長波帯標準電波を用いた I-MAC では、全てのノード内の時刻を標準電波に同期させることで起動タイミングを一致させる。長波標準電波は 1 秒に 1bit の速度で ASK 波を用いて送信されているため、すべてのタイムコードの受信には 1 分間を要する。現在時刻の同期をとるために通常数回のタイムコードを受信するため、結果として一回の

同期には数分を要する。無線基地局とノードの絶対時間の誤差は $\pm 1.5\mu\text{s}$ [12]で、これは温度による水晶発振回路の周波数のずれがなければプリアンブル長を最短で $3.0\mu\text{s}$ まで短くできることを意味している。

I-MAC ではプリアンブルの長さは起動周期 T に依存しないため、起動周期 T を長くしても電力消費は増大しない。LPL と I-MAC の電力比較については 3.4 節で述べる。I-MAC のプリアンブル長は時間誤差と内部タイマの周波数変化に依存する。

各ノードの起動時刻は標準電波によって同期されている。しかし一方のノードが温度変化などで水晶発振器の周波数に変化を生じた場合、同期の時刻がずれることとなる。I-MAC におけるプリアンブル長はこのずれを考慮して決定されなければならない。今、図 3.2 に示すように実時間から最大で $\pm d$ ずれると仮定すると、ノード間の同期のずれは最大で $\pm 2d$ となる。したがって、キャリアセンスの時間を T_{on} とすると、プリアンブル長は $4d+T_{\text{on}}$ だけ必要となることがわかる。 d は次式で表される。

$$d = \frac{D}{C} + F \quad (3.1)$$

ここで、 D は一日の最大の時間ずれ、 C は一日の同期回数、 F は同期時における誤差(標準電波では約 $1.5\mu\text{s}$)である。同期のずれは時間経過に比例すると仮定した。

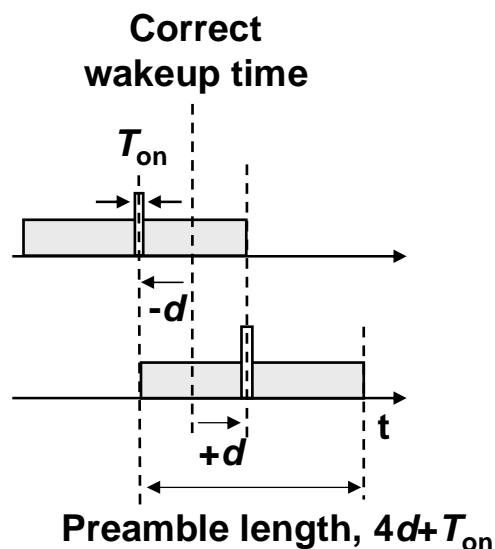


図 3.2 ノード間の同期ずれ

一般的な水晶発振器を用いれば一日の最大時刻ずれを 350ms 以下に抑えることがで

きる．ところが，水晶発振器の周波数は温度変化によってばらつく．全てのノードが同じ温度だと仮定すると，実時間に対する時刻のずれが全てのノードで等しくなるため，ノード間での時刻ずれは無い．

逆に，高い温度にあるノードと低い温度にあるノードがネットワーク内に存在すると仮定すると，それらのノード間の時刻ずれは時間と共に増大する．このような温度差による時刻ずれを削減するためのアルゴリズムを次節で述べる．

3.3 温度変化に対する時刻補正アルゴリズム

I-MAC では時刻同期に長波帯標準電波を用いるため，頻繁に時刻同期をおこなうと電力の増加につながる．本章では，I-MAC のための時刻補正アルゴリズムを提案する．提案するアルゴリズムは周期的に温度を測定し，温度変化を予想することで，温度変化によって生じる時刻のずれを補正する．

各ノードは温度計測周期 T_{measure} ごとに温度を計測する．温度計は半導体チップ内で容易に実装が可能である．前周期で測定した温度を t_{previous} ，現在の周期で測定した温度を t_{present} とする．各ノードは将来の予測温度 t_{predict} を t_{previous} と t_{present} から線形的に予測する．また，計測周期 T_{measure} の $1/n$ を補正周期 T_{correct} とすると， m 回目 ($m=1, 2, \dots, n-1$) の T_{correct} における予測温度 t_{predict} は次式で与えられる．

$$t_{\text{predict}} = t_{\text{present}} + \left(\frac{t_{\text{present}} - t_{\text{previous}}}{T_{\text{measure}}} \right) T_{\text{correct}} m \quad (3.2)$$

各ノードは各 T_{correct} ごとに t_{predict} と水晶発振器の温度-周波数特性を元に，水晶発振器の周波数 f_{predict} を予測し，内部タイマの値を修正することで時刻の補正をおこなう．例として，ノードが日向と日陰にある場合の同期のずれを求める．日向と日陰の温度差が大きい夏の温度モデルを用いてシミュレーションをおこなう．図 3.3 にシミュレーションに用いた東京の夏の温度変化モデルを示す．

図 3.4 (a)に補正アルゴリズム適用前の同期ずれを示す．日向と日陰のノード間で最大 11ms の同期ずれが発生していることがわかる．図 3.4 (b)に温度計測周期 T_{measure} を 1 時間，補正周期 T_{correct} を 2 分として補正アルゴリズムを適用した際の同期ずれを示す．ノード間の同期ずれが最大 0.6ms に短縮されていることがわかる．

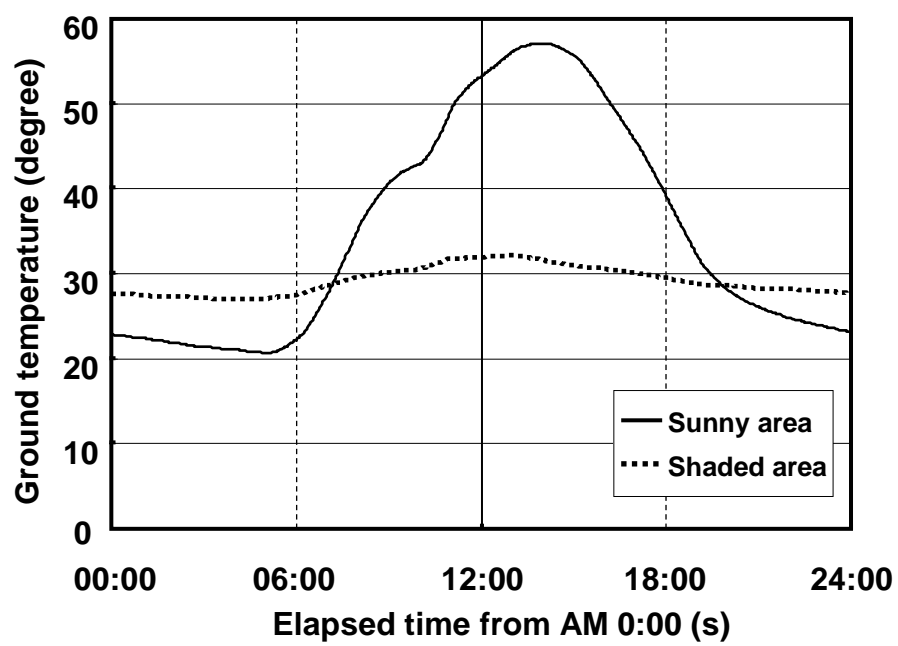
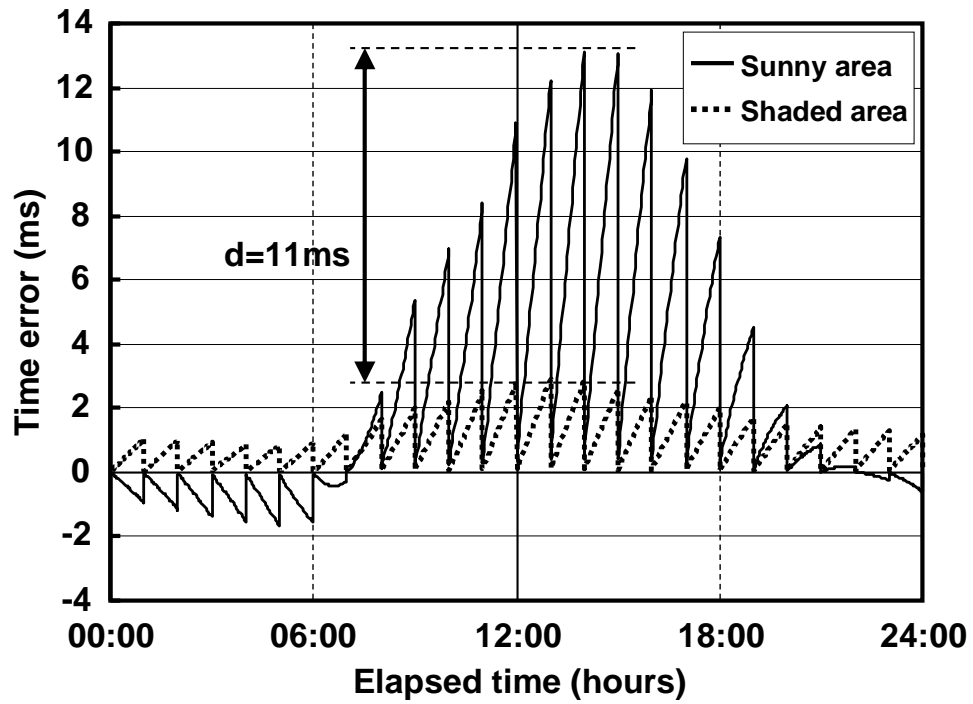
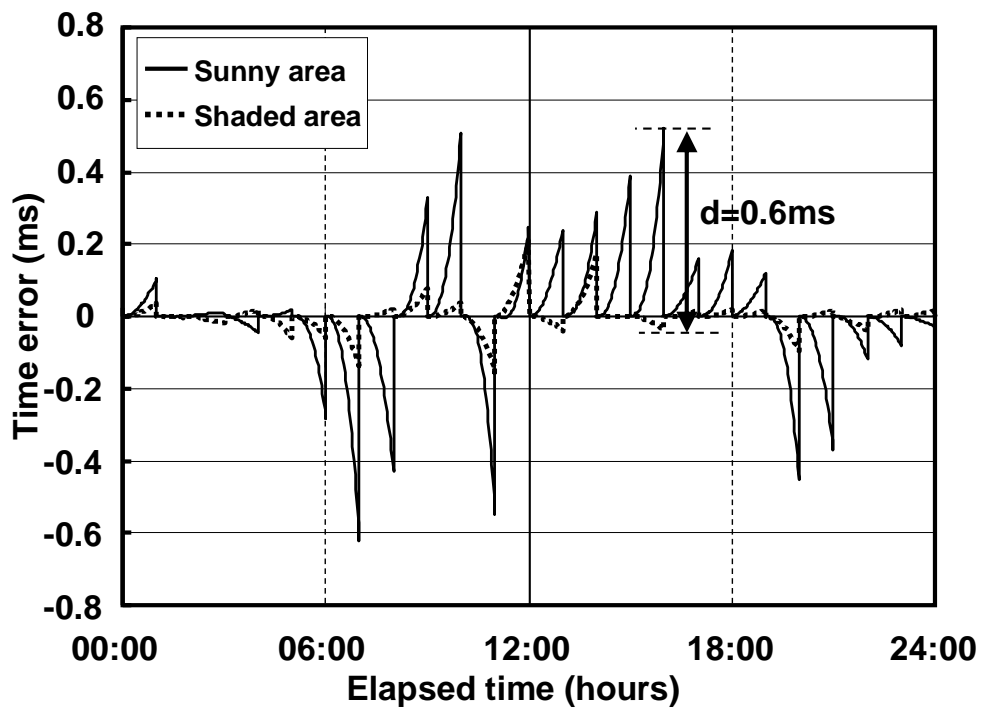


図 3.3 東京の夏の温度変化



(a)補正アルゴリズム無し



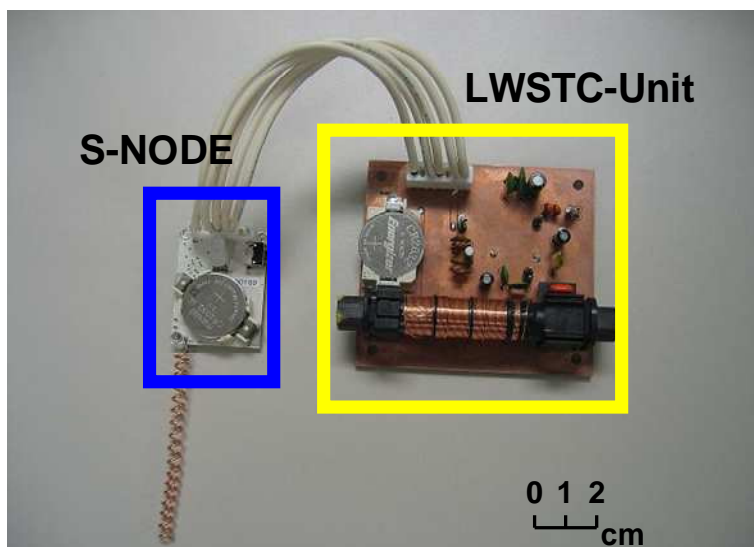
(b)補正アルゴリズム有り

図 3.4 日向と日陰におけるセンサノード間の時間ずれ

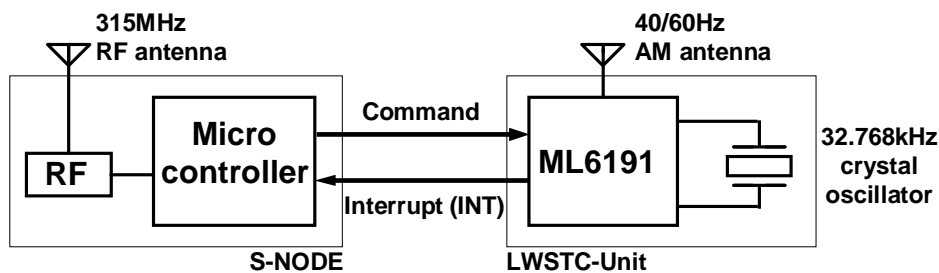
3.4 I-MAC の実装と消費電力のモデル化

3.4.1 I-MAC の実装

I-MAC の消費電力削減効果を見積もるために、市販のセンサノード(S-NODE; Ymatic[5])に I-MAC を実装する。図 3.5 (a)にプロトタイプの写真を、図 3.5 (b)にブロック図を示す。I-MAC に必要な時刻補正と起動タイミングの同期をおこなう LWSTC-Unit (Long-Wave Standard Time Code Unit)を S-NODE に接続した構成である。LWSTC-Unit には時刻補正機能付きリアルタイムクロック LSI(ML6191;沖電気工業[13])を使用した。ML6191 は 32.768kHz の水晶発振器と組み合わせてリアルタイムクロックとして動作し、その際の消費電力は $85.8\mu\text{W}$ と非常に小さい。



(a)



(b)

図 3.5 I-MAC を実装したプロトタイプセンサノードの写真(a)とブロック図(b)

3.4.2 I-MAC における消費電力のモデル化

次に、モデルを用いて消費電力への感度が大きいパラメータを解析する。簡単化のために、パケット衝突は無視するものとする。

LPL や I-MAC における平均消費電力 P_{total} を動作時間 T_{total} と総消費エネルギー E_{total} から以下の式で定義する。

$$P_{\text{total}} = \frac{E_{\text{total}}}{T_{\text{total}}} \quad (3.3)$$

総消費エネルギーを求めるために、通信時の消費エネルギーとアイドル時の消費エネルギーに分けてモデル化をおこなう。

まず、通信時の消費エネルギーについて述べる。あるノード 1 個に対して、送信範囲内における平均ノード数を N 、 T_{total} 中の平均送信回数を M とする。送信範囲内におけるノードもそれぞれ M 回送信をおこなうと仮定すると、ノード 1 個は平均 NM 回の受信をするといえる。また、 NM 回の受信の内、 M 回が自ノード宛のデータ受信、 $(N-1)M$ 回が他ノード宛のデータ受信とする。

1 データの送信、自ノード宛の 1 データ受信、他ノード宛の 1 データ受信に要する消費エネルギーと要する時間をそれぞれ E_{send} 、 T_{send} 、 $E_{\text{recv-own}}$ 、 $T_{\text{recv-own}}$ 、 $E_{\text{recv-other}}$ 、 $T_{\text{recv-other}}$ とする。これらより、通信時の消費エネルギー E_{com} と通信に要する時間 T_{com} を以下の式で定義する。

$$E_{\text{com}} = ME_{\text{send}} + ME_{\text{recv-own}} + M(N-1)E_{\text{recv-other}} \quad (3.4)$$

$$T_{\text{com}} = MT_{\text{send}} + MT_{\text{recv-own}} + M(N-1)T_{\text{recv-other}} \quad (3.5)$$

S_{ack} を ACK のサイズ、 S_{data} をデータサイズ、チャンネルレートを R とし、ACK とデータをそれぞれ送受信するのに要する時間 T_{ack} 、 T_{data} を次式で定義する。

$$T_{\text{ack}} = \frac{S_{\text{ack}}}{R} \quad (3.6)$$

$$T_{\text{data}} = \frac{S_{\text{data}}}{R} \quad (3.7)$$

プリアンブル送信時間を T_{preamble} とし、受信、送信、スリープ時の消費電力を P_{tx} 、 P_{rx} 、 P_{sleep} とすると、 E_{send} と T_{send} は以下の式で与えられる。

$$E_{\text{send}} = P_{\text{tx}}(T_{\text{preamble}} + T_{\text{data}}) + P_{\text{rx}}T_{\text{ack}} \quad (3.8)$$

$$T_{\text{send}} = T_{\text{preamble}} + T_{\text{data}} + T_{\text{ack}} \quad (3.9)$$

プリアンプルの平均受信時間は $T_{\text{preamble}}/2$ であるため, $E_{\text{recv-own}}$ と $T_{\text{recv-own}}$ は以下の式で与えられる.

$$E_{\text{recv-own}} = P_{\text{rx}} \left(\frac{T_{\text{preamble}}}{2} + T_{\text{data}} \right) + P_{\text{tx}} T_{\text{ack}} \quad (3.10)$$

$$T_{\text{recv-own}} = \frac{T_{\text{preamble}}}{2} + T_{\text{data}} + T_{\text{ack}} \quad (3.11)$$

他ノード宛のデータを受信した場合, ACK を返信せずに, アイドル状態になるので, $E_{\text{recv-other}}$ と $T_{\text{recv-other}}$ は以下の式で与えられる.

$$E_{\text{recv-other}} = P_{\text{rx}} \left(\frac{T_{\text{preamble}}}{2} + T_{\text{data}} \right) \quad (3.12)$$

$$T_{\text{recv-other}} = \frac{T_{\text{preamble}}}{2} + T_{\text{data}} \quad (3.13)$$

次にアイドル時の消費エネルギーについて述べる. 起動周期を T とした場合, アイドル時における T で消費するエネルギー E_T は次式で与えられる.

$$E_T = P_{\text{rx}} T_{\text{on}} + P_{\text{sleep}} (T - T_{\text{on}}) \quad (3.14)$$

T_{on} はキャリアセンスに要する時間である. T_{total} 中にアイドルで消費するエネルギー E_{idle} は次式で与えられる.

$$E_{\text{idle}} = \left(\frac{T_{\text{total}} - T_{\text{com}}}{T} \right) E_T \quad (3.15)$$

上記で定義した変数の中で, LPL と I-MAC で異なる変数は, プリアンプル送信時間 T_{preamble} のみである. LPL における T_{preamble} は T である. 一方 I-MAC における T_{preamble} は (3.1)式と 3.2 節で述べたように以下の式で与えられる.

$$T_{\text{preamble}} = \frac{4D}{C} + 4F + T_{\text{on}} \quad (3.16)$$

それぞれの T_{preamble} により E_{com} と E_{idle} が変わる. そこで LPL と I-MAC の E_{com} と E_{idle} をそれぞれ $E_{\text{com-LPL}}$, $E_{\text{com-IMAC}}$, $E_{\text{idle-LPL}}$, $E_{\text{idle-IMAC}}$ とする.

さらに, I-MAC では標準電波による時刻補正でエネルギーが消費される. 時刻補正時の消費電力と, 一回の時刻補正に要する時間をそれぞれ P_{LWSTC} , T_{LWSTC} とすると, T_{total} 中に時刻補正で消費されるエネルギー E_{LWSTC} は次式で与えられる.

$$E_{\text{LWSTC}} = \frac{T_{\text{total}}}{86400} C P_{\text{LWSTC}} T_{\text{LWSTC}} + P_{\text{clock}} T_{\text{total}} \quad (3.17)$$

ここで, P_{clock} は水晶発振器と内部タイマで消費される電力とする.

最終的に, LPL と I-MAC の総消費エネルギー $E_{\text{total-LPL}}$ と $E_{\text{total-IMAC}}$ は以下の式で与えられる.

$$E_{\text{total-LPL}} = E_{\text{com-LPL}} + E_{\text{idle-LPL}} \quad (3.18)$$

$$E_{\text{total-IMAC}} = E_{\text{com-IMAC}} + E_{\text{idle-IMAC}} + E_{\text{LWSTC}} \quad (3.19)$$

3.4.3 LPL と I-MAC の消費電力比較

前節で述べた消費電力モデルに, プロトタイプを実測したパラメータを適用し, LPL と I-MAC の消費電力比較をおこなう.

まず, 消費電力モデルのパラメータ設定について述べる. チャネルレート R は 9.8kbps とし, キャリアセンス時間 T_{on} を $2/R$ とする. これは通信方式として Manchester 符号化を用いたためである. S_{ack} と S_{data} はともに 20Bytes とし, 時刻補正に要する時間 T_{LWSTC} を 120sec とする. C, D, F はそれぞれ 24 回, 350ms, 1.5 μ s とする. したがって, I-MAC における同期のずれ d は 14.6 ms となる.

表 1. に S-NODE と LWSTC-Unit を実測して得られた電力パラメータを示す.

表 3.1 実測した電力パラメータ

	Parameters	Power (mW)
S-NODE	P_{sleep}	0.0066
	P_{tx}	23.58
	P_{rx}	21.72
LWSTC-Unit	P_{LWSTC}	0.0858
	P_{clock}	0.0084

図 3.6 に LPL と I-MAC における, 起動周期に対する消費電力の関係を示す. 送信回数 M を 100 回, 送信範囲内のノード数 N を 5 個とし, 上記のパラメータで電力を算出した. また, I-MAC に補正アルゴリズムを適用し d を 0.6ms とした場合についても算出した.

LPL では消費電力が最小となる点が存在する. 起動周期が短い領域では頻繁なキャリアセンスによる消費電力が支配的になり, 起動周期の増加にしたがって消費電力は

減少する。しかし、同時にプリアンプル長が増加するため、起動周期が長い領域では消費電力は再び増加する。この最適点は M と N によって変化するため、全てのノードを最適点で動作させることは困難となる。

一方 I-MAC には最適点は存在せず、起動周期を長くするほど消費電力は下がる。したがって、I-MAC では遅延の許す限り起動周期を長くすることが可能である。

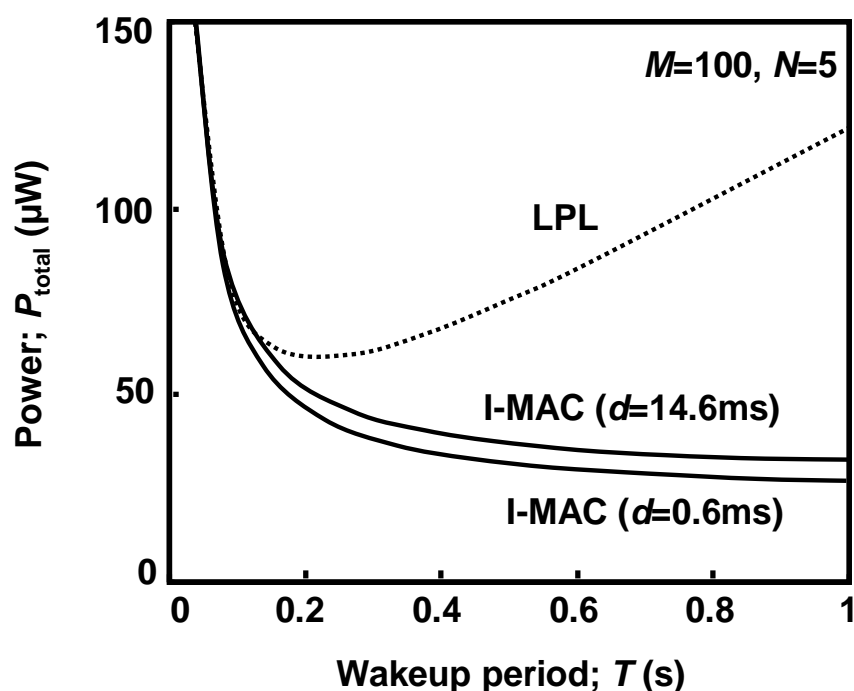


図 3.6 起動周期に対する消費電力の変化

3.5 低消費電力水晶発振回路

I-MAC は周期的に起動するためにタイマとタイマを駆動させる水晶発振器を常に動作させる必要がある。そこで、低電力水晶発振器を提案し、I-MAC のさらなる消費電力削減をおこなう。

図 3.7 は提案した水晶発振器の回路図である。このタイプの発振回路はピアス型発振回路と呼ばれ、単純な構成で周波数に対する安定性が高い[14]。電流源負荷を持つソース接地増幅器で構成される。電流源はバイアス電圧を与えた PMOS トランジスタで

ある。このため、電流源のバイアス電圧とソース接地増幅器のトランジスタサイズを適切に設定することで発振に必要な G_m を得ることができる。電流源を生成するためのバイアス回路は電源電圧変動に対して安定性を持たせるためにセルフバイアス型のバイアス回路となっている。バイアス回路に含まれる抵抗は poly と diffusion による抵抗の組み合わせでできており、温度係数が 0 となるように設計されている。Main amplifier は M1 と M2 から構成され、M3 から M6 がバイアス回路である。この水晶発振器は低供給電圧(0.5V)及び0.15- μm SOIプロセスで設計することで低電力を実現する。低供給電圧で安定して動作させるために、low-threshold-voltage トランジスタを用いる。また、short-channel effect と threshold-voltage のばらつきを抑えるために、M3 から M6 のゲート長は長くする必要がある。M7 から M12 は波形整形用の出力バッファである。M1 のドレインには M1 のゲートと同じ DC 電位がかかることから、M10 を M1 と同一のサイズとすることで波形整形後の出力のデューティ比を 50%に近い値に保っている。

表 3.2 はシミュレーションから得られた提案水晶発振器の消費電力と温度補償型水晶発振器(TG3530;Epson Toyocom)[15]の消費電力を示している。温度補償型水晶発振器に対して 93%の消費電力削減を実現した。

図 3.8 に 3 章で述べた温度モデルにおける、提案水晶発振器の同期ずれについて示す。温度測定周期を 5sec として補正アルゴリズムを適用した場合、温度差による同期ずれ d は 0.8ms となった。提案水晶発振回路を用いたことで消費電力が削減される一方で、図 3.2 と比較してクロックのドリフトが 0.2ms 増加している。

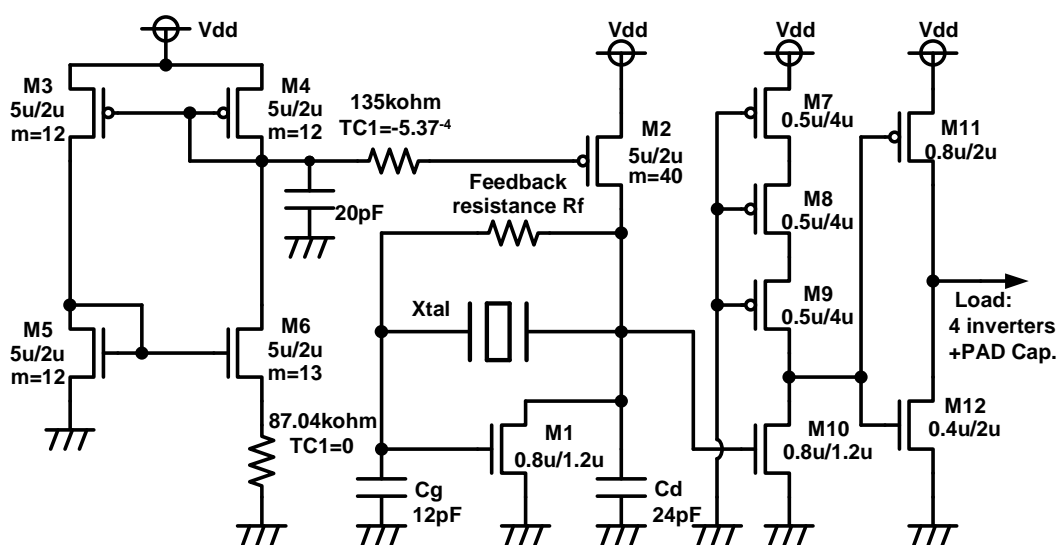


図 3.7 提案する水晶発振回路

表 3.2 水晶発振機の消費電力

Oscillators	Power (μW)
Epson Toyocom TG3530	5.1
This work	0.356

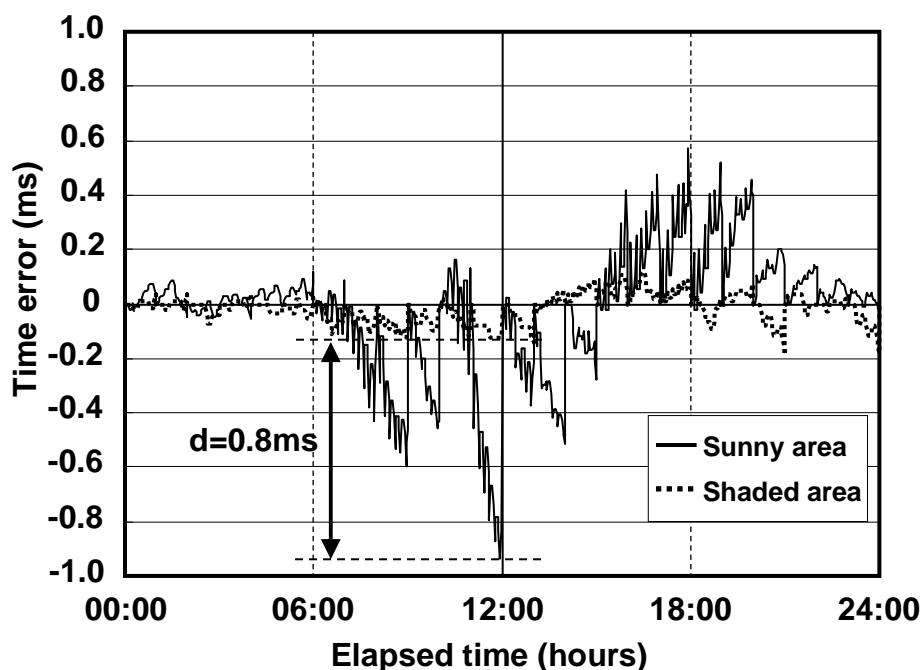


図 3.8 提案水晶発振器における同期ずれ

3.6 電力削減効果の評価

消費電力を比較するために、1.従来の LPL、2.温度補償水晶発振回路(TCXO)のみを用いた I-MAC、3.TCXO を用いた I-MAC と温度補償アルゴリズム、4.提案した低消費電力水晶発振回路と I-MAC と温度補償アルゴリズム、という4つのパターンについて、プロトタイプに実装し評価をおこなった。表 3.3 に評価時のパラメータについてまとめる。また表 3.4 に4つのパターンについてプリアンプの長さや内部タイマの消費電力をまとめる。提案する低消費電力水晶発振回路を用いた場合、消費電力は下がる一方、周波数の温度変動が増加するためプリアンプ長は長くなっている。

一日のデータ送信回数 M が 100 回、隣接ノード数 N が 5 個の場合について、4つの

パターンについて評価をおこなった結果とその内訳を図 3.9 に示す。また実験におけるパラメータを図内に記す。起動周期 T は 1 秒である。その他のパラメータは 3.4.3 節のものと同じとする。

I-MAC は通信にかかる消費電力を 10 分の 1 程度まで削減することができる。時刻補正アルゴリズムによってそれぞれのノードで T_{preamble} が削減されるため、通信電力はさらに半分に削減できる。そして提案する低消費電力水晶発振回路を用いることで、内部タイマの消費電力を 56% 削減することが可能となる。このとき、従来の LPL を用いた場合と比較して、全体で 81% の消費電力を削減できる。

表 3.3 電力評価時の各パラメータ

消費電力	S-node	TX	23.58 mW
		RX	13.50 mW
		Stand-by	0.007 mW
	同期モジュール	時刻補正	0.085 mW
ネットワークパラメータ	1日あたりの時刻補正回数		24 回
	時刻補正所要時間		2 分
	起動周期 T		1 sec
	キャリアセンス時間 T_{on}		0.2 ms
	チャンネルレート		9.8kbps
	データ/ACKサイズ		20Bytes
	平均隣接ノード数		5個
	1日あたりの平均送信回数		100回

表 3.4 プリアンブル長とタイマ消費電力

	Preamble length, T_{preamble}	Power of internal timer, P_{clock}
1. LPL	T	-
2. I-MAC using TCXO w/o time correction	$44 \text{ ms} + T_{\text{on}}$	8.4 μW
3. I-MAC using TCXO with time correction	$2.4 \text{ ms} + T_{\text{on}}$	8.4 μW
4. I-MAC using proposed oscillator with time correction	$3.2 \text{ ms} + T_{\text{on}}$	3.7 μW

$T=1000\text{ms}$: Wakeup period
 $T_{\text{on}}=0.2\text{ms}$: Wakeup duration

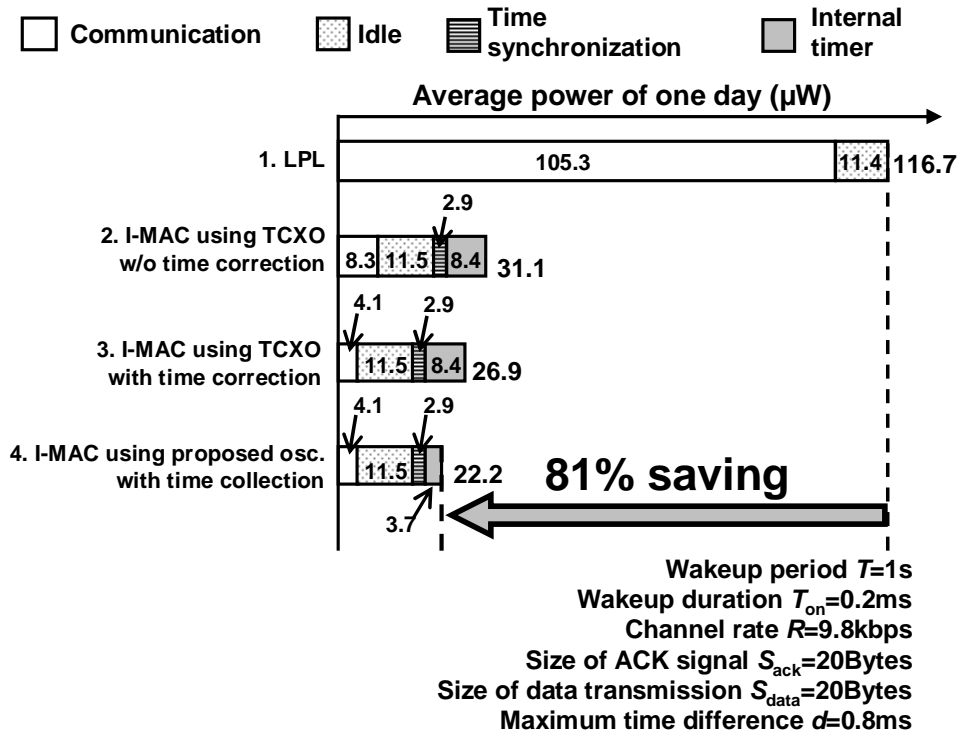


図 3.9 電力の比較と内訳

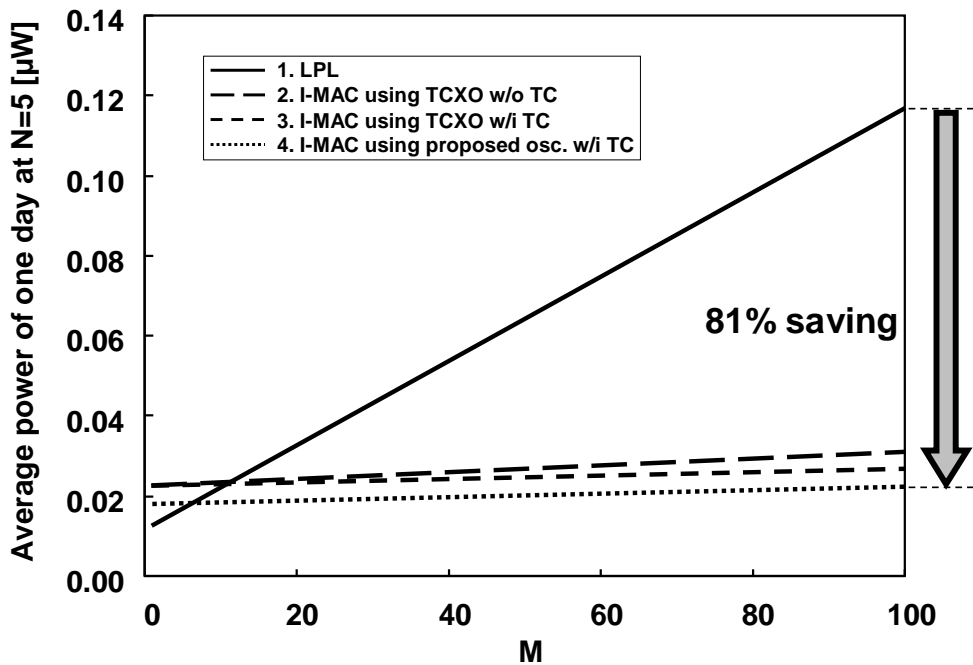


図 3.10 1日の平均データ送信回数と消費電力の関係

ここで間欠起動型 MAC において、通信電力は一日のデータ送信回数 M 、隣接ノード数 N によって変化する (式(3.4)を参照のこと)。センサノードが一様に分散して配置される場合、 N はすべてのノードで同様であると考えてよい。しかし M はベースステーションからのホップ数に影響を受けるパラメータである。センサノードはネットワークの端からベースステーションへ向けてデータを収集するため、ノードがベースステーションの隣に位置していた場合、そのノードの通信量は他の外側のノードに比べて大きいものとなる。つまりベースステーションの近くのノードではデータ送信回数 M が大きく、より大きな通信電力を消費する。

図 3.10 に 4 つのパターンについて M と平均消費電力の関係を示す。LPL と I-MAC を比較したとき、 M が大きいほど消費電力の削減効果が大きいことがわかる。これは I-MAC がすべてのノードでアイドルリスニングの時間を削減しているためである。一方、 M が 6.5 よりも小さい場合、I-MAC は LPL よりも消費電力が大きくなる。これは同期のために用いた長波標準電波モジュールと同期用内部タイマのオーバーヘッドによるものである。このような理由から、I-MAC を用いた場合、ベースステーションに近いノードほど電力の削減率が大きいことが期待される。図 3.9 は図 3.10 の $M=100$ の場合の一例となる。

3.7 結言

本章では通信電力を削減するために I-MAC を提案した。I-MAC はノード間の同期を利用することでアイドルリスニングの時間を減少させ、通信電力を大幅に削減する。またこの I-MAC をさらに低消費電力化するために、時刻補正アルゴリズムと低消費電力水晶発振回路を提案した。時刻補正アルゴリズムは温度変化によるノード間の時間のずれを補正することでプリアンブル送信時間を削減し、通信電力を約半分に抑えられる。また低消費電力な水晶発振回路を用いることで、常に動作しているタイマの電力を削減した。これら I-MAC、時刻補正アルゴリズム、低消費電力水晶発振回路の統合設計によって、従来の LPL を使ったノードと比較して 81% の消費電力削減を達成した。

第4章 低消費電力キャリアセンス回路

4.1 緒言

本章ではワイヤレスセンサネットワーク向けの閾値特性を持つ低消費電力電圧増幅器に関して述べる。ワイヤレスセンサネットワークにおいて重要な問題は無線通信回路の電力を削減することである。

通常センサノードは間欠動作しており、センサノードはデータのセンシング、中継、ネットワーク処理以外のほとんどの時間が待機状態である。待機状態に入るとセンサノードはスタンバイモードで動作する。その動作割合は通常 10^3 - 10^2 程度である [16]-[18]。このためセンサノードはスタンバイモードで動作する時間が非常に長く、スタンバイモードの電力が大きいとそれが支配的になってしまう。スタンバイモードの消費電力は動作時の電力よりも 10^4 程度と十分小さいものでなければならない。ネットワーク全体の平均消費電力を削減するためには、動作電力のみでなく、待機時に消費する消費電力の削減も同様に重要となる。

センサネットワークにおいて、電力を無駄にしないために無線送信データの衝突を避けることが重要である。あるノードが送信しているとき、周辺の他のノードは通信をおこなってはならない。これを実現するためには、無線機にチャンネルが空いているかどうかを検知する機能が必要となる。このキャリアセンス機能は衝突回避の手段として多くの MAC プロトコルで必要とされる。

すべてのノードはデータ送信の前にキャリアセンスをおこなう。もしもキャリアが検出された場合、ノードは送信を延期する。通常キャリアは RSSI (received signal strength indicator) によって検出される [18]。検出される電力が閾値を超える場合、チャンネルが使用中であると判断される。RSSI にはチャンネルのエネルギーを検出するために追加の回路が必要となる。チャンネルを検出するために AD 変換器を追加する場合、その消費電力は大きくセンサネットワークには適さない。このような背景から、本章では 433MHz で動作する閾値特性を持つ低消費電力電圧増幅器を提案する。

4.2 従来の電圧増幅器

従来の研究において、センサネットワークのために低消費電力な無線通信回路が提案されている[19], [20]. これらはOOK (on-off keying)を適用し、信号の有無でデータを変調している (例えば信号があれば“High”, なければ“Low”). OOK は単純な変調なため、低消費電力であり、実装も容易である. [20]では受信機の初段にLVA (low-voltage amplifier)を用い、それ以降はインバータタイプの電圧増幅器を縦続接続することでインダクタを不要とし、低消費電力、低コストな受信機を実現している. この回路は非コヒーレントな受信機で、デジタルライクな受信機となっている. これらは 433MHz の周波数において rail to rail で動作する.

図 4.1 に nMOS の電源スイッチを持つインバータタイプの電圧増幅器を示す. スタンバイモードのとき、貫通電流を削減するためにこれらのスイッチはスタンバイ信号によって off される. この増幅器は抵抗 R_{fb} によるフィードバックによって、自動的に利得が最大の点にバイアスされるため、バイアス電圧の調整機構が不要である. このタイプの電圧増幅器は高い電圧利得を持ち、圧電素子を使った発振回路などによく利用される. しかし一方で、常に貫通電流が流れるため、信号が入力されていないときでも大きな電力を消費する. [20]の受信機ではこのインバータタイプの増幅器が全体の 94% もの電力を占めている.

インバータタイプの電圧増幅器に代わり、図 4.2 に示す貫通電流を抑えたラッチタイプの電圧増幅器が提案されている[21]. この増幅器はラッチ回路の特徴として、 V_h と V_l の二つの双安定なバイアス点を持ち、メインアンプの貫通電流を削減する. [21]において、フィードバックのインバータの電源である V_h と V_l は外部から供給され、貫通電流が最大となる電圧からわずかにずらされている. 信号が入力されたとき、メインアンプは信号を増幅すると同時にフィードバックのインバータを駆動する. フィードバックのインバータは入力された信号をラッチする方向に動作する. しかしこのラッチタイプの増幅器では方形波しか受け入れることができない. もし正弦波が入力された場合、入力された信号とフィードバックされた信号の位相誤差によってバイアス電圧が上下に振動してしまう. それゆえ高周波の RF 信号用途にこのラッチタイプの電圧増幅器を適用することはできない.

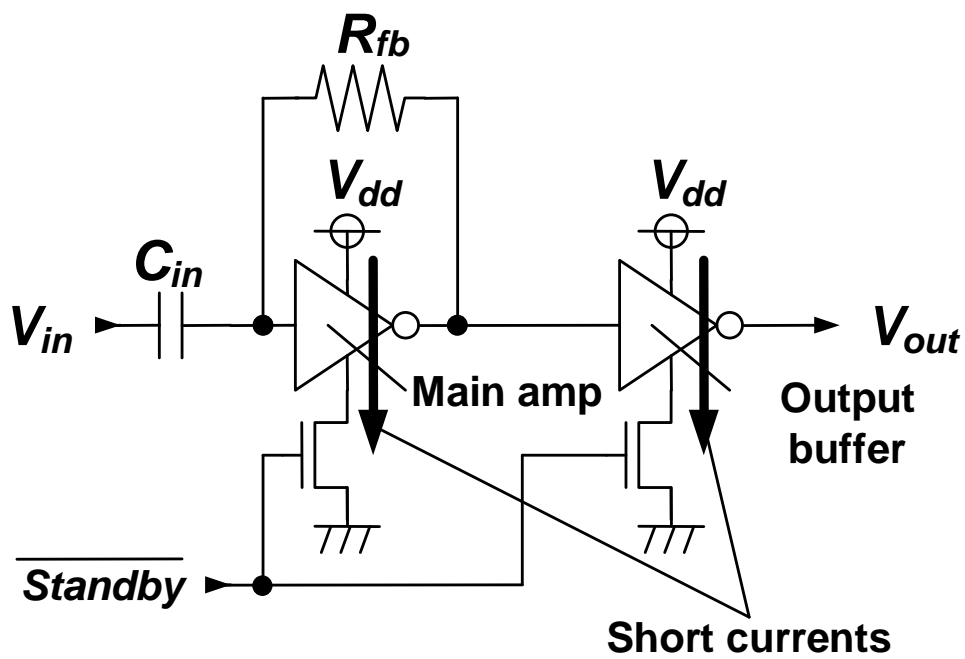


図 4.1 従来のインバータタイプ電圧増幅器

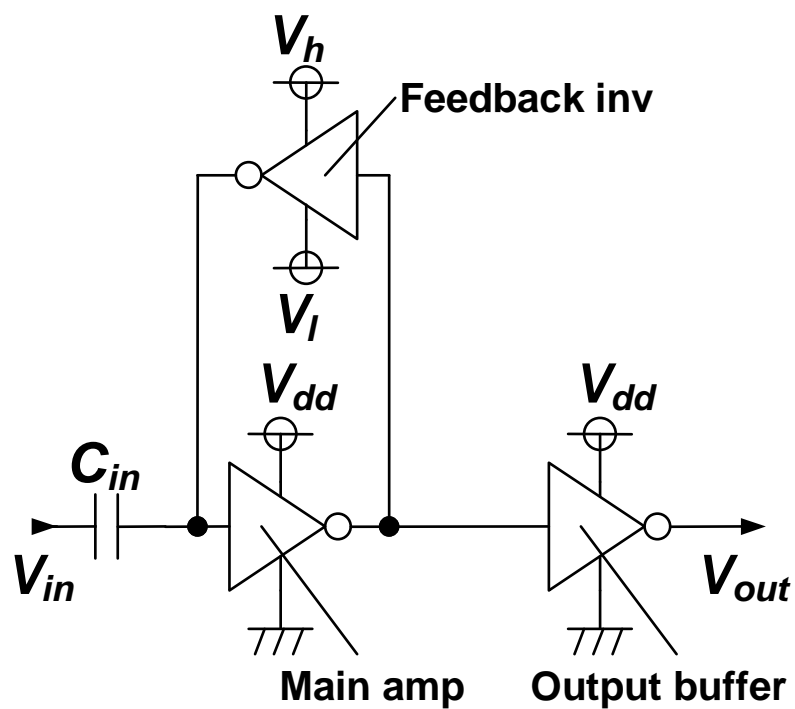


図 4.2 ラッチタイプの電圧増幅器

4.3 BSAMP (Bistability Amplifier)

ラッチタイプの電圧増幅器をもとに、低消費電力な双安定増幅回路 (BSAMP) を提案する (図 4.3). 従来のラッチタイプと提案する BSAMP でメインアンプのトランジスタサイズは同じである. しかしバイアス点を安定化するために C_{fb} と R が追加され, 正弦波の入力が可能である. 提案する BSAMP では, OOK のデータレートを 20kbps と想定している. 図 4.3 において C_{fb} と R はハイパスフィルタの役割を果たし, 低周波でのバイアス点の振動を避けるため, データレートの 20kHz の周波数成分を通さない構成となっている. このハイパスフィルタはキャリア信号である 433MHz は通し, 20kHz の信号を -40dB 減衰させる. V_h と V_i は後述する電圧生成回路から供給される. 双安定補助回路 (BS-aid) は正帰還によってメインアンプが双安定状態にあることを補助する. メインアンプは入力信号 (V_{in}) を増幅し, 出力バッファを駆動する. ここで HSPICE を用いてすべての寄生成分を考慮に入れ, 回路シミュレーションをおこなった. 本節では図 4.2 のラッチタイプの電圧増幅器と提案する BSAMP について回路シミュレーションによる比較をおこなう.

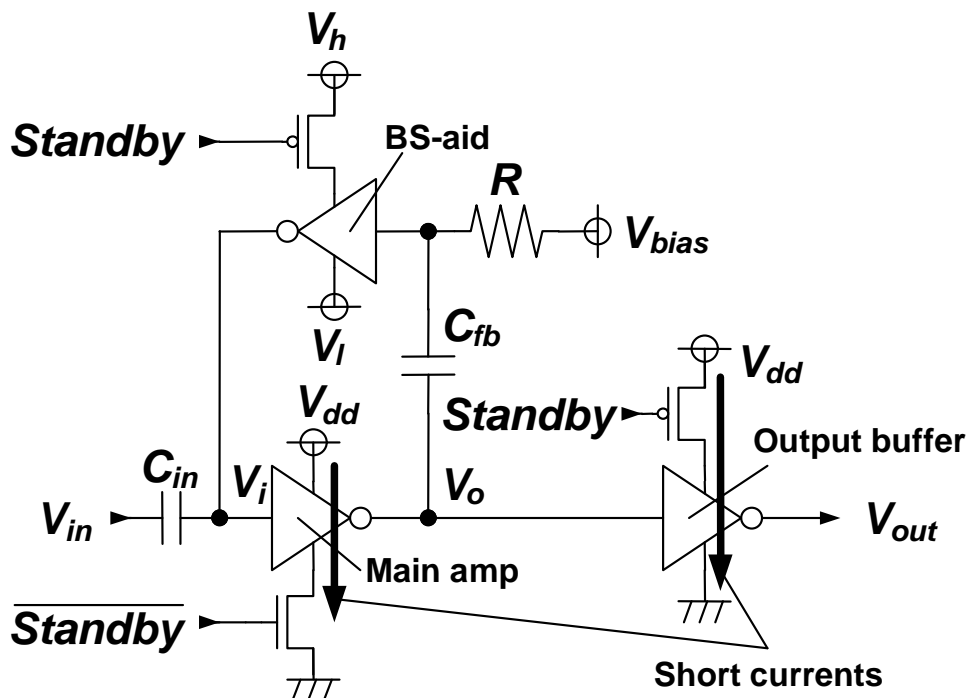


図 4.3 提案型双安定増幅回路 (BSAMP)

4.3.1 DC 特性

図 4.4 (a)に電源電圧 1V でのメインアンプと BS-aid の動作点を示す. 従来のメインアンプと提案する BSAMP はトランジスタサイズが同一であるため、同じ DC 特性を持つ. メインアンプと BS-aid の DC 特性は二つの点で交差しており、これらが双安定点となる. BSAMP では、出力の V_o の振幅が毎回 $V_a (= (V_h - V_l)/2)$ を上回る度にメインアンプのバイアス点が二つの双安定点を移動する. V_a 小さく ($=25 \text{ mV}$), 傾き最大のバイアス点 ($(V_h + V_l)/2$) に近いことから、バイアス点での電圧利得は従来の電圧増幅器とほぼ等しい.

図 4.4 (b)にメインアンプと BS-aid に流れるバイアス電流を示す. 電流最大の点から少しずれたところに双安定点が存在するため、メインアンプに流れるバイアス電流は 5%削減され、消費電流は $232 \mu\text{A}$ である. この結果、出力バッファに流れるバイアス電流も大幅に削減される.

従来の電圧増幅器では、バイアス点が電流最大の点に設定されるため、出力バッファに大きな貫通電流が流れる. 図 4.5 に示すように、BSAMP では出力バッファが 0.67V にバイアスされるため、従来の増幅器と比較して貫通電流の 86.4%を削減することが可能である. このとき BS-aid のバイアス電圧は $V_{bias} (=V_h=0.476\text{V})$ に固定されている. 電源電圧が $50 \text{ mV} (=V_h - V_l)$ であるため、BS-aid に流れる電流は非常に小さい.

提案する BSAMP では、スタンバイ電流を削減するための zigzag カットオフ回路が適用できる[22]. 従来の電圧増幅器では後段のバッファ回路とバイアス電圧を揃えるため、カットオフのために二つの nMOS スイッチが用いられる(図 4.1). このため zigzag 回路を適用することはできない. もし zigzag 回路を用いた場合、バイアス電圧が中心からずれるため、電圧利得が減少する. 従来の電圧増幅器では、スタンバイモードで nMOS スイッチが off していても、メインアンプのリーク電流が最大となる点に自動的にバイアスされる. 一方 BSAMP では、BS-aid の pMOS スイッチが off したとき、BS-aid の出力電圧が V_l に固定されるため、メインアンプの nMOS をわずかに off する方向にバイアス点がずれることとなる. メインアンプでは、このわずかに off した状態の nMOS と、スタンバイモードで完全に off されたカットオフ用の nMOS によって、従

来の増幅器よりもリーク電流を削減することができる。さらに出力バッファでは pMOS が off する方向にバイアスされるため、カットオフ用の pMOS と合わせてスタンバイリークを大きく削減することができる。このメカニズムはスタンバイ時のリークパスに常に二つのトランジスタが off した状態で挿入されることを利用し、スタンバイリークを大幅に抑えることができるという利点を持つ。スタンバイモードからアクティブモードへの移行にかかる時間は $20\mu\text{s}$ で、これはデータレートの 1bit の時間よりも十分短いため、通信を始めるにあたって電力と遅延の影響は無視することができる。出力バッファを含めたバイアス電流とスタンバイリークによる電力は、従来の増幅器で $547\mu\text{W}$ と 178 nW であったのに対し、BSAMP では $277\mu\text{W}$ と 23.1 nW であった。これはバイアス電力を 46%、スタンバイ電力を 87%削減できることを示している。

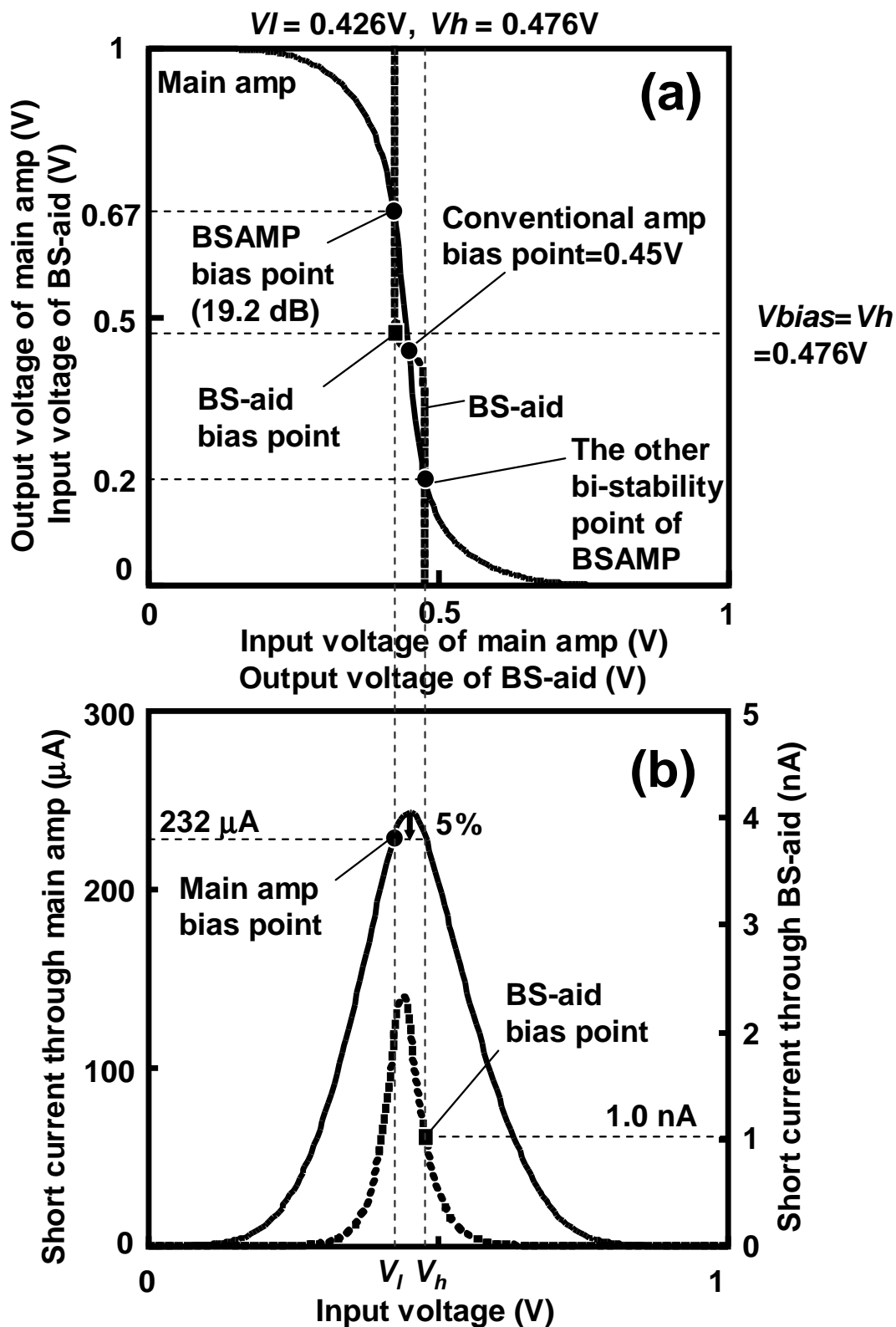


図 4.4 BSAMP の DC 特性. (a) バイアス電圧, (b) バイアス電流

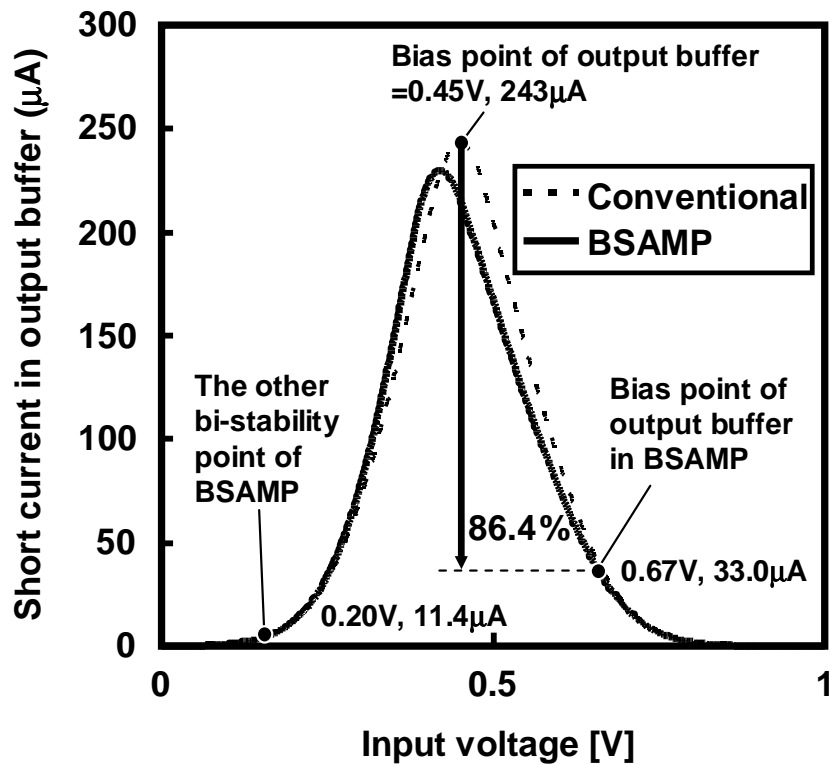


図 4.5 出力バッファのバイアス電流

4.3.2 アクティブモードにおける動作

BSAMP において、 V_{in} がメインアンプに入力されたとき、 V_i にバイアスされているメインアンプは増幅された電圧を出力する。ここで V_o が V_a よりも小さい時、BS-aid はフィードバックによって V_{in} の安定点を維持しようとする。これはバイアス点が双安定点であるためである。このとき、出力バッファは負の利得を持つ領域でバイアスされることとなり、全体の増幅率もマイナスの値となる。

これに対し、 V_o が V_a よりも大きい時、バイアス点はもう一つの安定点 V_h へ移動する。そうしているうち、メインアンプのバイアス電圧は V_l と V_h の間で変化し、これに伴って出力バッファのバイアス電圧も変化し、結果的に正の電圧利得を持つ。

図 4.6 に 433MHz における電圧利得特性を示す。横軸は V_{in} の実効値表記となっている。入力電圧 V_{in} が 25mV 付近において、BSAMP は閾値特性を持つ。この特性をキャリアセンスに利用することができる。提案する電圧増幅器は rail to rail で動作し、はじめは入力電圧が増加するに従って電圧利得が増加する。途中で出力電圧が飽和するこ

とから、電圧利得は減少していく。

シミュレーションでは、入力電圧が 40mV_{rms} のとき電圧利得が最大となり、 11dB の利得を得ることができる。BSAMP は LVA の後段に用いられることを想定しているため、 50mV 程度の信号電圧を得ることは比較的容易である。

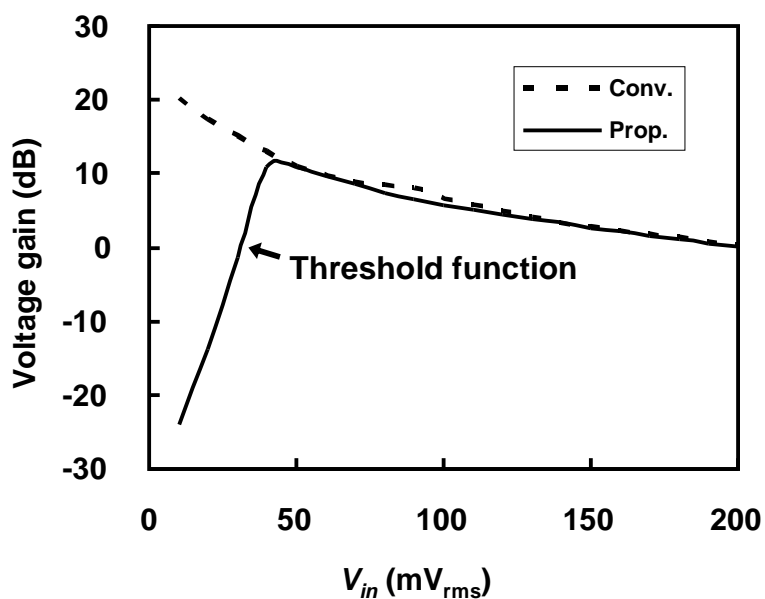


図 4.6 入力電圧に対する電圧利得特性

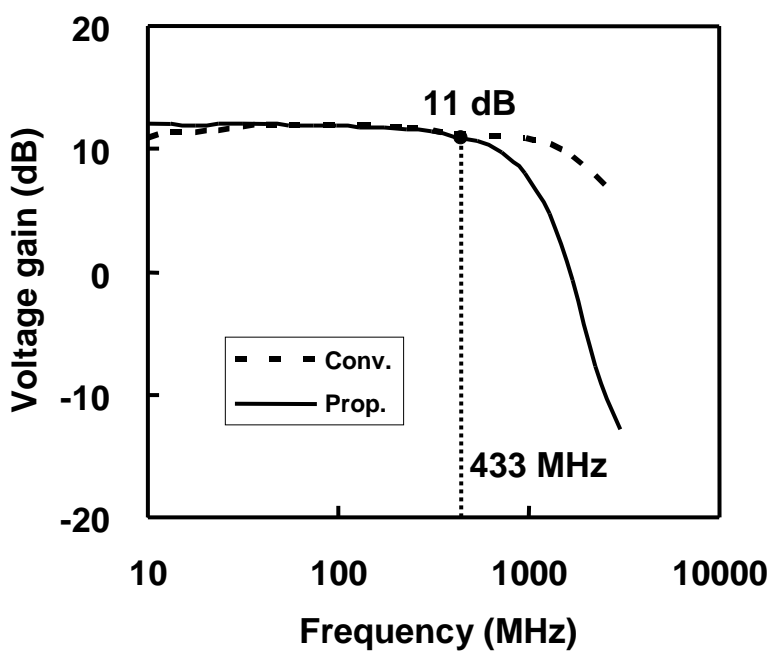


図 4.7 周波数特性

図 4.7 は従来の電圧増幅器と BSAMP における電圧利得の周波数特性を示したものである。入力電圧はどちらも 50mV に設定した状態でシミュレーションをおこなった。 433MHz ではどちらも利得の劣化はないものの、 1GHz を超えると BSAMP の利得は減少する。これは BS-aid に流れる電流が 1.0nA であり (図 4.4 (b)), コンダクタンスが非常に小さいためと考えられる。BS-aid の電源電圧は 50mV と小さく、結果として帯域も低くなる。BS-aid の帯域は V_h-V_l の値を大きくすることで改善される。しかしこれに伴って閾値電圧も大きくなるため、小信号を扱う場合には適さない。

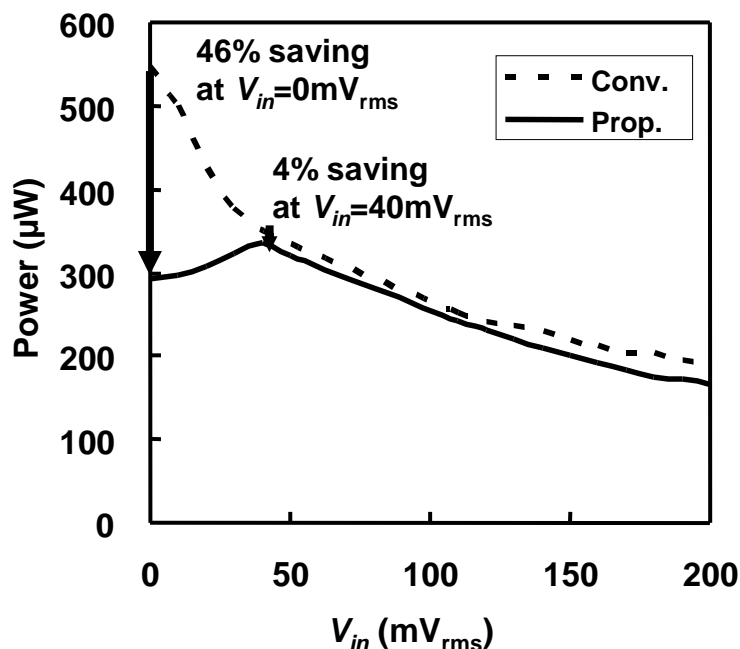


図 4.8 入力電圧に対する消費電力特性

図 4.8 に入力電圧 V_{in} に対する消費電力の変化を表している。従来の増幅器と比較し、 V_{in} が 40mV_{rms} よりも大きい点では出力電圧が飽和するため、動作電力はほぼ等しい結果となった。ここで、信号が“High” (ここでは 40mV_{rms} よりも大きい信号) のとき、消費電力は 4% の削減に止まる。しかし信号が“Low” (0mV_{rms}) のとき、46% の消費電力を削減することができる。信号が 0mV_{rms} のとき、4.3.1 節の最後で述べた DC バイアス電流の削減と等しい。“Low” の信号のときに電力削減率が高いことから、変調信号のデューティ比が小さいほど、より多くの動作電力を削減できる。

入力電圧が“High”から“Low”へ変化する際に、BS-aid がバイアス点を設定しなおすために必要な時間は $10\mu\text{s}$ である。“Low”から“High”へ変化する際には $1\mu\text{s}$ の時間がかかる。このことから、本設計におけるキャリアセンス可能な最大データレートは 100kbps となる。

4.3.3 電圧生成回路

BS-aid の V_l と V_h を生成するための電圧生成回路を図 4.9 に示す。 $V_a = (V_h - V_l)/2$ であるので、スイッチ $S_i (i=0, \dots, n)$ によって V_h と V_l の間のインピーダンスを制御し、 V_a をプログラマブルに変えることができる。この結果、BSAMP の増幅閾値電圧を変えることができる。ワイヤレスセンサネットワークでは、要求されるキャリアセンスのレベルがアプリケーションによって異なるため、スイッチ S_i はアプリケーションによって決定される値である。プログラマブルな電圧生成回路を用いることで BSAMP の増幅閾値電圧を調整することができ、 S_i はキャリアセンスのレベルに応じて選択される。またマイクロコントローラが S_i を制御することで、通信チャネルの状態に合わせてダイナミックにキャリアセンスレベルを変更することが可能である。

図 4.10 に電圧生成回路によって生成される電圧の特性を示す。 $V_h - V_l$ の値は 8 つのスイッチで 16mV から 193mV まで変化させることができる。電圧生成回路に用いられている抵抗の値がばらついた場合にも、このスイッチで出力電圧を調整することができる。

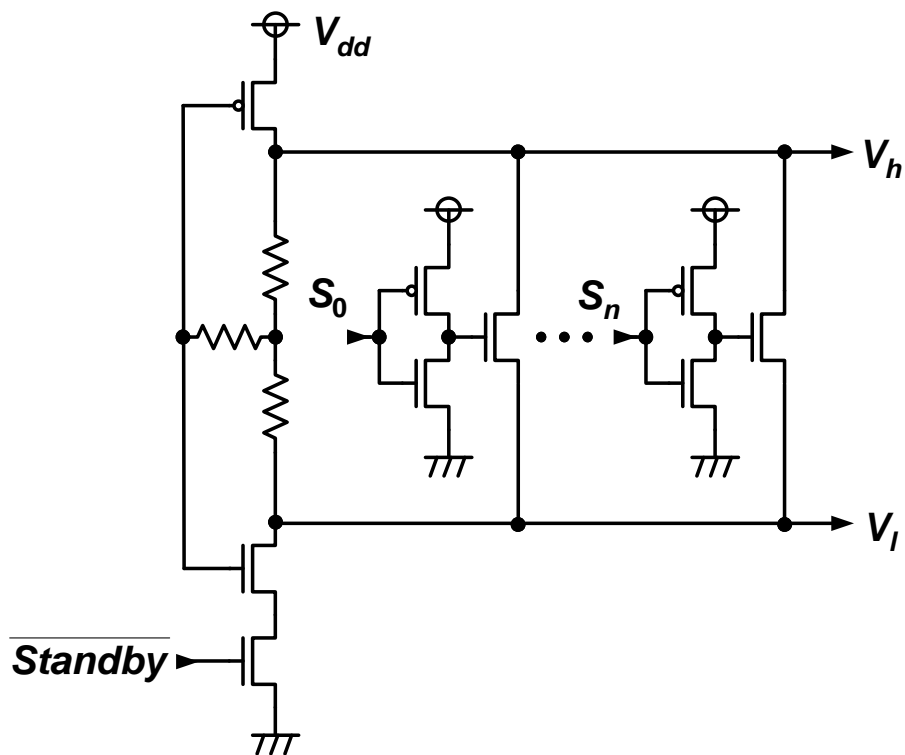


図 4.9 電圧生成回路

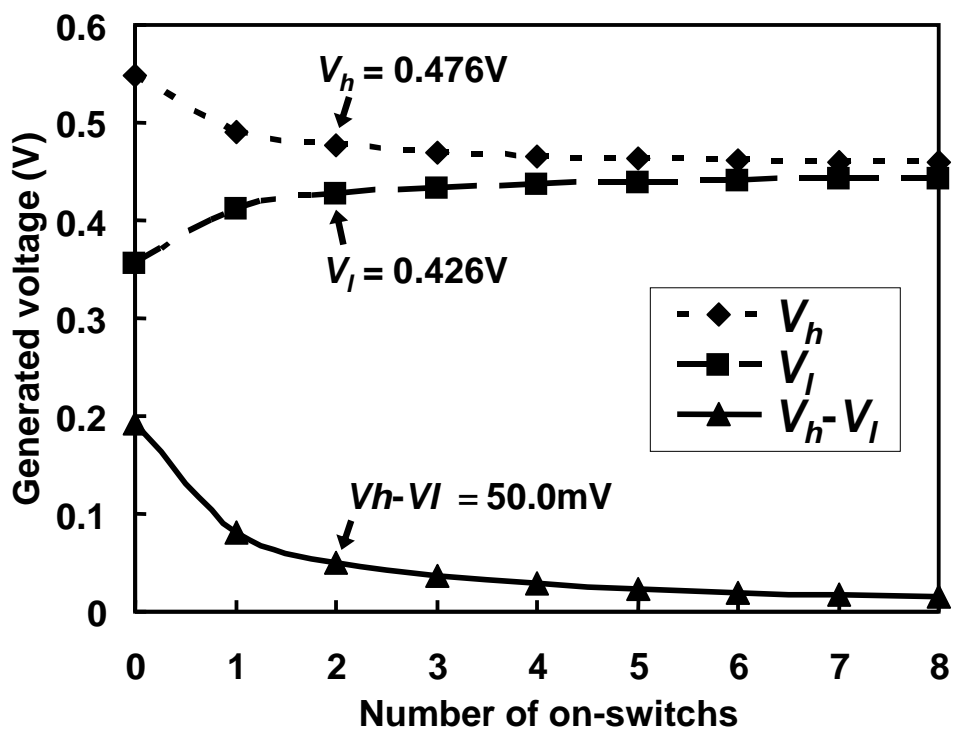


図 4.10 電圧生成の特性

プロセスコーナーがばらついたとき、電圧生成回路の出力 V_h と V_l は変化する。このような状況下でもメインアンプのバイアス電圧は適切に設定され、電圧利得を持たなければならない。図 4.11 に FF, SS, FS, SF の 4 つのパターンでプロセスがばらついた際の BSAMP の DC 特性を示す。ここで “FS” は nMOS が Fast, pMOS が Slow であることを意味する。図 4.11 から、プロセスコーナーに依存してバイアス電圧は変化するものの、双安定性は保たれていることが分かる。これは図 4.9 の電圧生成回路の構成が BSAMP のメインアンプと同様の構成であるため、プロセスによるばらつきの受け方も同様であるためと考えられる。

このプログラマブル電圧生成回路の消費電力はアクティブモード時に $12.5\mu\text{W}$ である。スタンバイモードでは、Standby 信号とスイッチ S_i を off することでリーク電力を 0.5nW まで抑えることができる。

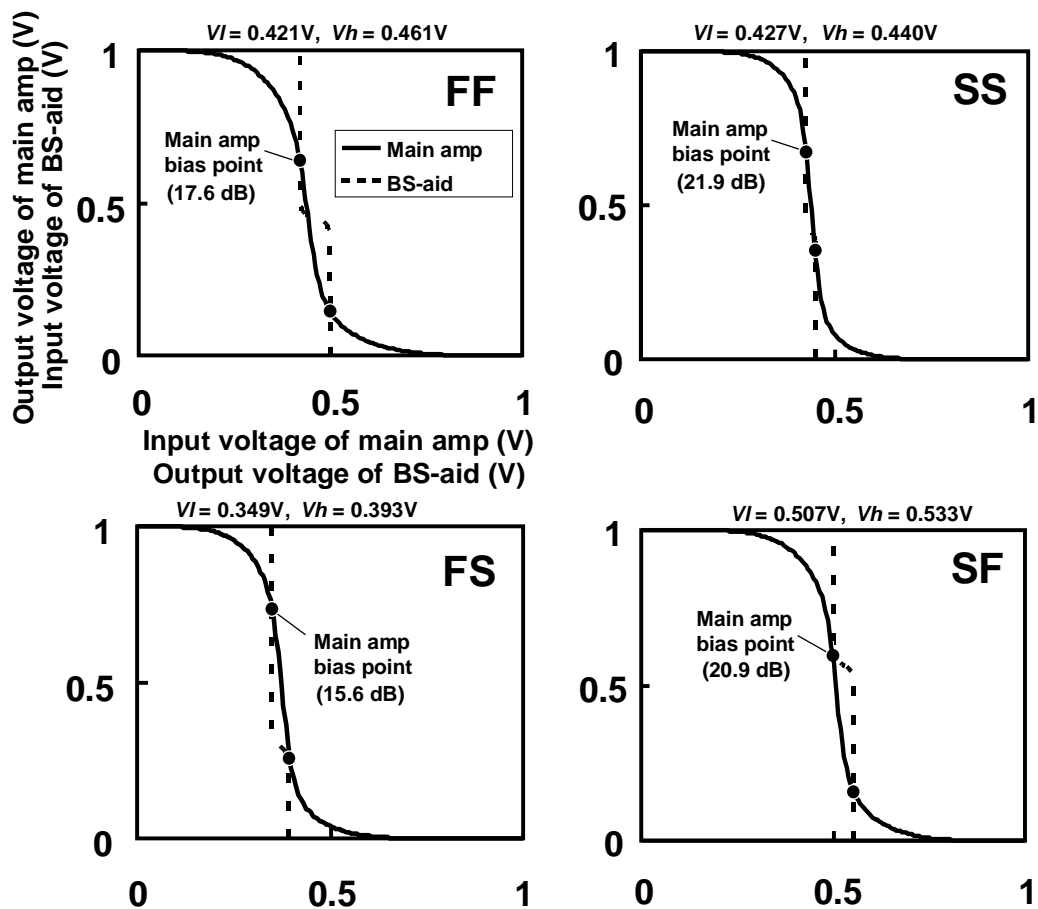


図 4.11 プロセスコーナーにおける DC 特性の変化 (図中の括弧の値はそれぞれのバイアス点におけるメインアンプの電圧利得)

4.4 実測結果

図 4.12 に 0.15- μm プロセスで試作したチップの写真とレイアウト図を示す. BSAMP の面積は $82 \times 24 \mu\text{m}^2$ であり, 追加された BS-aid と C_{fb} ($= 1.6 \text{ pF}$) のために従来の電圧増幅器と比較して 16% の面積オーバーヘッドを生じる. この BSAMP はプローバを用いて測定し, V_{in} はシグナルジェネレータから供給した. V_h , V_b , および V_{bias} の値は図 4.4 の値に設定した.

図 4.13 は 433MHz における電圧利得を測定した結果である. V_{in} が非常に小さい領域で実測値がシミュレーションの値を上回っている. これはハイインピーダンスプローブによる測定限界のためである.

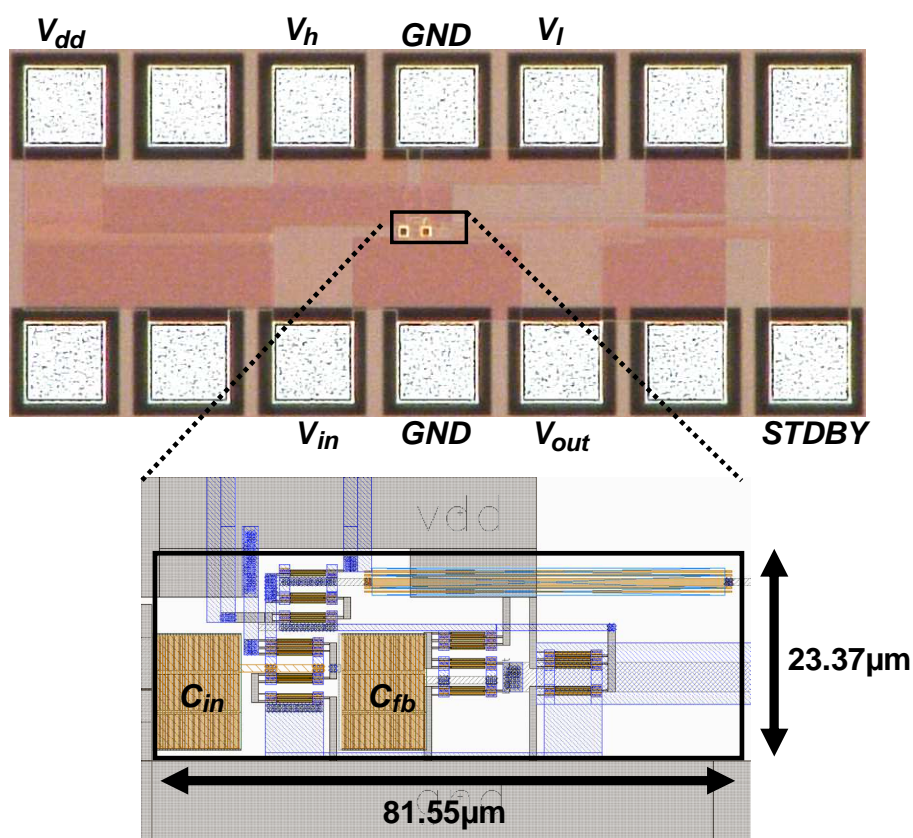


図 4.12 チップ写真および BSAMP のレイアウト

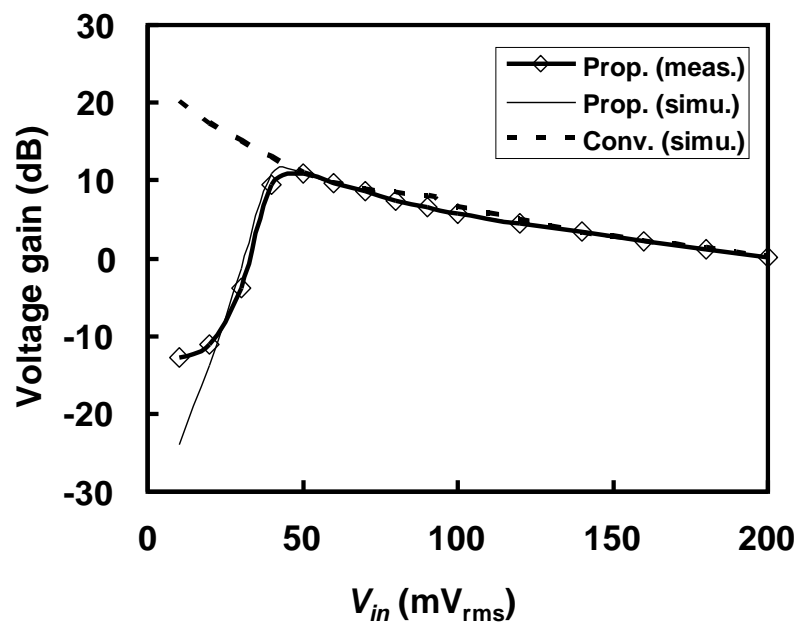


図 4.13 電圧利得の測定結果

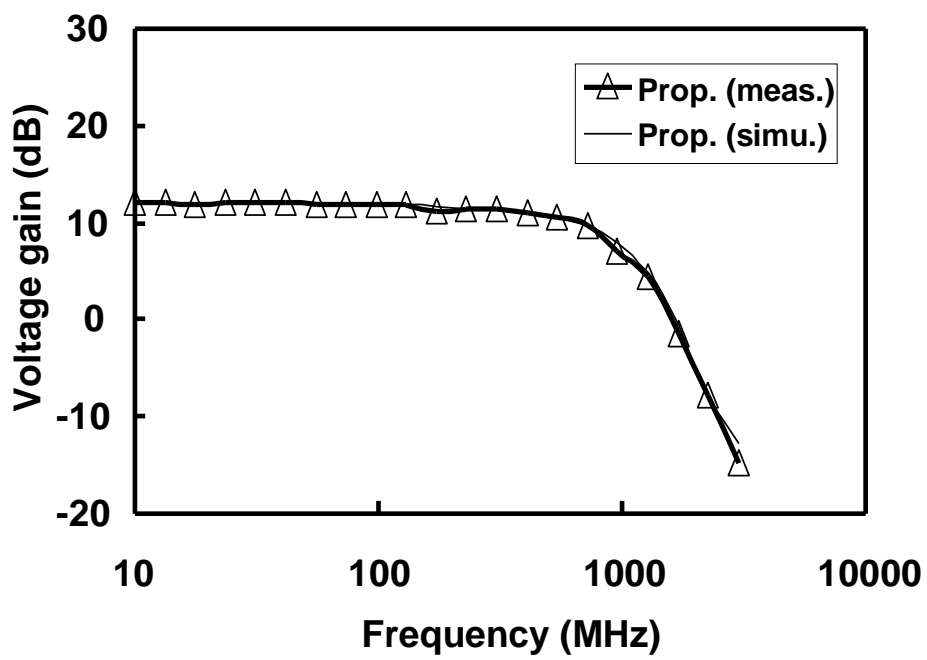


図 4.14 周波数特性の測定結果

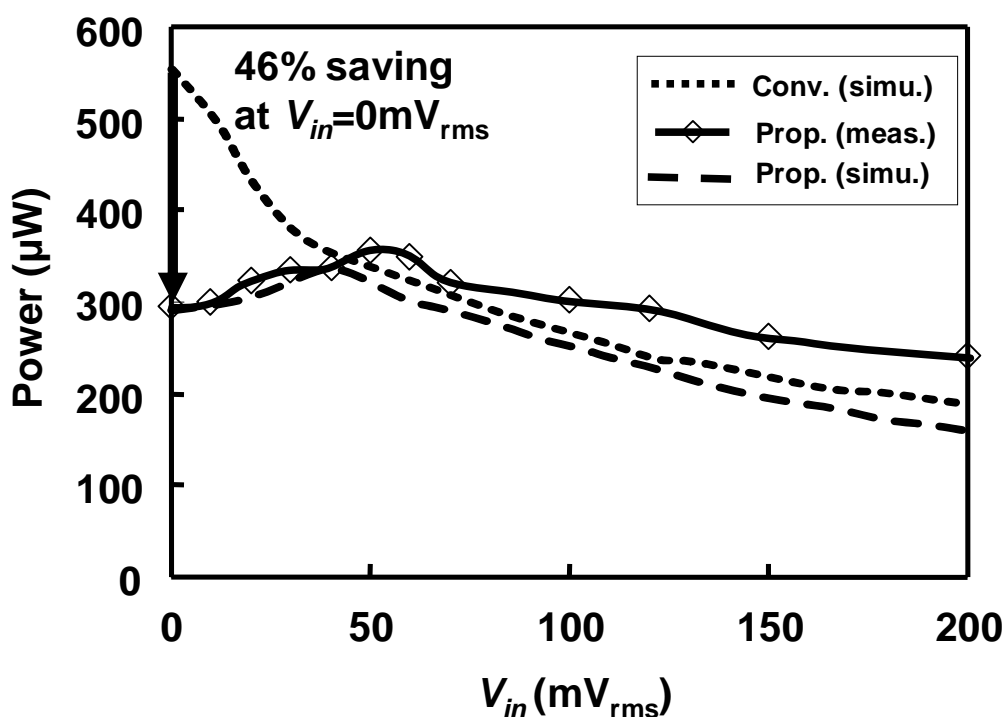


図 4.15 消費電力の測定結果

図 4.14 は測定された周波数特性である．電圧利得は 433MHz において 11dB であった．図 4.15 は BSAMP の消費電力の実測結果である．入力電圧が小さい時，消費電力が削減できることがわかる．BSAMP は入力電圧が 0V のとき，従来の電圧増幅器と比較して 46% の消費電力削減を実現した．入力電圧が高い領域でシミュレーションよりも大きい電力を消費している． V_{in} が 40mV_{rms} よりも小さい領域では電力の削減が可能である．

電力の削減効果を表 4.1 にまとめる．スタンバイ電力はアクティブ電力のおよそ 10^4 倍となっている．従来の電圧増幅器と比較して，スタンバイ電力は 78% の削減を達成した．またアクティブ電力は入力信号 0mV_{rms} のとき，46% の電力削減，入力信号 40mV_{rms} のときは 0.5% の電力増加となっている．実際の動作における消費電力を計算するため，ワイヤレスセンサネットワークにおいてノードがアクティブである比率を 10^{-3} と想定する．また信号 “High” と “Low” の比率は 1 対 1 であるとする．このとき，BSAMP によって平均電力の 40% を削減できる見通しを得た．

表 4.1 全体の消費電力

	Standby		Active				Total***
	AMP	Voltage gen.	AMP		Voltage gen.	Average of active	
			Sig. "Low" (0mV _{rms})	Sig. "High" (40mV _{rms})			
Conv.*	178 nW	-	547 μ W	350 μ W	-	449 μ W	627 nW
Prop.**	39 nW	0.5 nW	295 μ W	352 μ W	12.5 μ W	336 μ W	376 nW
Saving	78%	N/A	46 %	-0.5 %	N/A	25 %	40 %

4.5 結言

本章では双安定状態を利用した閾値特性を持つ低消費電力電圧増幅器, BSAMP を提案した. 動作周波数 433MHz において平均動作電力は 449 μ W, 最大電圧利得は 11dB であった. 従来のインバータタイプの電圧増幅器と比較して, スタンバイ電力は 78% の削減, アクティブ電力は “High” と “Low” の比率を 1 対 1 と仮定したとき, 46% の削減が可能である. ノードがアクティブである比率を 10^{-3} と想定した場合, 平均消費電力は 376nW と見積もられた. 提案する BSAMP は増幅可能な最小入力電圧を持つことから, 他に回路を追加することなくキャリアセンス機能を実現できる. ワイヤレスセンサネットワークにおいてこのキャリアセンス機能は衝突を回避するために必要不可欠な技術である.

第5章 レイヤ間統合と SoC 化による低消費電力化

5.1 緒言

センサノードの低消費電力化のためには無線通信回路の動作時間を削減することが不可欠である。また動作電力削減のために無線通信の時間を減らすことは、待機時間の増加につながる。このためワイヤレスセンサネットワーク全体の平均消費電力を削減するためには、動作電力のみでなく、待機時に消費する消費電力の削減も同様に重要となる。待機電力の削減は電源、クロックを管理し、無駄な電力を消費させないことが重要である。

またセンサノードは待機時、データを保管するためにデータメモリの電源を遮断することができない。このためデータメモリのリーク電力の削減技術が不可欠である。

さらにワイヤレスセンサネットワーク普及への課題として、センサノードを安価に大量生産可能とすることが重要である。半導体製造技術の向上により、従来集積できない規模の複数の回路も 1 チップに集積可能となっていることから、センサノードを 1 つの LSI に SoC (System on a Chip) として集積することが有効となる。複数の単機能 LSI を基板に実装する場合と比較して、SoC にすることで小型化、低消費電力化、高速化、低コスト化というメリットが得られる。しかし無線通信回路では、イメージ除去のためのフィルタ等に高い Q 値が必要となることから、一部の回路は LSI 化が困難である。このため、通常これらの回路素子は LSI の外部にモジュールとして接続する。その結果、部品点数の増加、歩留まりの劣化、大型化、コストの増加が問題となる。よって無線回路の SoC 化を進めるために、無線通信回路のアーキテクチャによって LSI 内部の回路にかかる負担を低減することが重要となる。無線通信回路の LSI 化において、回路とアーキテクチャの協調設計が不可欠である。

以上の課題に対し、本章では低消費電力、低コストなセンサノードを実現するための要素技術とその統合について記述する。第 3 章で述べた I-MAC を LSI に実装することで無線通信回路の動作時間を削減し、その状態遷移に合わせて電源管理をおこなうことで待機電力の削減をおこなう。また送信電力削減のため多位相発振器を用いた高

効率電力増幅器を提案する．無線通信回路の SoC 化と低コスト化のために，デジタルイメージ除去アーキテクチャの実装について記述する．さらに待機時のリーク電力削減のためにデータ SRAM (Static Random Access Memory) 分割技術を提案する．

5.2 I-MAC の専用ハードウェア化と電源管理技術

5.2.1 通信制御用マイクロコントローラの機能分割

図 2.2 に示すように，センサノードは，センサ，無線通信回路，MAC およびネットワーク処理用のマイクロコントローラ，データメモリから構成される．センサノードは他のノードとのリンクを確立するために，無線通信回路とマイクロコントローラが連携して MAC 処理をおこなう．実際にリンクが確立されると，次にデータの送受信 (TX, RX) がおこなわれる．データを受け取った後，センサノードはマイクロコントローラで経路情報の記録，受け取ったヘッダやデータの集約，次回起動タイミングのスケジューリングなど，ネットワーク処理をおこなう．このように，通常マイクロコントローラは MAC 処理とネットワーク処理の二つのレイヤにまたがった処理をおこなう．図 2.3 にも示したように，既存のセンサノードはいずれもマイクロコントローラを搭載し，MAC 処理，ネットワーク処理をおこなう．

しかしマイクロコントローラが MAC 処理をおこなっているとき，無線機の通信速度が 10~100kbps であるのに対し，動作周波数が数 MHz の汎用マイクロコントローラが送受信データをすべて処理するため，無駄な消費電力が非常に大きい．汎用マイクロコントローラの消費電力は小さな物でも数百 μ W~数 mW であり，これが無線通信時に常に稼働していることは無視できない[2]-[6]．しかしマイクロコントローラのクロック周波数を通信速度と同程度まで落とすと，データの送受信後におこなうネットワーク処理が次の起動周期までに終了しないなどの問題が発生する．また必要なネットワーク処理はワイヤレスセンサネットワークを使用するユーザやアプリケーションによって異なり，柔軟な処理をおこなうためにはクロック周波数を下げることはできない．

このように従来のセンサノードでは、高性能な汎用マイクロコントローラが MAC 層以上のプロトコルを処理していたために、通信時の消費電力が大きくなるという問題があった。これを解決するため、本研究では MAC 層の通信処理を専用ハードウェア化した MAC プロセッサを開発することによって消費電力の削減をおこなった。図 5.1 に提案するセンサノードのブロック図を示す。MAC 処理を専用の MAC プロセッサにおこなわせ、汎用マイクロコントローラの機能をネットワーク層以上に制限することにより、その消費電力を大幅に削減できる。本試作では汎用マイクロコントローラとして Intel 製の 8bitCPU である i8051[23]を用いた。ネットワーク層以上の処理としては時間同期、経路制御、センサからのデータ取り込みなどがある。

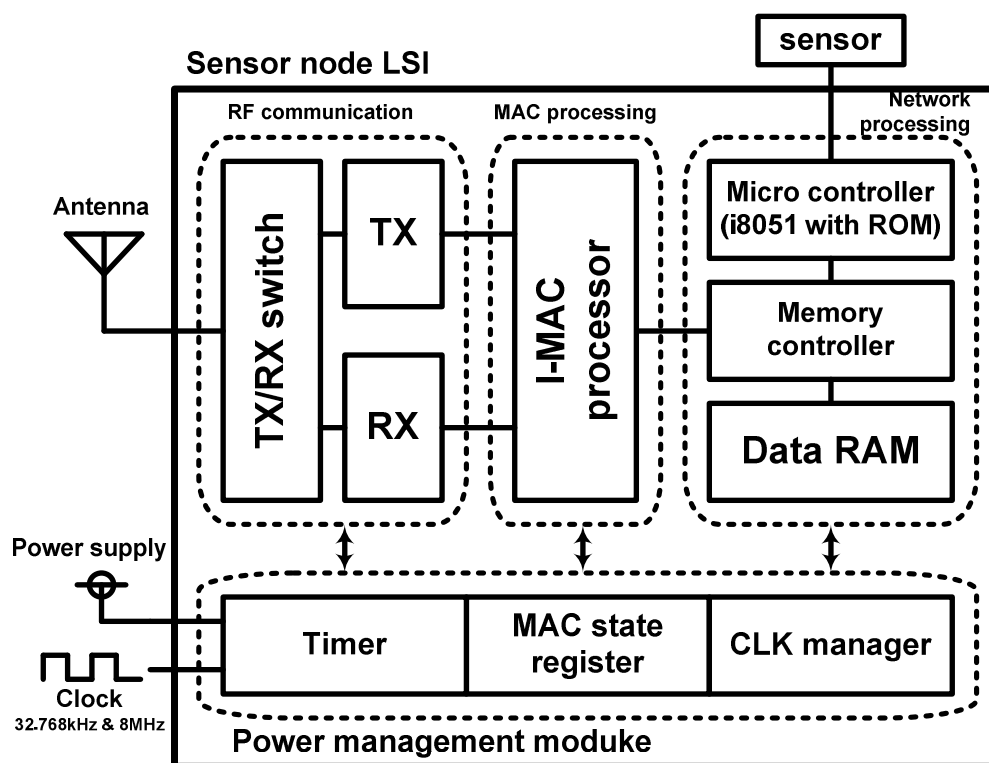


図 5.1 提案するセンサノードの機能ブロック図

5.2.2 I-MAC プロセッサの実装

I-MAC を MAC 処理専用のプロセッサとして実装することで、第 3 章で述べた動作電力の削減を実現する。ここで[24]において、同様に TICER (Transmitted Initiated Cycled

Receiver) [25]が MAC プロトコルとして専用ハードウェア化されている。TICER は非同期型のプロトコルで、送信側と受信側のノードが起動する時間はばらばらである。送信側のノードが周期的に短い RTS (Request To Send) パケットを送信し、それを受信側のノードが受信できた場合、CTS (Clear To Send) パケットを返信して通信リンクを確立する。図 5.2 に TICER と I-MAC のリンク確立の様子を示す。T はセンサノードの起動周期、 T_{on} はキャリアセンスをおこなう時間である。TICER では T が大きくなるとプリアンプルの送信回数が多くなるため、送信ノードの起動時間が増加し、TICER の消費電力が増加する。データレートを 100kps, RTS, CTS を 32bit, データ長を 64bit とした場合の比較結果を図 5.3 に示す。TICER と比較した場合、I-MAC は起動周期 $T=100ms$ の点で、センサノードの起動時間を 84.7%削減することができる。よって既存のハードウェア MAC と比較しても、I-MAC の実装は有効であると言える。

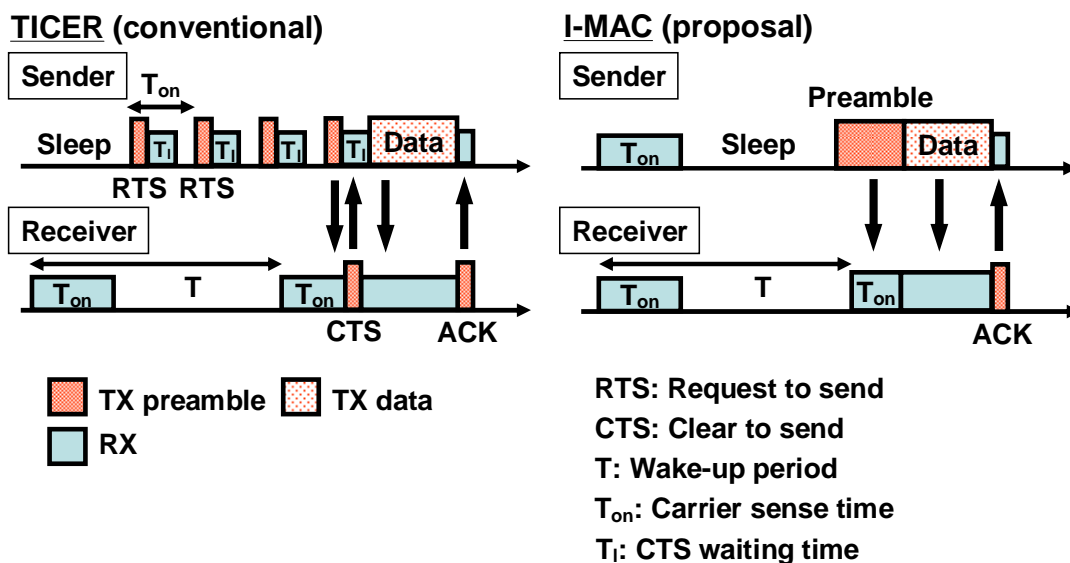


図 5.2 TICER と I-MAC におけるリンク確立の様子

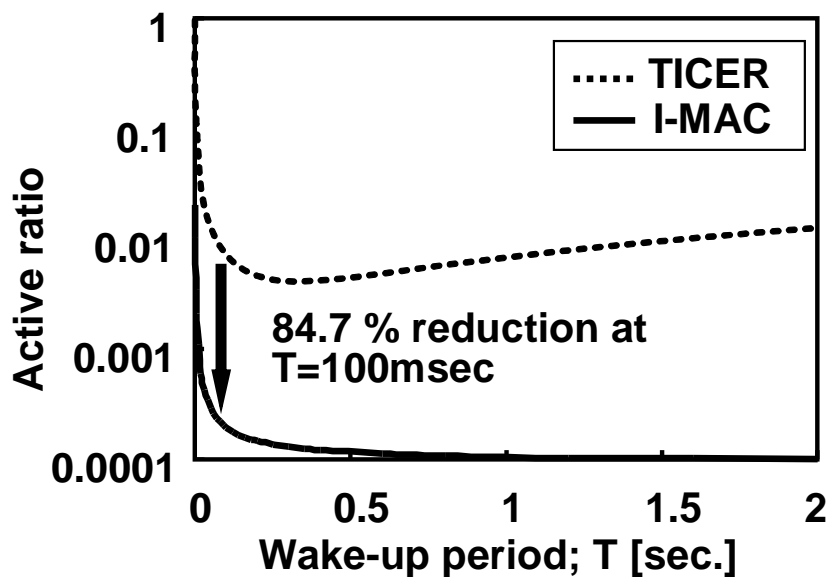


図 5.3 TIGER と I-MAC のノード起動時間の比較

図 5.4 に I-MAC のパケット送受信の詳細を示す。I-MAC の実装に際し、プリアンブルを連続した“1”データと定義する。I-MAC のプリアンブル長は式(3.16)から定義される。クロック STX (Start text: 開始フラグ), ETX (End text: 終了フラグ)は“01111110”の 8bit, Header には送受信ノード ID (各 16bit, 計 32bit) と制御フラグ (8bit), データ長 (8bit) が含まれる。ACK はデータの CRC (16bit) で, CRC のチェックを兼ねて ACK パケットとして送信される。データ長は最小 64bit, 最大 1KByte であり, データ部分の最後に CRC が付加されて送信される。これらパケットの定義を表 5.1 にまとめる。

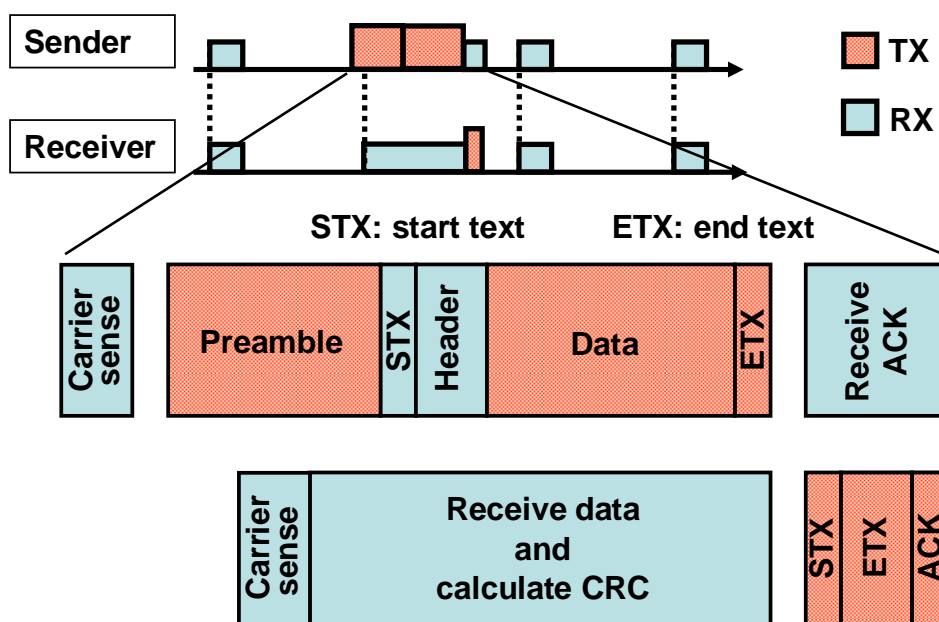


図 5.4 I-MAC におけるパケット送受信処理

表 5.1 パケットの定義

Preamble	111111
STX	1111110 (STX以外で1が5個続くと, 0を挿入する)
ETX	STXに同じ
Header	送受信ノードID (16x2), 制御ビット(8), データ長(8), CRC(16)
DATA	64~1024bit
ACK	CRC(16bit)

第3章で述べた電力の削減を実現するために、I-MAC プロセッサは MAC の状態遷移に合わせて各ブロックの電源およびクロックの on, off を切り替えなければならない。I-MAC プロセッサは自身の状態遷移を状態レジスタ (MAC State Register) に保存し、その値に合わせて電源管理モジュールが各ブロックの電源、クロックを制御することでシーケンシャルな状態制御と電源管理を実現する (図 5.1)。実際の電源の切り替えは pMOS トランジスタを制御することで実現する。電源管理モジュールはクロック制御部、同期用タイマ、MAC の状態保存用レジスタによって構成され、このモジュールの電源は常に on している。ここでタイマ、およびタイマ用のクロック発生回路 (水晶発振回路) はノードが待機状態でも常に動作していなければならないため、低消費電

力であることが求められる。しかし i8051 マイクロコントローラや無線通信回路の PLL などでは高速なクロックが必要となる。水晶発振回路として周波数の高いものを選ぶことでクロック周波数の要求を満たすことができる。しかし一方で高速な水晶発振回路は消費電力が大きい。そこでタイマ用のクロックとして 32.768kHz, マイクロコントローラ用のクロックとして 8MHz の水晶発振回路を用いることで、待機中の電力を抑えることとした。32.768kHz の水晶発振回路は腕時計などにも用いられ、非常に低消費電力で高精度である。

5.3 センサノードの同期技術

5.3.1 ノード間同期における誤差要因

従来のセンサネットワークでもノード間の時間的整合性が求められており、人工衛星を利用した GPS (Global Positioning System), 長波帯標準電波 (電波時計) などの外部信号方式, 他にセンサネットワークのためのパケット交換方式を用いた同期プロトコルとして, RBS (Reference Broadcast Synchronization) [26], TPSN (Timing-sync Protocol for Sensor Networks) [27], FTSP (Flooding Time Synchronization Protocol) [28]などが提案されている。センサネットワークで時刻同期をおこなう場合, 一般に以下に示す 3 つの誤差要因が存在する。

1 つ目は伝搬遅延である。時間同期は時間情報を送信器から送信し, 受信器においてその時間情報を元に時刻合わせをおこなうことで実現される。伝搬遅延は, 無線のマルチパスやインターネットのルータにおける待ち時間によって変化する。このため, 受信した時刻情報に固定値を増減するだけでは, 一般に正しい時刻情報を得ることができない。

2 つ目は, CPU 処理によって生じる誤差である。これはノードでの処理を低速な CPU で実行している場合に発生する。CPU が数 MHz 程度の動作周波数の場合, 他のタスクの影響によっては, ms オーダで不定の遅延が生じる。

3 つ目は, Media Access Control (MAC)層による遅延の揺らぎである。GPS や電波時

計といった電波を固定的に割り当てられたインフラと異なり，Carrier Sense Multiple Access（CSMA）型の MAC プロトコルを利用している場合，通信開始までの待ち時間は他のノード間の通信トラフィックに依存する。

以上 3 要因の影響をまとめたものを図 5.5 に示す。

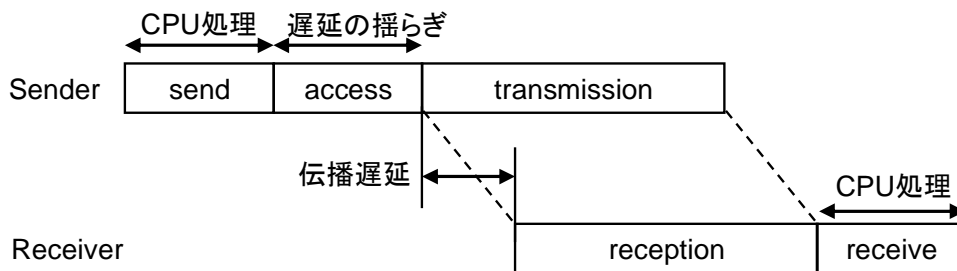


図 5.5 ノード間同期における誤差要因

send と receive は CPU 処理であり，アプリケーション層と MAC 層の間でデータを渡すときに生じる遅延である．この遅延はオペレーティングシステムやタスクの負荷などに左右される．access は MAC 層で，メディアアクセスするための時間である．

計算処理によって生じる CPU 処理の誤差や MAC 層によって生じる遅延の揺らぎに対して，伝搬遅延による誤差は非常に小さい．センサネットワークで 1 ホップが最大，数 100m と仮定しても，伝搬遅延は高々 $1\mu\text{s}$ 程度である．このような観点から，センサネットワークにおける時刻同期では，CPU 処理と MAC 層における遅延の揺らぎによって生じる誤差をいかにして削減するかが重要な課題となる．

5.3.2 GPS(Global Positioning System)

GPS (Global Positioning System) は人工衛星を使った測位技術であり，元々は軍事技術として誕生した．現在ではカーナビや携帯電話でも利用されるようになり，われわれの生活に欠かすことのできない技術となっている．現在，地球の周りを 24～28 個の GPS 衛星が周回しながら，定期的に測位信号を発信している．受信機は GPS 衛星の発信する測位信号を受け取ることで各衛星の距離を測定し，3 点（実際には 4 点）測位法によって受信機の位置を算出する．センサネットワークにおいて，GPS は測位技術

だけではなく，時刻同期にも利用される。

受信機の位置を (x, y, z) ，GPS 衛星 i の位置を (x_i, y_i, z_i) ，受信機と GPS 衛星 i の間の距離を r_i ，GPS 衛星と受信機の時間のずれを δ とする。 c は光速である。以下の方程式を解くことにより，受信機の位置のみならず，時刻を得ることが可能である。

$$\begin{cases} r_1 + c\delta = \sqrt{(x_1 - x)^2 + (y_1 - y)^2 + (z_1 - z)^2} \\ r_2 + c\delta = \sqrt{(x_2 - x)^2 + (y_2 - y)^2 + (z_2 - z)^2} \\ r_3 + c\delta = \sqrt{(x_3 - x)^2 + (y_3 - y)^2 + (z_3 - z)^2} \\ r_4 + c\delta = \sqrt{(x_4 - x)^2 + (y_4 - y)^2 + (z_4 - z)^2} \end{cases}$$

GPS 衛星には原子時計が搭載されて，1ps の精度で同期が取れている。受信機においても 100ns 以下の精度で，正確な時刻を導出することが可能である[29]。ただし，測位と時刻取得のためには最低でも 4 機の GPS 衛星が必要であるため，屋内などの電波状況の悪い環境では使用することができない。また，高性能受信機が必要なことと計算量が大きなことから，数 mW から数十 mW の電力を消費し[30]-[31]，センサノードのコスト増加も避けられない。

5.3.3 長波帯標準電波(電波時計)

電波時計などの自動時刻補正に用いられる長波帯標準電波は，簡単な仕組みで時刻同期を実現でき，米国，ヨーロッパ，日本で利用できる。日本では独立行政法人情報通信研究機構が福島県大鷹鳥谷および佐賀県と福岡県の県境の羽金山において送信局を運用しており，この電波を受信して時刻合わせをおこなうことによって，時刻のずれを自動的に補正することが可能である。変調方式として 1bps の ASK を採用しており，羽金山の送信局においては 60kHz 帯，大鷹鳥谷の送信局においては 40kHz 帯で全国に放送されている (図 5.6)。一般的には ASK 波が受信できる環境ならば室内であっても利用でき，さらに長波帯標準電波の受信機は数 μW と非常に低消費電力で，GPS (Global Positioning System) などよりも電力に対する制約が少ない。無線基地局とノードの絶対時間の誤差は $\pm 1.5\mu\text{s}$ [12]となっている。精度は GPS に及ばないものの，長波標準電波受信機の方が低コスト，低消費電力であり，ワイヤレスセンサネットワークに適している。

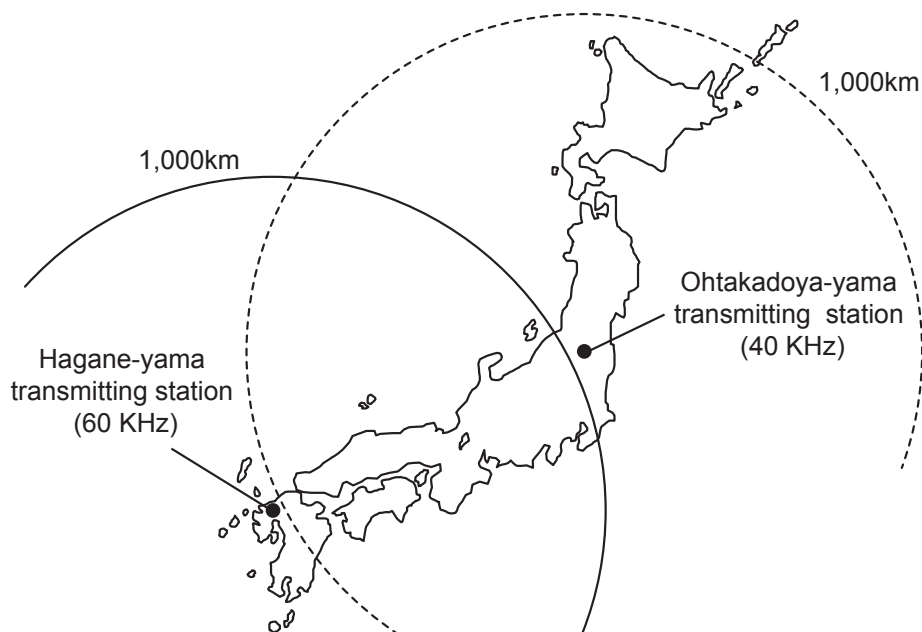


図 5.6 日本における長波標準電波の送信局

5.3.4 RBS(Reference Broadcast Synchronization)

RBS (Reference Broadcast Synchronization) [26]は自律的に動作する同期手法であり、GPS や電波時計のように協定世界時(UCT: Coordinated Universal Time)に時刻を合わせるといった用途ではなく、近傍のノードと同期を取る際に有効な手法である。RBS は、ある任意のブロードキャストを受け取った 2 つのノードで、受け取ったローカル時刻を記録し、ブロードキャストを受け取ったノード同士で時刻情報を交換する。時刻情報は基準ノード R からブロードキャストされているので、近傍ノード N_i において、図 5.5 における send および access 時の不確定要素 (CPU 処理と遅延の揺らぎ) を無視することができる。さらに、一般には伝播遅延も小さいので無視できる。図 5.7 に RBS の動作例を示す。

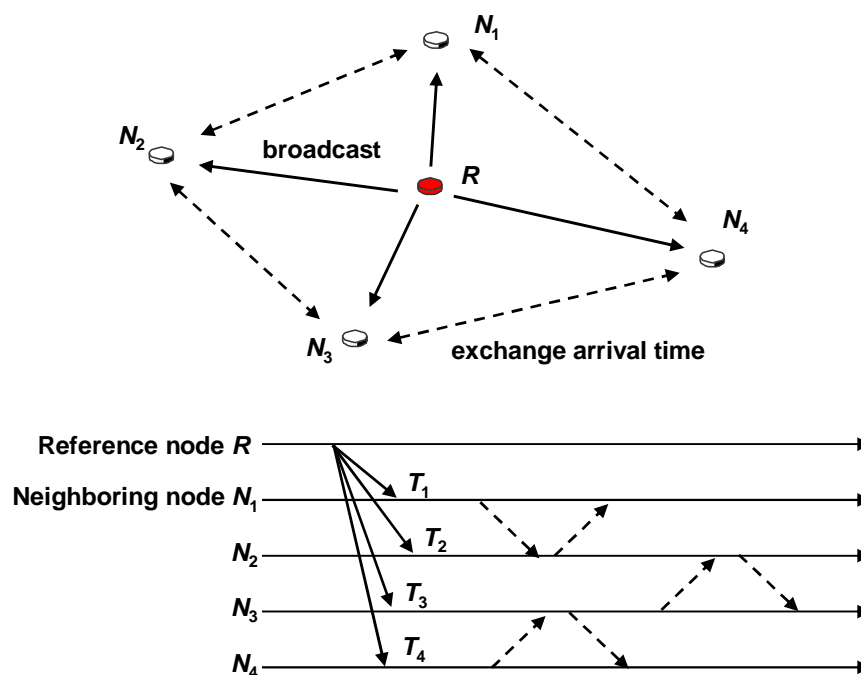


図 5.7 RBS (Reference Broadcast Synchronization) によるノード間同期

まず、基準ノード R が同期パケットをブロードキャストする。同期パケットを受け取った各受信ノード内で受信したローカル時刻を記録する。そして各受信ノードは、受信ノード同士で受信した時刻の交換をおこなう。これにより、 n を近傍ノードの数、 T_0 を自ノードが同期パケットを受信した時刻、 T_i を近傍ノード i が同期パケットを受け取った時刻とすると、

$$\theta = \frac{1}{n} \sum_{i=1}^n (T_0 - T_i)$$

によって時刻の補正值 θ を求めることができる。 θ は誤差の平均でもある。このように、受信ノード間で情報を交換することで同期を実現する手法を receiver-receiver synchronization と呼ぶ。上式において、ノード間の同期パケットを受け取った時刻のずれがガウシアン分布になると考えられることから、近傍ノード数 n が大きければ大きいほど時刻精度が向上する。しかしながら、受信ノードの数 n が大きくなればなるほど受信ノード間で交換する情報の量が増えるため、消費電力が増すという欠点がある。また、時刻同期はブロードキャストができる範囲に限られ、マルチホップネットワークには不向きである。[28], [32]によれば、RBS を用いて 60 秒に一同期した場合のノード間の同期精度は平均 $29.1\mu\text{s}$ である。

5.3.5 TPSN (Timing-sync Protocol for Sensor Networks)

TPSN (Timing-sync Protocol for Sensor Networks) [27]はインターネットにおいて利用される NTP (Network Timing Protocol) と同様に, 2-way handshake によって時刻同期を実現している. RBS が receiver-receiver synchronization だったのに対し, TPSN のような, 受信ノードが送信ノードに時刻同期する手法を sender-receiver synchronization と呼ぶ. TPSN ではまず, 同期する際に基準となるノードを root として全域木を構築する. 次にその構築した全域木の親ノードと子ノードで 2-way handshake によるタイムスタンプを利用して時刻同期をおこなう.

TPSN では子ノードから親ノードに向けて同期を開始する (図 5.8). 2-way handshake をおこなう際, $T_1 \sim T_4$ の 4 種類のタイムスタンプを利用する.

$$a = T_2 - T_1$$

$$b = T_4 - T_3$$

$$\delta = (a - b) / 2$$

$$\theta = (a + b) / 2$$

上式から, 子ノードの親ノードに対する時刻ドリフト δ が求まる. 子ノードと親ノードの間の遅延は θ である. [28], [32]によれば, TPSN を用いて 60 秒に一回同期した場合のノード間の同期精度は平均 $16.9\mu\text{s}$ である.

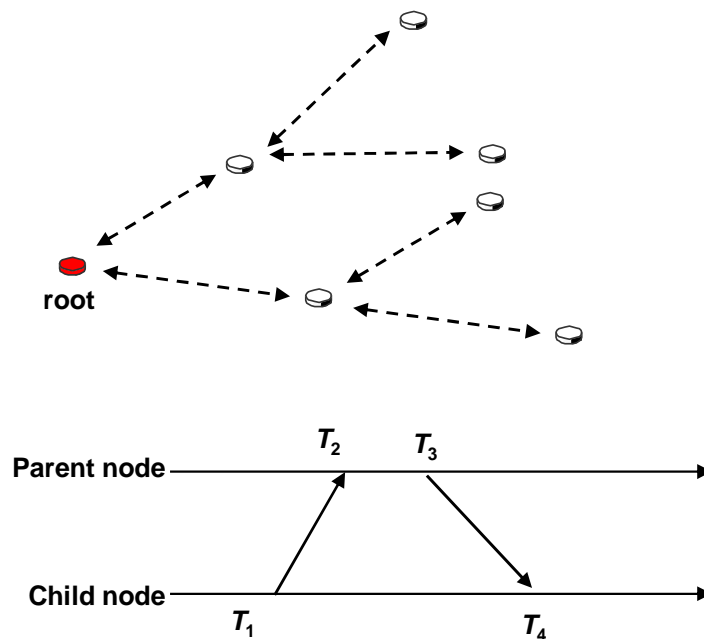


図 5.8 TPSN (Timing-sync Protocol for Sensor Networks) によるノード間同期

5.3.6 FTSP (Flooding Time Synchronization Protocol)

FTSP (Flooding Time Synchronization Protocol) [28]では、一方向の簡略な通信のみによって高精度の同期を実現する。FTSP は送信側と受信側の MAC 層でタイムスタンプを取ることで sender-receiver synchronization を実現する。TPSN では送受信の前後にタイムスタンプを取る (図 5.5 の send と receive でタイムスタンプを取る)。しかし FTSP では、送信側と受信側で図 5.5 における transmission および reception の間に MAC 層でタイムスタンプを取ることで、一方向の同期パケットの送信だけで精密な同期を実現することができる。さらに、FTSP は一方向での同期が可能であり、同期パケットのフラディングによるネットワーク全体の同期も実現できる。図 5.9 に FTSP の動作例を示す。

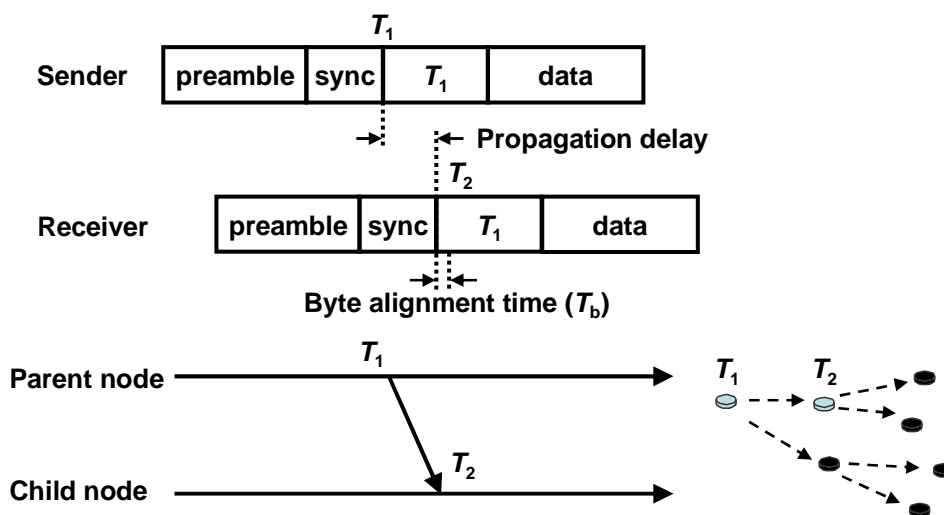


図 5.9 FTSP (Flooding Time Synchronization Protocol) によるノード間同期

送信ではまず、ノード間の送受信タイミング調整のためのプリアンブルを行い、次にタイムスタンプ取得を示す sync パケットと呼ばれる制御コードを送る。続いて、送信ノードで sync を送った直後の時刻 T_1 をパケットデータとして送信する。受信ノードでは sync を受信した直後でタイムスタンプ T_2 を取る。このため図 5.5 における send, access, receive の誤差を無視することが可能となることに加え、同一通信パケット内でタイムスタンプを取ることで伝播遅延を最小化することができる。

送信ノードのタイムスタンプを T_1 , 受信ノードのタイムスタンプを T_2 , 伝播遅延によるビットの同期ずれを T_b とすると, 時刻の補正值 θ は,

$$\theta = T_1 - T_2 - T_b$$

として求められる. ここで T_b は送受信回路の仕様によって決まる値だが, 一般に T_b は小さく, 無視することができる. [32]によれば, RBS を用いて 60 秒に一回同期した場合のノード間の同期精度は平均 $1.5\mu\text{s}$, 最大で $6.5\mu\text{s}$ である. またマルチホップ間の時刻同期誤差は 1 ホップ当たり $0.5\mu\text{s}$ である.

5.3.7 ワイヤレスセンサネットワークにおける同期技術のまとめ

ノード間の時間同期技術を表 5.2 にまとめる. センサノードの同期には GPS, 長波帯標準電波などの外部信号方式, RBS, TPSN, FTSP などのパケット交換方式が提案されている. 外部信号方式は外部にモジュールを接続するだけで簡単に同期が実現できる一方, ノードの大型化や高コスト化などの問題がある. 第 3 章において, I-MAC の評価のために長波標準電波を同期の手段として用いた. しかし図 3.5 (a)に示すように, LWSTC-Unit は外部モジュールとして接続されるため, センサノードの小型化には向かず, コストも増加する. センサノードの低コスト化のためには同期機構も LSI に実装されなければならない.

パケット交換による同期は通信量の増加というオーバーヘッドが存在するものの, 追加の外部ハードウェアを必要とせず, 低コストである. この中でも特に FTSP は一方方向のパケット送信だけで同期が可能であり, かつ高精度であることから, センサノードの同期には FTSP を用いる. FTSP を選択するもう一つの理由は, FTSP がデータ収集型のアプリケーションに適しているためである. データを収集する際, それぞれのセンサノードからベースステーションへの通信経路の構築が不可欠である. この経路構築のために, ベースステーションからフラッディングがおこなわれる (e.g. Directed Diffusion [33], Tiny Diffusion [34]). それゆえフラッディングを送信する際, FTSP の Sync パケットを同時に送信することで経路の構築とノード間の同期を同時におこなうことが可能であり, オーバーヘッドを抑えることができる.

表 5.2 同期技術のまとめ

		Additional hardware	Sync packet	Accuracy	Power
Using external signal	Wave clock	Need	No need	$\pm 1.5\mu\text{s}$	Small
	GPS	Need	No need	$0.1\mu\text{s}$	Large
By packet exchange	RBS	No need	Bidirectional	$29.1\mu\text{s}$	Large
	TPSN	No need	Bidirectional	$16.9\mu\text{s}$	Medium
	FTSP	No need	Unidirectional	$1.5\mu\text{s}$	Small

5.4 RF トランシーバの設計

5.4.1 無線通信規格とターゲットの選定

低消費電力なトランシーバを設計するにあたり、無線通信規格の特徴を知ることが重要である。無線通信の規格には通信距離やデータ伝送速度に応じてさまざまなものが存在するため、センサネットワークに適した領域を選択する必要がある。図 5.10 に通信距離によるワイヤレスネットワークの分類を示す。またネットワークの分類に応じた無線規格を表 5.3 に示す[35]。

通信距離が非常に短い、又は接触型のデータ伝送をおこなう通信を短距離無線と呼ぶ。短距離無線には多くの無線規格が含まれ、それぞれに規格が定められている。主な用途は RF-ID タグや微弱無線機器などである。また約 20m 以内の近距離でおこなう無線を無線 PAN (Personal Area Network) と呼ぶ。無線 PAN では Bluetooth や ZigBee が近距離でのデータ伝送に用いられる。特に ZigBee は Bluetooth と比較して最大伝送速度が 250kbps と低く、その低消費電力性からセンサネットワークへの応用が期待されている。100m 以内の無線通信を無線 LAN (Local Area Network) と呼ぶ。2.4GHz/5GHz という比較的高い周波数が用いられ、高速な通信を実現している。この他にも通信距離に応じて無線 MAN (Metropolitan Area Network)、無線 WAN (Wide Area Network) と呼ばれる分類がある。

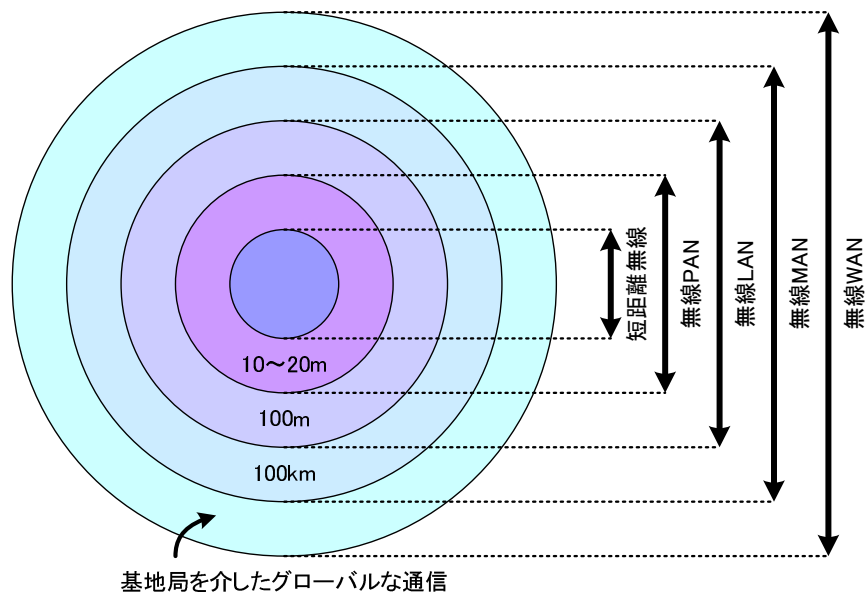


図 5.10 通信距離で見たワイヤレスネットワークの分類

表 5.3 通信距離と無線規格

ネットワーク	標準化機関	規格の例	用途
短距離無線	通信方式ごとに個別 (特定省電力はARIB)	RF-IDタグ, 微弱無線 特定小電力無線 (STD-T67)	ICタグ センサネットワーク
無線PAN	IEEE802.15	Bluetooth (IEEE802.15.1) ZigBee (IEEE802.15.4)	センサネットワーク アドホックネットワーク
無線LAN	IEEE802.11	IEEE802.11b/a/g/n	室内無線LAN
無線MAN	IEEE802.16 IEEE802.20 (高速移動体対応)	Flash-OFDM	標準化中
無線WAN	3GPP, 3GPP2	GSM, W-CDMA, HSDPA	第2~3.5世代携帯電話

これら無線規格の通信距離とデータ伝送速度の関係を表したものを図 5.11 に示す。一般に通信距離が延びるほど大きな電力を送信しなければならないため、無線端末の消費電力は増加する。また通信速度が速い規格ほどキャリアの周波数が高く、帯域幅も広がるため、送受信にかかる消費電力が増加する。このため既存の規格の中では ZigBee が最もセンサネットワークに向いている。我々は無線 PAN の領域でより低消費電力な無線通信回路を設計するため、ZigBee よりも通信距離が短く、かつ通信速度の低い領域をターゲットと設定した。ZigBee よりも通信速度が低いことから、比較的低い周波数帯をキャリアとして選択することが可能となる。以上からキャリア周波数を 433MHz、通信速度を最大 100kbps として設計をおこなうこととした。

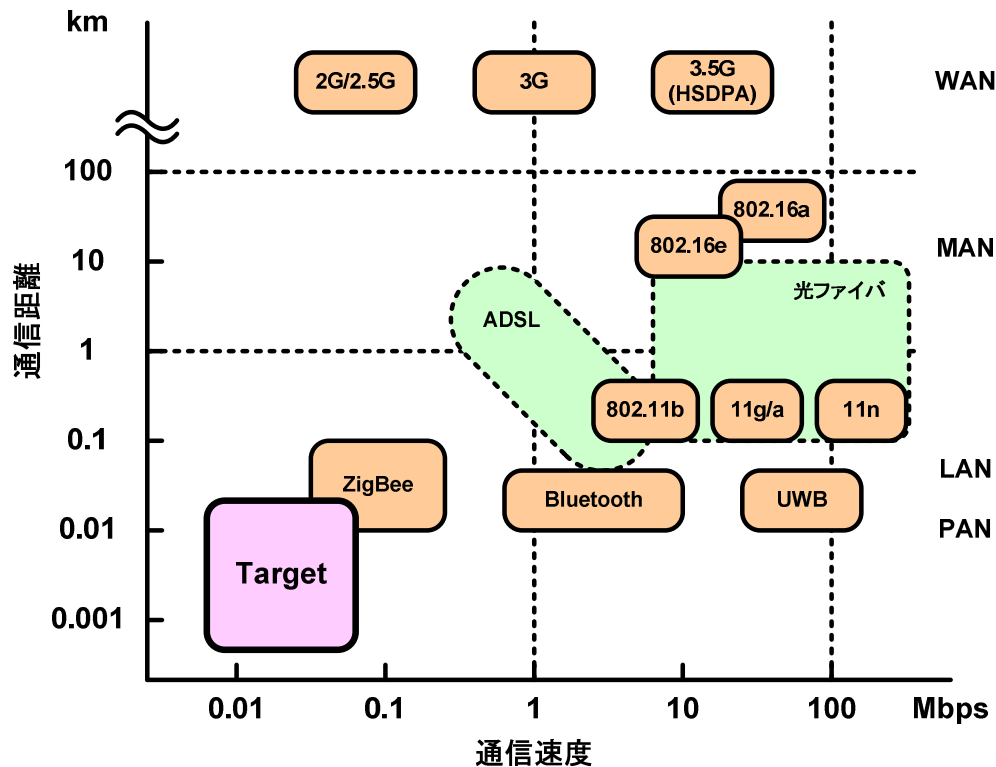


図 5.11 規格による通信速度と通信距離の違い

5.4.2 通信方式

I-MAC の実装に際し、最大のデータ長を 1024bit と設定した (表 5.1)。このため必要な BER 性能は少なくとも 10^{-4} 以下と考えられる。トランシーバの構成を決定するため、以下で変調方式と BER の関係について導出する。

デジタル信号の High(VDD)と Low(GND)の識別は、時間軸のタイミングで電圧が $VDD/2$ よりも高いかどうかでおこなうと仮定する。信号が High の点で Low と誤って判断されるのは、雑音電圧が $-VDD/2$ 以下になるときである。ランダム雑音において、瞬時雑音電圧が X と $X+dX$ の間にある確立密度 $p(X)$ はガウス分布で表される[36]。

$$p(X) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{X^2}{2\sigma^2}\right) \quad (5.1)$$

σ^2 は雑音電圧の 2 乗平均、 σ は雑音の実効電圧である。雑音の平均値は 0 としてい

る. High を Low と誤って認識する確立 p_m は(5.1)の X を $-\infty \sim -VDD/2$ まで積分して求められる. 結果は(5.2)式で表される.

$$p_m = \frac{1}{2} \operatorname{erfc}\left(\frac{VDD}{2\sqrt{2}\sigma}\right) \quad (5.2)$$

ここで

$$\operatorname{erfc}(z) = 1 - \operatorname{erf}(z) = 1 - \frac{2}{\sqrt{\pi}} \int_0^z e^{-t^2} dt \quad (5.3)$$

である. $\operatorname{erf}(z)$ は誤差関数, $\operatorname{erfc}(z)$ は相補誤差関数と呼ばれる. Low を High と誤って認識する確立 p_s も p_m に等しい.

ワイヤレスセンサネットワークなどに用いられる簡単な変復調方式には ASK (Amplitude shift keying), FSK (Frequency shift keying), PSK (phase shift keying) がある. 各変復調方式によってキャリア信号強度, 雑音スペクトル波形は異なるが, 以上の議論は復調後の信号に対して等しく適用できる. 結果, 同期検波を行った際のそれぞれの変復調方式における符号誤り率 BER は以下の表 5.4 のように表される. 図 5.12 は表 5.4 の近似式を図示したものである.

図 5.12 より, ASK よりも FSK, PSK の方が低い CN でもより良い BER 特性を得られることがわかる. 見方を変えると, ある BER を実現するために必要な CN は PSK, FSK, ASK の順に増加する. このため BER 10^{-4} 以下を実現するために必要な CN は PSK が最も低い. しかし PSK は他の変調方式に比べて復調が複雑で, 低消費電力なトランシーバとしてはあまり用いられない. 一方 ASK は構造が簡単であるものの, BER を達成するために必要な CN が大きいことから送信電力を大きくしなければならない. 以上から試作するトランシーバには変調方式として FSK を用いることとした.

表 5.4 変調方式と CN 対符号誤り率

変調	同期検波	
	誤差関数表示	近似式
ASK (OOK)	$\frac{1}{2} \operatorname{erfc}\left(\frac{\sqrt{C/N}}{2}\right)$	$\frac{1}{\sqrt{\pi C/N}} \exp\left(-\frac{C/N}{4}\right)$
FSK	$\frac{1}{2} \operatorname{erfc}\left(\frac{\sqrt{C/N}}{2}\right)$	$\frac{1}{\sqrt{2\pi C/N}} \exp\left(-\frac{C/N}{2}\right)$
BPSK	$\frac{1}{2} \operatorname{erfc}\left(\sqrt{C/N}\right)$	$\frac{1}{\sqrt{2\pi C/N}} \exp(C/N)$

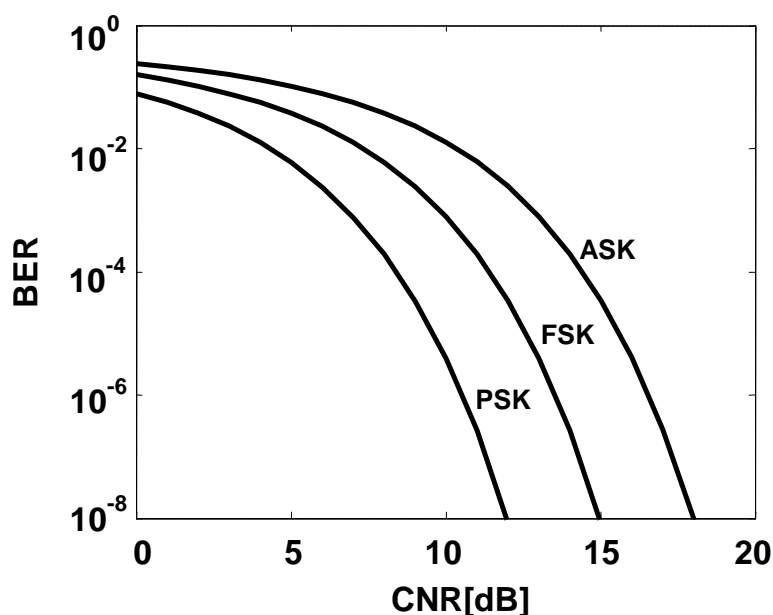


図 5.12 通信方式による BER の違い

FSK の受信方式にはヘテロダイン方式と、ダイレクトコンバージョン方式が考えられる。

ヘテロダイン方式はミキサを用いて低い中間周波数 (low-IF) に変換することで信号周波数が低くなるため、信号が加工しやすい。また高速な応答特性をもち、チャンネルの選択度も高い。しかしミキサによる周波数変換をおこなうことから、イメージ信号を除去する手段が必要となる。

ダイレクトコンバージョン方式は送受信電波の搬送波周波数の RF 信号から、ベ-

スバンド信号へ直接変換する方式である。この特徴から直接変換またはゼロ IF 方式とも呼ばれる。従来型のスーパーヘテロダイン方式に比べて受信回路の IF（中間周波）段が不要になるので、無線回路の部品点数を減らせるというメリットがある。しかし DC 付近に信号が変換されるため、選択度、応答性が悪化する。また DC オフセットの除去技術が必要となる。

表 5.5 にヘテロダイン方式とダイレクトコンバージョン方式を比較した結果を示す [37]。FSK で低 BER、低消費電力なトランシーバを試作するため、本設計ではヘテロダイン方式を用いることとする。

表 5.5 ヘテロダイン方式とダイレクトコンバージョン方式の比較

項目	ヘテロダイン方式	ダイレクトコンバージョン方式
1 受信感度	◎	○
2 隣接チャネル感度抑圧	◎	△
3 相互変調特性	○	△
4 ブロッキング特性	◎	○
5 イメージ応答	○	◎
6 選択度	◎	○
7 帯域特性(耐ローカル周波数変動)	◎	○
8 耐フェージング特性	◎	○
9 高速応答性	◎	△
10 広帯域性・汎用性	△	○
11 消費電力	◎	△

5.4.3 トランシーバアーキテクチャ

ヘテロダイン方式は高性能、低消費電力である一方で、イメージ信号を除去しなければならないという問題があった。通常、無線回路の外部に SAW (Surface Acoustic Wave) フィルタなどの高い Q 値を持つフィルタを取り付けることでイメージ除去を実現する。しかし外部にフィルタが増えることはセンサノードの大型化、コスト増加につながる。また SAW など外部のフィルタを用いると選択できる周波数が限られてしまうという問題もある。より低コストで柔軟なトランシーバを実現するためには、イメージ除去を回路内部でおこなうためのアーキテクチャが必要となる。

そこで従来のフィルタによるイメージ除去にかわり、デジタルイメージ除去のためのアーキテクチャを提案する。図 5.13 にこの FSK トランシーバの全体図を示す。

送信側は PLL (Phase Locked Loop) と PA (Power Amplifier) で構成される。PLL はマルチフェーズの発振回路で構成され、20 位相を出力可能である。これを IQ 信号と PA 入力として利用する。PA は多入力単出力の Class-D PA (Power Amplifier) によって構成される。D 級の PA はインバータと同様の回路で構成され、インダクタを用いないため小面積である。D 級の PA を 10 段並列に接続することで高効率化を実現する。

受信側では、受信された信号が LNA (Low Noise Amplifier) で増幅された後、差動に変換される。差動の受信信号は IQ-Mixer によって IF 周波数へ落とされると同時に I と Q の経路に分けられる。その後 VGA (Variable Gain Amplifier) で増幅され、帯域制限された後 $\Delta\Sigma$ 変換器へと信号が渡される。A-D 変換器によって受信信号は IQ それぞれがデジタル化される。表 5.5 にも示すように、ヘテロダイン方式の欠点はイメージ信号に対する耐性である。このため、複素デルタシグマ A-D 変換器によってデジタル化された IQ 信号を用いてイメージ除去をおこなう。デジタル化された IQ 信号を複素信号として扱うことで、周波数のシフトが可能である。これはミキサによる周波数変換と異なり、イメージ信号を生じない。周波数がシフトされた後、デジタル LPF によってイメージ信号のみが除去される。イメージ信号周波数が除去された後はデモジュレータで FSK 信号が復調される。このため本試作トランシーバにはイメージ除去のための Q 値の高いフィルタ (SAW フィルタなど) が不要となる。

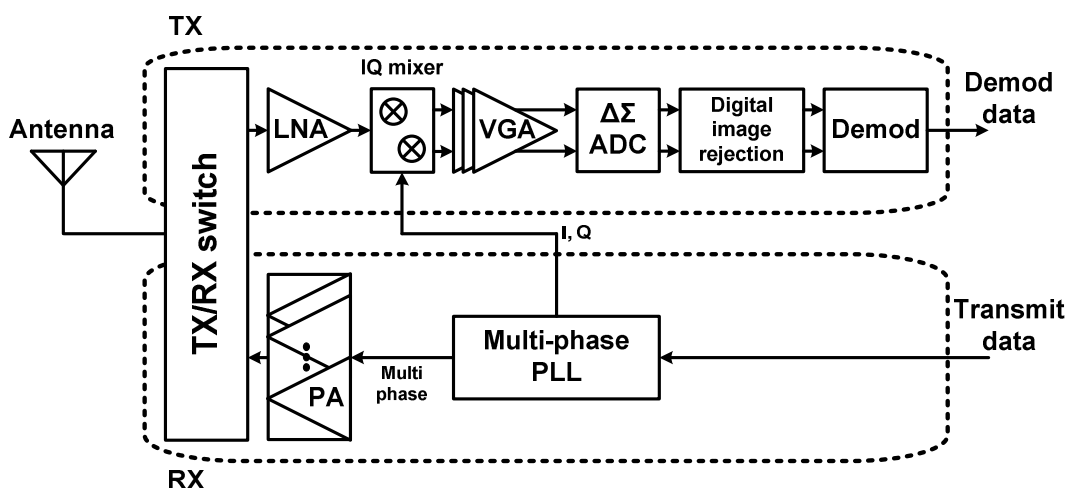


図 5.13 デジタルイメージ除去機能を持つ FSK トランシーバ

5.4.4 RF フロントエンド回路

FSK トランシーバにおける RF フロントエンド回路の設計について述べる．受信された信号は LNA (Low Noise Amplifier) で増幅される．この LNA の回路を図 5.14 に示す．LNA はソース接地増幅器で，上に縦積みされたゲート接地のトランジスタは入出力のアイソレーションの役割を担う．バイアス回路は電源電圧変動に強いセルフバイアス形式で与えられる．集積化を容易にするため，LNA はインダクタを用いずに構成される．NF は多少劣化するものの，広帯域，低消費電力を実現できる．LNA の特性を表 5.6 に示す．消費電力 1.17mW で 15.5dB の電圧利得が得られた．

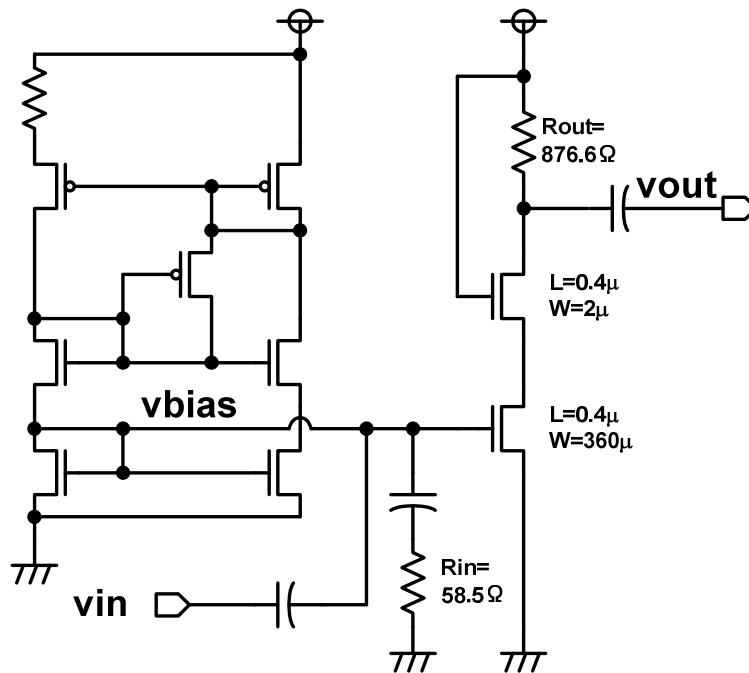


図 5.14 低雑音増幅器 (LNA)

表 5.6 LNA の特性

Supply voltage	1.8 V
Frequency	433 MHz
Noise figure	8.7 dB
Voltage gain	15.5 dB
S11	-10.3 dB
Power	1.17 mW

LNA 出力後の構成を図 5.20 に示す。LNA で増幅された信号はシングルエンドから差動に変換され、IQ-Mixer で IF (Intermediate Frequency) 1MHz にダウンコンバートされる。IQ-Mixer で生成される高調波信号は IQ-Mixer 後の Low Pass Filter で除去される。ここでコアとなる Mixer 回路を図 5.16 に示す。RF 入力電圧範囲を広げ、線形性を良くするために RF 入力はダブルバランス型で構成される。図 5.17 に RF 入力電圧に対する IF への変換利得を示す。RF 入力電圧が増加すると変換利得は減少する。IF 周波数が 1MHz のとき、最大変換利得は 2.34dB となった。表 5.7 に Mixer の特性をまとめる。

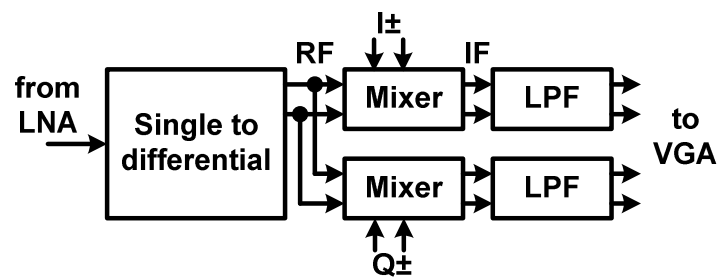


図 5.15 Mixer 周辺回路

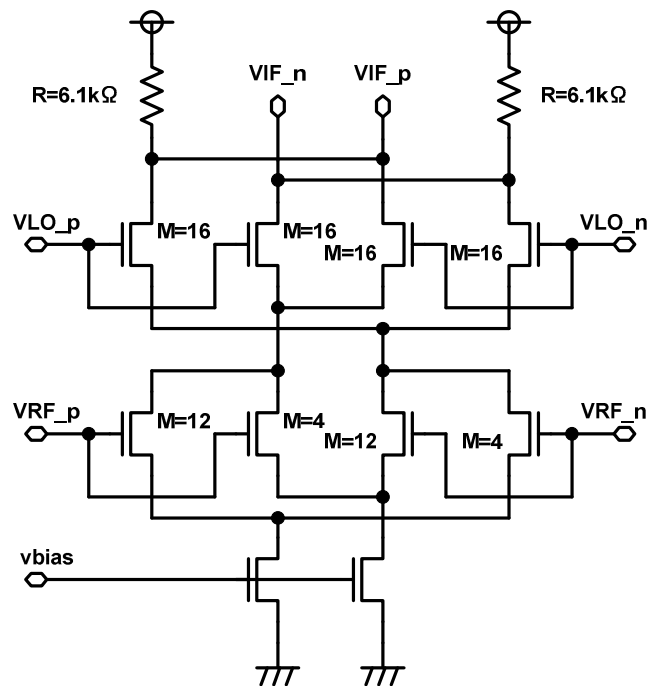


図 5.16 Mixer 回路

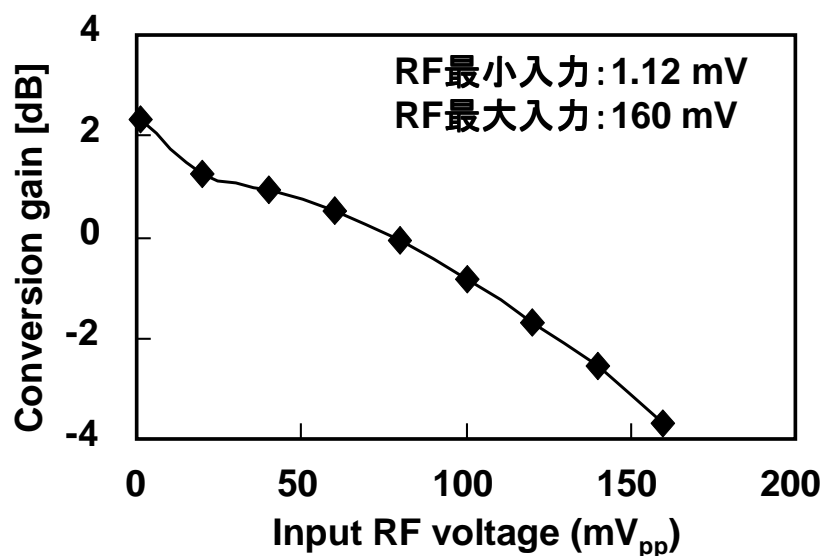


図 5.17 Mixer の RF 入力電圧に対する IF 出力への変換利得

表 5.7 Mixer の特性

Supply voltage	1.8 V
RF frequency (sine)	434.27 MHz
LO frequency (rect.)	433.27 MHz
IF frequency	1.0 MHz
Conversion gain (max.)	2.34 dB
Power	520 μ W

Mixer によって IF にダウンコンバートされた信号は、IF-AMP によって再度増幅される。受信感度を高めるため、IF-AMP は利得を可変できる VGA (Variable Gain Amplifier) となっている。この回路を図 5.18 に示す。VGA は R1 を制御信号によって変化させることで利得を変えることができる。R1 の回路構成を図 5.19 に示す。抵抗を CMOS スイッチで導通制御することでデジタル的に可変抵抗を実現する。この VGA の特性を表 5.8 に示す。VGA 単体で可変利得範囲-0.53dB~26.07dB、消費電力 238.8 μ W であった。

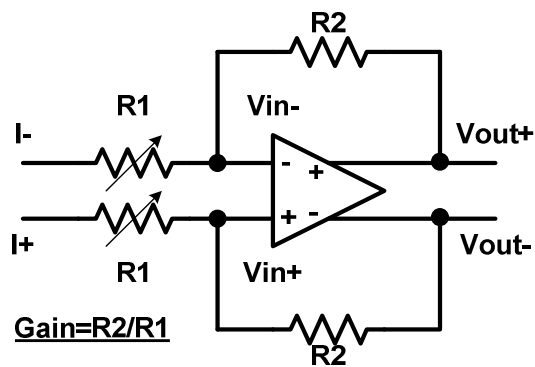


図 5.18 VGA (Variable Gain Amplifier)

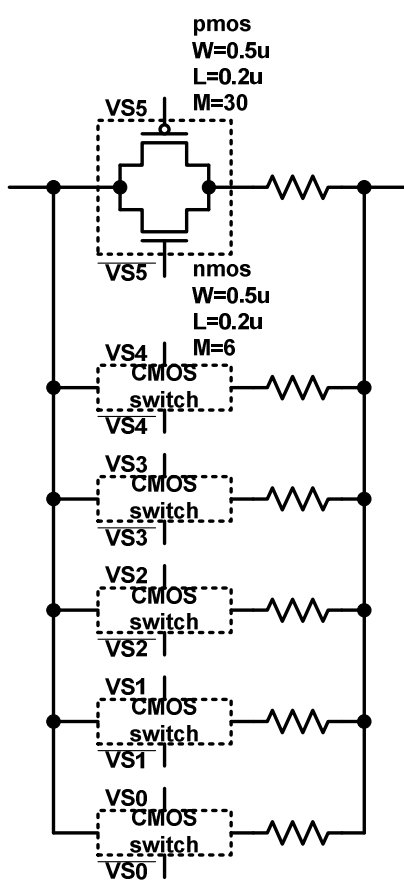


図 5.19 可変抵抗 R1 の回路構成

表 5.8 VGA の特性

Supply voltage	1.8 V
Gain	-0.53 ~ 26.07 dB
Operation frequency	1 MHz
Power	238.8 μ W

5.4.5 デジタルイメージ除去フィルタ

ヘテロダイン方式ではミキサへ入力される PLL の周波数を適応的に選択することで、広い周波数範囲を受信することが可能となる。しかし、ダウンコンバージョンをおこなう際にイメージ信号と呼ばれる妨害波が問題となる。通常、無線回路の外部に SAW (Surface Acoustic Wave) フィルタなどの高い Q 値を持つフィルタを取り付けることでイメージ除去を実現する。または図 5.20 に示すハートレー型イメージ除去ミキサを用いることでイメージ除去を実現していた。しかし、この方法で得られるイメージ信号除去比は mismatch などの影響から 20~30dB 程度が限界である[38]。

試作トランシーバにおけるイメージ除去の方式を図 5.21 に示す。提案する方式では、直交型バンドパス $\Delta\Sigma$ 変調器を用いて信号を A-D 変換し、デジタル化した IQ 信号を信号処理することによって周波数のシフトが可能である。これはミキサによる周波数変換と異なり、イメージ信号を生じない。また従来までの信号加算によるイメージ除去と比較して、ゲイン mismatch によるイメージ除去比の劣化を生じない。周波数シフトした信号に対し、所望波のみを LPF で選択することでイメージ信号を除去する。このように A-D 変換された信号を、デジタル信号処理を用いてイメージ信号除去することにより、従来のハートレー方式に比べ、より高いイメージ除去比を実現できる。

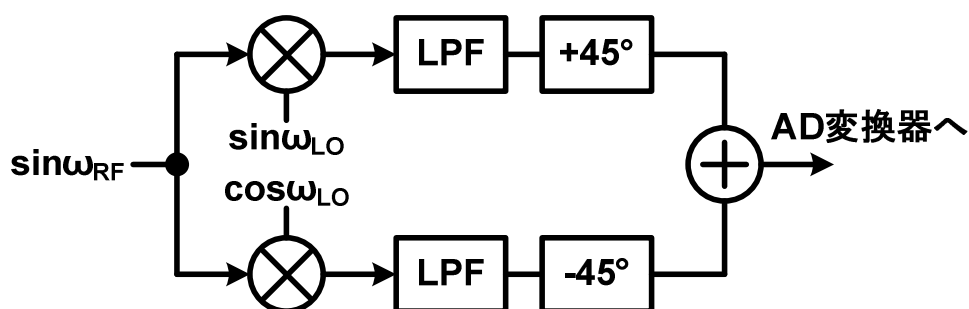


図 5.20 ハートレー型イメージ除去ミキサ

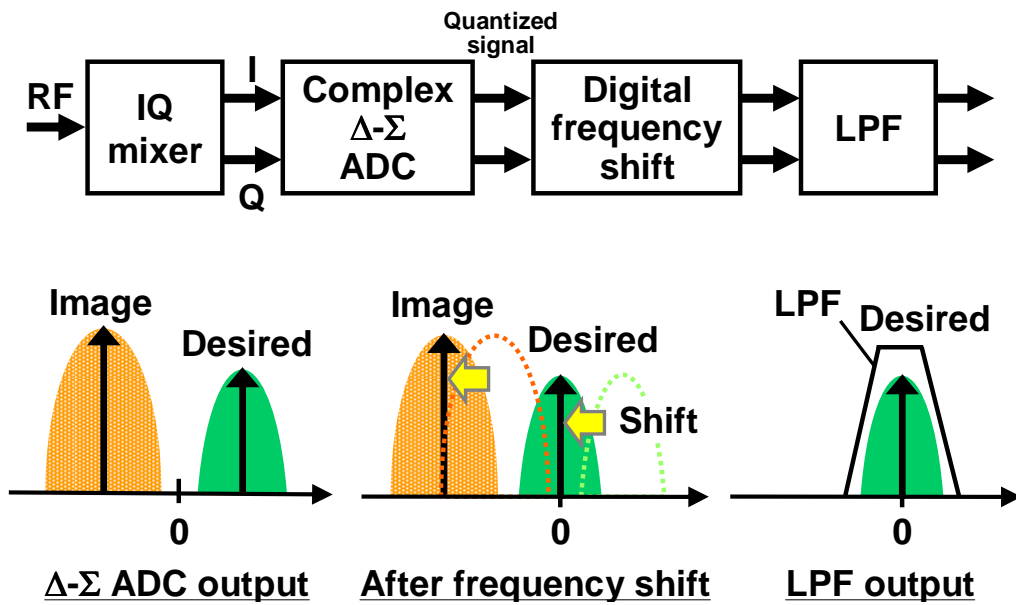


図 5.21 提案するイメージ除去方式

$\Delta\Sigma$ -D 変換器の出力は IQ の複素数である。デジタル化された I 波、Q 波を離散時間フーリエ変換すると、サンプリング周期を T_s としたとき、その周波数成分は $e^{j\omega T_s n}$ で表すことができる。よって f_{shift} だけ周波数をシフトする場合、

$$f = e^{j(\omega_{IQ} + \omega_{shift})T_s n} = e^{j\omega_{IQ}T_s n} \times e^{j\omega_{shift}T_s n} \quad (5.4)$$

と表現される（但し n は整数）。ここでシフトする周波数 f_{shift} の値をサンプリング周波数 F_s の 1/4 に設定すると、

$$f_{shift} = \frac{F_s}{4} = \frac{1}{4T_s} \quad (5.5)$$

と表される。このとき、(5.4)式は、

$$\begin{aligned} f &= e^{j\omega_{IQ}T_s n} \times e^{j2\pi f_{shift}T_s n} = e^{j\omega_{IQ}T_s n} \times e^{j\pi n/2} \\ &= e^{j\omega_{IQ}T_s n} \times \{1, j, -1, -j\} \end{aligned} \quad (5.6)$$

と変換される。よって元の IQ 信号に係数 $\{1, j, -1, -j\}$ を順にかけることで $F_s/4$ の周波数シフトを実現することができる。図 5.22 にこの演算回路の構成を示す。係数 1 はそのまま、係数 -1 は IQ それぞれの値を反転、係数 j は I 信号の反転と IQ 信号の入れ替え、係数 $-j$ は Q 信号の反転と IQ 信号の入れ替えによって実現できる。このためデジ

タル信号の経路をセレクタで選択することで容易に実装可能である。

周波数シフトされた IQ 信号は、デジタル LPF で所望波のみ選択される。この LPF は $\Delta\Sigma$ -D 変換器からの量子化雑音も同時に除去するため、オーバーヘッドにならないことも特長である。この一連の動作の後、逆の周波数シフトによって所望波を元の位置に戻すことで、イメージ除去処理を完了する。このデジタル処理方式によるイメージ除去の効果を図 5.23 に示す。従来までの加算によるイメージ信号の打ち消しとは違い、イメージ信号のみを独立して除去できることから、LPF の特性次第で大きなイメージ除去比を実現することができる。本試作では 60dB のイメージ除去を実現した。

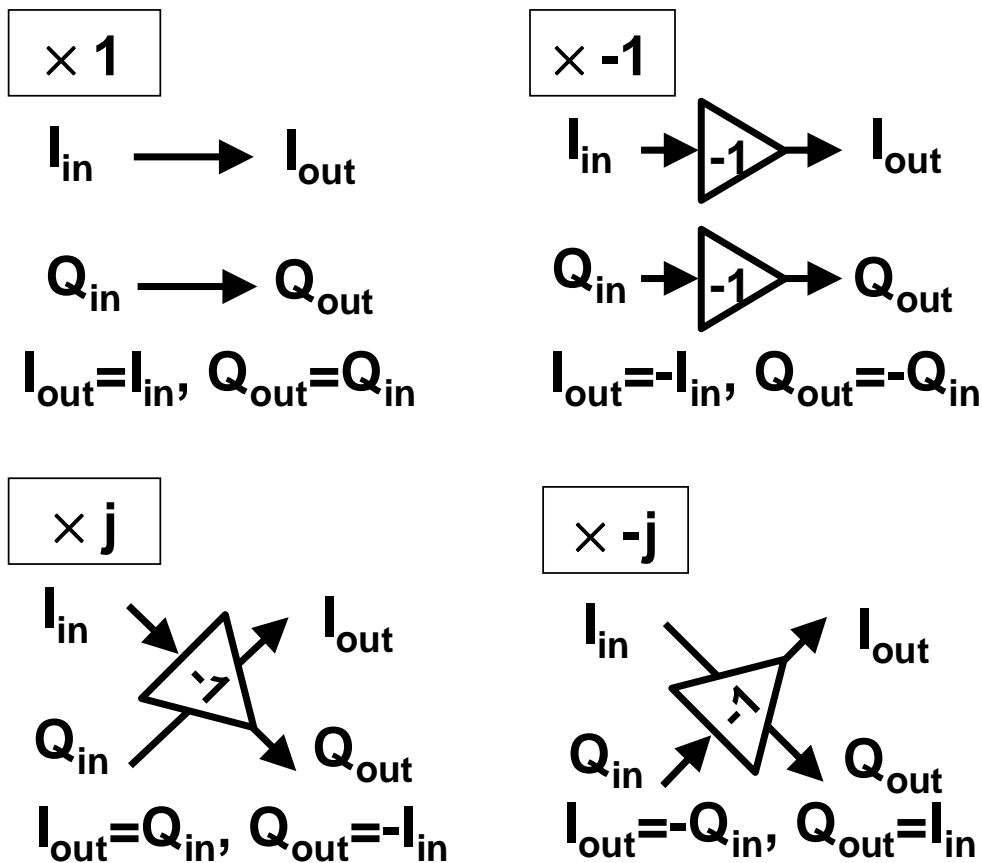


図 5.22 デジタル信号処理による周波数シフト

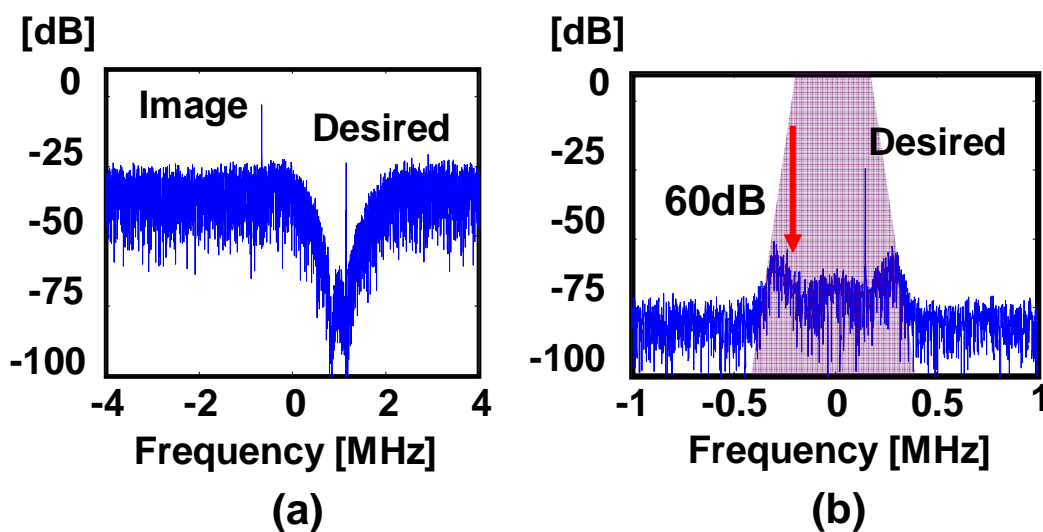


図 5.23 信号スペクトルの様子 (a)周波数シフト前, (b)周波数シフトおよび LPF による周波数選択後

5.4.6 マルチフェーズを利用した高効率電力増幅器

送信器は PLL (Phase Locked Loop) と PA (Power Amplifier) で構成され、433MHz で動作する。PLL はマルチフェーズの発振回路で構成され、20 位相を出力可能である。これを図 5.24 に示す。発振器は 5 段のリングオシレータを 4 つ、位相補間素子で結合することで構成される。位相補間素子はダイオードと nMOS トランジスタで構成され、nMOS のスイッチ制御は自身の 3 段前の位相が使われる。各リングオシレータが位相結合され、他のリングオシレータに位相情報が伝達されることで、18 度ずれの信号を 20 位相取り出すことができる。この多位相信号は IQ 信号と PA の入力として利用される。図 5.25(a)は測定された 18 度ずれの信号、図 5.25(b)は 90 度ずれの信号の様子を示している。これらの信号はバッファを通った後、各ブロックへ入力される。

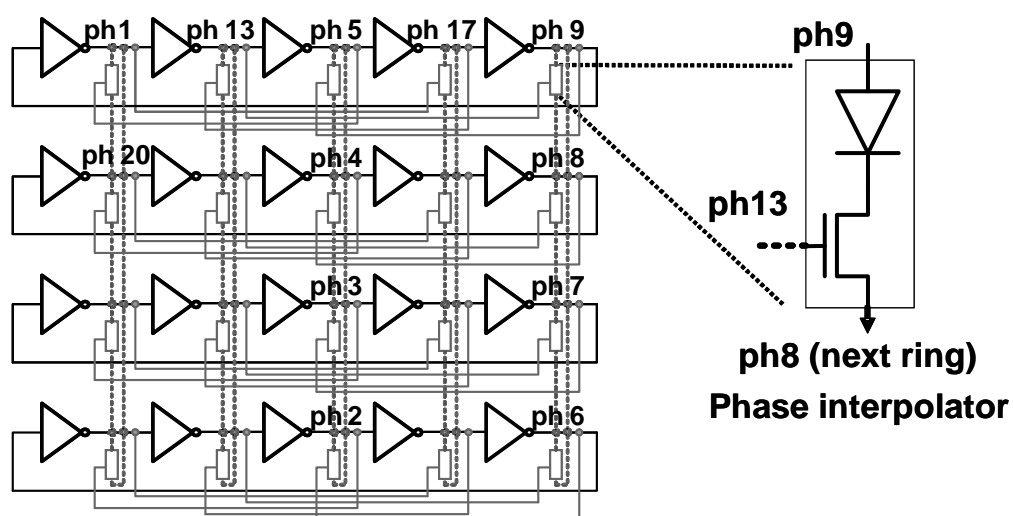
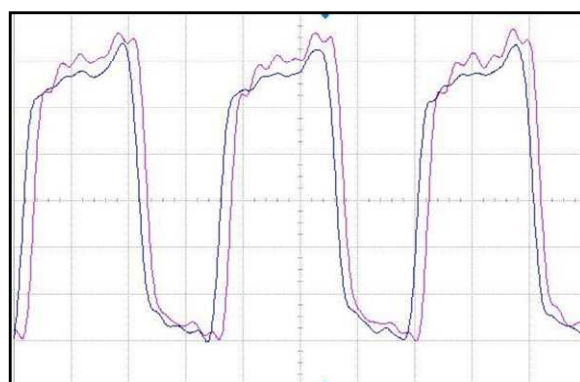
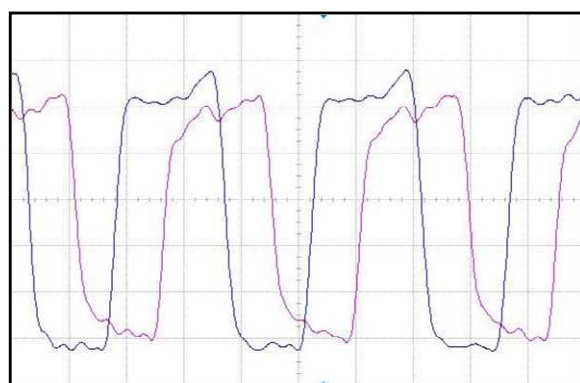


図 5.24 マルチフェーズリングオシレータ



(a)



(b)

図 5.25 マルチフェーズリングオシレータの実測波形 (a)ph1 と ph2(位相差 18 度),
(b)ph1 と ph6 (位相差 90 度)

PA は多入力単出力の Class-D PA (Power Amplifier) として構成される。D 級の PA はインバータと同様の回路で構成され、インダクタを用いないため小面積である。PLL からの 20 位相のうち、10 位相を信号入力として用いる。この D 級の PA を並列に接続することで高効率化を実現する。PA の回路図を図 5.26 に示す。PA の入力には PLL からの ph1~ph10 の 10 位相が用いられ、それぞれの PA は貫通電流を削減するため他の位相によってその導通角を制御されている。図 5.27 に導通角による PA の効率の変化を示す。導通角 144 度においてその効率が最大となり、出力 1.45dBm で 17.9% の高効率を実現した。

PA の測定結果を図 5.28 に示す。出力波形は少し歪んでいるものの、おおむね正弦波に近い波形が得られた。位相雑音は 1MHz オフセットで -96.9dBc/Hz であった。表 5.9 に PA の特性をまとめる。[39]は発振器に Q 値の高い FBAR (Film Bulk Acoustic Resonator) を用い、インダクタを使った Class-E の PA に送ることで、低消費電力で高効率な PA を実現している。FBAR はチップ上に載る程度の大きさで、小型化が可能である。しかし特殊な実装となるためコストがかかるという問題がある。それに対し、図 5.26 の PA はインダクタを使わず、インバータと同様の構成であるため非常に小型で低コスト化に向いている。

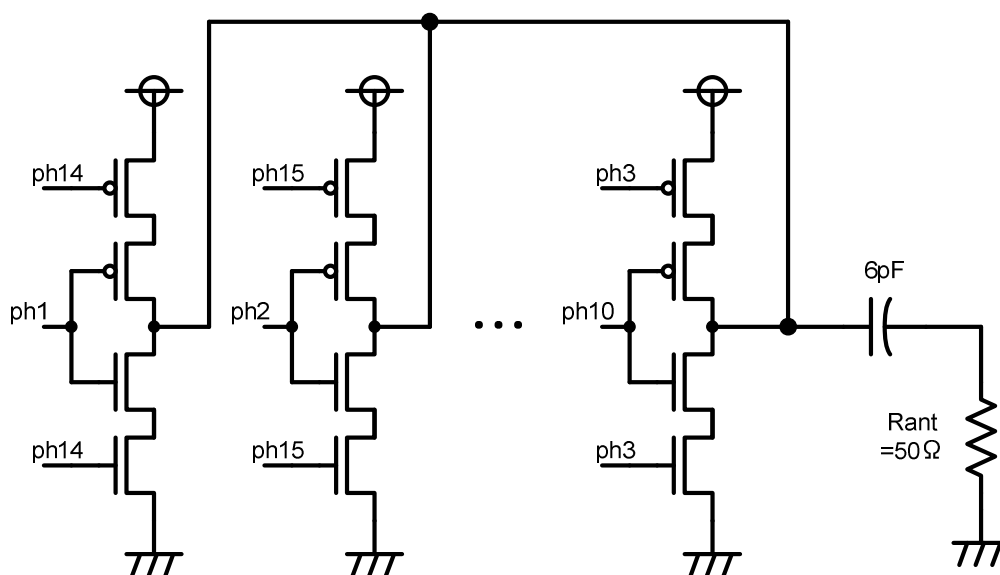


図 5.26 多入力 Class-D PA (power amplifier)

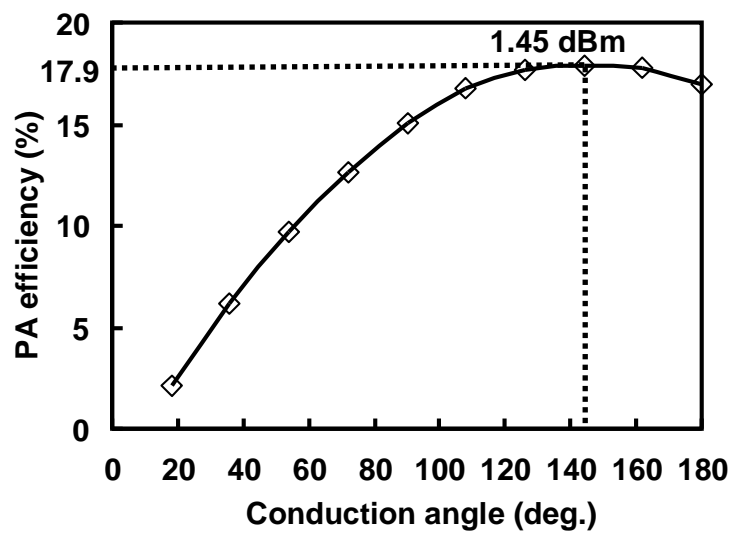
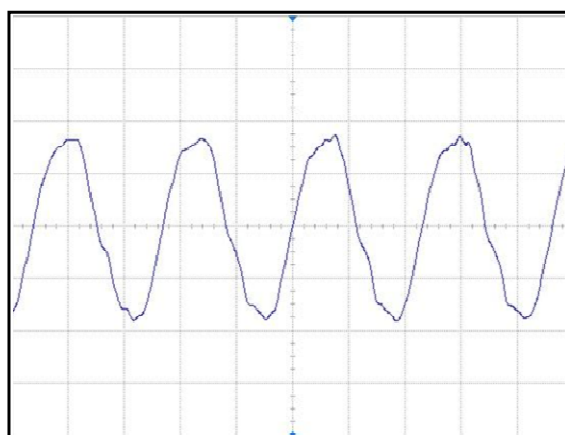
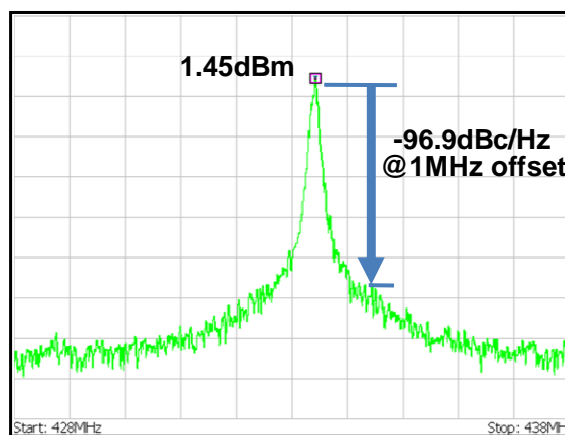


図 5.27 多入力 Class-D PA の導通角による効率の変化



(a)



(b)

図 5.28 多入力 Class-D PA の実測結果 (a)出力波形, (b)出力スペクトラム

表 5.9 PA の特性

Work	[1](FBAR)	Prop.(Multi-phase)
Type	Class-E	Class-D
Supply voltage	1.2 V	1.8 V
Frequency	1.9 GHz	433.5 MHz
Output power	1.46 dBm	1.45 dBm
Efficiency	16.5 %	17.9 %

5.5 待機電力削減のための分割 SRAM 技術

5.5.1 データメモリの分割による待機電力削減

センサノードの動作割合は通常 10^{-3} - 10^{-2} 程度である[16]-[18]. また第 3 章で説明した I-MAC のように, 動作電力削減のために無線通信の時間を減らすことは, 結果として待機時間の増加につながる. このためワイヤレスセンサネットワーク全体の平均消費電力を削減するためには, 待機電力の削減が必要不可欠である. しかしセンサノードは待機時, 経路情報やデータを保管するためにデータメモリの電源を遮断することができない. このためリーク電力の削減が不可欠となる.

従来のセンサノードはデータ保存のために SRAM (Static Random Access Memory), またはフラッシュメモリを用いる. これらのメモリにはそれぞれの利点の欠点がある. SRAM は通常の CMOS プロセスで設計できることから実装が容易で低コストであり, 動作電力が小さいという特長をもつ. しかし SRAM は揮発性で, データを保存するために常に電源を入れておかなければならず, 結果として待機電流の増加を招く. これに対しフラッシュメモリは不揮発性で, 電源を切っても中のデータが失われることはない. このため待機時に電力を消費しない. しかしフラッシュメモリを 1 チップに実装する場合, そのコストは SRAM を実装するよりも高くなる. さらにフラッシュメモリは動作電力が大きく, 高速なメモリアクセスはできない. またフラッシュメモリの書き込み回数は限られており, パケットのバッファなど, 頻繁に書き込みがあるような箇所には適用できない. よって本試作では低コストで実装できる SRAM の待機電力を抑えることで低コスト, 低消費電力なセンサノードを実現可能とする.

待機時間におけるリーク電力を削減するため、分割データバッファ SRAM を提案する。これは SRAM のリーク電流がその面積に比例することから、データサイズに合わせて不要なブロックの SRAM の電源を切断することでリーク電力を削減できると考えたためである。

図 5.29 に分割データバッファ SRAM のアーキテクチャを示す。ここで SRAM の容量は 64kbit と仮定する。データバッファ SRAM は等比分割され、メモリコントローラは受け取ったヘッダからデータサイズを取り出し、データサイズに応じて個々のメモリブロックの電源を遮断する。これによって不必要なリーク電力が削減される。メモリがアクセスされるときだけメモリコントローラが動作するため、コントローラの電力オーバーヘッドは非常に小さい。

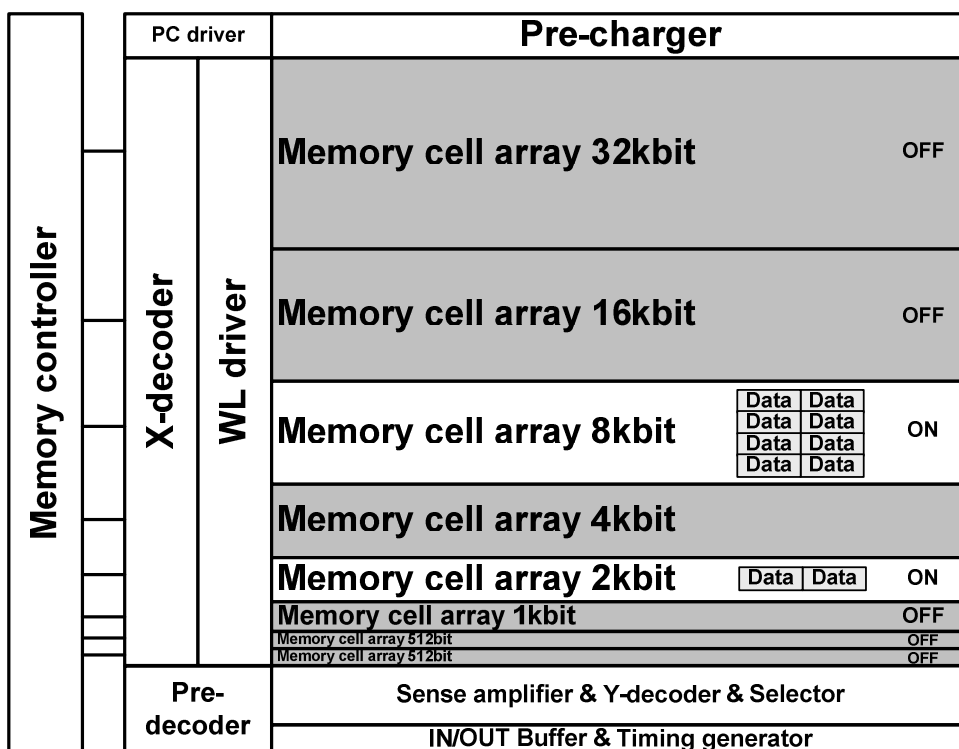


図 5.29 等比分割されたデータバッファ SRAM

分割データバッファ SRAM ではメモリコントローラがメモリブロックの電源を制御するため、コントローラ部にブロックの状態を保存するレジスタを持つ。このレジスタの値に合わせて各ブロックの電源を on, off する。

5.5.2 分割 SRAM の実装

分割 SRAM を実現するにあたり、電源遮断機能の実装が不可欠となる。図 5.30 に電源遮断回路の構成を示す。電源遮断回路は 2 段の pMOS で構成され、SRAM 外部から供給される VDD を BE (Block Enable) 信号によって制御する。SRAM メモリセルへは VDD_{MC} が供給される。

メモリの動作を保証するため、CMOS 0.18 μ m プロセスにおいてメモリセルの電源の on, off にかかる時間を見積もった。このときの回路構成を図 5.31 に示す。チップ外部の電源から 3800 μ m(チップ中央)の距離に 20 μ m 幅の配線で電源を供給したと過程して遮断回路 ON 時の VDD の電圧ドロップを測定した。また VDD_{MC} の起動時間測定のため、BE 入力から VDD_{MC} が VDD の 99%の電位なるまでの時間を測定した。この結果を表 5.10 に示す。電源電圧が 1.8V のとき、電源投入時の電圧ドロップの最大値が 240.5mV であった。また VDD_{MC} が VDD の 99%の電位なるまでの時間は 37.6ns であった。1クロックでブロックの電源を切り替えようとする場合、この SRAM は最高 26.6MHz で動作可能であることがシミュレーションによって示された。

また図 5.32 に設計した分割 SRAM のレイアウトを示す。電源遮断用の pMOS スイッチが帯状に付加されるため、分割を用いない従来の SRAM と比較して 10%の面積オーバーヘッドが存在する。

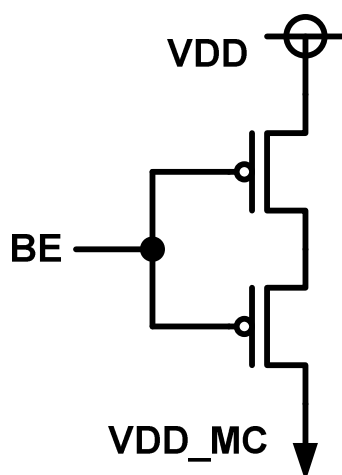


図 5.30 電源遮断用 pMOS トランジスタ

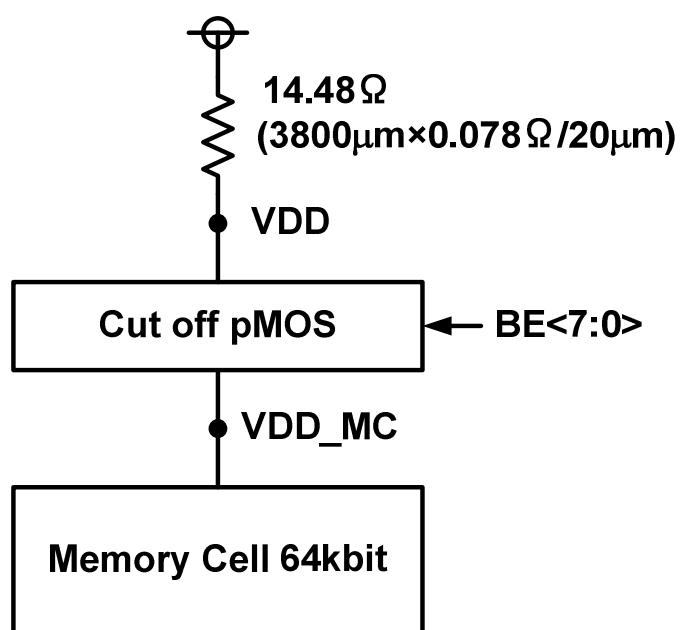


図 5.31 メモリセルの起動, カットオフ時のモデル

表 5.10 電源安定までにかかる時間

VDD[V]	VDD Drop[V]	VDD Drop[%]	VDD_MC 95%delay[ns]	VDD_MC 99%delay[ns]
1.0	0.08641	8.64	17.457	88.091
1.8	0.2405	13.36	29.323	37.618

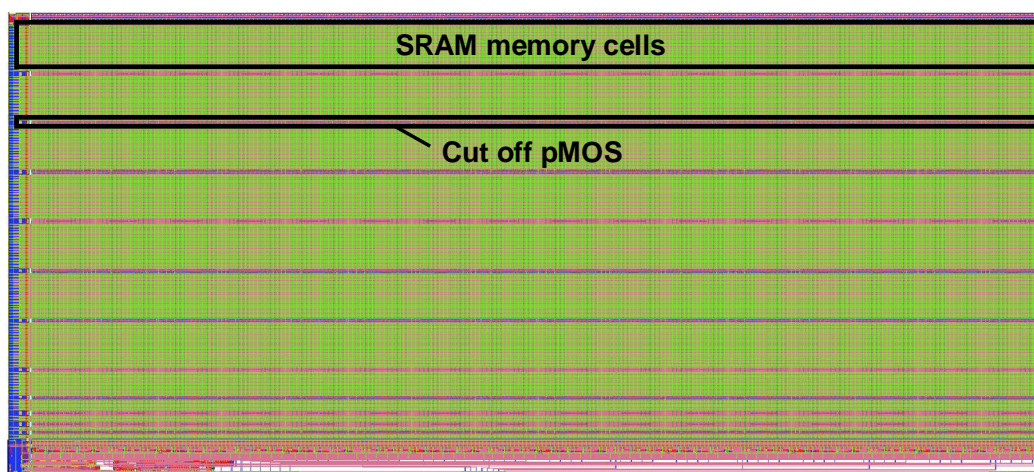


図 5.32 分割 SRAM のレイアウト

5.5.3 分割 SRAM の測定結果

図 5.33 に測定された分割 SRAM のリーク電力を示す。電源電圧は 1.8V である。メモリブロックのサイズに応じてリーク電力は 1.29 μ W から 2.73 μ W まで変化する。オフセットはあるものの、リーク電力は SRAM の容量増加に比例して増加している。

また電源電圧 1.8V、周波数 1MHz での分割 SRAM の動作電力は Read 時 265 μ W、Write 時 280 μ W であった。

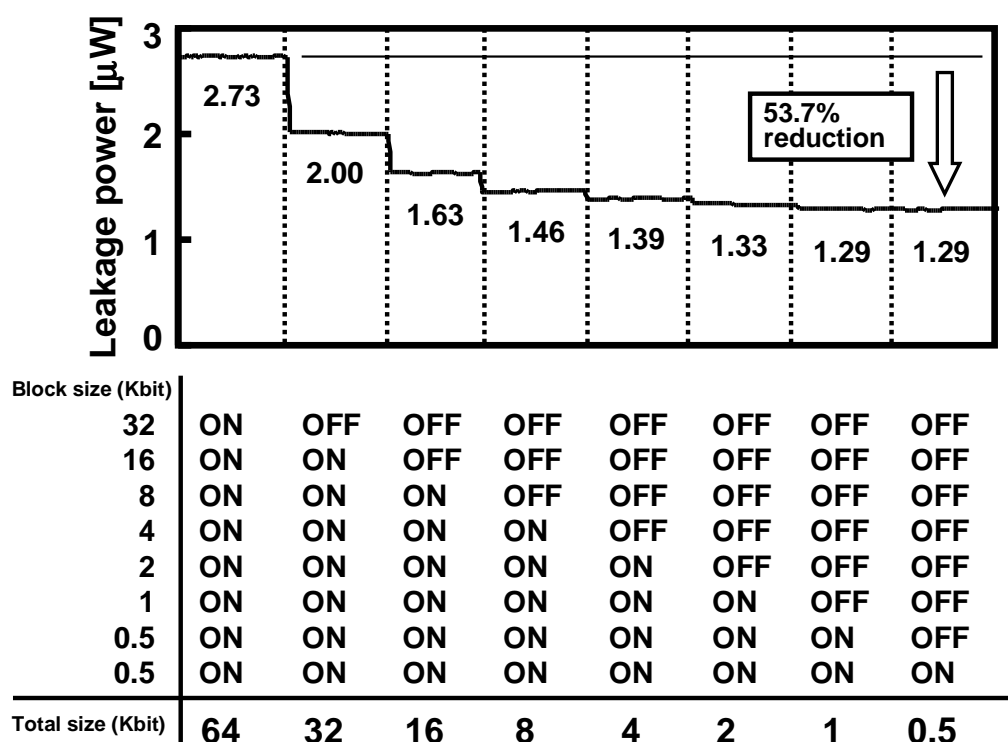


図 5.33 分割 SRAM のリーク電力。

5.6 センサノード LSI の実装とネットワークシミュレーション による評価

5.6.1 センサノード LSI の実装と電力測定

これまでに述べた各技術を LSI に統合することで低消費電力、かつ低コストなセンサノード LSI を実現する。図 5.34 にセンサノードの全体図を示す。I-MAC プロセッサは電源管理モジュールと連動して各部の電源、クロックを制御する。ノードの同期には FTSP を用いた。FTSP は MAC プロセッサの一部としてハードウェア化されている。また無線通信回路の SoC 化と低コスト化を実現するため、TX において多位相出力発振器を用いた高効率 PA を実装した。RX ではイメージ信号の除去をデジタル回路でおこなうことで、従来のイメージ除去方式よりも高いイメージ除去比と低コスト化を実現している。さらに待機時のリーク電力を削減するため、分割 SRAM をデータメモリとして実装した。図 5.35 はセンサノード LSI のチップ写真である。LSI は CMOS 0.18 μm プロセスで設計され、電源電圧 1.8V で動作する。面積は 3.0mm \times 1.7mm、トランジスタ数は 0.63M 個であった。

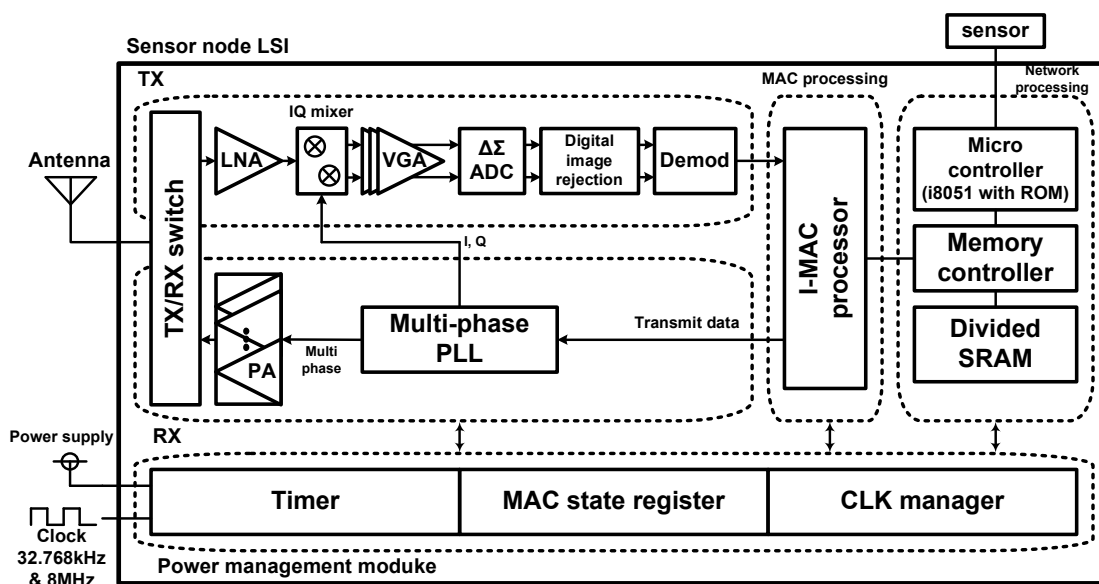


図 5.34 センサノード全体図

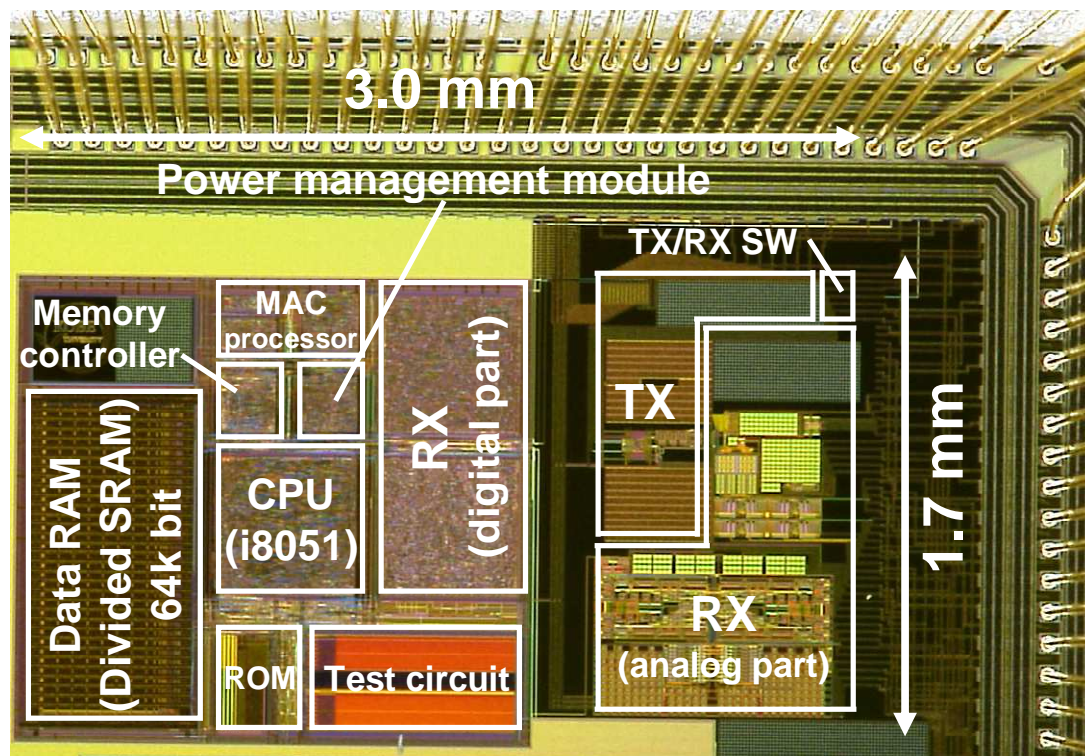


図 5.35 センサノード LSI

表 5.11 はセンサノード LSI の各ブロックの消費電力をまとめたものである。RF 回路の各電力は TEG の測定によって算出されている。また MAC プロセッサや i8051 の消費電力はテストベクタを与えて動作させることで測定した (図 5.36)。センサノードは Sleep (待機), Transmitting (送信), Receiving (受信), Network processing (ネットワーク処理) の 4 つの状態を持ち、表 5.11 から各状態の消費電力が算出される。待機時は最小 $5.46\mu\text{W}$ 、最大 $6.92\mu\text{W}$ である。これはそれぞれ分割 SRAM のリークが最小の場合と最大の場合で見積もった値である。また送信状態では 10.72mW 、受信状態では 13.69mW 、ネットワーク処理時には 3.97mW の電力を消費する。

クロックとして用いる水晶発振回路は 32.768kHz と 8MHz の 2 系統である。 32.768kHz のクロックは待機状態のときのタイマのカウントのために用いられる。このとき 8MHz の水晶発振回路の電源は遮断されている。 8MHz のクロックはノードの動作時、無線通信回路の復調やネットワーク処理の演算のために用いられる。

表 5.11 各ブロックの動作/待機電力とノードの状態ごとの消費電力

Block name	Block power		State of a sensor node			
	Dynamic [μ W]	Leak [nW]	Sleep	Transmitting	Receiving	Network processing
TX	4260	-	OFF	ON	OFF	OFF
RX	7214	-	OFF	OFF	ON	OFF
PLL	3280	-	OFF	ON	ON	OFF
MAC Processor	11.7	-	OFF	ON	ON	ON
Memory controller	14.4	88.3	clk gating	ON	ON	ON
Divided SRAM	read	265 1287 to 2732 (depend on operating block size)	clk gating and power management	ON	OFF	ON (r/w)
	write			280	OFF	
i8051	787	-	OFF	OFF	OFF	ON
Power management	4.53	-	OFF	ON	ON	ON
Power management (operating with 32.768kHz crystal)	0.485	-	ON	OFF	OFF	OFF
Crystal oscillator	32kHz	3.6	-	ON	ON	ON
	8MHz	2880	-	OFF	ON	ON
Total power			5.46 μ W (min.) 6.92 μ W (max.)	10.72mW	13.69mW	3.97mW

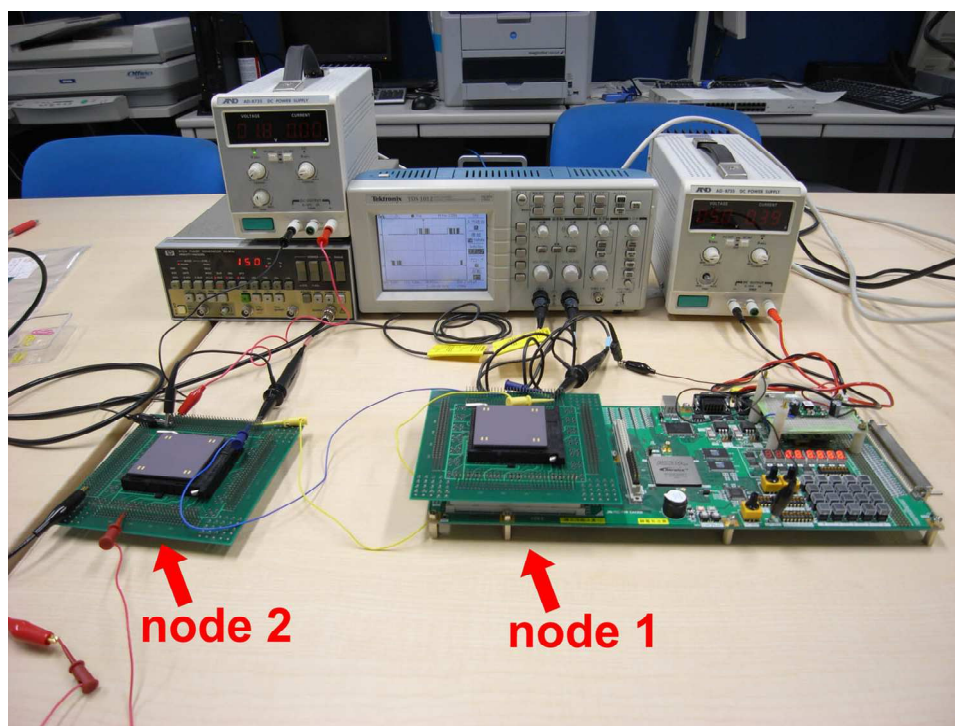


図 5.36 MAC プロセッサの動作検証と電力測定

5.6.2 ネットワークシミュレーションによる平均消費電力の評価

センサノードをセンサネットワークとして動作させたときの平均電力を評価するため、QualNet[40]を用いてネットワークシミュレーションをおこなった。シミュレーションの条件を表 5.12 に記す。センサノードの起動周期を 100ms, データレートを 20kbps と想定する。またセンサノードは 100m×100m のフィールドに 100 個配置されるものとする。ベースステーションはフィールドの中央にあり、センサノードはベースステーションに向けてデータを収集する。ここでベースステーションがデータを収集する間隔を 60 分に 1 回, 1 日 24 回のデータ収集をおこなうものと仮定する。

この条件下で、ネットワークシミュレーションをおこなった結果を表 5.13 に示す。またこのセンサネットワークの収集動作を図 5.37 に示す。センサノードは 100ms 間隔で起動し、100 個のノードのデータを収集するためには平均で 1 回当たり 84.8 秒の時間がかかる。この間で見たときの平均消費電力は 44.2 μ W である。つまりセンサノードが常にデータ収集のために動作している場合、その消費電力は 44.2 μ W となる。しかし通常、ベースステーションからデータ収集の要求がある場合のみデータを収集し、それ以外の時間は待機状態である。例として図 5.37 では 60 分に 1 回収集する様子を示している。60 分間の平均消費電力は、分割 SRAM を用いない場合 7.79 μ W, 分割 SRAM を用いた場合は 6.34 μ W という見積もりが得られた。

また分割 SRAM による消費電力削減効果を図 5.38 に示す。分割 SRAM による待機電力削減により、分割技術を用いない場合と比較して平均消費電力を 18.6%削減できる。また表 5.11 より、待機電力の半分以上を占めるのは実際には 32.768kHz の水晶発振回路であることがわかる。

1 日の収集回数をパラメータとして平均消費電力の変化を調べたものを図 5.39 に示す。1 日 1 回の収集をおこなう場合、センサネットワーク全体の平均消費電力は 5.5 μ W, 1 日 144 回の収集をおこなう場合は 10.76 μ W となった。収集回数が少ない場合は待機電力が支配的であり、分割 SRAM 技術による電力削減効果が大きい。このため分割 SRAM 技術はデータ収集頻度の低いアプリケーションに対して有効である。しかし収集回数が多くなるほど、待機電力よりも RX 電力が支配的となり、受信機の電力削減が重要となることがわかる。

表 5.12 ネットワークシミュレーションの条件

Simulator	Qualnet
Field	100 × 100 (m)
Number of nodes	100
Base station	Center of the field
Application	Data gathering
MAC layer	I-MAC
Wake-up period	100msec
Data rate	20kbps
Flooding	Once at beginning of simulation

表 5.13 一回の収集にかかった時間とその内訳

Gathering Time [sec.]	84.80
TX active time [sec.]	0.54
RX active time [sec.]	5.12
Network processing time [sec.]	0.11
Sleep time in one time gathering[sec.]	79.03
Sleep time in 60min.[sec.]	3594.23
Average power of 60min. with normal SRAM[μW]	7.79
Average power of 60min. with divided SRAM [μW]	6.34

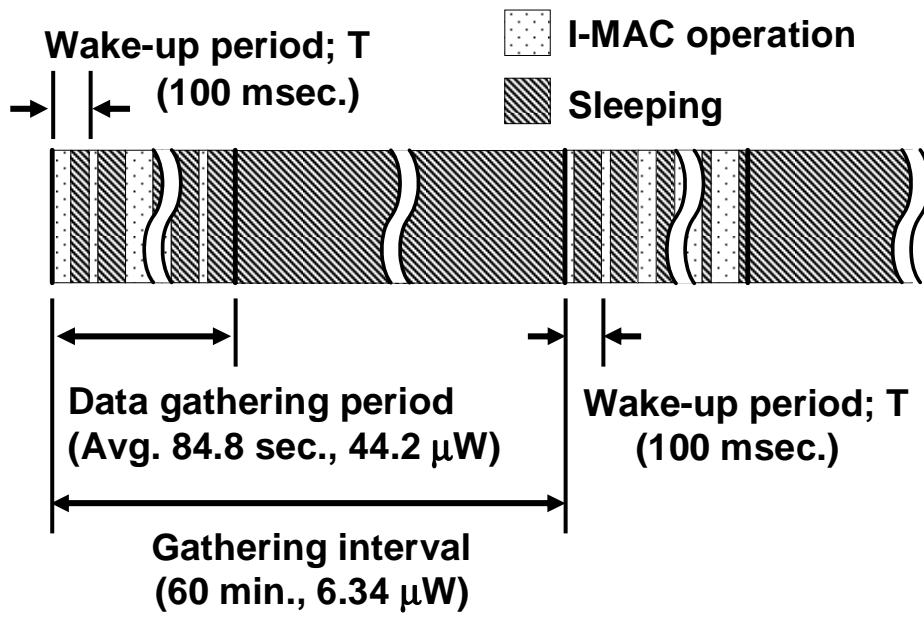


図 5.37 センサネットワークの動作と平均消費電力

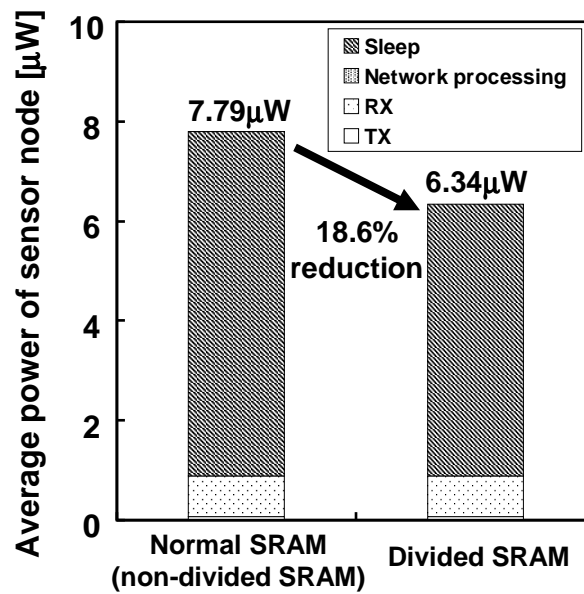


図 5.38 分割 SRAM による待機電力削減の効果

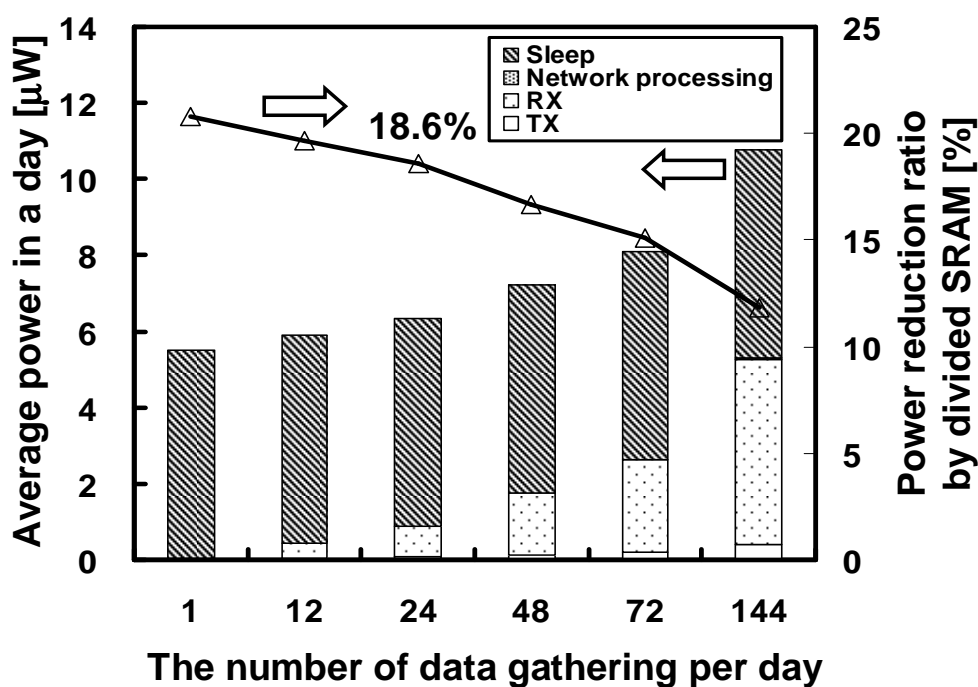


図 5.39 1日のデータ収集回数に対する平均電力の変化

5.7 結言

本章では低消費電力、低コストなセンサノードを実現するための要素技術とそのSoC化について述べた。I-MAC プロセッサは無線通信回路の動作時間を削減する。このI-MACを専用ハードウェアとして実装することで、消費電力の大きい汎用マイクロコントローラの稼働時間を大幅に削減し、さらなる低消費電力化が可能となった。またI-MAC プロセッサが自身の状態遷移に合わせてセンサノードの各ブロックの電源をシーケンシャルに制御することでセンサノードの低消費電力化を実現した。ノード間の同期にはFTSPを用い、MACプロセッサの一部としてハードウェア化した。また集積化の難しい無線通信回路のSoC化を実現するために、TXにおいてはインダクタを用いず、多位相発振器を利用した効率17.9%の高効率電力増幅器を提案した。またRXではイメージ信号の除去をデジタル回路でおこなうことで、Q値の高いイメージ除去フィルタを用いずに60dBの高いイメージ除去比を実現した。またセンサネットワークによる定期的な情報収集を目的とするアプリケーションでは、センサノードの待機時間が長いことから、待機時のリーク電力を削減するため、データメモリを必要容量

だけ起動する分割データバッファメモリ技術を提案した。センサノード LSI は CMOS0.18 μm プロセスで設計され、電源電圧 1.8V で動作する。チップ面積は 3.0mm \times 1.7mm, トランジスタ数は 0.63M 個であった。また QualNet を用いたネットワークシミュレーションから、1 日の収集回数が 24 回のとき平均消費電力 6.34 μW を達成できる見積もりを得た。

第6章 結論

本論文では、ワイヤレスセンサネットワークにおけるセンサノード LSI の低消費電力化、低コスト化について詳述した。

第3章 データリンク層における低消費電力化技術

無線通信回路の動作時間を削減するため、I-MAC プロトコルの提案をおこなった。I-MAC はノード間の同期を利用することでアイドルリスニングの時間を減少させ、通信電力を大幅に削減する。第3章では I-MAC プロトコルの有効性を検証するため、長波標準電波による同期を利用したプロトタイプを作成し、消費電力を評価した。またこの I-MAC をさらに低消費電力化するために、時刻補正アルゴリズムと低消費電力水晶発振回路を提案した。時刻補正アルゴリズムは温度変化によるノード間の時間のずれを補正することでプリアンブル送信時間を削減し、通信電力を約半分に抑えられる。また低消費電力な水晶発振回路を用いることで、常に動作しているタイマの電力を削減した。これら I-MAC、時刻補正アルゴリズム、低消費電力水晶発振回路の統合設計によって、従来の LPL を使ったノードと比較して 81%の消費電力削減を達成した。I-MAC による通信時間の削減はセンサノードの動作電力削減に大きな貢献をしている。また I-MAC は通信量の多いベースステーションに近いノードほど大きな電力削減効果を得ることができることから、センサネットワークの可用時間の向上が期待できる。

第4章 低消費電力キャリアセンス回路

ワイヤレスセンサネットワークにおいてこのキャリアセンス機能は衝突を回避するために重要な技術である。特に第3章で提案した I-MAC は同期型 MAC プロトコルであり、キャリアセンスによる衝突の回避が必要不可欠である。また I-MAC は定期的起動してキャリアセンスをおこなっているため、受信時間のほとんどがキャリアセンスの時間である。キャリアセンスにかかる電力を削減するため、双安定状態を利用し

た閾値特性を持つ低消費電力電圧増幅器 (BSAMP) を提案した。提案する BSAMP は、電圧増幅器を双安定状態とすることで定常状態でのバイアス電力を削減する。双安定状態が反転する閾値を制御することで、指定した振幅以上の電圧のみを増幅する機能を実現する。この増幅可能な最小入力電圧を持つ特性を利用し、他に回路を追加することなくキャリアセンス機能を実現できる。動作周波数 433MHz において BSAMP の最大電圧利得は 11dB であった。従来のインバータタイプの電圧増幅器と比較して、スタンバイ電力は 78% の削減、アクティブ電力は入力信号が “Low” のとき、46% の削減が可能である。ノードがアクティブである比率を 10^3 と想定した場合、平均消費電力は 376nW と見積もられた。

第 5 章 レイヤ間統合と SoC 化による低消費電力化

各レイヤの技術を統合することによって、低コスト、低消費電力なセンサノード LSI を実現した。I-MAC を専用ハードウェアとして実装することで、汎用マイクロコントローラの稼働時間を大幅に削減することが可能となった。また I-MAC プロセッサが自身の状態遷移に合わせて各ブロックの電源をシーケンシャルに制御することでセンサノードを低消費電力化している。ノード間の同期には FTSP を用い、MAC プロセッサの一部としてハードウェア化した。また無線通信回路の SoC 化を実現するための低コストなアーキテクチャを提案した。さらに待機時のリーク電力を削減するため、データメモリとして分割 SRAM 技術を提案した。センサノード LSI は CMOS0.18 μ m プロセスで設計され、電源電圧 1.8V で動作する。チップ面積は 3.0mm \times 1.7mm、トランジスタ数は 0.63M 個であった。また QualNet を用いたネットワークシミュレーションにより、1 日の収集回数と平均消費電力を評価した。データリンク層と協調して物理層を設計することで、1 日の収集回数が 24 回するとき、平均消費電力で 6.34 μ m を達成できる見積もりを得た。

謝辞

本研究の遂行に当たり、一貫して懇切な御指導、御鞭撻を賜りました神戸大学大学院工学研究科教授 吉本雅彦先生に深く感謝するとともに厚く御礼申し上げます。

適切な御助言と懇篤な御指導を賜りました神戸大学大学院工学研究科准教授 川口博先生に心から感謝するとともに厚く御礼申し上げます。

懇切なる御指導と貴重な御助言を賜りました神戸大学大学院工学研究科准教授 太田能先生に深く感謝致します。

また、本研究に対して有益な御教示を賜りました神戸大学大学院工学研究科教授 永田真先生、神戸大学大学院工学研究科教授 沼昌宏先生に深く感謝の意を表します。

本研究に対して有益な御助言、御指導を賜りました川上健太郎博士、宮越純一博士、村地勇一郎博士、森田泰弘博士、Augusto Foronda 博士に厚く感謝の意を表します。

本研究を遂行するに当たり、同じ WINE プロジェクトとして有益な議論、討論をおこない、また御助言を頂いた三上真司博士、芳野宏徳氏、松田隆志氏、青西孝文氏、一圓真澄氏、祇園昭宏氏、李赫鍾氏、和泉慎太郎氏、大竹優氏、小西恵大氏、酒井康晴氏、鶴田嵩氏、岡頭久氏に深く感謝致します。

大学院入学から 5 年の間ともに研究室生活を過ごし、研究、私生活共に切磋琢磨できた藤原英弘博士に深く感謝致します。

大学院入学から修士号取得までの 2 年間の研究生生活をともに過ごし、有益な議論を交わした長井健一氏、濱本真生氏、福山祐貴氏、山本亮氏に深く感謝いたします。

国際学会発表の際、熱心な英語の御指導を賜りました月野光先生に深く感謝の意を表します。

研究生生活を共にし、多くのご助言とご協力をいただいた、松野哲郎氏、竹村淳氏、野口紘希氏、飯沼隆弘氏、石原朋和氏、印芳氏、黒田光彦氏、樋口雄飛氏、吉野圭一氏、井口友輔氏、坂田義典氏、高橋巧至氏、矢倉健一郎氏、李将充氏、奥村俊介氏、上農哲也氏、谷純一氏、中田洋平氏、三浦和夫氏、水野孝祐氏、藤永剛史氏、嶋井優介氏、高木智也氏、竹内幸大氏、山口幸介氏、吉川将弘氏、吉本秀輔氏、何光霽氏、菅原隆伸氏、西野允雅氏、寺田正治氏、天下卓郎氏、鍵山祐輝氏、久賀田耕史氏、寺地陽祐氏に深く感謝いたします。

金沢大学で研究における御指導、御鞭撻を賜りました金沢大学集積回路工学研究室

北川章夫先生，秋田純一先生に深く感謝の意を表します。

また研究における基礎を学ぶに当たり，多くの御助言，御指導を賜りました有賀健太氏，尾形秀範氏，伊藤久博氏，中野伸吾氏，新村達氏，高木宏章氏，谷越大峰氏，早瀬佳氏，平手登氏，村上知倫氏に深く感謝いたします。

また，研究生活のお世話をして頂き，温かく見守って下さいました泉由里絵氏，呉恵美氏，坪井彩氏，松岡啓子氏に深く感謝いたします。

本論文の第 3 章の研究内容は沖電気工業株式会社の協力でおこなわれたものです。沖電気工業株式会社の谷幸一氏，四手井綱章氏に感謝致します。

本論文の第 5 章での試作 LSI チップはエイ・アイ・エル株式会社の協力を含みます。本研究における井芹氏，佐々木氏の技術的支援に感謝致します。

研究生活において奨学金の支給をしていただいた独立行政法人 日本学生支援機構に深く感謝いたします。

博士後期課程進学に際し，貴重な御助言を頂きました立命館大学情報理工学部教授池田秀人先生に深く感謝するとともに厚く御礼申し上げます。

また，本研究は，総務省・戦略的情報通信研究開発推進制度 (SCOPE)，平成 18 年度文部科学省科学研究費補助金基盤研究 (C) (課題番号 18500052) および若手研究 (B) (課題番号 16760271) のもとに実施したものであり，ここに謝意を表します。

最後に，私生活の中で多くの励ましを頂きました国菊次氏，竹内実氏，竹内武次氏，塚本稔氏，塚本一枝氏，高井哲夫氏，高井久江氏，島本暁子氏，上布淑江氏に深く感謝致します。またここまで温かく支えて頂いた両親，祖母，ならびに兄弟に心より感謝致します。

参考文献

- [1] 総務省調査研究会, “ユビキタスセンサーネットワーク技術に関する調査研究会,” July 2004. [Online]. Available: http://www.soumu.go.jp/menu_news/s-news/2004/pdf/040806_4_b1.pdf.
- [2] O.Arazi, I.Elhanany, D.Rose, H.Qi, B.Arazi, “Self-certified public key generation on the intel mote 2 sensor network platform,” Proceedings of Wireless Mesh Networks(WiMesh), pp. 118-120, Sept., 2006.
- [3] T.Sakai, A.Uchiyama, Y.Nakamura and T.Higashino , “Design of a Sensor-based Certification Technique for Anonymous Encountering Information [in Japanese],” 情報処理学会研究報告. CSEC, pp. 83-88, Mar. 2007
- [4] S.Choi, H.Cha, S.Cho, “A SoC-based Sensor Node: Evaluation of RETOS-enabled CC2430,” Proceedings of Sensor, Mesh and Ad Hoc Communications and Networks, pp. 132-141, June 2007
- [5] “<http://www.ymatic.co.jp>,” Ymatic Ltd.
- [6] J.Polastre, R.Szewczyk, and D.Culler, “Telos: Enabling Ultra-Low Power Wireless Research,” Proceedings of the 4th international symposium on Information processing in sensor networks, 2005
- [7] C. Intanagonwiwat, D. Estrin, R. Govindan, and J. Heidemann, “Impact of Density on Data Aggregation in Wireless Sensor Networks,” Proc. of the 22nd International Conference on Distributed Computing Systems, Nov 2001
- [8] W.Ye, J.Heidemann, and D.Estrin, “Medium Access Control With Coordinated Adaptive Sleeping for Wireless Sensor Networks,” In IEEE Transactions on Networking, April 2004.
- [9] J.Hill and D.Culler, “Mica: a wireless platform for deeply embedded networks,” IEEE Micro, pp.12-24, Nov./Dec.2002.
- [10] J.Elson, L.Girod and D.Estrin, ”Fine-Grained Network Time Synchronization using Reference Broadcasts,” Proceedings of the 5th symposium on Operating System Design and Implementation (OSDI 2002), December 2002.
- [11] “<http://jjy.nict.go.jp/jjy/trans/index-e.html>,”

- [12] T. Morikawa, “<http://jyy.nict.go.jp/QandA/reference/Proceeding/sympo-pro1.pdf>,” Proceedings of the Low frequency standard time and frequency signal symposium.
- [13] Available: “<http://www.okisemi.com>,” Oki Electric Industry Co., Ltd.
- [14] S. Farahvash, C. Quek, M. Mak, “A Temperature-Compensated Digitally-Controlled Crystal Pierce Oscillator for Wireless Applications,” Proceedings of International Solid-State Circuits Conference, pp. 352-353, Feb. 5, 2008.
- [15] “<http://www.epsontoyocom.co.jp>,” Epson Toyocom Co., Ltd.
- [16] Tijs van Dam, Koen Langendoen, “An adaptive energy-efficient MAC protocol for wireless sensor networks Export,” Proceedings of the 1st international conference on Embedded networked sensor systems, pp. 171-180, 2003.
- [17] “<http://panasonic.co.jp/corp/news/official.data/data.dir/jn050519-1/jn050519-1.html>”
- [18] 吉川嘉茂, 堀池良雄, 林錠二, 滝田敏夫, 中井誠治, 丹藤克彦, “超小型特定省電力無線モジュールとその応用,” Matsushita Technical Journal Vol. 52 No. 5 Oct. 2006, “<http://panasonic.co.jp/ptj/v5205/pdf/p0302.pdf>”
- [19] B. Otis, Y. H. Chee and J. Rabaey, “A 400mW Rx, 1.6mW Tx Super-regenerative transceiver for Wireless Sensor Networks”, Dig. IEEE ISSCC, pp. 396-397, Feb. 2005.
- [20] Y. T. Lin, T. Wang, S. S. Lu, and G. W. Huang, “A 0.5 V 3.1 mW Fully Monolithic OOK Receiver for Wireless Local Area Sensor Network,” Proceedings of IEEE ASSCC, pp. 373-376, Nov. 2005.
- [21] R. Drost, R. Hopkins, and I. E, “Proximity Communication,” Proceedings of IEEE CICC, pp. 469-472, Sep. 2003.
- [22] K. Min, H. Kawaguchi, and T. Sakurai, “Zigzag Super Cut-off CMOS (ZSCCMOS) Block Activation with Self-Adaptive Voltage Level Controller,” Dig. IEEE ISSCC, pp. 400-401, Feb. 2003.
- [23] H.Kiyohide, M.Yutaka, T.Kazuo, “Low Power Consumption LSI Design with Soft Core IP : An Application of Power-Conscious CMOS Cell Library [in Japanese],” Technical report of IEICE. ICD, pp.63-70, Sept., 1998
- [24] M. Sheets, F. Burghardt, T. Karalar, J. Ammer, Y. H. Chee, J. Rabaey and A. Functionality, “A Power-Managed Protocol Processor for Wireless Sensor Networks,” Digest of

- Technical Papers 2006 Symposium on VLSI Circuits, pp. 212-213, June 2006.
- [25] En-Yi A. Lin, J. M. Rabaey and A. Wolisz, "Power-Efficient Rendez-vous Schemes for Dense Wireless Sensor Networks," Proceedings of IEEE International Conference (ICC), vol.7, pp. 3769-3776, June 2004.
- [26] J. Elson, L. Girod and D. Estrin: "Fine-Grained Network Time Synchronization using Reference Broadcasts", Proceedings of the 5th Symposium on Operating Systems Design and Implementation (OSDI'02), Boston, Massachusetts (2002).
- [27] S. Ganeriwal, R. Kumar and M. B. Srivastava: "Timing-sync Protocol for Sensor Networks", Proceedings of the 1st ACM Conference on Embedded Network Sensor Systems (SenSys'03), Los Angeles, California (2003).
- [28] M. Maroti, B. Kusy, G. Simon and A. Ledeczi, "The Flooding Time Synchronization Protocol", Proceedings of the 2nd ACM Conference on Embedded Networked Sensor Systems (SenSys'04), Baltimore, Maryland (2004).
- [29] Ulrich Schmid, "High-Accuracy Time Services and Fault-Tolerant Clock Synchronization (2000)," 37th Meeting of the IFIP Working Group 10.4, Invited Talk at Workshop on Time and Dependability, January, 2000
- [30] T. Kadoyama, N. Suzuki, N. Sasho, H. Iizuka, I. Nagase, H. Usukubo, and M. Katakura, "A Complete Single-Chip GPS Receiver With 1.6-V 24-mW Radio in 0.18- μ m CMOS," IEEE Journal of Solid-State Circuit, vol. 39, No.4, April 2005.
- [31] G. Gramegna, P. G. Mattos, M. Losi, S. Das, M. Franciotta, N. G. Bellantone, M. Vaiana, V. Mandará, and M. Paparo, "A 56-mW 23-mm² Single-Chip 180-nm CMOS GPS Receiver With 27.2-mW 4.1-mm² Radio," IEEE Journal of Solid-State Circuit, vol. 41, No.3, March 2006.
- [32] Ganeriwal, S., Kumar, R., and Srivastava, M. B. "Timing-Sync Protocol for Sensor Networks," The First ACM Conference on Embedded Networked Sensor System (SenSys), pp. 138-149, November 2003.
- [33] C. Intanagonwiwat, R. Godinvan and D. Estrin, "Directed diffusion for wireless sensor networking," IEEE/ACM Transactions on Net-working, Vol. 11, No. 1, pp. 2-16, 2003.
- [34] J. Heidemann, F. Silva and D. Estrin, "Matching data dissemination algorithm to application requirements," Proceedings of the 1st ACM Conference on Embedded

Network Sensor Systems (SenSys'03), pp. 218–229, 2003.

- [35] 阪田史郎, “無線 PAN/LAN/MAN/WAN の最新技術動向,” 2006
- [36] 上野伴希, “無線機 RF 回路実用設計ガイド,” 総合電子出版社, 2004 年 6 月
- [37] 鶴見博史, “ダイレクトコンバージョン無線機技術,” 東工大移動通信研究グループ
セミナー, 2002 年 7 月 8 日
- [38] A. Rofougaran, et al., “A Single-Chip 900-MHz Spread-Spectrum Wireless Transceiver in
1- μ m CMOS,” IEEE J.Solid-State Circuits, Vol. 33, pp. 515-534, April 1998.
- [39] B.P.Otis, Y.H.Chee, R.Lu, N.M.Pletcher, J.M.Rabaey, “An Ultra-Low Power
MEMS-Based Two-Channel Transceiver for Wireless Sensor Networks,” Symp. VLSI
Circuits Dig. Tech. Papers, pp. 20-23, June 2004.
- [40] Available: “<http://www.qualnet.com/>”, Scalable Network Technologies.

著者の研究業績目録

A. 学会誌論文 (筆頭論文, 査読有)

1. T.Takeuchi, Y.Otake, M.Ichien, A.Gion, H.Kawaguchi, C.Ohta, M.Yoshimoto, “Cross-Layer Design for Low-Power Wireless Sensor Node Using Wave Clock,” IEICE TRANSACTIONS on Communications, vol.E91-B, No.11, pp.3480-3488, Nov.2008.
2. T.Takeuchi, S.Mikami, H.Lee, H.Kawaguchi, C.Ohta and M.Yoshimoto, “A 433-MHz Rail-to-Rail Voltage Amplifier with Carrier Sensing Function for Wireless Sensor Networks,” IEICE Trans. Electron., Vol. E92.C, No. 6, pp.815-821, 2009.

B. 国際会議(筆頭論文, 査読有)

1. T.Takeuchi, S.Izumi, T.Matsuda, H.Lee, Y.Otake, T.Konishi, K.Tsuruda, Y.Sakai, H.Fujiwara, C.Ohta, H.Kawaguchi, M.Yoshimoto, “A 58- μ W single-chip sensor node processor using synchronous MAC protocol,” Symposium on VLSI Circuits 2009, pp.290-291, June 2009.
2. T. Takeuchi, S. Izumi, T. Matsuda, H. Lee, T. Konishi, K. Tsuruda, Y. Sakai, H. Kawaguchi and M. Yoshimoto, “A Single-Chip Sensor Node LSI with Synchronous MAC Protocol and Divided Data-Buffer SRAM,” Proceedings of International SoC Design Conference 2009 , Nov. 2009.

C. 本研究に関するその他の発表(査読無)

1. 一圓真澄, 竹内隆, 三上真司, 川口博, 太田能, 吉本雅彦, “センサネットワークのための長波帯標準電波時刻同期を用いた周期起動型 MAC の提案,” 電子情報通信学会技術研究報告, NS2006-8, pp.29-32, 2006 年 4 月.
2. 大竹優, 一圓真澄, 竹内隆, 祇園昭宏, 三上真司, 藤原英弘, 川口博, 太田能, 吉本雅彦, “長波帯標準電波を用いた低電力センサノードのための垂直統合設計,” システム LSI ワークショップ (北九州), pp.219-221, 2007 年 11 月.

3. 一圓真澄, 竹内隆, 三上真司, 川口博, 太田能, 吉本雅彦, “(奨励講演) センサネットワークのための長波帯標準電波時刻同期を用いた周期起動型 MAC の提案,” 電子情報通信学会技術研究報告, NS2006-112, pp.73-76, 2006 年 10 月.
4. 李赫鍾, 三上真司, 竹内隆, 一圓真澄, 川口博, 太田能, 吉本雅彦, “ワイヤレスセンサネットワーク応用キャリアセンス機能を持つ 433MHz 帯, 356- μ W 電圧増幅器,” 電子情報通信学会技術研究報告, ICD2007-50, pp.77-82, 2007 年 7 月.
5. 和泉慎太郎, 松田隆志, 竹内隆, 川口博, 太田能, 吉本雅彦, “低消費電力センサノード VLSI のための時刻同期型 MAC プロトコルの研究,” 電子情報通信学会技術研究報告, NS2008-174, pp.177-182, 2009 年 3 月.

D. 本研究に関する特許出願

1. 吉本雅彦, 太田能, 川口博, 竹内隆, “温度補償バイアス回路,” 出願 2007-264523 (平 19.10.10) , 公開 2009-093483 (平 21.4.30)