



# CMOSデジタルLSIにおける電源雑音の解析とエミュレーション技術に関する研究

松野, 哲郎

---

(Degree)

博士 (工学)

(Date of Degree)

2010-03-25

(Date of Publication)

2011-08-02

(Resource Type)

doctoral thesis

(Report Number)

甲4940

(URL)

<https://hdl.handle.net/20.500.14094/D1004940>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



# 博士論文

## CMOS デジタル LSI における 電源雑音の解析とエミュレーション技術に関する研究

平成 22 年 1 月

神戸大学大学院自然科学研究科

松野 哲郎



## 要旨

---

LSIの製造技術は1965年に発表されたMooreの法則に従って進展してきた。LSIの微細化は高速化、小面積(低コスト)化、低消費電力化という強い利点を持っており、電子機器の小型化、高機能化に大きく貢献してきた。しかし2004年以降のSub-100nm世代まで微細化が進むと、前述した利点以外の面が顕在化してきた。配線抵抗による信号遅延やリーク電流の増大、LSIの雑音耐性劣化の問題である。本研究ではLSI雑音耐性の劣化に着目し、デジタルLSIにおける電源雑音の解析とエミュレーションを行う。

デジタルLSIから発生する電源雑音および基板雑音を評価するために、本研究では雑音評価用のリファレンス回路を提案し、複数プロセスでの雑音評価を行った。また雑音の波形取得システムの広帯域化を実施した。

まず、電源および基板雑音の評価用リファレンス回路としてループシフトレジスタアレイ回路を提案した。この回路の基本単位はDFBを従属接続して最終段の出力を最初段の入力にループバック可能な機構を持った回路であり、この回路をループシフトレジスタ回路と呼ぶ。ループシフトレジスタ回路を複数列搭載した回路が提案回路である。提案リファレンス回路は動作回路規模、信号トグル率の2つの任意性を持たせた回路となっており、ホットスポットに代表されるようなデジタル回路特有の雑音発生状況をはじめ、様々なデジタル回路の動作状況を模擬することができる。提案リファレンス回路を3つの異なるファウンドリ・プロセスにて実装し雑音評価を行った。用いたプロセスは0.18  $\mu\text{m}$  1.8 V CMOSプロセス、90 nm 1.2 V CMOSプロセス、90 nm 1.0 V CMOSプロセスの3つである。この3つのプロセス間を比較することで世代の異なるプロセス間比較と同一世代で異なるファウンドリ間比較を行うことができる。3プロセスの雑音評価は電圧源、パルスジェネレータ、PC、評価ボード、テストチップなどからなる測定環境を用いて実際に測定すると共に、容量充電モデルに基づくシミュレーションを同時に行った。すべてのファウンドリ・プロセスにおいて動作回路規模、信号トグル率の増加に対して雑音発生量が線形に増加していくことが分かり、かつシミュレーションにより高精度に再現することを実現した。これらの成果により、雑音評価用のリファレンス回路構造とともに高精度なシミュレーションモデル

を同時に提供することを可能とした。

さらに，本研究では CMOS デジタル LSI の電源雑音評価の広帯域化を行った．電源雑音の測定のためにはオンチップの雑音検出器の設計だけでなく，測定器の選定，システムの構成によって得られる雑音波形の品質が左右される．品質の良い雑音波形を取得するためにはチャンネル数に厳しい制限のある高精度クロックジェネレータを測定システムに取り入れる必要がある．従来研究では信号精度は劣る一方で 8 チャンネル以上の多チャンネル出力が可能なパルスジェネレータ 1 台からすべてのパルス信号を出力させていた．本研究では，2 チャンネルの高精度クロックジェネレータと多チャンネル出力が可能なパルスジェネレータをマスタースレーブ動作させることで測定システムの取得波形の時間分解能を向上させ，実効的な測定帯域の広帯域化を実現した．提案したマスタースレーブ構成によって実効的な時間分解能は 16 ps となり，従来構成の 50 ps に対して 40% の向上を達成した．

本研究では CMOS デジタル回路の電源および基板雑音を精度良く，かつ効率的に解析する技術の開発を行なった．本研究で用いた解析モデルはモデル化対象回路の寄生容量の充電過程が雑音発生の主要因であることに基づくモデルである．このモデルを TSDPC (Time-series divided parasitic capacitance) モデルと呼ぶ．TSDPC モデルを用いたデジタル回路の雑音解析については単純なインバータアレイや 50-k ゲート規模のマイクロプロセッサに適用した過去の研究事例があるが，モデル化する際の容量の決定方法が手動であるなどの未完成的な部分が存在した．本研究では充電される容量値の決定方法を明確に定義し，定式化，フロー化することで一般的なデジタル回路の設計フローとの親和性を高めることを実現した．

また，本論文では高精度な雑音解析を行なうために等価回路の作成方法について言及した．デジタル LSI の電源雑音は雑音等価回路のみではなく，オフチップのインピーダンスや基板結合など，様々な要因が相互に関係する複合的な事象である．本研究ではチップ内のモデル，パッケージモデル，ボードモデルについて段階的に詳細化して，各段階での解析結果を実際の雑音測定結果と比較して評価を行なった．その結果，チップ内モデル，パッケージモデル，ボードモデルの 3 つをそれぞれ作成し，結合したモデルを作成することで高精度な雑音解析が可能であることを示した．チップ内のモデルは容量充電モデルによる雑音等価回路に電源配線モデルとグラウンド配線および基板をモデル化したものを付加することで作成する．パッケージ，ボードのオフチップモデルはそれぞれ，イ

ンピーダンス測定をすることで集中定数による等価回路を作成する。

チップ内モデル，パッケージモデル，ボードモデルを統合した等価回路を2種類の異なるファウンダリ・プロセスに実装したループシフトレジスタ回路に対して適用した。使用したプロセスは  $0.18 \mu\text{m}$  1.8 V CMOS プロセスと 90 nm 1.2 V CMOS プロセスの2つである。世代の大きく異なる両プロセスにおいて提案する雑音等価回路を用いることで高精度かつ高速に雑音解析が可能であることを実証した。

本研究ではデジタル LSI の電源雑音解析の観点から，従来までのコンピュータ上でのシミュレーション技術のほかに，ハードウェアエミュレーションを実現した。エミュレーションの核となる任意雑音発生器 (ANG : Arbitrary Noise Generator) の雑音発生原理は電源雑音の解析に使用した TSDPC モデルである。本研究で提案する ANG は可変容量を2次元アレイ状に (平面的) に配置し，各場所毎に設定した容量値の充電を行うことで雑音を発生する。容量値の設定データは LSI の周辺部に配置された SRAM に予め蓄えておき，逐次的に容量値の再設定を行うことで連続時間の可変容量充電を実現した。実際に ANG を 65 nm CMOS プロセスを用いて試作を行った。試作した ANG が持つ容量設定分解能は 6 bit である。試作した ANG を用いてループシフトレジスタアレイの動作回路規模依存性を対象としたエミュレーションを実行したところ，実際の回路で発生していた電源雑音を正確にエミュレートできていることを確認し，提案するエミュレーションシステムの正当性を確認した。また，エミュレーション例として 32-bit マイクロプロセッサについてハードウェアエミュレーションした結果，プロセッサの実効命令に依存した雑音波形の変化をとらえることに成功した。

本論文では CMOS デジタル LSI の電源雑音の解析とエミュレーション技術について論じた。雑音評価では CMOS デジタル LSI から発生する雑音の一般的な特徴や異なるプロセス間での雑音特徴の違いなどの知見を得た。さらに評価帯域の広帯域化を実現した。解析技術では，容量充電モデルを用いた高精度・高効率の雑音シミュレーションを実現し，一般的なデジタル設計フローへの親和性向上とプロセスに依らず，提案する解析手法が有効であることを実証した。さらに新たな雑音解析手法として ANG を用いたデジタル雑音のエミュレーションシステムを構築し，正当性と有効性を実際のデジタル回路に適用して実証した。これらの研究成果は今後さらに大規模化が進められることが予想される CMOS デジタル LSI にまつわる雑音問題に対する解決策となる。



# 目次

---

<b>1</b>	<b>緒論</b>	<b>1</b>
1.1	研究背景	1
1.2	従来研究	4
1.2.1	電源雑音の評価技術	4
1.2.2	電源雑音のモデル化技術と解析技術	7
1.2.3	電源雑音のエミュレーション技術	11
1.3	研究の概要と本論文の構成	15
1.3.1	CMOS デジタル回路の電源雑音評価	15
1.3.2	CMOS デジタル回路の電源雑音解析	15
1.3.3	CMOS デジタル回路の雑音エミュレーション	16
<b>2</b>	<b>CMOS デジタル回路の電源雑音評価</b>	<b>17</b>
2.1	はじめに	17
2.2	電源雑音評価のためのリファレンス回路	18
2.2.1	提案回路構造	18
2.2.2	シミュレーションモデル	19
2.3	複数プロセスの雑音評価	24
2.4	電源雑音評価の広帯域化	32
2.4.1	オンチップ雑音検出回路	32
2.4.2	雑音波形取得システム	32
2.4.3	テストチップ	36
2.4.4	測定結果	37
2.5	電源雑音評価による技術的達成点と今後の展望	42
2.6	まとめ	42
<b>3</b>	<b>CMOS デジタル回路の電源雑音解析</b>	<b>43</b>
3.1	はじめに	43
3.2	電源雑音解析手法	44
3.2.1	容量充電モデル	44
3.2.2	スタンダードセルの容量値の導出	46



3.2.3	容量充電モデルの定式化	48
3.3	提案雑音解析手法によるシミュレーション結果	49
3.3.1	テスト回路の定義	49
3.3.2	タイミング分布	51
3.3.3	電源および基板ネットワーク	54
3.3.4	シミュレーションと実測	57
3.4	複数プロセスにおけるシミュレーション結果	66
3.5	電源雑音解析による技術的達成点と今後の展望	69
3.6	まとめ	69
4	CMOS デジタル回路の雑音エミュレーション	71
4.1	はじめに	71
4.2	任意雑音発生器	72
4.2.1	TSDPC セルアレイ	72
4.2.2	チップレベル構成	78
4.3	雑音エミュレーション環境	78
4.4	実験結果	82
4.5	雑音エミュレーションによる技術的達成点と今後の展望	87
4.6	まとめ	87
5	結論	89
	謝辞	91
	参考文献	93
	発表論文一覧	101
	本研究に関する発表論文	101
	学術雑誌	101
	国際会議	101
	学術講演	102
	口頭発表	102
	その他の発表論文	102
	口頭発表	102
	受賞	103

# 第1章

---

## 緒論

### 1.1 研究背景

CMOS デジタル LSI の製造技術の現在までの推移と今後の進展予測を ITRS (International Technology Roadmap of Semiconductor) ロードマップ [1] から抽出したものを Fig. 1.1 に示す。製造技術の進展に支えられた微細化の進展は高速化，小面積 (低コスト) 化，低消費電力化が実現され，電子機器の小型化，高機能化に大きく貢献している。しかし 2004 年以降の Sub-100nm 世代 (deep sub-micron era) まで微細化が進むと前述した利点以外の面が顕在化してきた。まず，極小の加工を実現するための製造機器の値段が非常に高価であるために LSI の製造コストが大幅に上昇した。このため，LSI の試作コストが大幅に上昇し，LSI の開発現場では初期ロットでの完全動作 (First Silicon Success) を達成することが強く求められている。さらに商業的な観点からは携帯電話などに代表される近年の電子機器の製品サイクルの短期化が顕著となっているため，設計期間の大幅な短縮が求められている。初期ロットでの完全動作や設計期間の短縮を実現するためには，設計段階での回路性能の正確な予測と高効率な設計環境の構築が必須となる。

一方，Sub-100nm 世代では上記のような要求に加えて，LSI の設計の複雑度と考慮しなければならない現象の多様化が同時に起こっている。微細化の進展によって見えてきた現象の例として配線抵抗による信号遅延やリーク電流の増大，LSI の雑音耐性劣化などが挙げられる。信号遅延はデジタル回路での予測しないタイミングエラーの発生や著しい動作速度の低下の原因と成りうる。リーク電流の増大の対策としてマルチドメイン電源供給やクロックゲーティング，動的電圧周波数制御 (DVFS : Dynamic Voltage Frequency Scaling) などの低消費電力化技術を生み出した一方で，デジタル回路内の動作モード数を爆発的に増大させた。さらに LSI の雑音耐性劣化に関しては根本的な解決策が未だなく，対処療法的な処置で留まることが多く，電源雑音によって回路性能の予期せぬ劣化や LSI 単

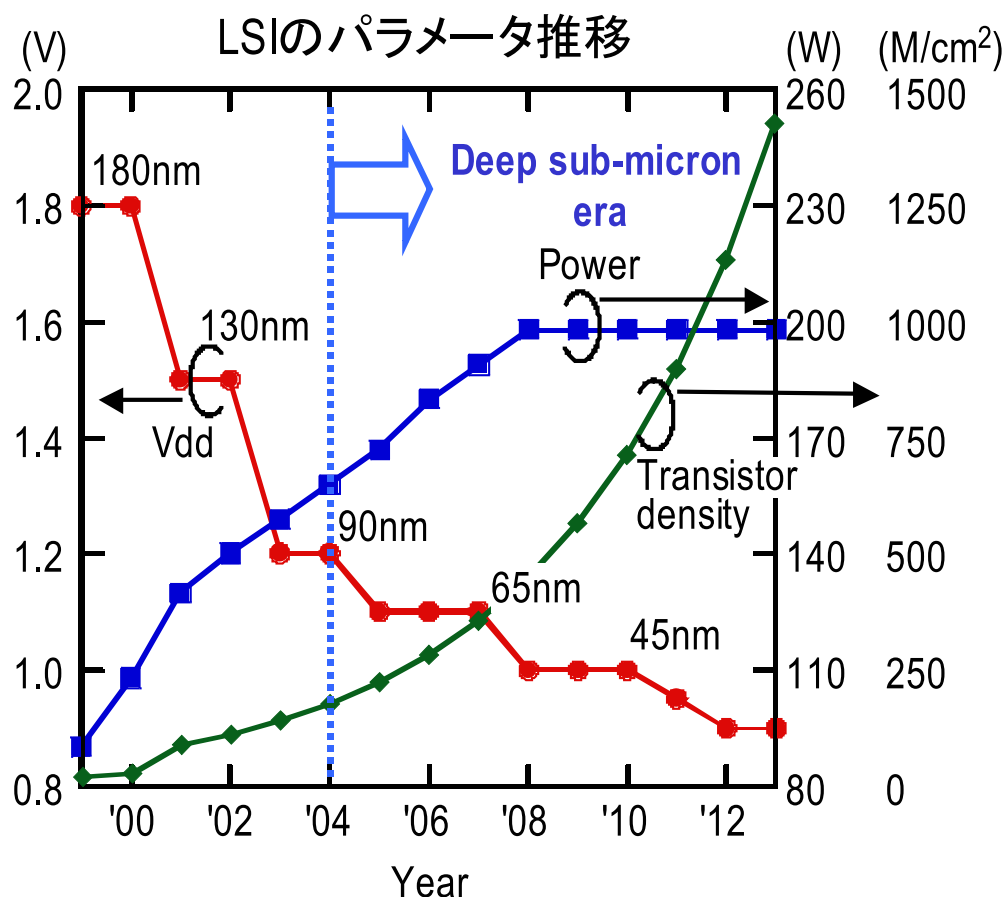


Figure 1.1: CMOS デジタル LSI の技術動向推移と予測

体での設計不良，ボード実装したシステムレベルでの動作不良を引き起こす。

この電源雑音の問題が先に述べた「設計段階での回路性能の正確な予測」や「高効率な設計環境の構築」の大きな妨げとなっており，回路設計者，ボード設計者，システム設計者など，様々な階層の技術者間で研究が進められている。

LSIの雑音に関連する話題を Fig. 1.2に示す。LSIに起因する問題はパワーインテグリティ(PI), シグナルインテグリティ(SI), 電磁環境両立性(EMC)といった用語を生み出し，現在研究が進められている。またデジタル回路が発生する雑音が同一チップ上に搭載されたRF回路ブロックやアナログIP回路へ共通のシリコン基板を通じて伝播し，回路性能を著し

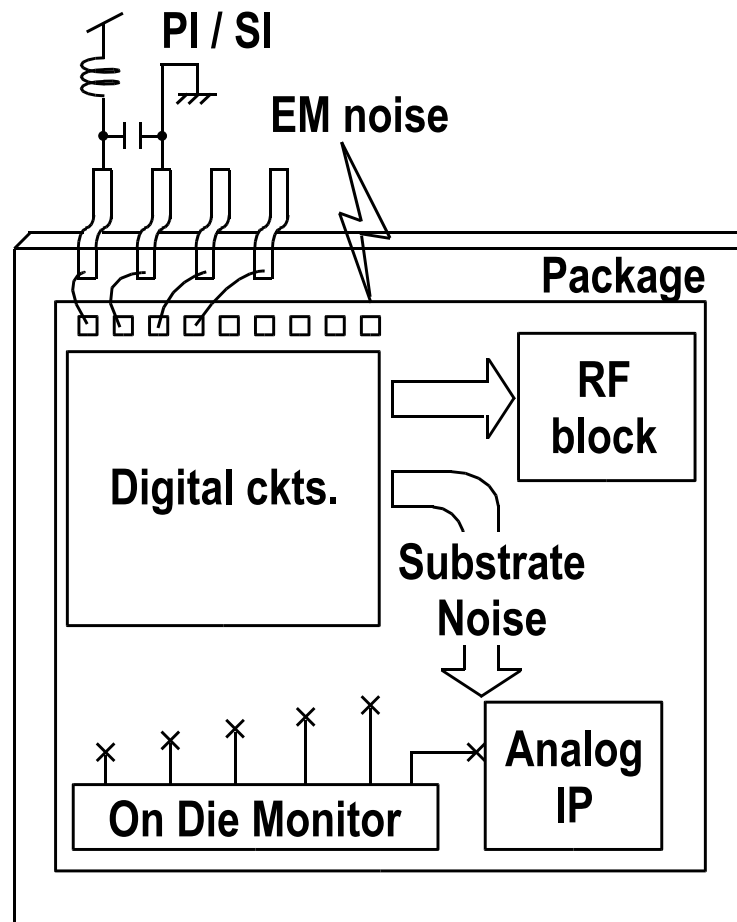


Figure 1.2: LSI 雑音関連のトピック

く悪化させることが広く知られており、微細化の進展を生かしたデジタル・アナログ混載のミックストシグナル LSI の設計において大きな問題であり、デジタル LSI の電源雑音問題に注目が集まった起源の問題である。

本論文ではミックストシグナル LSI において主要な雑音発生源となるデジタル回路の電源雑音に着目し、CMOS デジタル LSI の電源雑音の解析技術とエミュレーション技術について論じる。

## 1.2 従来研究

LSIの電源雑音にまつわる問題に対して，LSI設計技術者，パッケージ技術者，ボード設計者など，様々な階層の技術者によって研究が進められている．

現在はLSI内部での雑音発生原理について詳細に理解された段階であり，実際の回路動作時に発生する雑音の観測評価技術と解析技術について研究が進められている．

本節ではLSI内の電源雑音の評価技術，解析技術，エミュレーション技術について，これまでの研究事例を述べる．

### 1.2.1 電源雑音の評価技術

LSI内部で発生する電源雑音を観測・評価することは電源雑音にまつわる問題解決に向けた基礎となる．ここでは電源雑音の観測技術と評価対象回路について過去の研究事例についてまとめる．

まず，電源雑音の観測技術の過去の研究事例をまとめる．LSIの電源雑音を観測する最も単純な方法はチップ内部の電源・グラウンド配線の電圧を直接測定する方法である．しかし，LSI内の電源・グラウンド配線は他の信号線に比べて配線幅が太いが，それでも数 $10\ \mu\text{m}$ 程度の幅であり，かつ実験系がLSI内部に影響を及ぼさないまま，外部測定器と直接接続することは極めて困難である．また電源雑音の観測は，チップ内の複数箇所での観測が強く望まれる．このような背景から，電源雑音の測定技術には被測定対象回路への影響を抑えること，多点検出が可能なことが求められる．さらに雑音検出回路の小型化と小面積化も重要な点であるが，しばしば検出精度とのトレードオフの関係にある．

まず，本論文の第2章の電源雑音評価に使用した雑音検出器 [2, 3] について述べる．この雑音検出器はオンチップで雑音のサンプリングとデジタル化を行う高精度の雑音検出器である．回路図を Fig. 1.3に示す．この回路は Source follower と latch comparator から構成される．Source followerの入力を検出対象に接続する．Source followerの入力インピーダンスは高いため，接続先の被測定対象への影響を最小に抑えることができる．また Source follower は DC 電圧レベルを電源とグラウンドの中間電位にシフトする．Source follower の出力は後段の latch comparator に接続される．latch comparator は Source follower から出力される連続時間の電圧波形を制御信号  $\phi$  の立ち上がりタイミングでサンプリングし，参照信号  $V_{\text{step}}$

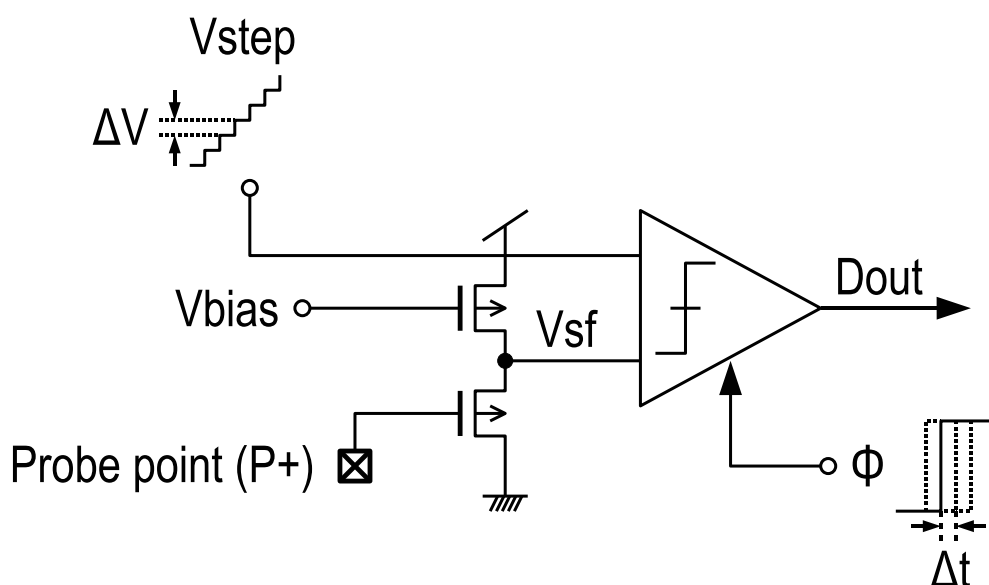


Figure 1.3: SF+LC 型波形検出回路

との比較結果を”0” または”1” のデジタル値で出力する [2, 3] . 参照信号との比較は必ず複数回必要であるため, 参照電圧のみを変化させながらサンプリングおよび比較の動作を同じ動作条件で複数回繰り返す. 参照信号と時間軸上にてサンプリングされた電圧値が近い場合は Dout が”0” から”1” , または”1” から”0” への遷移確率が大きくなるため, その参照電圧をもって, そのサンプリングタイミングでの電圧値とする. この雑音検出器を用いた測定事例は SRAM の電源雑音測定 [4, 5], インバータアレイ [6] , シフトレジスタ [7, 8], 32-bit マイクロプロセッサ [9] など多岐にわたる.

次に本論文の第4章で述べる電源雑音のエミュレーション技術において電源雑音測定に使用した雑音検出器について説明する. 第4章では Fig. 1.4に示す回路 [10, 11] を電源雑音検出器として用いた. この SF+Gm 型検出回路のフロントエンド回路は前述した SF+LC 型検出回路と同じく Source follower 回路である. Source follower 回路によって被測定対象回路に影響を与えず, 検出した電圧の DC レベルのシフトを行う. SF+Gm 型検出器が SF+LC 型と異なる点はバックエンドがコモンソーストランジスタのみで構成されていて, サンプリング動作およびラッチ動作を行わない点である. バックエンドのコモンソーストランジスタは Source follower の出力電圧を電流に変換する. 変換された電流はカレントミラー回路に

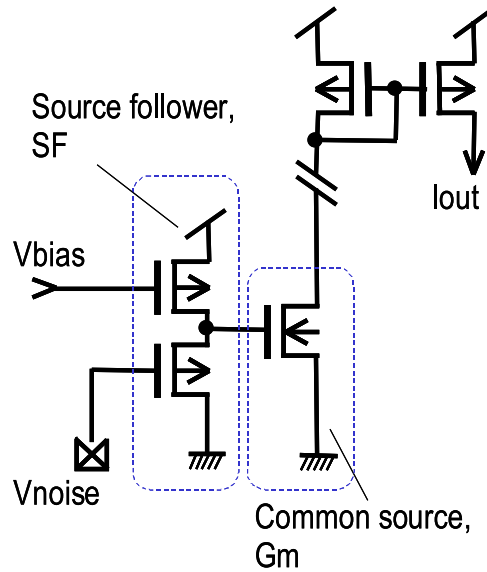


Figure 1.4: SF+Gm 型波形検出回路

よってミラーリングされてチップ外部への出力される．この回路の特徴は，雑音検出機能を3つのトランジスタ (Source follower 回路で2つ，コモンスーストランジスタ1つ) で実現しており，非常に小型の回路であることと，サンプリングを用いていないため，連続時間での波形を高速に取得することが可能であることである．SF+Gm 回路の優位性を活かして，スタンダードセルにて構成される一般のデジタル回路内に直接検出器を埋め込み，チップ全体の雑音波形を取得した事例 [9] や基板雑音のチップ内分布を測定した事例 [12, 13] などが報告されている．SF+Gm 型検出器では100チャンネルを越える多チャンネルの雑音検出が行われている一方で各チャンネル間での整合性を得ることが要求される．各チャンネル間の整合性についても研究が進められており，高い整合性が得られている [14] ．

上述した2つの回路のほかに，電源雑音を測定するための回路について多くの研究事例が報告されている．電源の電位変動をリングオシレータの発振周波数の変化として捉える回路 [15, 16] ，チップ内にDAC, サンプリングタイミング生成器を内蔵したオンチップサンプリングオシロスコープ [17, 18] などがある．

電源雑音の評価対象として過去の研究事例に用いられた回路は，複数の電源ドメインをもつマルチメディアプロセッサ [15, 16, 19] ，32bit 汎用プロセッサ [9] などの商用製品に使用されている実際のデジタル回路と，

雑音評価に特化したインバータアレイ回路 [2] などがある。

### 1.2.2 電源雑音のモデル化技術と解析技術

電源雑音のモデル化技術は，大規模デジタル LSI の電源雑音解析において必須の技術である．SoC に実装される大規模デジタル回路のトランジスタ数は 1M Tr. を超えることがしばしばあるが，商用の大規模回路向け高速 SPICE シミュレータである mSPICE においても扱える素子数は 500k 個以下である [20]．さらに正確な雑音解析を行なうためにはトランジスタ素子のみではなく，接合容量や配線抵抗などの膨大な数の寄生素子や通常抵抗メッシュで構成される基板モデルが必要となり，これらの素子を含めた回路網を通常の回路シミュレーションを用いて解析することは現実的に不可能である．そのため大規模デジタル回路の電源雑音を解析するためには電源雑音発生要因を等価回路としてモデル化することが必要となる．

電源雑音のモデル化技術は 1990 年代初頭から研究報告がされている．デジタル回路のスイッチングによって発生する電流のモデル化技術の最初期のものとして AWE (Asymptotic Waveform Evaluation: ) 法 [21] を用いた近似手法 [22, 23] が挙げられる．この方式では，能動素子であるトランジスタを線形近似し，回路を線形システムとして捉える．この利点としては，線形近似することで，ステップ状の入力信号やランプ状の入力信号など，典型的な入力に対する応答を導出しやすく，過渡解析に要するシミュレーション時間は一般に 100 倍から 1000 倍 SPICE シミュレーションと比べて高速化できる [22]．一方で，デジタル回路の動作は大振幅動作が前提であるため，線形近似をすることは本質的に大きな誤差を含んでいることが大きな問題点である．また，これらの論文 [22, 23] では膨大な数のゲート群のスイッチングタイミングの抽出については何も対策が施されていないため，大規模デジタル回路に適用するためには，不完全な部分がある．

論文 [22, 23] とほぼ同時期に発表された別の論文として論文 [24] がある．この論文はゲートのマクロモデルと共にチップ外のリードフレームのインダクタンスと抵抗を集中定数モデルとして解析に組み入れた最初の論文である．この論文で提案された雑音等価モデルについて Fig. 1.5 を用いて説明する．Figure 1.5 (a) はアナログ・デジタル混載 LSI の模式図である．Figure 1.5 (b) が基板結合解析のための小信号等価回路である．雑音発生源であるデジタル回路を単一の定電流源  $I_{Vdd}$  としてモデル化す



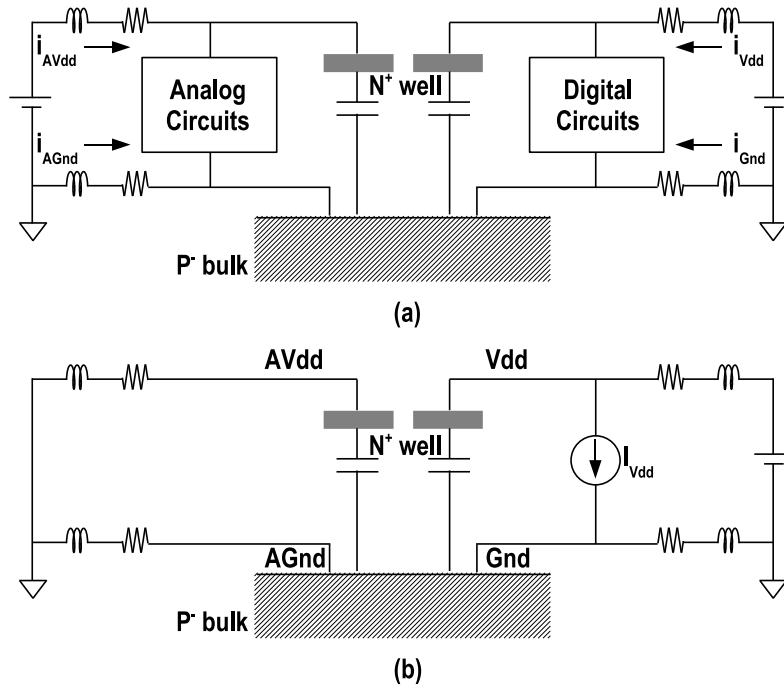


Figure 1.5: 電源雑音モデルの初期研究事例 1 [24] (a) 共通基板上のアナログ・デジタル回路混載回路 (b) 基板結合解析のための小信号等価回路

る．定電流源の電流値はデジタル回路の設計で用いられる一般的な電力解析 CAD ([25] など) を用いて RMS 値を算出し，決定する．このモデル化は電源雑音のダイナミック成分を排除しているため，本論文で述べる電源雑音解析とは趣旨が異なるものであるが，チップ内での雑音伝播の傾向を大まかに推測するためには適した手法である．大幅に簡素化したモデルを用いることで，シミュレーション時間の大幅な短縮効果が期待でき，設計初期段階でのフロアプラン検討に有用である．このモデル化手法を用いた自動フロアプランツールとして WRIGHT [26] が開発された．

次に，電源雑音の過渡解析を行なった初期の研究事例について述べる．論文 [27, 28] では Fig. 1.6 に示す，簡潔なスイッチングモデルを用いた解析を行なっている．電源電流とグラウンド電流を独立させているところがこのモデルの特徴であり，それぞれ逆位相のパルス電流源を用いることで過渡解析を実現している．この論文で提示された過渡解析と実測波形は単一スイッチング動作の電源雑音とグラウンド雑音であり，現在の動作モードが多様化したデジタル LSI については適用可能性について十

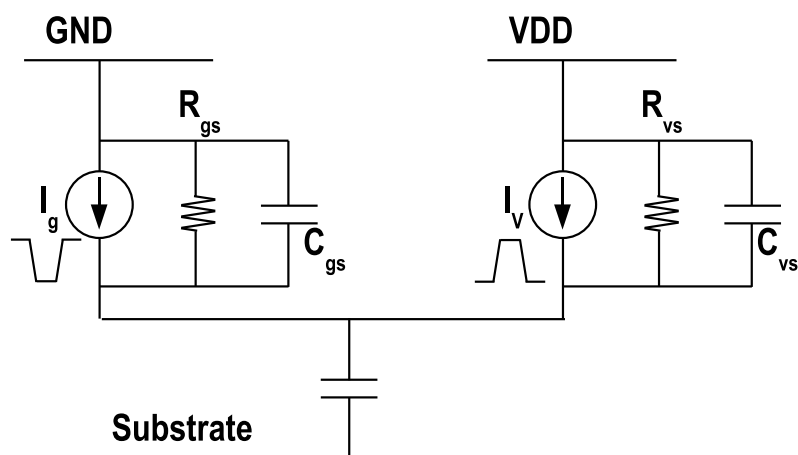


Figure 1.6: 電源雑音モデルの初期研究事例 2 [27, 28] デジタルスイッチングマクロモデル

分な検討が必要であるが，このような簡便なモデルで雑音解析が可能であることを示した点が特筆すべき点であると考えられる．

1990 年後半から現在にかけてイベントドリブン型のシミュレータを組み入れた電源雑音解析手法が複数報告されている．イベントドリブン型シミュレータを取り入れた電源雑音解析の最初の研究事例として論文 [29, 30] がある．この論文が提唱する雑音解析は SubWave という名前が付けられており，フローチャートを Fig. 1.7 に示す．この手法はまず，与えられた論理ゲートライブラリの各論理セル毎に入力信号の遷移に応じた基板への注入電流パターンを予めデバイスシミュレータを用いて詳細に求めておく．次に独自のイベントドリブン型シミュレータを用いてゲートレベルシミュレーションを実行し，先に求めた電流パターンの回路内での発生確率を累積的に求める．そして各々の電流パターンを用いてシミュレーション対象時間内の雑音電流を予測する．イベントドリブン型のシミュレーションアルゴリズムは現在の一般的な論理シミュレータと同一であり，通常のデジタル LSI の設計フローとの親和性が高い．本論文の 3 章で述べる電源雑音解析手法も論理シミュレータを用いたものである．

次に，商用の一般的な Verilog シミュレータを用いた研究事例 [31, 32] について説明する．この事例で提案された雑音解析手法は SWAN (Substrate Waveform ANalysis) と命名されている．この事例では，商用の Verilog シミュレータを用いて信号遷移タイミングの抽出をする．デジタル回路の

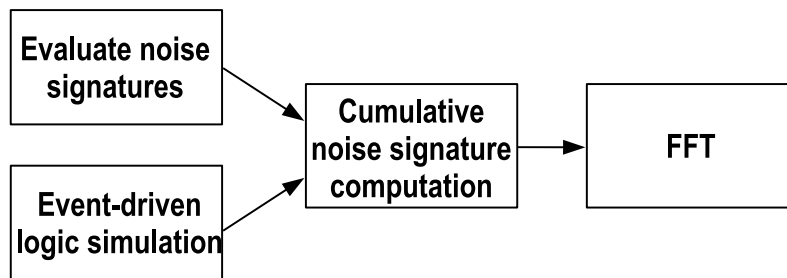


Figure 1.7: イベントドリブン型シミュレータを組み入れた電源雑音解析 SubWave のフローチャート [29, 30]

雑音発生源モデルは Fig. 1.8 に示すマクロモデルを論理セルライブラリに含まれる各論理セル毎に作成する。Figure 1.8 の受動素子はそれぞれ次のような意味合いを持つ。  $R_{\text{sub}}$  は  $V_{\text{ss}}$  と基板間の抵抗値，  $C_{\text{well}}$  は  $V_{\text{dd}}$  と基板間の接合容量値，  $C_{\text{cir}}$  は  $V_{\text{dd}}$  と  $V_{\text{ss}}$  間の回路容量値である。また，電流源  $I_{\text{noise}}$  が信号遷移ノードから基板へ注入される電流モデルで，電流源  $I_{\text{power}}$  は電源電流消費を表している。各素子値と電流波形は LPE ネットリストを用いた SPICE シミュレーションを行うことで決定する。信号遷移のイベントタイミング毎に，Fig. 1.8 のモデルを集約することで連続時間の電源雑音波形シミュレーションを行う。この手法は一般に用いられている Verilog シミュレータを使用することが前提であるため，前述した手法 [29, 30] よりも，デジタル回路設計のフローとの親和性が高いといえる。SWAN による雑音解析は 80-k トランジスタ規模 [33] と 200-k トランジスタ規模 [34] の 2 つの回路への適用事例が報告されている。

さらに，デジタル回路のビヘイビアモデル段階での基板結合シミュレーションを行う手法について論文 [35] が報告されている。この論文では System C と AIM-Spice simulator [36] を組み合わせて雑音解析を実行する。

最後に，本論文の 3 章にて述べる電源雑音解析手法の過去の報告事例についてまとめる。3 章で述べる電源雑音解析手法の最初の研究報告は論文 [37] である。電源雑音の発生要因を回路の寄生容量の充電過程ととらえた手法である。この解析手法を用いた過去の報告事例としては，インバータアレイ [38] と 50-k ゲートのマイクロコントローラがある。上述した他の解析手法と比べて，本論文で用いた解析手法が優れている点として，電源 / グランド / 基板雑音すべての過渡解析波形を同時にシミュレーシ

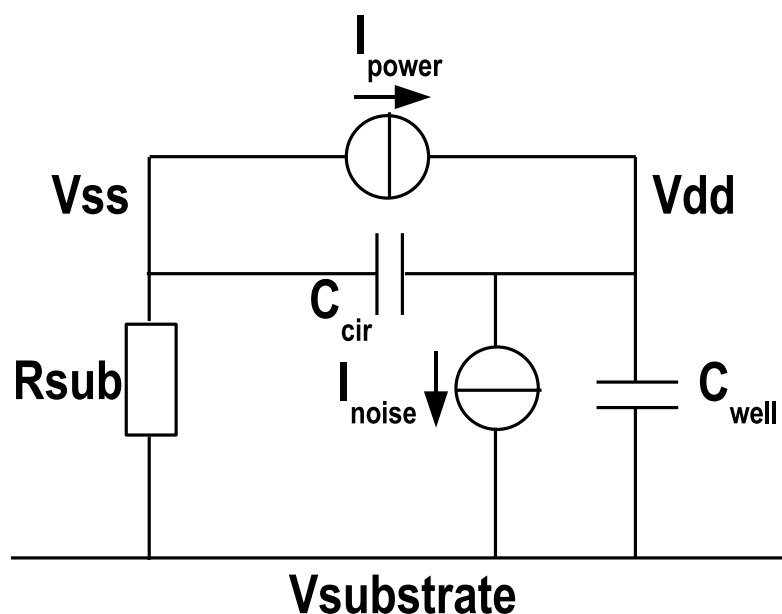


Figure 1.8: 単一デジタル論理ゲートのマクロモデル例 [31, 32]

ンできること，解析ノード数の圧縮効率が高いことが挙げられる．

### 1.2.3 電源雑音のエミュレーション技術

デジタル回路が発生する基板雑音を実験的に求める方法として電源雑音のエミュレーション技術がある．一般的なエミュレーションと同様に電源雑音のエミュレーションはシミュレーションによる解析と比べて高速に電源雑音を評価することが可能であり，ボード，パッケージを含めた実機と同じ状況下での評価を可能とする．

本節ではデジタル LSI の電源雑音エミュレータの 3 つの過去の研究事例について述べる．

1 つ目の過去の研究事例 [39] で提案されたエミュレータ回路図を Fig. 1.9 に示す．この電源雑音エミュレータは 9 つの単位容量  $C_0 (= 0.34 \text{ pF})$  の整数倍の容量とそれぞれを駆動するトライステートバッファによって構成されている．容量は接合容量によって形成されている．駆動回路であるトライステートバッファはシフトレジスタによって制御されており，駆動される容量は  $0 \text{ pF}$  から  $183C_0$  まで  $C_0$  ステップで制御可能となっている．

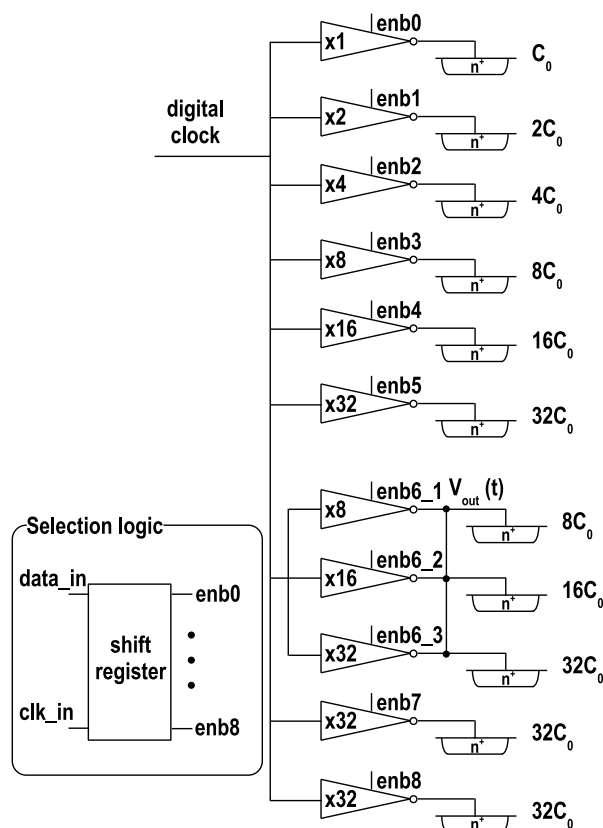


Figure 1.9: 電源雑音エミュレータの過去研究事例 1

2つ目の過去の研究事例は論文 [40] にて報告されている．Figure 1.10に回路図を示す．この電源雑音発生器は擬似ランダムビット列生成器を用いた構成となっている．Figure 1.10は7ビット構成の雑音発生器であり，の擬似ランダムビット列は XOR 論理を付加したシフトレジスタによって実装されている．擬似ランダムビットによって活性化される後段の回路は異なる論理深さ，異なるバッファサイズを用意することで，様々な強度の雑音を発生させ，実際のミックスドシグナル LSI 内で発生する電源雑音スペクトラム密度に近い雑音発生を実現している．

3つ目の過去の研究事例として論文 [41] について説明する．この論文が提案するエミュレータは電源雑音を確定的雑音と確率的雑音の2つに大別している．確定的雑音は離散的なスペクトルを持ち，確率的雑音は連続的なスペクトルをもっていることから，デジタル回路の発生雑音を次式で定式化した．

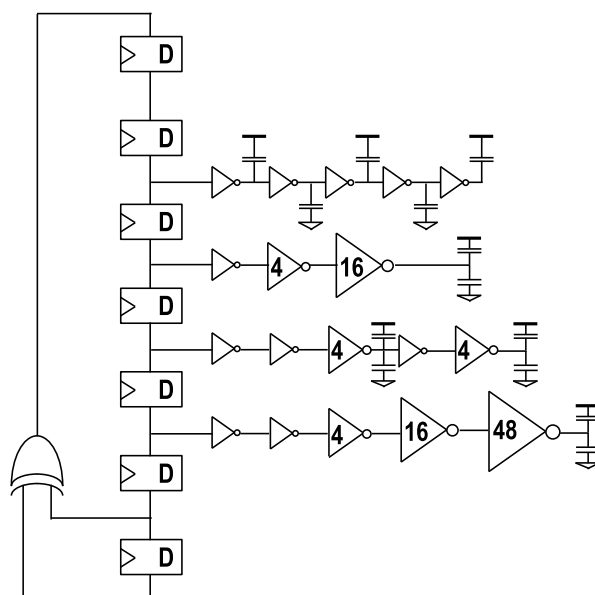


Figure 1.10: 電源雑音エミュレータの過去研究事例 2

$$N(t) = \sum_{i=1}^K \alpha_i \cos(2\pi \cdot f_i \cdot t + \theta_i) + s(t) \quad (1.1)$$

式 1.1において  $\alpha$ ,  $f$ ,  $\theta$  はそれぞれ確定的雑音の振幅, 周波数, 位相を表しており,  $s(t)$  が確率的な雑音である. デジタル回路の電源雑音は  $\alpha$ ,  $f$ ,  $\theta$  と  $s(t)$  をパラメータとした現象であると考えられる. この論文では, これらのパラメータを設定可能な回路をエミュレータとして実装している. Figure 1.11にエミュレータのブロック図を示す. 提案エミュレータは確定的信号生成器 (CLK), 分周器 (DIV), 擬似ランダム信号生成器 (PRNG : pseudo-random noise generator) と雑音注入デバイス (NID : noise injection devices) から構成される. CLK と DIV は確定的信号の生成を行い, 確率的な振る舞い ( $s(t)$ ) は PRNG によってエミュレートされる. 複数の NID は雑音振幅 ( $\alpha$ ) を調整する. NID における雑音振幅の調整は異なる容量値をもつ複数の接合容量を用いて行われる. また, 外部からのクロック入力 (clock, 2nd clock) によって周波数 ( $f$ ), 位相 ( $\theta$ ) とデューティサイクルを調整する.

上述した 3 つの過去研究事例を比較すると, 最初の研究事例が確定的雑音のエミュレートに特化したもの, 2 つ目の事例が確率的雑音のエミュ

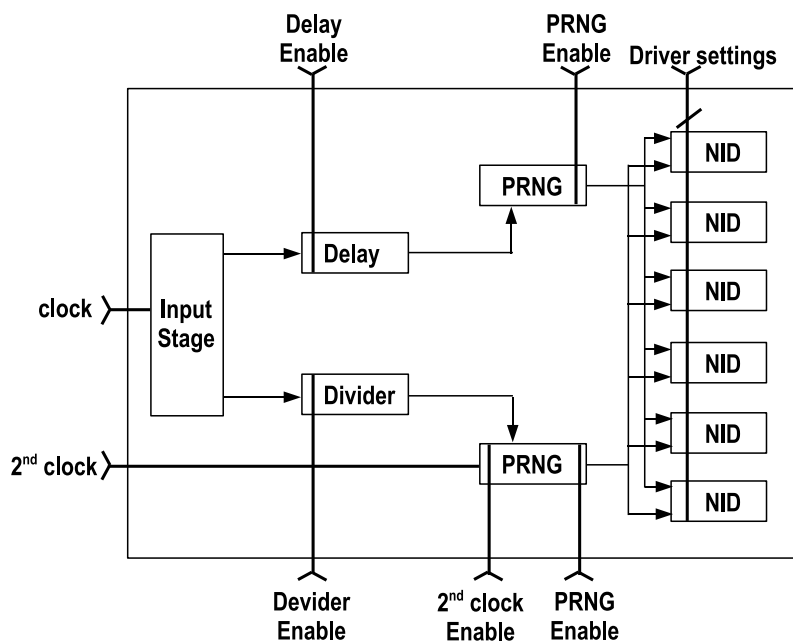


Figure 1.11: 電源雑音エミュレータの過去研究事例 3

レートに特化したもの、3つ目の事例が双方を考慮したエミュレーションであるといえる。

本論文 4章にて述べる電源雑音のエミュレーション技術は本論文 3章にて述べる容量充電モデルに基づくエミュレーション技術であり、雑音の発生原理に対する裏付けが強固であり、通常のデジタル回路の設計フローとの親和性の高さが特徴である。また、過去の研究事例ではデジタル回路の位置情報に対する考慮がされていないが、本論文 4章のエミュレーション技術は回路の位置情報を含めたエミュレーションが可能である点が優位である。

## 1.3 研究の概要と本論文の構成

本節では本研究の概要と本論文における各章の構成を説明する。本論文の技術的内容は2章から4章までの3つの章から成る。第2章ではCMOSデジタル回路の電源雑音評価について、雑音評価のためのリファレンス回路の提案と提案リファレンス回路を用いた複数ファウンダリ・プロセスでの雑音評価と電源雑音評価の広帯域化について述べる。第3章ではCMOSデジタル回路の電源雑音解析について、容量充電モデルに基づく雑音解析の手法と第2章で提案したリファレンス回路への適用結果について述べる。第4章ではハードウェアによるCMOSデジタル回路の電源雑音をエミュレートする手法について述べる。

### 1.3.1 CMOSデジタル回路の電源雑音評価

CMOSデジタル回路が発生する電源雑音の様々な課題の解決に向けた基礎として実際の発生雑音を観測する必要がある。第2章ではCMOSデジタル回路の電源雑音評価について述べる。

まず、CMOSデジタル回路の電源雑音評価用リファレンス回路としてループシフトレジスタ回路を提案する。ループシフトレジスタ回路の最小構成要素はD-FF回路であり、デジタル回路の主流である同期式デジタル回路の特徴を表現するために適した回路である。この回路は信号トグル率、動作回路規模の2つの任意性をもち、同期式デジタル回路の様々な動作状態を模擬することが出来る。本論文では3つの異なるファウンダリ・プロセスにてループシフトレジスタ回路を実装し、電源雑音の評価結果を提示する。さらに、電源雑音の評価技術という観点から電源雑音波形の取得システムの性能向上についても述べる。

### 1.3.2 CMOSデジタル回路の電源雑音解析

電源雑音の実践的な解決策として設計段階での正確な雑音解析がある。第3章では、CMOSデジタル回路の電源雑音解析について述べる。

本章で用いたデジタル回路の電源雑音発生モデルはTSPDCモデルというものである。このモデルは電源雑音の発生要因を回路の寄生容量充電過程とするものである。TSDPCモデルを用いた電源雑音解析は過去の研究事例が複数あるが、容量値の導出方法がフロー化されておらず、手動による解析が主であった。本論文では容量決定の定式化とモデル作成



のフロー化を行う。これらの成果から，通常のデジタル回路設計との親和性を高め，解析技術の有用性を高める。

デジタル回路が発生する雑音はLSIのパッケージやLSIを搭載するボードなどから成るオフチップのインピーダンスの影響を受けることが一般に知られている。第3章では，前述したTSDPCモデルの作成技術に加えてオフチップモデルの作成方法についても言及し，オフチップを含めた高精度かつ高速な雑音等価回路の作成方法を構築する。

さらに提案する雑音等価回路を用いて，2つの異なるファウンダリ・プロセスで実装したループシフトレジスタ回路の解析を行い，提案等価回路の有用性を実証する。

### 1.3.3 CMOS デジタル回路の雑音エミュレーション

より実機に近い環境で計算機上でのシミュレーションと比べて高速に評価する技術としてエミュレーションがある。第4章ではCMOSデジタル回路の電源雑音に対するエミュレーション技術について述べる。

電源雑音エミュレータの雑音発生原理は第3章で用いた容量充電モデルである。可変容量と容量の設定 / 充電 / 放電を制御する制御ロジックをまとめてTSDPCセルとして実装し，2次元上に配置することで，デジタル回路の雑音発生位置，発生量を任意に設定可能な任意雑音発生器(ANG)を提案する。65nm CMOSプロセスを用いた6bit分解能を有するANGを試作し，第2章で提案した雑音リファレンス回路を対象としたエミュレーションを実施し，実際の発生雑音との比較から，提案ANGの正当性を実証する。さらに，実際のデジタル回路エミュレーションの例として32bitマイクロプロセッサのエミュレーションを行い，結果を提示する。

## 第2章

---

# CMOSデジタル回路の電源雑音 評価

### 2.1 はじめに

大規模集積回路の電源供給系において発生するダイナミックノイズをパッケージやボードなどの実装方式を含めた形で正確に理解することが強く求められている。また、現在では実装方式が多岐にわたる一方でパッケージ種類やボード設計が電源雑音発生に大きな影響を与えることが知られている [42, 43]。LSI 内部のダイナミックな電源変動はロジック動作の中で予期せぬタイミング違反を引き起こす原因となる。さらに基板クロストークはアナログ回路とデジタル回路が混在するミックストシグナル LSI の中で高分解能アナログ回路や RF 信号処理、広帯域の通信チャネルなどに深刻な影響を与える。このようにして電源雑音は最終的にシステム全体の性能を悪化させる [44]。

この問題に対しては従来から LSI 設計者の間で考慮されてきたが、現在では高密度・広帯域のシステム実装技術に携わる全ての領域の設計者にとって重要な問題となっている。

一般的に電源雑音は電源供給系の寄生インピーダンスと電源電流の相互作用によって発生する。ここで、電源電流は回路の動作速度と素子密度が大きな決定要因となっており、同時に回路実装や素子の構造は電源供給系のインピーダンスに大きな影響を与える。そのため、異なるテクノロジー世代にわたって電源雑音を評価する一般化可能な方法が必要となる。本章では広範な CMOS プロセスで実装可能なリファレンス回路構造を提案している。本提案回路を用いることでダイナミック電源雑音を異なるプロセス間で容易に比較すると同時に電源雑音の発生要因の理解を手助けする。さらに、電源雑音波形の取得システムの時間分解能を向上させ、雑音評価の広帯域化を行う。

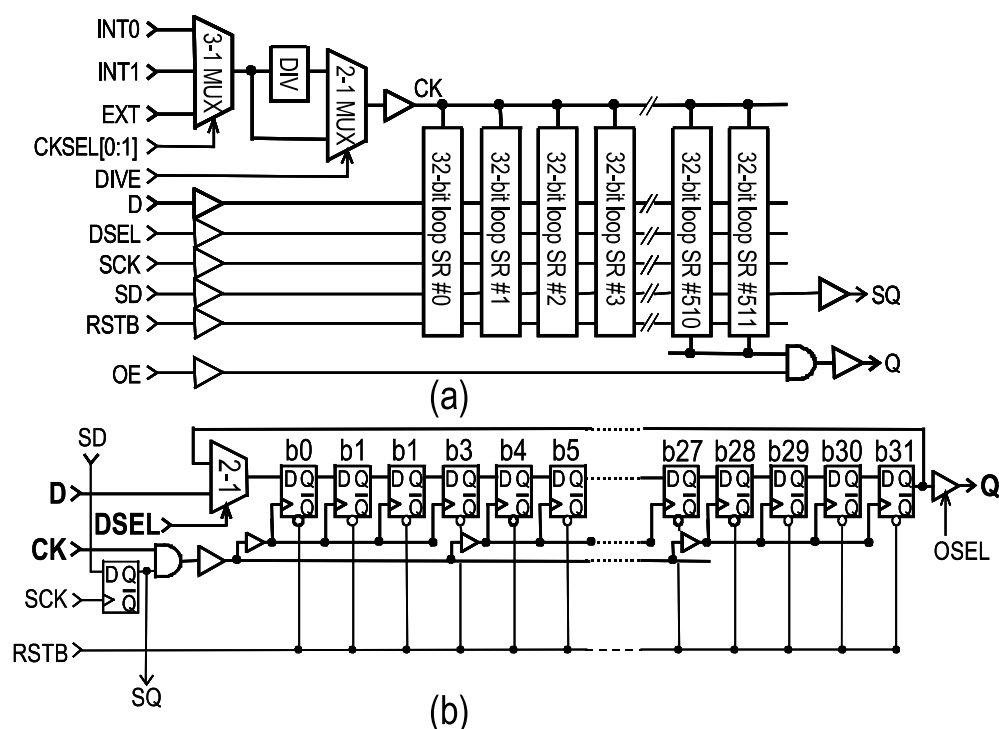


Figure 2.1: 提案リファレンス回路; (a) ループシフトレジスタアレイ全体図, (b) ループシフトレジスタ回路図

## 2.2 電源雑音評価のためのリファレンス回路

### 2.2.1 提案回路構造

Figure 2.1に電源雑音評価のためのリファレンス回路として提案するループシフトレジスタアレイの回路構成を示す．回路構成の全体図を Fig 2.1(a)に，主要回路であるループシフトレジスタ回路の回路図を Fig 2.1(b)に示す．Figure 2.1では搭載ループシフトレジスタ数が 512，ループシフトレジスタ単体のシフトビット数が 32ビットの場合を示した．

ループシフトレジスタは D タイプフリップフロップ (D-FF) を従属接続したもので最終段の D-FF の出力が最初段の D-FF の入力へ還ることでループを形成する．ループは開閉制御が可能で，D-FF がシフトする任意のバイナリデータ列は最初にループを開放した状態で D-FF アレイに入力する．0101...01 のようなバイナリデータはクロック信号の各立上り遷

移時に1ビットずつシフトされ、ループシフトレジスタの段数毎に繰り返される。D-FFはCMOSプロセスの標準的な論理セルライブラリには必ず含まれている。そのため提案回路は標準的なCMOSプロセスであれば実装可能である。また回路構造も簡潔であるため設計コストを低く抑えることができる。さらに、実設計する際に提案回路はループシフトレジスタの搭載数とシフトレジスタの段数の2つのパラメータを持っている。この2つのパラメータは容易に変更が可能であり、かつこれらのパラメータは回路のレイアウト面積の決定要因である。そのため、これらのパラメータを調整することで回路の実装面積を自由に決定することができる。この特徴により、リファレンス回路単体でチップを試作せず、SoC内の空き面積を用いて実装することなどが可能となる。

提案回路は簡潔な構造であるが、一般的な同期式デジタル回路と同様の動作を行う。D-FF間に組み合わせ論理を挿入していないため、論理深さが最小の同期式デジタル回路と考えることができる。そのため、ループシフトレジスタ内のスイッチング動作はクロックエッジ近傍に集中して起こる特徴を持っており、電源電流のピークはクロックエッジ近傍に現れる。この最も単純な論理構造は雑音解析の際のフルスケールでのロジックシミュレーションを必要としない。一方で、電源電流の大きさは実装デバイス、電源電圧、電源供給系の強さに依存する。このためループシフトレジスタによって発生する電源雑音のプロセス依存性のみを容易に比較検討することができる。

### 2.2.2 シミュレーションモデル

LSI内部の電源雑音について理解する方法は雑音を実際に観測する方法とシミュレーションによる雑音解析の2つが存在する。

この節では提案リファレンス回路による雑音評価の方法として雑音の観測のみではなくシミュレーションモデルによる実測波形の再現についても言及する。本節で用いたシミュレーションモデルは本論文の第3章で述べる解析モデルであり、作成方法などの詳細は後述するが、本節にて簡単にまとめる。高精度なシミュレーションモデルをリファレンス回路とともに提供することで、初めて使用するプロセスによる設計などの場合における雑音の予測に大きく貢献する。

次にシミュレーションモデルの作成方法について述べる。まず、ループシフトレジスタ回路のようなスタンダードセルによって構成されたデジタル回路が発生する電源雑音はFig 2.2のような等価回路を用いることで

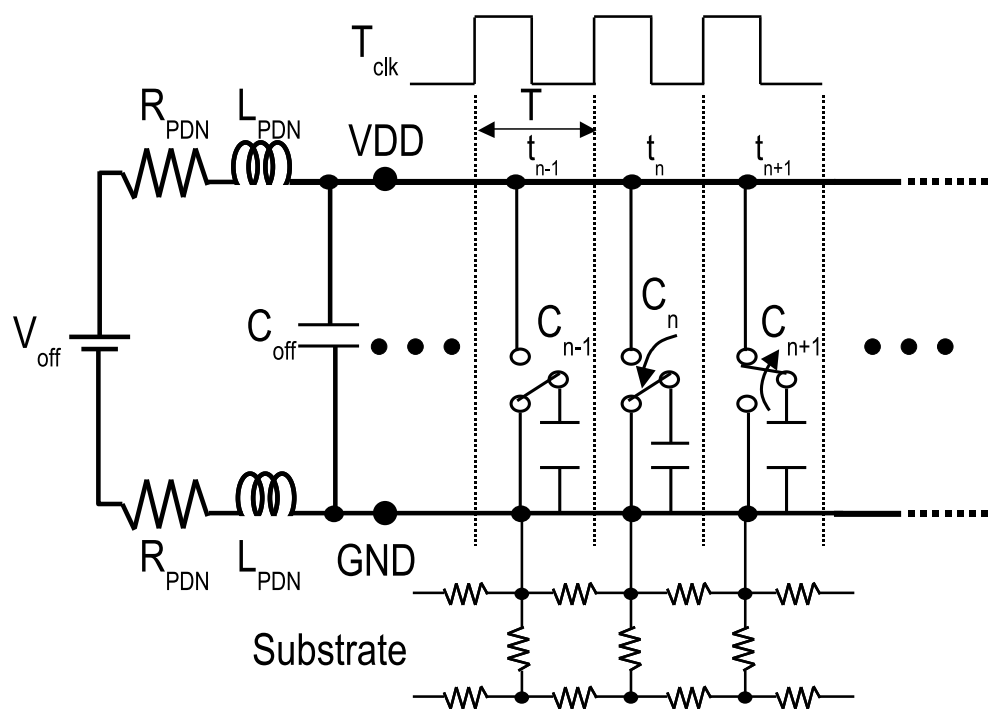


Figure 2.2: 電荷移動に基づいた電源雑音発生モデル

容易に再現することができる。このモデルはデバイスの寄生容量を充電する過程を LSI 内部の雑音発生の主要因として考えたモデルである。まず、回路動作を微小な時間毎に分離し、各微小時間内でおこる複数のトランジスタの動作を単一の容量 (Fig 2.2 の  $C_{n-1}$ ,  $C_n$ ,  $C_{n+1}$ ) に置き換えるモデルである。

ここで微小時間は Fig 2.2 中の  $T_{clk}$  のクロック周期に相当する。雑音源モデルの基本原則である容量充電のために使用される電荷は外部電源から供給される。外部電源から供給される電荷の移動は電源電流となり、寄生インピーダンスを通して電源供給系を流れ、VDD と GND の動的な電圧変化を引き起こし、これが電源雑音となる。また、CMOS テクノロジでは p 型基板はチップ内のグラウンド配線と強く結合されているため基板内にもグラウンド配線からの雑音伝播の影響から電源変動が起こる。これは基板雑音として知られている。

D-FF セルの動作時に消費する電荷は Fig 2.3 のように LPE (Layout parasitic extraction) ネットリストを用いた SPICE シミュレーションを用いて Fig 2.3 のようにして計算する。ここで、D-FF セルは各クロックエッジ

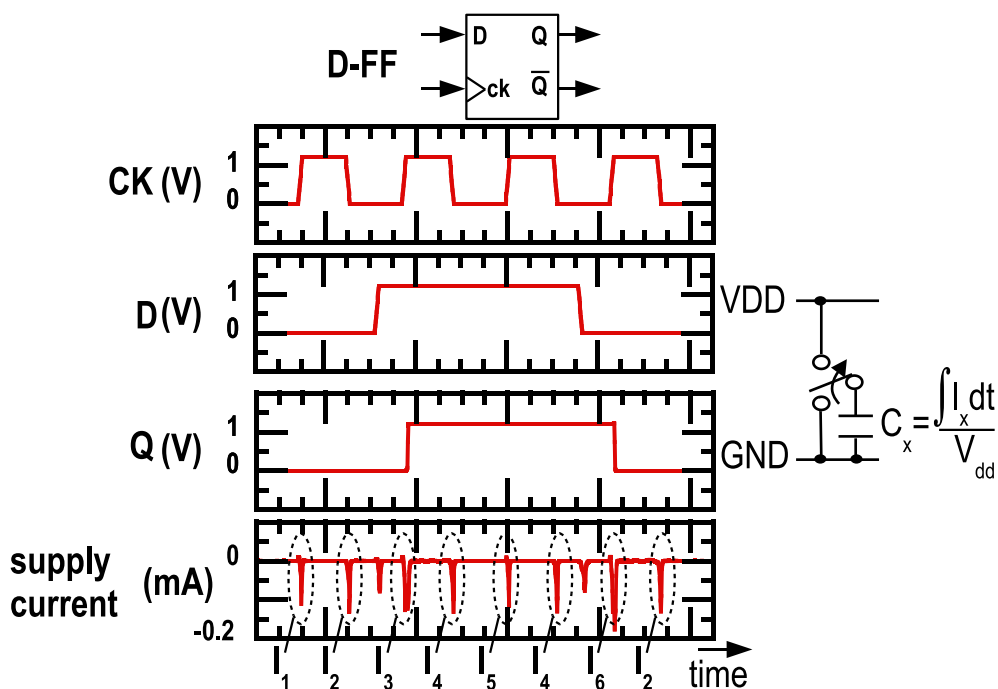


Figure 2.3: D-FF セルの等価回路抽出

ごとにクロック信号とホールドする値に対応してそれぞれ異なる論理動作を含んでいることに注意する．そのため，電源電流シミュレーションはクロック信号の立上がり/立下りとホールド値の全ての組み合わせにおいて行い，それぞれの消費電荷量を算出し，ルックアップテーブルを作成する．Figure 2.3内の電流定義を表 2.1にまとめる．

次に，電源雑音発生を模擬する等価回路モデルの全体図を Fig 2.4に示す．この等価回路モデルはオンチップのモデルのみではなく，パッケージやボードといったオフチップモデルも含んでいる．オンチップのモデル部分には雑音発生源のみではなく電源配線の抵抗メッシュモデル，グラウンド配線の抵抗メッシュモデルとグラウンド配線と密接に接続されている p 型基板の抵抗メッシュモデルが付加されている．また，オフチップの各素子はパッケージとボードの電気的特性を示しており，電磁界解析もしくはネットワークインピーダンスの実測から値を決定する．

Figure 2.5にこれまでに述べたシミュレーションの手順をまとめる．手順は大きく雑音源のモデル化と寄生成分のモデル化の 2 つに大別される．

まず，雑音源のモデル化はスタンダードセル毎に Fig 2.3のような SPICE

Table 2.1: Figure 3 (D-FF 等価回路抽出 Sim.) 内の電流定義

output transition	clock edge	corresponding current
0 → 0	rise	$I_1$
	fall	$I_2$
0 → 1	rise	$I_3$
	fall	N.A.
1 → 1	rise	$I_5$
	fall	$I_4$
1 → 0	rise	$I_6$
	fall	N.A.

シミュレーションを行ってセル毎の容量特徴量のルックアップテーブルを予め作成した後，解析対象回路内の各セルのノード遷移タイミングの抽出を行う．次に各微小時区間 (Fig 2.2の Tclk の周期に相当) 内での各セルのノード遷移に対応する容量特徴量の総和を算出し，SPICE ネットリストのフォーマットに即した形で各微小時区間の容量値を並べた記述を行う．

次に，寄生成分のモデル化のうち，チップ内の寄生成分のモデル化のために電源配線とグラウンド配線+P型基板の抵抗メッシュモデルをF行列演算によって作成する [38] ．

オフチップのモデル化はボードとパッケージのインピーダンスをそれぞれ測定あるいは見積もって決定する．

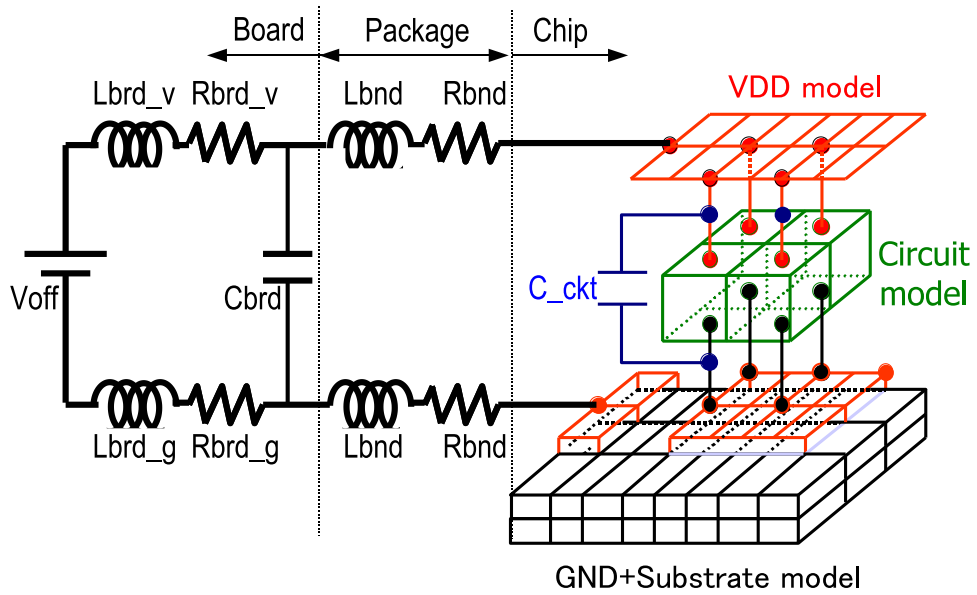


Figure 2.4: チップレベル電源雑音解析等価回路

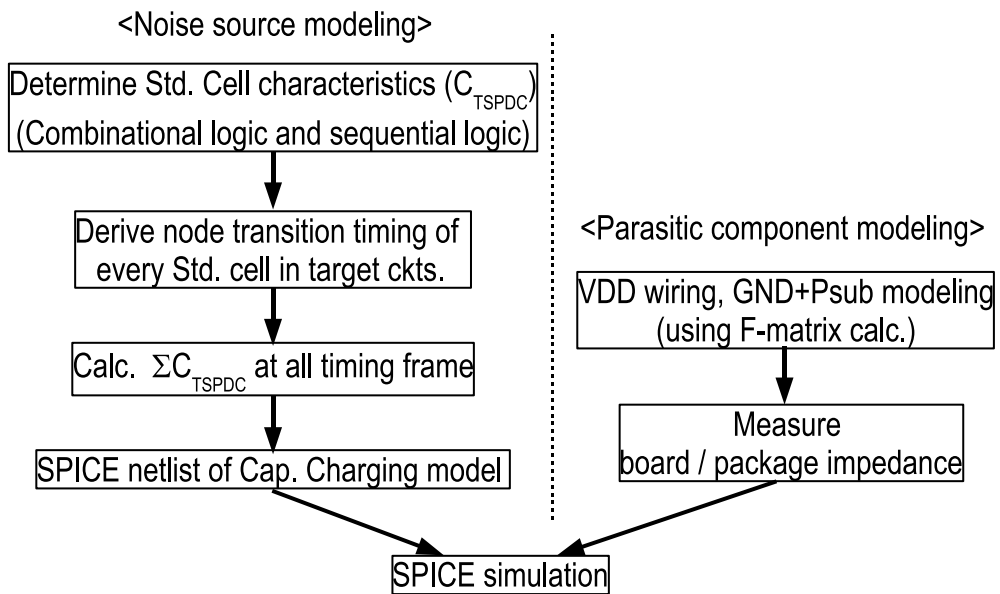


Figure 2.5: シミュレーションモデルの作成フロー



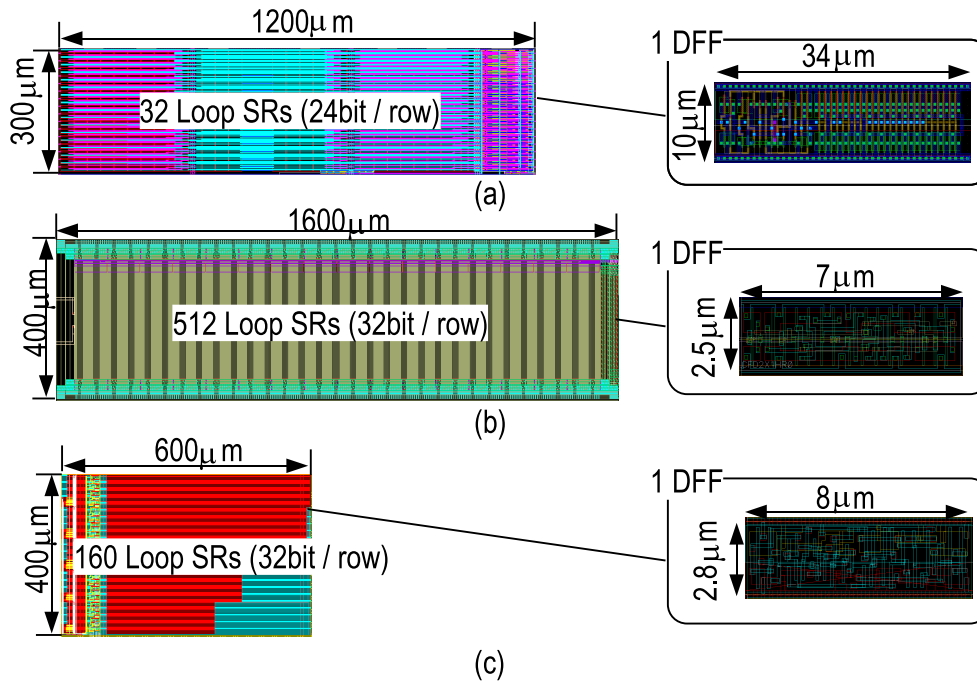


Figure 2.6: ループシフトレジスタ回路のレイアウト図 (a)  $0.18 \mu\text{m}$  1.8 V, (b) 90 nm 1.2 V, and (c) 90 nm 1.0 V CMOS プロセス

## 2.3 複数プロセスの雑音評価

本節ではループシフトレジスタ回路を3つの異なるファウンドリ・プロセスに適用し、雑音評価を行った。使用したプロセスは  $0.18 \mu\text{m}$  1.8 V CMOS プロセス、90 nm 1.2 V CMOS プロセス、90 nm 1.0 V CMOS プロセスの3つである。各プロセスにて実装したループシフトレジスタ回路のレイアウト図と D-FF 単体のレイアウトを Fig 2.6 に示す。ループシフトレジスタ回路のレイアウトは D-FF セルを規則的に並べることで実装密度が最大になるように、各プロセスで設計されている。

$0.18 \mu\text{m}$  1.8 V CMOS プロセスでのループシフトレジスタ回路の時間領域での雑音波形について測定および解析を行った。Vdd と Gnd ノードでの実測とシミュレーション波形をそれぞれ Fig 2.7 (a) と Fig 2.7 (b) に示す。また、同時に活性化されるループシフトレジスタ回路の列数を変えた場合の雑音振幅値の変化を Fig 2.7 (c) に示す。動作回路規模を大きくすると、雑音振幅が大きくなっていく様子が分かると同時に、シミュ

レーションによって波形形状，雑音振幅の変化の様子が共に精度良く再現されていることが分かる．

雑音電圧の依存性について，回路規模以外に，ループシフトレジスタに入力するビットパターンに対する依存性の評価を行った．ビットパターンによって変化させるものは論理の活性化率である．雑音振幅を正規化した活性化率でまとめたものを Fig 2.8 に示す． $x$  軸の活性化率は内部の活性化率が最大である場合を 1 として正規化したもので，動作回路規模の場合は 8 列動作させた場合が最大であり，ビットパターンの場合は”0101...01”の場合を最大とした．同時に活性化するループシフトレジスタ数を変化させた場合は，ビットパターンを”0101...01”に固定として評価した．この評価結果が Fig 2.8 (a) である．一方，入力ビットパターンを変化させた場合は同時に活性化するループシフトレジスタ数を 8 で固定として評価した．この評価結果を Fig 2.8 (b) に示す．

動作回路規模，入力ビットパターン，それぞれを変化させた場合にどちらの場合においても電源雑音の振幅が活性化率に対して比例の関係にあることが分かる．この知見は順序論理回路において一般的に言えることである．

その他の知見として，Vdd 雑音は Gnd 雑音と比べて如何なる動作条件下でも大きいことが挙げられる．これは回路から見たインピーダンスが Vdd 側と Gnd 側で大きく異なることが主な原因であると考えられる．システムグラウンドに接続されるパッド数は Vdd のパッド数に比べて大きい場合が一般的であり，複数のグラウンドパッドは共通の p 型シリコン基板を通して互いに結合している．このことによって回路からみたグラウンド側のインピーダンスは低くなる．

雑音シミュレーションはこれら実際に測定された電源雑音に見える特徴を全て再現できている．さらにこのような電源雑音が持つ特徴は複数の過去の研究事例でも報告されている [45–47]．しかし，ループシフトレジスタ回路の電源雑音について網羅的に報告することは本稿が初めての試みである．

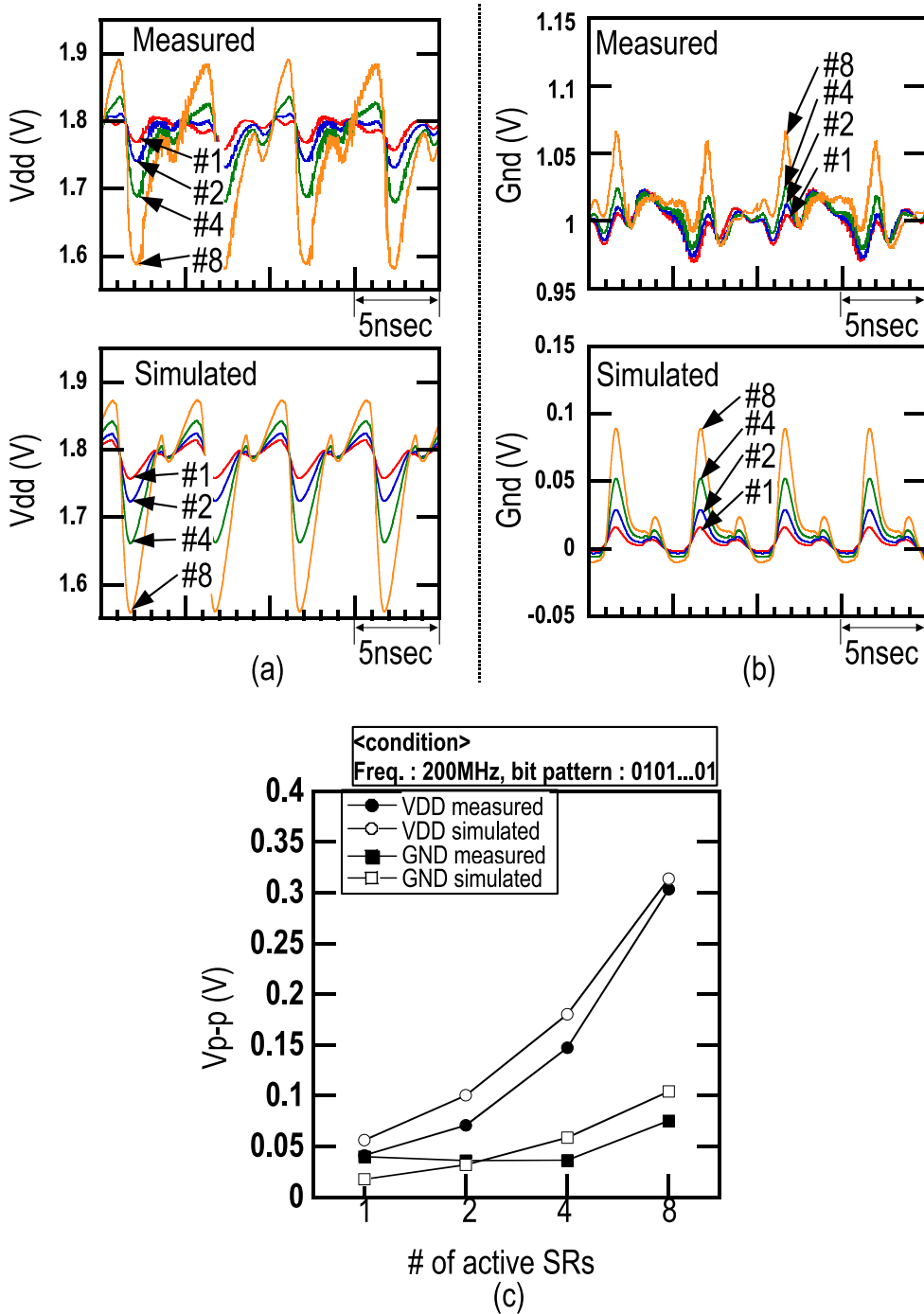


Figure 2.7: 0.18  $\mu\text{m}$ , 1.8 V CMOS プロセスにおけるループシフトレジスタ回路の電源雑音の実測とシミュレーション結果 (a) Vdd 雑音波形, (b) Gnd 雑音波形 (c) 雑音振幅の動作回路規模依存性

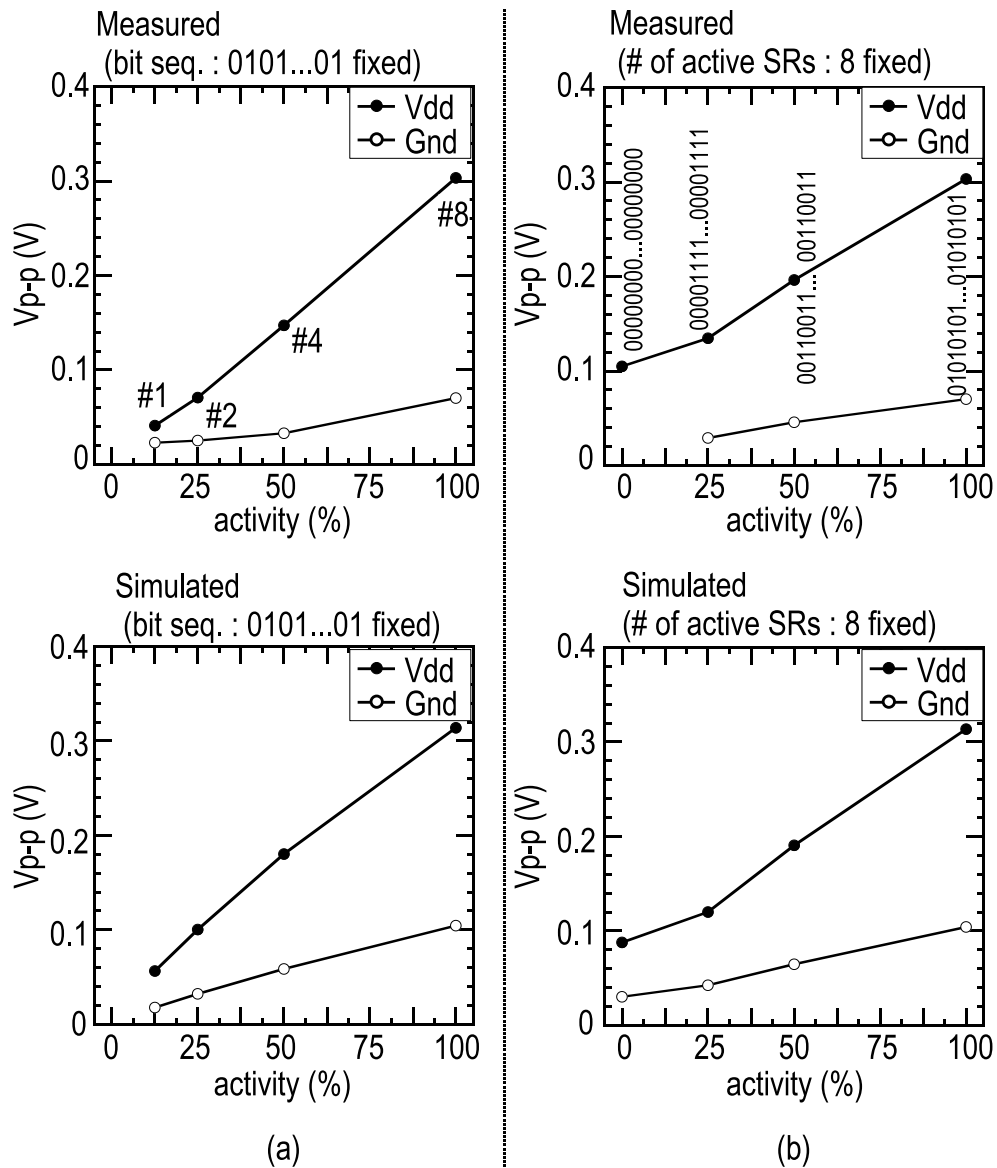


Figure 2.8: 0.18  $\mu\text{m}$ , 1.8 V CMOS プロセスにおける雑音振幅の回路活性化率依存性 (a) 動作回路規模 (b) 入力ビットパターン

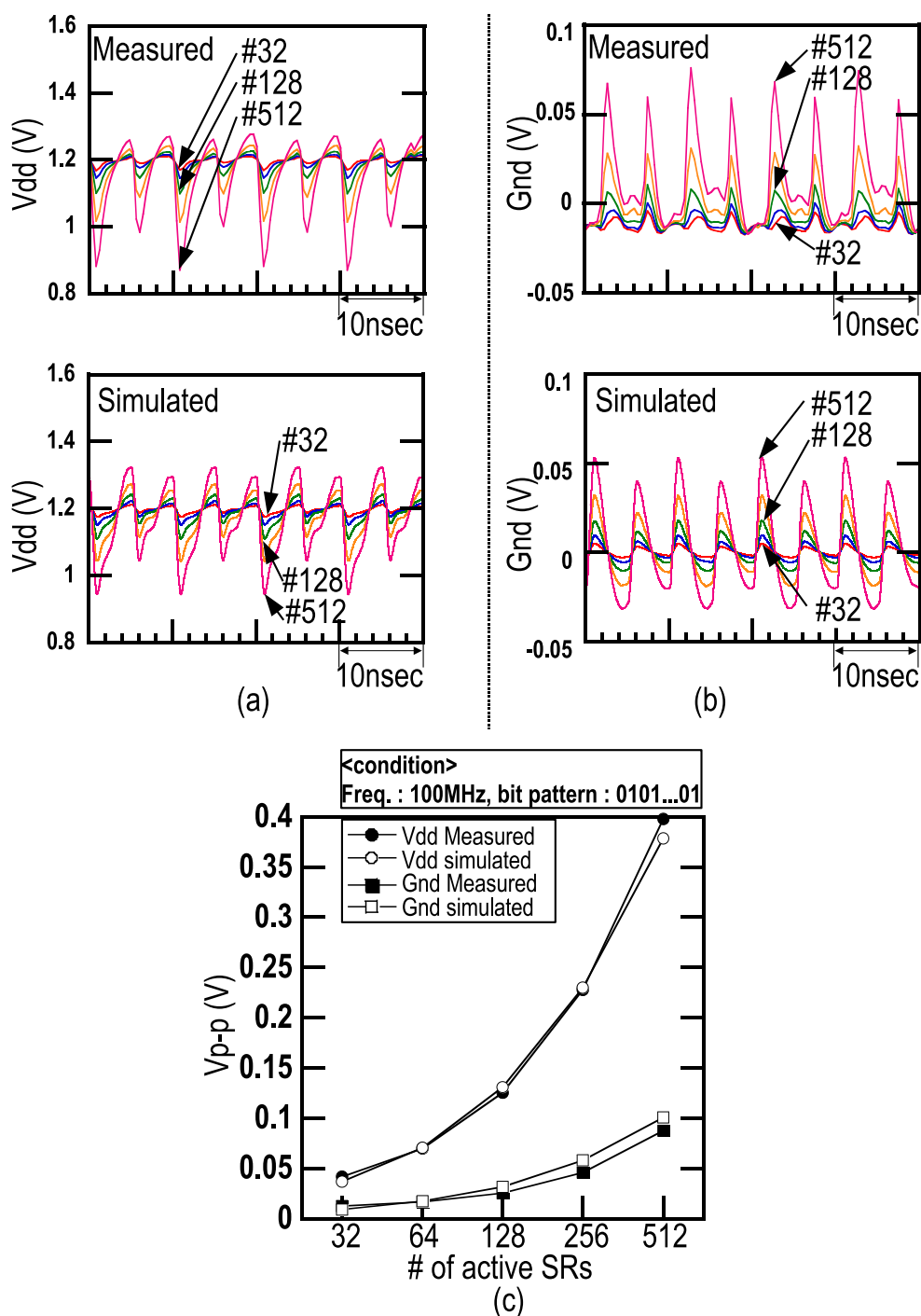


Figure 2.9: 90 nm, 1.2 V CMOS プロセスにおけるループシフトレジスタ回路の電源雑音の実測とシミュレーション結果 (a) Vdd 雑音波形, (b) Gnd 雑音波形 (c) 雑音振幅の動作回路規模依存性

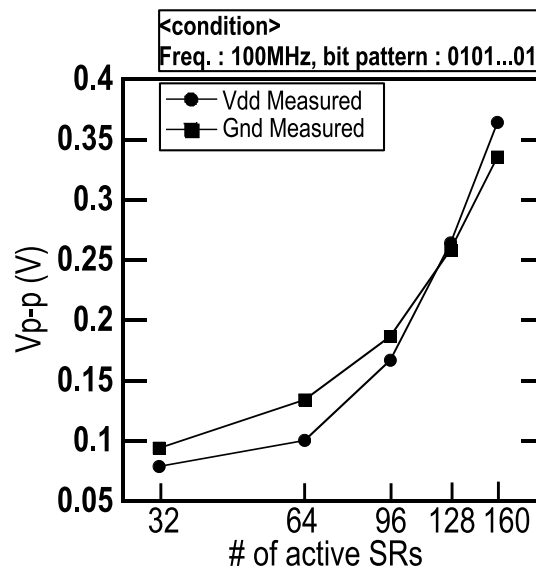


Figure 2.10: 90 nm, 1.0 V CMOS プロセスにおける電源雑音の実測結果

90 nm 1.2 V CMOS プロセスを用いたループシフトレジスタ回路について同様の評価を行った [48] . Figure 2.9 にて実測とシミュレーションそれぞれの雑音波形と雑音振幅の傾向を比較した .

微細化が進展した異なる世代のプロセスにおいても実測とシミュレーションで高い整合性が得られ , 同様の傾向が見られることがわかる .

ループシフトレジスタ回路を用いた雑音評価を前述した 90 nm CMOS プロセスと異なるファウンダリの同世代のプロセス (90 nm 1.0V CMOS プロセス) にて実施した . これまでの 2 プロセスと同じ方法による雑音評価の結果を Fig 2.10 に示す . 電源雑音振幅は同時動作する回路規模の増加に伴って大きくなる傾向は他のプロセスと同様であるが , Gnd 雑音と Vdd 雑音との相対的な関係が他のプロセスと異なることが分かる . これはこのプロセスが他プロセスと比べて高抵抗のシリコン基板を使用していることや Gnd ピンが少ないために回路から見た Vdd 側のインピーダンスと Gnd 側のインピーダンスがほぼ等しくなっているためだと考えられる .

表 2.2 に雑音発生量 , 回路サイズ , オフチップインピーダンスの値を 3 つのプロセスのリファレンス回路ごとにまとめた . Figure 2.6 に示したように , 各ファウンダリ・プロセス毎に回路規模が異なる . これは各プロセスごとにトランジスタレベルでの回路と電源雑音の評価に使用可能なシ

リコン面積が異なるためである。オフチップインピーダンスについても各プロセスで値が大きく異なるが、1番目と3番目のプロセスの評価では両面銅版の単層基板を用いているが、2番目のプロセスでは6層のFR-4基板を用いているためである。

表 2.2では最小インバータセルが消費する平均電流値を異なるプロセス間で比較を行っているが、消費電流値は一般的にプロセス世代が進展してデバイスサイズが小さくなると電源電圧も同時に低下するため小さくなる傾向にある。しかし、集積回路レベルでの消費電流は回路規模に大きく依存する。ここで回路規模とはループシフトレジスタ回路のビット数と搭載する列数である。本節ではリファレンス回路を複数のプロセスに実装して評価を行ったが、各プロセスで回路動作規模に対する共通した雑音発生の傾向を見ることができ、容量充電モデルによる高い精度の再現性を確認した。

この一貫した成果によって提案するリファレンス回路とテスト構造を与えられた CMOS プロセスに任意に適用して電源雑音評価が可能であることを示した。

Table 2.2: 異なる CMOS プロセス間での実測とシミュレーションの比較

Circuit	Technology		
	0.18 $\mu\text{m}$ CMOS	90 nm CMOS	90 nm CMOS
Specification	Supply voltage (V)	1.8	1.2
	Loop SR size	24 bit / SR, 32 SRs	32 bit / SR, 512 SRs
Device characteristics	Min. inverter cell PMOS gate width ( $\mu\text{m}$ )	12.9	0.67
	Min. inverter cell NMOS gate width ( $\mu\text{m}$ )	9.2	0.47
	average current of min. inverter cell ( $\mu\text{A}$ )	14	0.53
Power noise	V <sub>pp</sub> Measured (mV/SR)	37.9	0.78
	V <sub>pp</sub> Simulated (mV/SR)	39.2	0.73
Circuit size	Area ( $\mu\text{m}^2$ /SR)	11000	1300
	Number of Transistors / SR	2,500	1,200
	Number of Transistors / D-FF	32	30
	Number of Transistors / Total	80,000	608,000
Off-chip impedance	Lbrd (nH)	35	7.9
	Rbrd ( $\Omega$ )	7	0.036
	Cbrd (pF)	105	48.4
Assembly	Package	QFP 160 pin	QFP 208 pin
	Board	double-sided copper plate	FR4
			QFP 80 pin
			double-sided copper plate



## 2.4 電源雑音評価の広帯域化

### 2.4.1 オンチップ雑音検出回路

本章の雑音評価に用いたオンチップの雑音検出器はダイレクトサンプリング法に基づいて電源、グラウンドおよび基板の雑音を検出する。Figure 2.11はオンチップ雑音検出器の回路図である。n型ソースフォロア (nSF) によるフロントエンドではデジタル回路部の公称電圧付近の電圧変化を検知する。一方、p型ソースフォロア (pSF) はグラウンド、基板で発生する 0.0V 付近の電圧変化を検知する。次に、ソースフォロアによって構成されるフロントエンドの出力はバックエンドのラッチコンパレータ (LC) の入力に接続される。SF の入力、つまり検出対象の電圧値は SF によって DC レベルがシフトされ、その後 LC によってデジタイズされる。LC におけるデジタイズ処理はチップ外部から供給されるステップ状の参照電圧と連続的に比較することで実現される。検出される電圧値は LC の出力の急激な変化点として決定される。ここで、連続的な参照電圧との比較を実行するためには、複数回にわたって反復的な回路動作をさせ、同じ雑音発生を複数回行うことが必要である。

電圧値のサンプリングは Fig 2.12 に示すように  $\phi_m$  に従ってラッチ動作ごとに毎行われる。システムクロックである  $\phi_s$  は測定対象回路であるループシフトレジスタに供給され、 $\phi_m$  は  $\phi_s$  に対して相対的に  $\Delta t$  ずつずらしていく。 $\phi_m$  のタイミングで検出された電圧は前述の手法によって決定され、検出電圧値を時間方向に連続的にプロットすることで雑音波形を取得する。

### 2.4.2 雑音波形取得システム

より良い品質の雑音波形を取得するシステムを構築するためには、オンチップの雑音検出回路の設計に加えて、測定器を注意深く選択し、適切に波形取得システムに組み入れる必要がある。

システムを構築する際にはタイミング生成が最も重要な要素の一つとなる。タイミング生成の性能によって  $\phi_m$  の時間分解能や  $\phi_s$  との相対的な位置の精度などが決定される。また、安定性が構成システムには要求される。これは Fig 2.12 に示すように波形取得のためには数千回におよぶ反復動作が必要であるためである。

ステップ状の参照電圧は 14-bit の解像度を持った低速動作の可変電圧

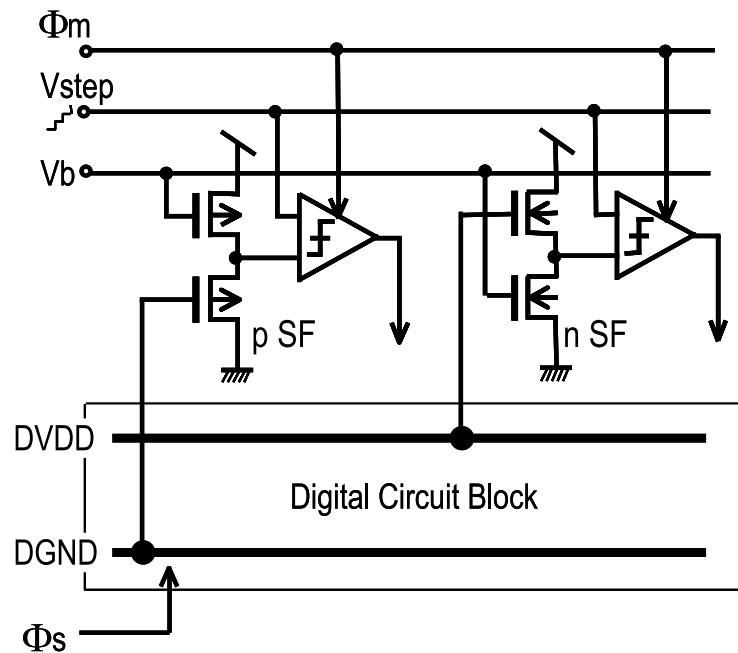


Figure 2.11: 雑音検出器回路図

源を用いて供給する．バイアス電圧と SF および LC の電源電圧はそれぞれ定電圧源から供給する．

Figure 2.13は雑音波形取得システムの概観図である．SF と LC 回路は雑音発生源であるループシフトレジスタ回路と共にテストチップに実装する．電圧源とタイミング生成器はテストチップを駆動し，カウンターはテストチップ内の雑音検出器の出力 (Dout) に接続してデータを読み出す．QFP セラミックパッケージ内のテストチップには FR-4 基板を用いて作成した評価ボードを通じて外部機器に接続される．波形取得は PC を用いて制御され測定の自動化を実現している．

本研究では雑音波形の精度を高めることを目的として測定システムを従来構成である Fig 2.13 (a) から 提案構成である Fig 2.13 (b) に変更した．Figure 2.13 (a) では 8 チャンネル以上のマルチチャンネル出力を持つ単一のパルスジェネレータからすべてのパルス信号を供給していた．この構成は信号間のスキュー調整やチャンネル間のタイミングの変更が容易であることが利点としてあげられる．

しかし，高精度な信号発生が可能なパルスジェネレータは一般的に最大でも 2 チャンネルの出力であり，Fig 2.13 (a) の構成をとることができない．

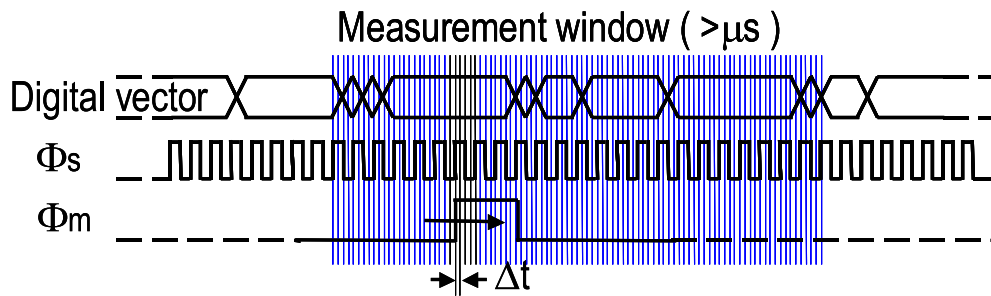


Figure 2.12: 雑音測定タイミングチャート

そこで、本研究では Fig 2.13 (b) のように 2 つのパルスジェネレータをマスター・スレーブ動作させる構成を採用した。この構成をとることで、タイミング生成の高分解能、高精度、安定化を達成する。本章の雑音測定システムでは、2チャンネル出力の高精度クロックジェネレータ (Agilent 社 81134A) をマスター側パルスジェネレータとして選択し、マルチチャンネルパルスジェネレータ (Tektronix 社 DTG5078) をスレーブ側のパルスジェネレータとして選択した。 $\phi_s$  はマスタークロックジェネレータの 2チャンネルの内一方からループシフトレジスタ回路へ供給され、もう一方のチャンネルはスレーブパルスジェネレータの外部クロック入力端子へ接続する。スレーブパルスジェネレータはマスタークロックジェネレータの信号に同期した信号を多チャンネルで出力する。スレーブパルスジェネレータは  $\phi_m$  といくつかの同期制御パルス信号を検出回路に供給する。この新規開発した波形取得システムによってタイミング精度を 10 ps のオーダーまで小さくし、システムクロック周波数を数 GHz まで向上させることができた。

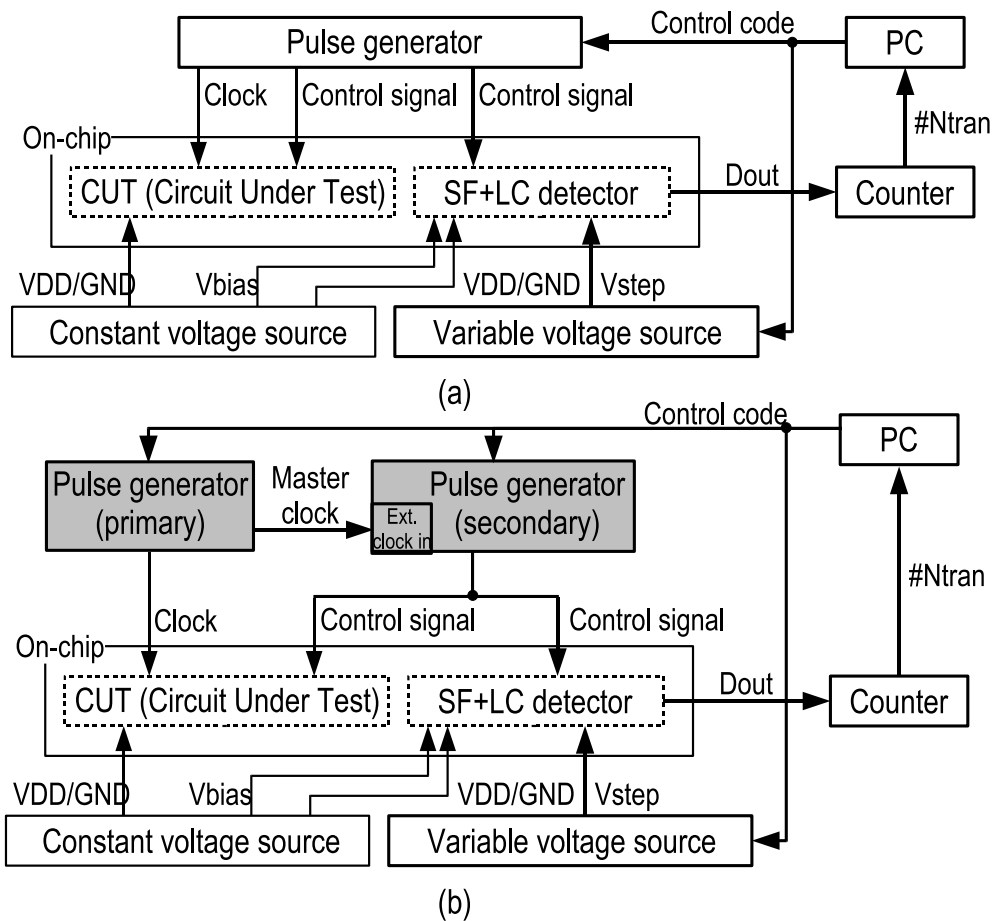


Figure 2.13: 雑音波形取得システム概略図 (a) 従来構成 (b) 提案構成

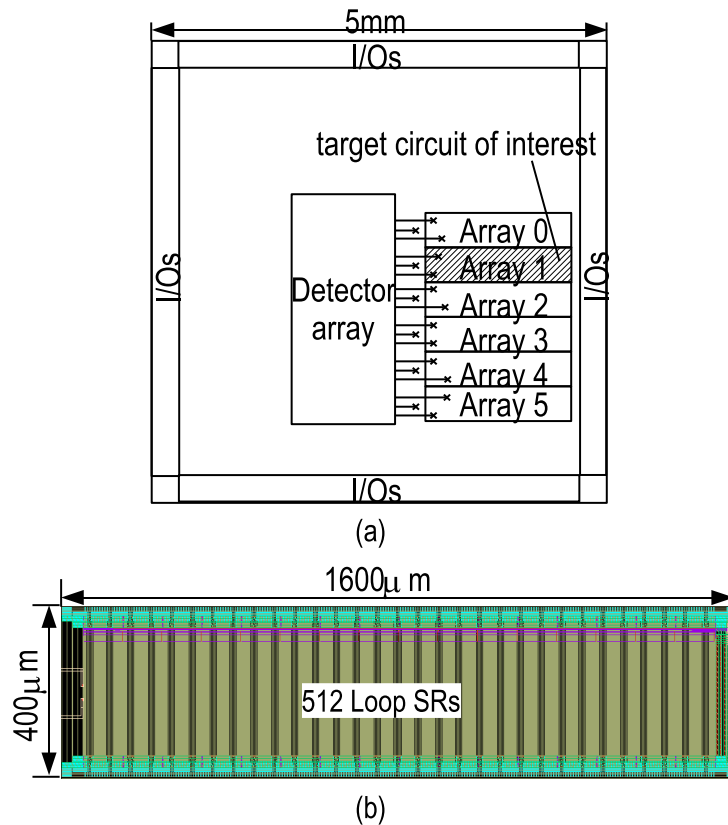


Figure 2.14: (a) 90 nm CMOS テストチップ概略図 (b) ループシフトレジスタ回路レイアウト図

### 2.4.3 テストチップ

Figure 2.14に6つのループシフトレジスタアレイと複数のSF, LC雑音検出回路を搭載したテストチップを示す。このテストチップは90nm CMOSプロセスを用いて試作したものである。本節では上から2番目のアレイを雑音測定に用いた。測定対象回路には512列の32bitループシフトレジスタが搭載されており、同時に動作する列数を0から512まで任意に変更可能で、さらに入力ビットシーケンスが任意に設定できるため、信号トグル率の制御も可能である。たとえば”0101...01”が最大信号トグル率の状態であり、”0000...00”や”1111...11”が最小信号トグル率の状態となる。ループシフトレジスタ回路は1.2Vデバイスが使われていて、雑音検出回路は3.3Vの高圧I/Oデバイスが使われている。

このテストチップに実装したオンチップ雑音検出回路の周波数特性を

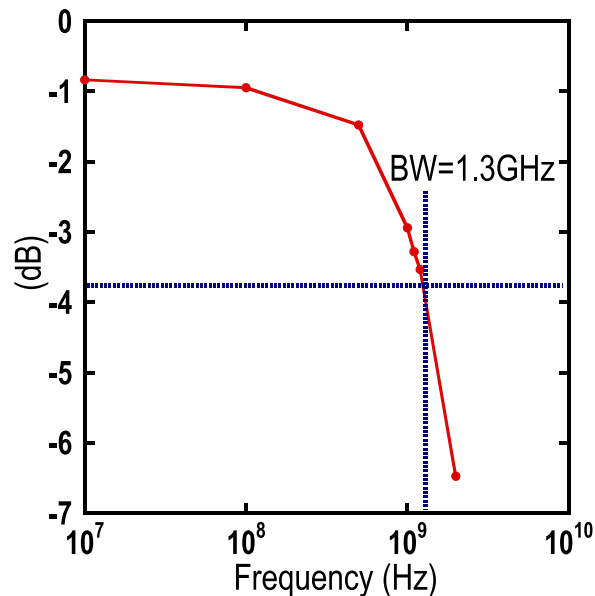


Figure 2.15: 雑音検出器の周波数応答シミュレーション結果

寄生成分を抽出したポストレイアウトのネットリストを用いて評価した。評価結果を Fig 2.15に示す。DC利得は僅かにユニティゲインから下がっている (-0.83dB)。これはソースフォロア回路の構成に依るものである。また、-3dB基準の帯域は1.3 GHzであった。

#### 2.4.4 測定結果

ループシフトレジスタレイ回路の電源 (Vdd) 配線上で発生する雑音波形の測定結果を Fig 2.16に示す。Figure 2.16では Fig 2.13にて示した従来測定システムと提案測定システムで同じ測定チップおよび回路に対して同条件での波形を取得し、比較した。シフトレジスタ回路に供給されるクロック周波数 ( $\phi_s$ ) は 400 MHz と 1.0 GHz の 2 通りである。新規提案の測定システムのもつ時間分解能は 16 ps であり、従来測定システムの時間分解能 50 ps と比べて 40% の分解能の向上を確認した。タイミング生成の性能向上によって取得雑音波形がより明確になり、実効的な測定帯域が広がったことが分かる。

Figure 2.17と 2.18はそれぞれループシフトレジスタの動作周波数が 100 MHz と 1.2 GHz の場合について電源、グラウンド、基板の雑音波形を示している。その他の動作条件は、動作しているループシフトレジスタの

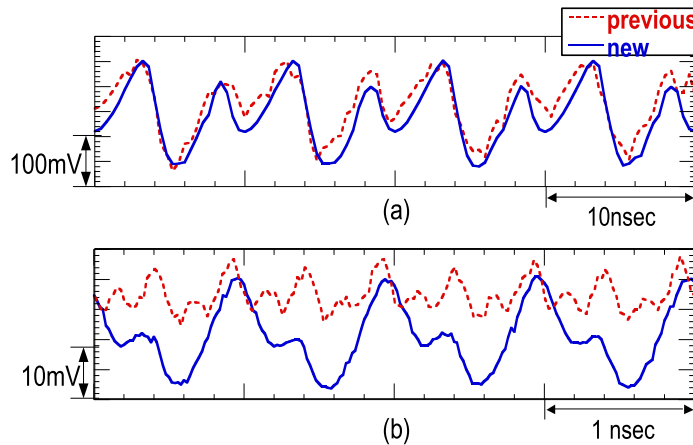


Figure 2.16: Figure 2.13の従来構成と提案構成を用いた電源雑音実測波形比較 (a)  $\phi_s = 400$  MHz, (b)  $\phi_s = 1.0$  GHz.

列数は 64 列でビットパターンは” 0101...01” の信号トグル率が最大の状態である。Vdd の大きな電圧降下のタイミングと Gnd の大きな電圧上昇のタイミングを比べると、両者はほぼ同じタイミングであることが分かる。さらに Vdd と Gnd 雑音の振幅に着目すると Vdd 雑音が Gnd に比べて数倍大きい。次に Gnd と Psub 雑音波形を比較すると、位相、振幅ともにほぼ同じであることが分かる。これは Gnd 配線が基板コンタクトを通じて Psub と強固に低抵抗で結合していることから理解できる。これらの基礎的な知見はクロック周波数を 1.2 GHz に上げた場合にも共通するものである。

Figure 2.19はループシフトレジスタ回路の動作周波数を変化させた場合の雑音波形の振幅値の傾向を示している。この図から周波数に対して雑音振幅が単調減少していることが分かる。また、スタティックドロップという観点から動作周波数に対する傾向を Fig. 2.20に示す。Fig. 2.20の各値は 100 MHz における電源・グラウンド・基板雑音の平均電圧値を基準としている。Figure 2.20からスタティックドロップは雑音振幅とは逆に、周波数が高いほど増加することが分かる。これは動作周波数が高くなると、回路の平均消費電流値は増加することから定性的に理解可能である。

周波数が増加すると、雑音振幅が減少し、スタティックドロップ量が増加する傾向は概ね Vdd, Gnd, Psub 雑音すべてで共通して見られる傾向である。雑音振幅がデジタル回路の動作周波数に対して一定の傾向を示しているという知見は雑音解析技術に対して大きな意味を持っている。ま

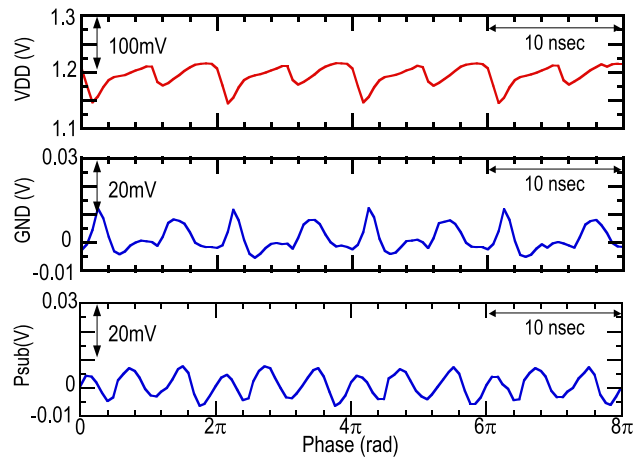


Figure 2.17: 電源，グラウンド，基板雑音波形 (動作周波数 100 MHz)

た， Fig 2.19にて評価した 100 MHz から 1.2 GHz という周波数帯は十分に波形取得システムの実効的な帯域内であり，正当性があるといえる．



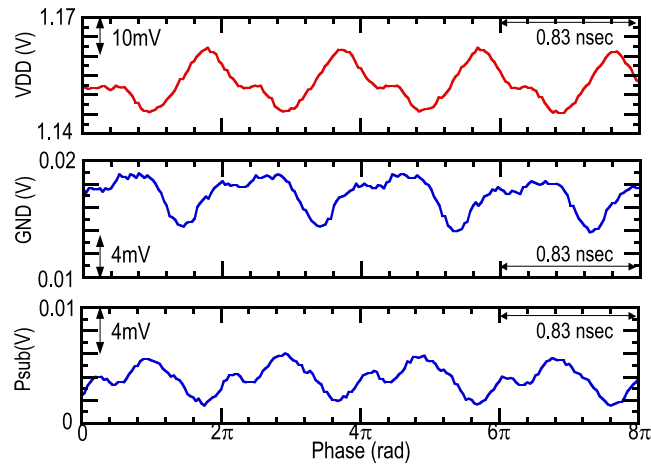


Figure 2.18: 電源，グラウンド，基板雑音波形 (動作周波数 1.2 GHz)

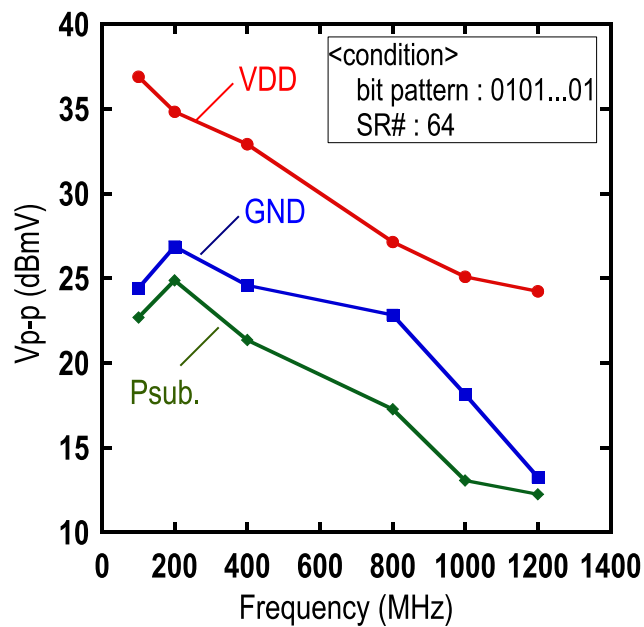


Figure 2.19: クロック周波数に対する雑音振幅の測定結果

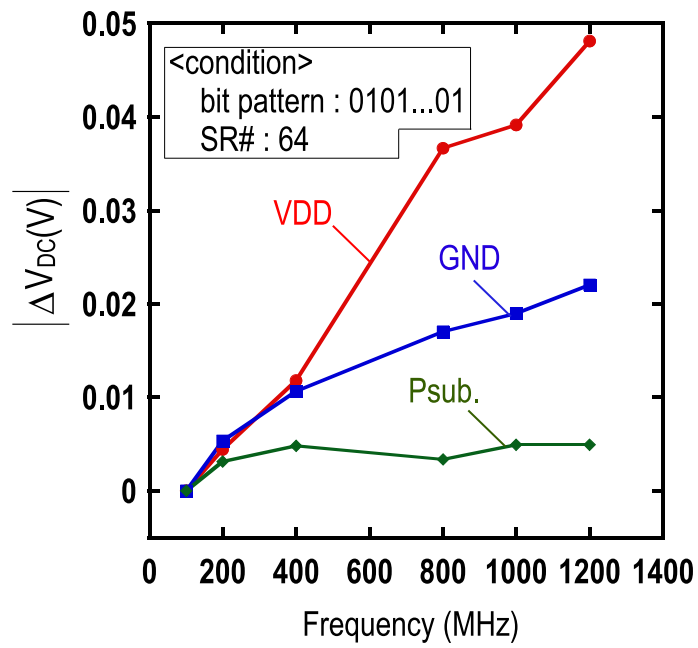


Figure 2.20: クロック周波数に対するスタティックドロップの測定結果

## 2.5 電源雑音評価による技術的達成点と今後の展望

本章では電源雑音評価用リファレンス回路としてループシフトレジスタアレイ回路を提案し、実際に3つの異なるファウンダリプロセスを用いて実装、評価をした。さらに電源雑音の波形取得システムの性能改善を行い、時間分解能過去の研究事例と比べてを40%改善した。これらの成果を用いることで異なるファウンダリ・プロセス間の横断的な電源雑音比較を広帯域で評価することが可能となる。

電源雑音評価に関する今後の展望としては、数GHzまで進展したデジタル回路の高速動作化に対応するためにオンチップ雑音検出器の広帯域化が必要であると考えられる。

## 2.6 まとめ

本章では一般化した機構を用いてCMOSデジタル回路のダイナミック電源雑音について評価を行い、雑音評価システムの広帯域化を達成した。ループシフトレジスタアレイ回路を電源供給系評価のためのリファレンス回路として提案し、電源雑音および基板雑音の評価を0.18  $\mu\text{m}$  1.8 V CMOS プロセス、90 nm 1.2 V CMOS プロセス、90 nm 1.0 V CMOS プロセスの3つの異なるファウンダリ・プロセスを用いて評価を行った。雑音評価はオンチップの雑音検出器を用いた実測のみではなく、回路の寄生容量充電過程に着目した雑音源等価回路によるシミュレーションによる解析環境を提示した。この容量充電に基づく簡便なシミュレーションを用いて雑音評価を同時に実施し、実測結果と比較して高い整合性を得ることに成功した。この研究成果を用いることで広範なCMOSプロセスの雑音比較や新規プロセスの雑音予測ができる。

また、本章ではサンプリング原理に基づいたSF+LC型検出器を用いた電源雑音波形取得システムの広帯域化を行い、40%の時間分解能向上により10 psec オーダーの時間分解能を実現した。

これらの結果から、CMOSプロセス間の横断的な電源雑音比較と、CMOSデジタル回路の電源雑音の広帯域評価を可能とした。

## 第3章

---

# CMOSデジタル回路の電源雑音解析

### 3.1 はじめに

電源および基板雑音はシステムオンチップ (SoC) に代表されるミックストシグナル LSI に大きな影響を与える。雑音発生源の回路から雑音の影響を受ける回路までの基板を通した雑音伝播の様子までを内包したチップ全体での雑音解析が雑音を考慮したデザインフローを確立するために必要である。雑音を考慮したデザインフローを用いることがアナログ / RF 回路とデジタル回路を同一基板上へ集積するために必須となる。

電源および基板雑音の基礎理解に関して、多くの研究事例が報告されている [43]。例えば、スタンダードセルの雑音源等価回路 [32]、チップ全体の基板ネットワークモデル [49, 50]、基板分離構造の集中回路モデル [51] などである。神戸大学永田研究グループではデジタル回路の電源雑音解析手法として容量充電モデルを提案し、単純な構造のインバータアレイ回路の基板雑音シミュレーションを報告している [38]。その他、このモデル化手法は 50-k ゲートのマイクロプロセッサを解析対象とした連続時間の基板雑音の初期評価を行った実績がある [37]。

モデル化技術を標準的なデジタル設計のフローに統合するために本章では2つの点で研究の進展を目指した。第一は組み合わせ論理回路と順序論理回路の両方を正確に容量充電モデルに置き換える方法を一般化すること。第二は雑音シミュレーションに評価ボードやパッケージといったオフチップインピーダンスと基板との結合を明示的に考慮することである。

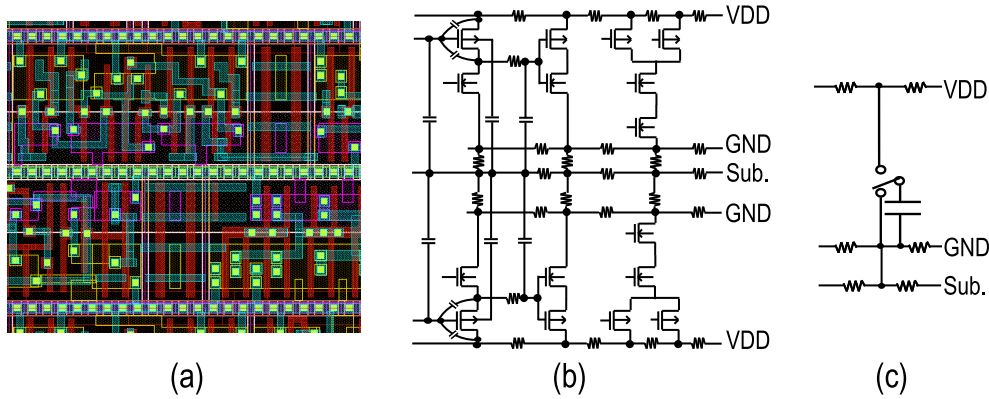


Figure 3.1: CMOS デジタル回路; (a) 物理レイアウトの例, (b) トランジスタレベル記述, (c) 容量充電モデルによる雑音シミュレーション

## 3.2 電源雑音解析手法

### 3.2.1 容量充電モデル

CMOS デジタル回路は Fig. 3.1(a) のように論理ゲートセルが高密度実装されたものである。通常、デジタル回路をはじめとした電源雑音シミュレーションは Fig. 3.1(b) のようなフルトランジスタレベルのネットリストを解析するか、もしくは論理ゲートセルと同数の雑音等価回路を含むネットリストを解析する。一方で、本章では Fig. 3.1(c) に示す時分割容量充電 (Time Series Divided Parasitic Capacitance : TSDPC) モデルを提案する。TSDPC モデルは、ある微小時間内に同時にスイッチする膨大な数の論理ゲートのスイッチング動作を単一の容量に置換し、Vdd と Gnd の間に挿入し、モデル対象の微小時間で充電するモデルである。このとき容量のサイズはモデル対象のデジタル回路内で微小時間内に充電される寄生容量の総和である。デジタル回路にて消費される電源電流をこのような形で表現するモデル化手法を容量充電モデルと呼び、この手法を用いることで雑音シミュレーションの等価回路のサイズを大幅に減少させることができる。

Figure 3.2 に示すような TSDPC モデルを用いた連続的な容量充電によって CMOS デジタル回路における電源および基板雑音のシミュレーションを実行できる。M 個のスイッチドキャパシタの段数が一列に並べられ、それぞれ  $T_1, T_2, \dots, T_{n-1}, T_n, T_{n+1}, \dots, T_m$  のタイミングで外部

電源から連続的に充電される。T<sub>n</sub>が充電される時、直前に充電された容量 (C<sub>n-1</sub>) は放電される。

ある論理ゲートの総付加容量を  $C_{load}$  とすると、その論理ゲートセルに信号遷移が起こったときには  $C_{load} * V_{dd}^2$  で表されるエネルギーが外部電源から供給される。エネルギーのうち半分は、電源電流を決定する電源インピーダンスを介して  $C_{load}$  へ電荷が流れるときに熱として消費される。残りの半分が容量に蓄積される静電エネルギーである。このエネルギーは後に次のトグル期間、つまり放電時に消失する。容量の放電時はキャパシタンスの両端が短絡されるため、このエネルギーは該当容量で局所的に消失し、この放電時のエネルギー消失は他の電流への影響を全く与えない。

電源電流は連続的な容量充電の過程としてモデル化され、電源とグラウンドインピーダンスと電源電流の関係によって電源バウンスが電源配線およびグラウンド配線上に起こり、同時に低抵抗の基板タップを通じて基板内の電位変動を引き起こす。

TSDPC モデルは CMOS デジタル回路に対して広く一般化した形で適応が可能である。スイッチトキャパシタの段数を多くすることで長時間の雑音波形を取得可能であり、周波数領域での解析を行なうことができる。さらに、TSDPC モデルはチップ内の場所毎に分割して、各場所ごとにスイッチトキャパシタを作成することでサブモデル化することができ、各サブモデル間に電源 / グラウンド配線のモデルを付加することができる。

インバータアレイ [38] と 50-k ゲートのマイクロコントローラ [37] の雑音発生は容量充電モデルによって再現することができ、シミュレーション結果を用いることで基板雑音の実測結果を定量的に説明することができる。しかし、これらの過去の研究事例ではモデル生成の一般化が不足している。これらの研究事例を実施した際の容量サイズ決定は手動で行われており、一般化されていなかった。

そのため、本研究では SoC の高効率設計を目指し、容量充電モデルに基づいた雑音シミュレーションのための容量導出方法の一般化を行う。このとき、容量決定方法は組み合わせ論理回路と順序論理回路の 2 つに大別することができる。

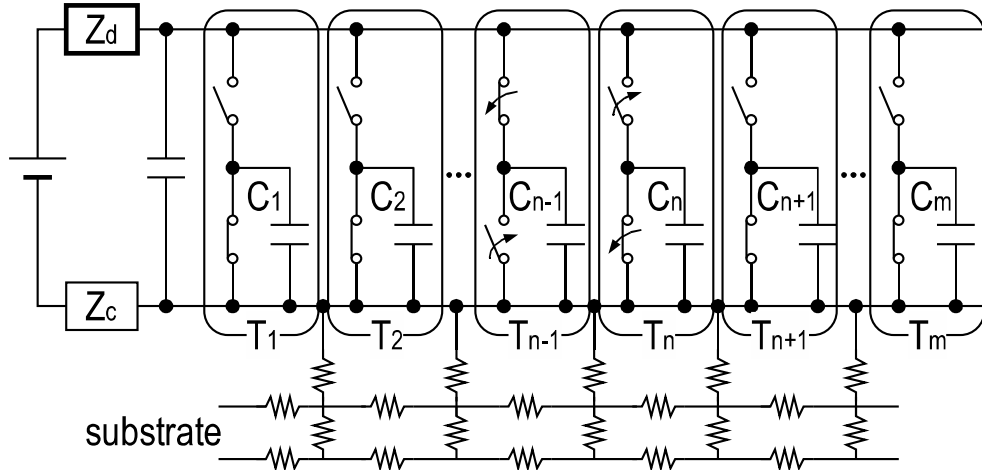


Figure 3.2: 電源および基板雑音発生のための時分割容量充電モデル (TSDPC : Time-series divided parasitic capacitance) モデル [38]

### 3.2.2 スタンダードセルの容量値の導出

#### 3.2.2.1 組み合わせ論理回路

組み合わせ論理回路の TSDPC モデルにおける容量値 ( $C_{\text{TSDPC}}$ ) は電源電流 ( $I_x$ ) の積分値から導出する。電源電流の積分範囲は論理セルの入出力信号の遷移に伴う電流変化が起きている範囲であり、容量値は式 (3.1) に従って求める。最も単純な例としてシングルバッファセルの場合について Fig. 3.3に SPICE シミュレーションの波形と共に示す。

$$C_{\text{TSDPC}} = \frac{\int I_x dt}{V_{dd}} \quad (3.1)$$

$C_{\text{TSDPC}}$  の表は標準スタンダードセルライブラリに含まれる全てのセルごとに作成する。このとき、表に含める条件は入力信号のすべての組み合わせである。各セルに対応する容量値はすべての入力信号の組み合わせの内、最大値もしくは平均値をもって決定する。

#### 3.2.2.2 順序論理回路

順序論理回路に対する容量値の導出方法は前述した組み合わせ論理回路の方法から変更する必要がある。これは順序論理回路はクロック信号の遷移を含む入力信号の遷移時に出力が変化しなくても電流消費が起こ

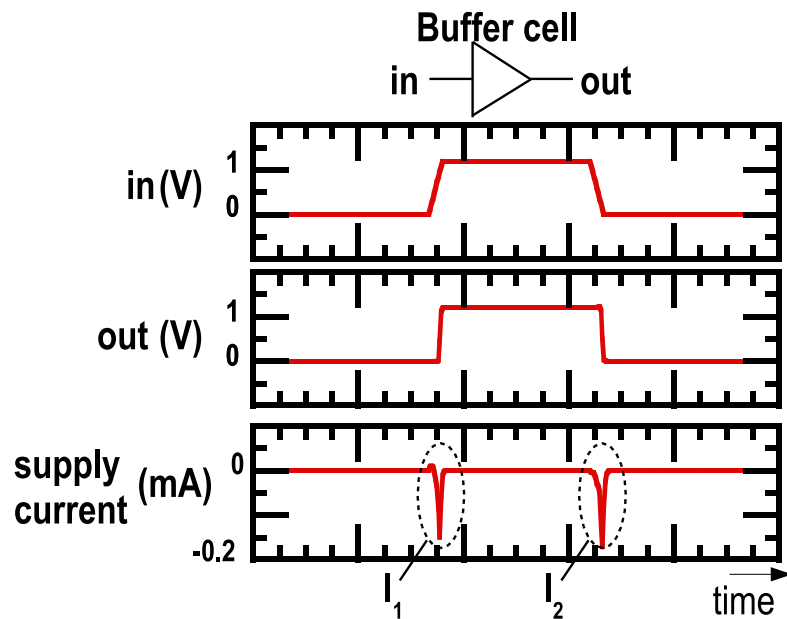


Figure 3.3: 組み合わせ論理回路の電源電流シミュレーション

る特徴があるからである．順序回路では内部の論理状態にかかわる複数のトランジスタを考慮する必要がある．

SPICEシミュレーションによって得られたDタイプフリップフロップ(D-FF)の電源電流波形を Fig. 3.4に示す．Figure 3.4のように電源電流のスパイクはクロックエッジの遷移方向と内部の論理状態の組み合わせによって異なり，それぞれの組み合わせに対する電流を  $I_1, I_2, I_3, \dots, I_6$  とした．内部の論理状態と電流の対応を表 3.1に示す．電流消費は容量充電に置き換えることができるため，それぞれの消費電流を式 (3.1) を用いて容量値を算出し  $C_{TSDPC}$  のリスト表を作成する．

そして各々のタイミングでの容量値は個々のD-FF毎に独立にリスト表から決定する．つまり，入力信号とクロック信号の遷移方向の組み合わせによって決まる内部の論理状態を基にリスト表から各D-FFの容量値を独立に選び，決定する．この各タイミングでそれぞれの回路の容量値を連続的に変化させることが組み合わせ論理回路のモデル化と本質的に異なる点である．



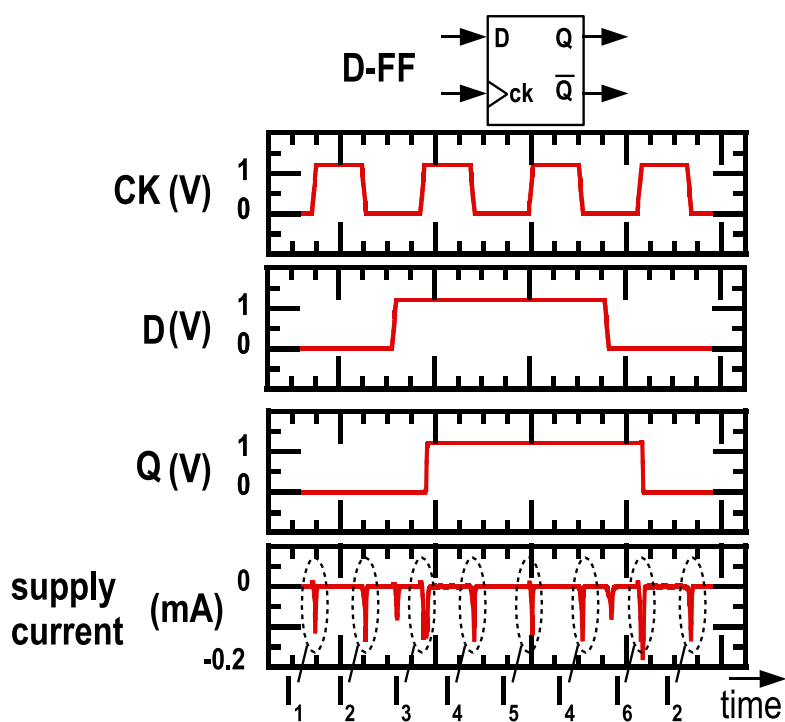


Figure 3.4: 順序回路の電源電流シミュレーション (Fig. 2.3の再掲)

### 3.2.3 容量充電モデルの定式化

ある微小時間 (タイムフレーム) の期間内に充電される容量値は式 (3.2) にしたがってモデル対象回路内の信号遷移が起こった論理セルの  $C_{\text{TSDPC}}$  の合計値として算出する。このとき各セルの  $C_{\text{TSDPC}}$  は入力信号と内部の論理状態に対応する値を容量一覧表から選択する。ただし、対象タイムフレーム内で入力信号もしくは内部の論理状態に遷移が無いセルは無視する。

$$C(t) = \sum C_{\text{TSDPC}} \quad (3.2)$$

Table 3.1: D-FF の内部論理状態と電源電流定義の対応 (Table 2.1の再掲)

output transition	clock edge	corresponding current
0 → 0	rise	$I_1$
	fall	$I_2$
0 → 1	rise	$I_3$
	fall	N.A.
1 → 1	rise	$I_5$
	fall	$I_4$
1 → 0	rise	$I_6$
	fall	N.A.

### 3.3 提案雑音解析手法によるシミュレーション結果

#### 3.3.1 テスト回路の定義

Figure 3.5に示すテスト回路を電源および基板雑音の容量充電モデリングに基づいたシミュレーションの試行対象として用意した。このテスト回路は本論文第2章にて提案した電源雑音評価用のリファレンス回路である。Figure 3.5 (a)に示すループシフトレジスタアレイ回路は動作回路規模と内部ロジックの遷移確率の制御が可能で、それぞれに対応した雑音発生を行う。

Figure 3.5 (b)にループシフトレジスタ回路を示す。この回路は D-FF の従属接続によって構成されており、最終段の D-FF の出力は最初段の D-FF への入力に接続するループを形成できる構造となっている。

”0101...01”のようなビット列をループを開放した状態で書き込む。書き込まれたビット列はクロック信号の立ち上がりエッジ毎に1ビットずつシフトされ、シフトレジスタのビット長の長さで繰り返される。

回路動作させるループシフトレジスタの列数は各列ごとにクロックゲーティングの制御信号をプリセットすることで制御可能な構造となっている。また、入力するビット列は任意の信号を入力可能であり、このことにより信号のトグル率を制御することができる。この回路は一般的な同期式デジタル回路と同様の動作を行い、順序回路のみではなくセレクトや

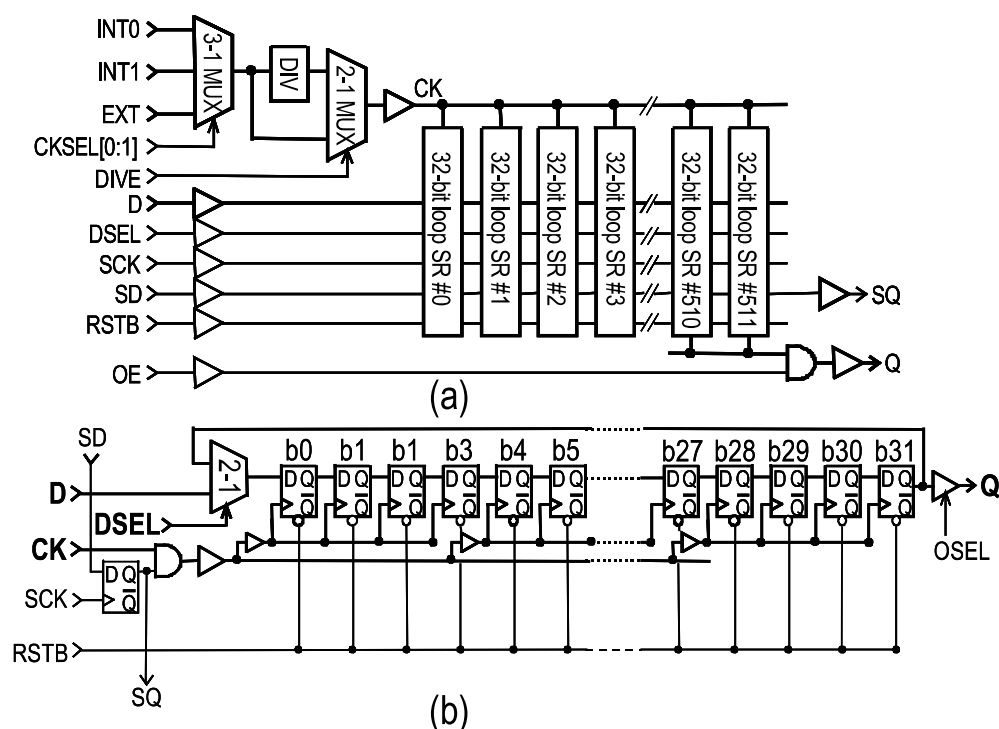


Figure 3.5: テスト回路図; (a) ループシフトレジスタアレイ回路 (b) ループシフトレジスタ (SR) 回路 (Figure 2.1の再掲)

クロックバッファなどの組み合わせ論理回路を内包している．また，回路全体が一般的な CMOS プロセスで用意されるスタンダードセルライブラリに含まれる論理セルのみで構成されている．このため，前節で述べた TSDPC モデルに用いる容量値の導出手法を完全に適用することができる．

Figure 3.6に 90nm CMOS プロセスを用いて試作したテストチップのフロアプランを示す．テストチップには 6 つのループシフトレジスタアレイ (Fig. 3.5) がチップ右側に実装されている．6 つのアレイ (#0 ~ #5) の内，アレイ #1 に着目して以下の解析を行なった．Figure 3.7にアレイ #1 のレイアウトサイズを示す．またテストチップには電源・グラウンド・基板の雑音波形を取得可能なオンチップ雑音検出回路を同時に実装している．オンチップ雑音検出回路による各雑音検出の詳細は本論文 第 2 章に詳細が記述されている．

Figure 3.6に示すようにテストチップは 208 ピンの QFP (Quad flat package) パッケージを使用してパッケージングされている．アレイ #1 の電源，

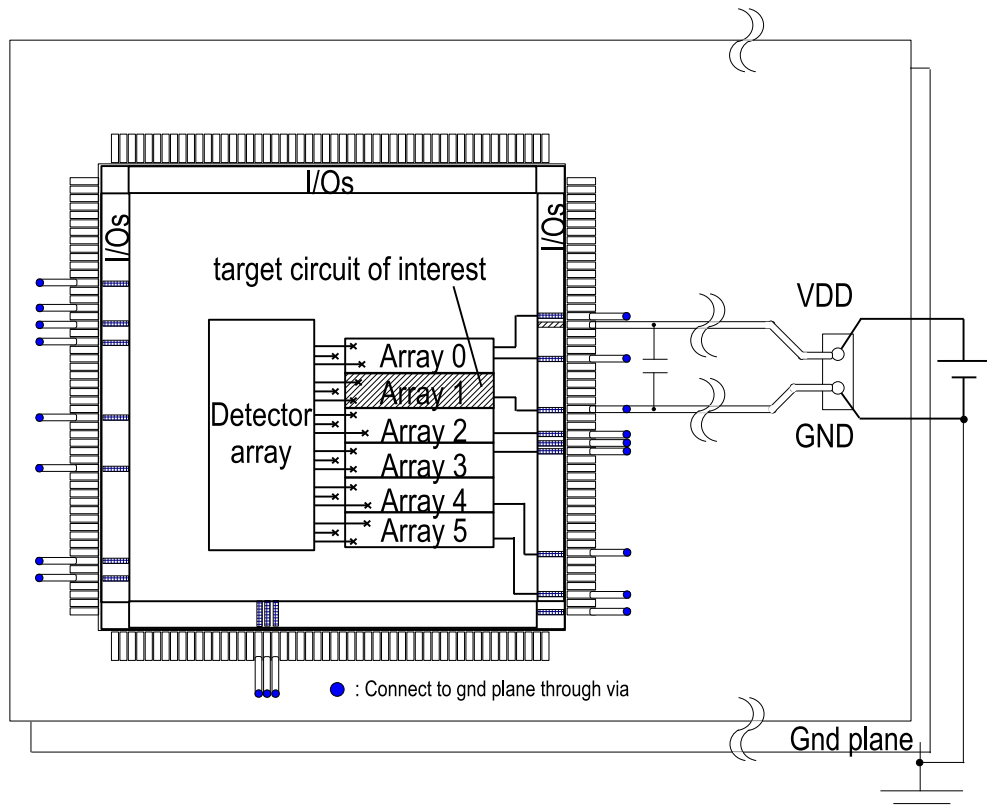


Figure 3.6: テストチップフロアプラン

グラウンドピンは1対のみ用意されており，それぞれ独立にボンディングワイヤ，評価ボードの配線を通して外部の電源と接続されている．チップ周辺のその他のグラウンドピン同様にシステムグラウンドに接続されている．これらのピンはIOセルと接続されていると同時にループシフトレジスタアレイにも，共通シリコン基板と低抵抗の基板コンタクトを通じた経路が存在する．

チップ全体の雑音解析のために必要なモデル化対象回路が実装されている領域やその他の構成要素の実装領域の情報，雑音検出の位置などに代表されるチップレベルの仕様は設計データベースから導出する．

### 3.3.2 タイミング分布

ループシフトレジスタ回路はクロック信号  $Ck$  に同期して動作し，電源電流は論理ゲートの動作によって周期的に消費される．ここで，クロッ

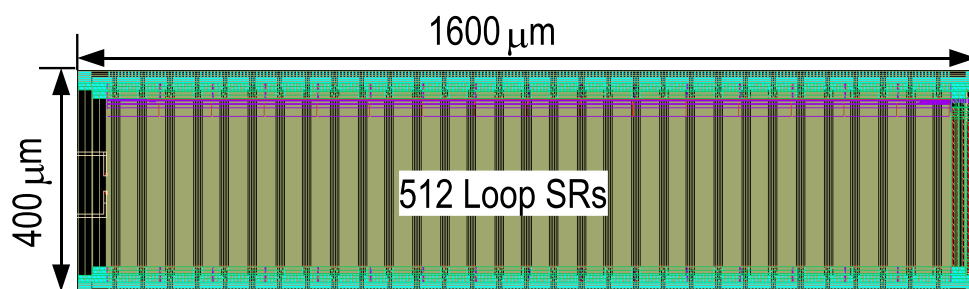


Figure 3.7: ループシフトレジスタアレイレイアウト図

ク信号は外部入力の1ポートから複数段のバッファによって構成されるクロックツリーを通してD-FFセルへ供給されるため、クロックツリーの各段で信号遅延が発生する。そのため、一連の充電される容量群を Fig. 3.8に従って作成する。これは Fig. 3.5(b)に示したループシフトレジスタ回路内の遅延を考慮した動作に対応したものである。クロックツリーの最終段のバッファとD-FFセルは7段目のバッファ動作の後、一定の遅延時間後に同時に動作すると仮定し、対応する充電容量は式(3.2)に従って累積加算することで算出する。

クロックツリー各段間の遅延時間は Fig. 3.9に示すようにクロックツリーのネットリストを用いてSPICEシミュレーションを行い決定する。シミュレーションの効率化のために、レイアウト寄生抽出(LPE: Layout Parasitic Extraction)はクロックツリーのみ限定し、D-FFセルは集中容量に置換してシミュレーションを実施した。シミュレーション結果から抽出した遅延値は各充電容量の充電タイミングのずれとして雑音シミュレーションに取り込む。

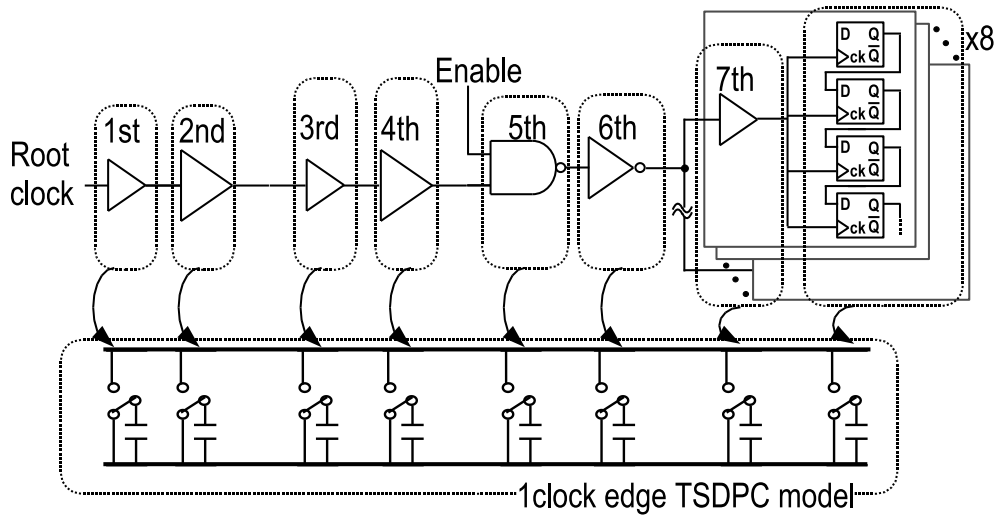


Figure 3.8: クロックツリーを含めたループシフトレジスタアレイ回路の TSDPC モデル

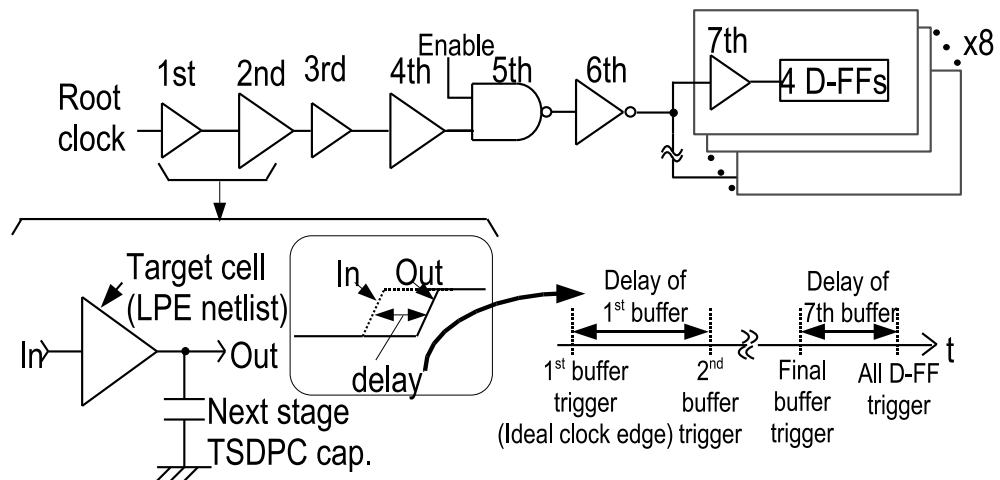


Figure 3.9: タイミングスキュー分布

### 3.3.3 電源および基板ネットワーク

独立した回路について最も簡便に電源雑音を見積もる方法は前節までの方法を用いて導出した容量列に、直列のインピーダンスモデルと電源を接続した Fig. 3.10のようなネットリストを解析する方法である。直列インピーダンスは一般的な実装を仮定して、インダクタは 10 nH, 抵抗は  $1\Omega$  と仮定し、電源供給側 (Vdd) と電源のリターンパス (Gnd) の双方に对称に挿入する。SPICE シミュレータはネットワークの過渡解析を実行可能であるため、ネットリスト内に記述された時系列の容量充電を解析して雑音波形を生成することが可能である。

実際には、モデル化対象回路は LSI 上に形成されており電源、グラウンド、基板ネットワークに接続されている。Figure 3.11に示すモデルは電源配線のモデルとグラウンド配線およびグラウンド配線から高密度に実装された基板コンタクトを通じて強固に接続された基板を含んだモデルを含んだものである。これらの配線および基板モデルはメッシュ化されたものであるが、最終的には配線を回路シミュレータを用いて解くことによってノード数を削減した形となる。ノード数の削減手法は本研究の対象外であるため、詳細は記述しない。詳細は参考文献 [38, 51] に記述されている。この Fig. 3.11に示す中間モデルは複数存在する Gnd ピンまでのパスを考慮するために必須である。Gnd ピンはチップの周辺部に万遍なく配置されており共通のシリコン基板を通してモデル化対象回路のグラウンドネットワークに影響を与える。

LSI チップは最終的には評価ボードの上に実装され、外部電源から電流が供給される。Figure 3.12はオフチップの電源供給系モデルを含んだ電源および基板雑音のシミュレーション等価回路である。ただしオンチップのモデルは Fig. 3.11と同様に容量充電モデルと各配線および基板モデルから構成されている。ここで、複数配置されている Vdd, Gnd ピンのノードはボード上で短絡され、それらの実効的なインピーダンスをモデル内部で統合的に扱うことが重要である。Figure 3.6に示したように、試作したテストチップには合計 19 個の Gnd ピンがあり、これらのピンは Fig. 3.12(a) に示すように基板ネットワークを通じて接続されている。オフチップの構成素子の値を Fig. 3.12(b) に記載する。これらのオフチップのモデル素子値はそれぞれネットワークアナライザを用いた  $S_{11}$  測定によって導出した。ここでボンディングワイヤと評価ボード上のトレースはすべてのピンについて等しいと仮定した。チップ内部の静的な容量はモデル対象のアレイ #1 回路の Vdd と Gnd ピンの部分に集中させた。

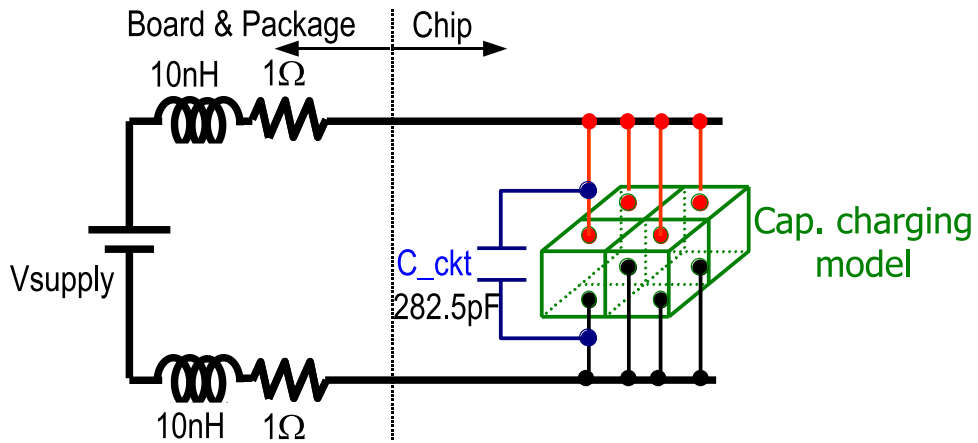


Figure 3.10: 仮定オフチップインピーダンスによる雑音シミュレーション

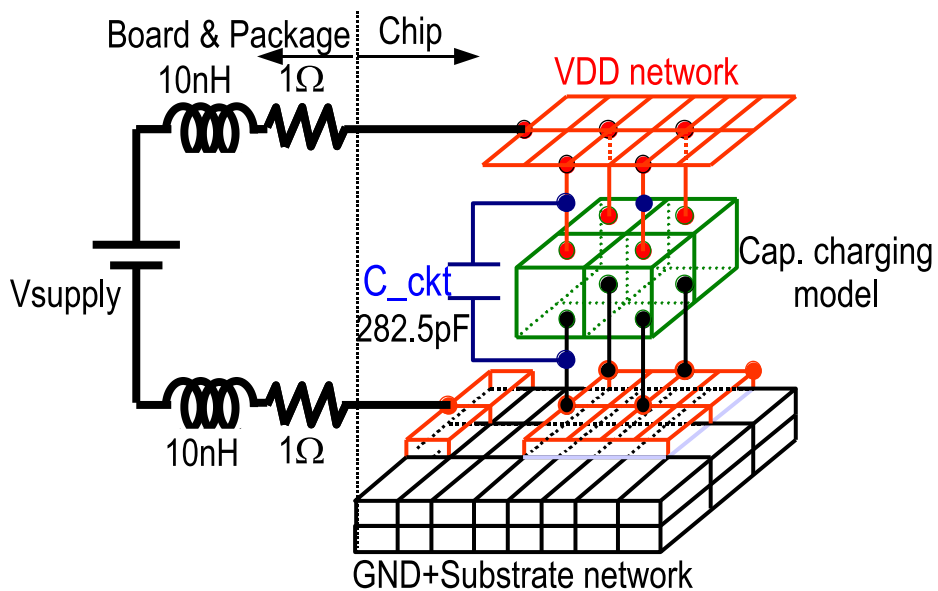
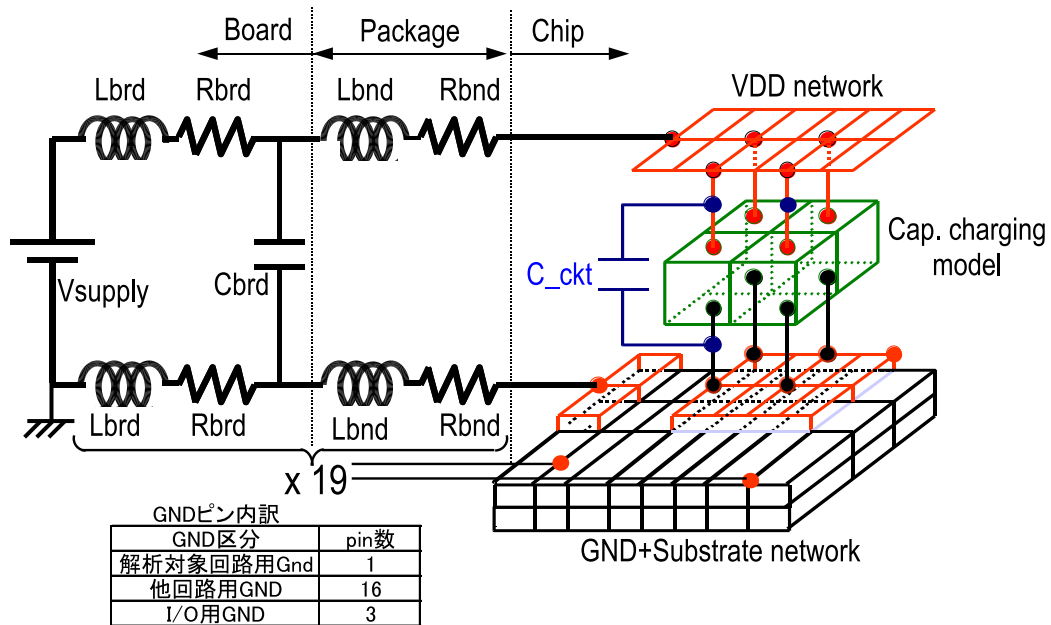


Figure 3.11: オンチップの電源配線・グラウンド配線および基板ネットワークを含んだ雑音シミュレーション





(a)

Board	Lbrd	3.97 nH
	Cbrd	10.1 $\mu$ F
	Rbrd	18.1 m $\Omega$
Package	Lbnd	4.19 nH
	Rbnd	74.8 m $\Omega$
Chip	C_ckt	282.5 pF

(b)

Figure 3.12: (a) Figure 3.11へオフチップの電源供給系モデルを付加した雑音シミュレーション (b) オフチップモデルの各モデルパラメータ

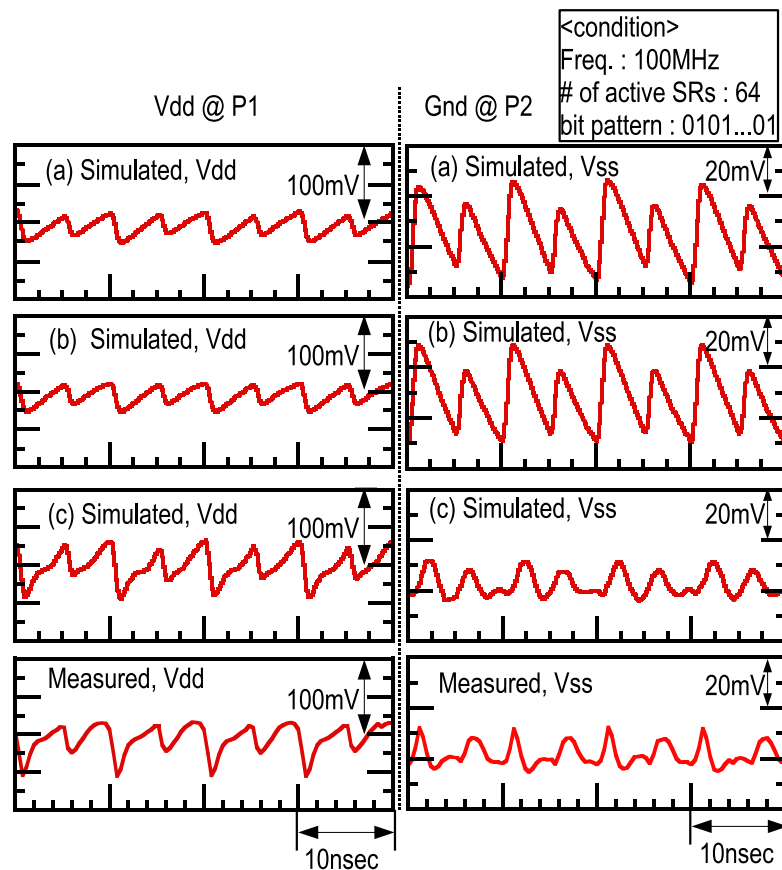


Figure 3.13: 電源，グラウンド雑音におけるシミュレーションと実測の雑音波形比較．(a) Figure 3.10のモデル，(b) Figure 3.11のモデル，(c) Figure 3.12のモデル

### 3.3.4 シミュレーションと実測

電源，グラウンド，および基板表面のノイズ波形を Fig. 3.10, 3.11, 3.12に示した異なるオンチップ / オフチップモデルを用いてシミュレーションを行った．それぞれのシミュレーションモデルによる電源，グラウンドの雑音波形と対応する実測波形を Fig. 3.13にて比較を行った．最も単純な仮定に基づくモデル (Fig. 3.10) とオンチップの電源配線およびグラウンド配線と基板モデルを取り込んだモデル (Fig. 3.11) の間には大きな差がないが，後者のモデルはオフチップインピーダンスとの関係を高精度で表現するためには必要である．詳細なモデルである Figure 3.12によるシミュレーションは実時間軸上での雑音波形の観点から最も実測と

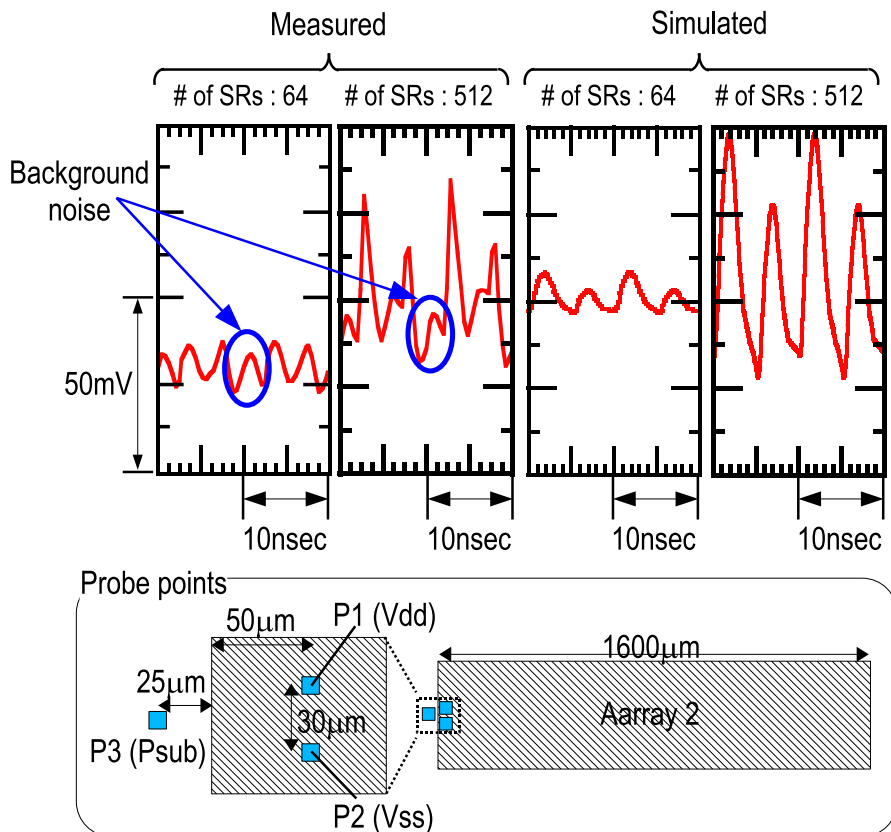


Figure 3.14: 基板雑音の実測と Figure 3.12モデルによるシミュレーションの雑音波形比較．同時に動作するループシフトレジスタ回路は 64 列と 512 列．(雑音検出点を同時に記載)

整合性のとれた波形を再現できていることがわかる．

Figure 3.14にて基板雑音波形について Fig. 3.12のモデルによるシミュレーション結果と実測結果との間で比較した結果を示す．また, Fig. 3.14内に電源, グラウンド, 基板の雑音検出点を示す．Figure 3.14では同時に動作するループシフトレジスタ数を 64 列と 512 列の 2 通りと変えた場合の基板雑音波形を比較している．同時に動作する回路数が大きいほど大きな雑音ピークが発生していることがわかる．一方で, 同時に動作する回路規模に依らず発生している雑音ピークがいくつか存在しているが, これらはチップ周辺の I/O セル内に含まれる信号ドライバの動作に起因する背景雑音であると考えられる．

LSI の内部雑音が回路動作に与える影響を定量的に評価するための指標

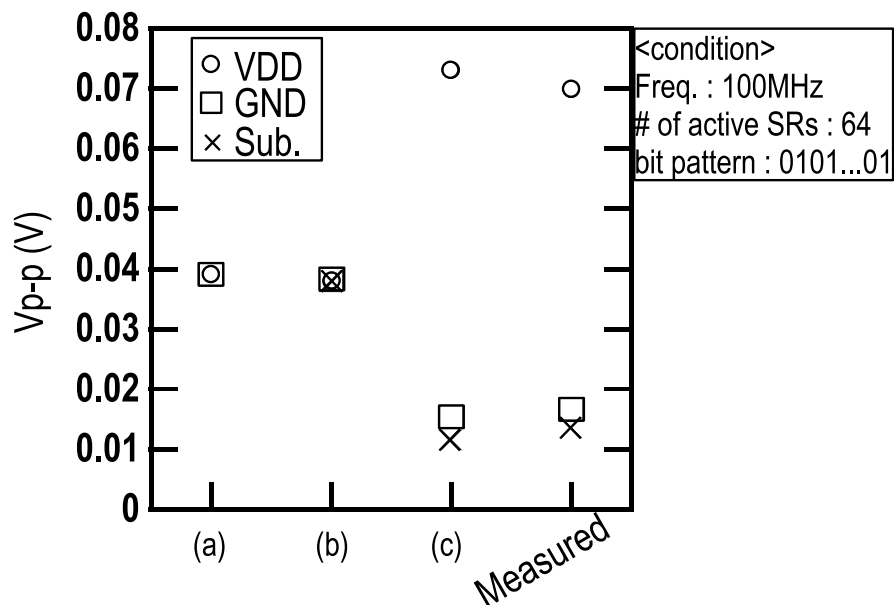


Figure 3.15: シミュレーションと実測の雑音振幅比較 . (a) Figure 3.10のモデル, (b) Figure 3.11のモデル, (c) Figure 3.12のモデル

として雑音振幅が挙げられる．この雑音振幅を Fig. 3.10から Fig. 3.12のシミュレーションモデルと実測の間で比較した結果を Fig. 3.15に示す．この図からオンチップの基板ネットワークとオフチップのパッケージ，ボードのインピーダンスをモデルに組み入れることで定量的にも精度の高い雑音評価が可能であることが分かる．

また，本論文で用いた容量充電モデルを用いる別の利点として以下の点が挙げられる．提案する容量充電モデルを用いることで時間領域での電源電流をシミュレーションすることが可能な点である．Fig. 3.10から Fig. 3.12の各モデルを用いた場合の電源電流波形を Fig. 3.16に示す．この図からオフチップインピーダンスに対して電源電流が高い感度を持っていることが示唆される．膨大なデバイス数を含む大規模デジタル回路に対しては Fig. 3.1(b)に示したような従来のトランジスタレベルの記述を用いた手法では解析が不可能であり，本提案手法を用いることで実現できたことである．適切なオフチップインピーダンスを用いることで正確な電源雑音波形をシミュレーション上で再現できることが出来るということは，実際の電源電流の波形が Fig. 3.16(c)に極めて近いと考えることができる．ボンディングワイヤやパッケージ，ボードトレースの寄

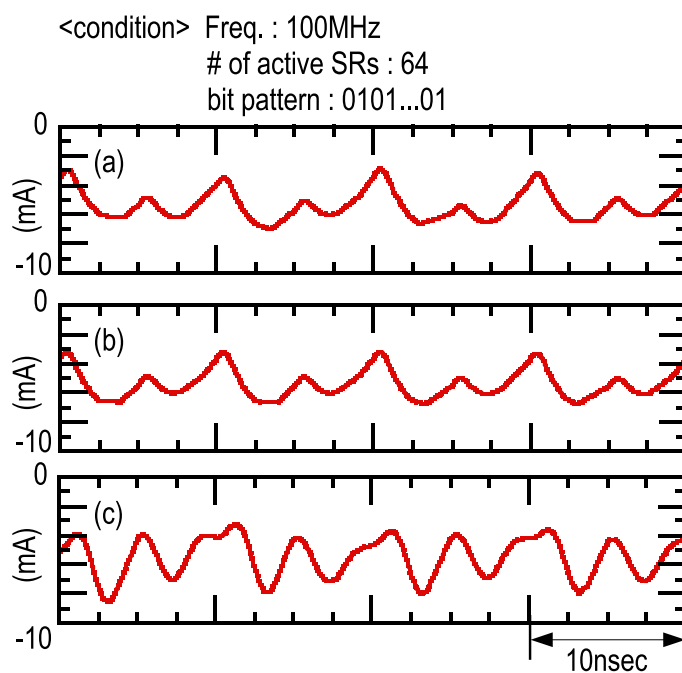


Figure 3.16: シミュレーションによる電源電流波形 . (a) Figure 3.10のモデル, (b) Figure 3.11のモデル, (c) Figure 3.12のモデル

生インピーダンスと電源電流の関係を正確に把握することは、その実装系から発生する電磁的な効果を明確に決定できることに繋がる。そのため、容量充電モデルを用いた電源電流シミュレーションは電磁環境両立性 (EMC: Electromagnetic Compatibility) の評価の手段として有効であると考えられる。

同時動作させる回路規模に対する電源雑音の依存性と D-FF の内部論理の活性状況に対する電源雑音の依存性を Fig. 3.17, 3.18, 3.19にまとめた。同時動作させる回路規模に対する依存性を Fig. 3.17と Fig. 3.18に示す。Figure 3.17はループシフトレジスタアレイの動作周波数が 100 MHz の場合, Fig. 3.18は動作周波数が 400 MHz の場合である。なお, 両図とも電源電圧は使用プロセスの公称電圧の 1.2 V の条件下である。次に D-FF の内部論理状態の活性状況を意図的に変化させるためにループシフトレジスタへの入力ビットパターンを変化させた場合を Fig. 3.19 に示す。動作条件は周波数 400 MHz, 電源電圧 1.2 V, 同時に動作させる回路規模は 64 列一定である。両方の周波数動作で共に電源, グラウンド, 基板それぞれの雑音振幅の変化が提案シミュレーション手法によってオンチップでの雑音実測結果を良く再現していることが分かる。Figure 3.19をみると, ビットパターンに対する雑音振幅の依存性が小さいことがわかるが, このことにより, D-FF 回路内の内部論理活性はクロックのバッファリングに依るところが大きいことが分かる。

提案手法を実施する場合の計算コストについて表 3.2に示す。60 万トランジスタを含むループシフトレジスタアレイに対して適用した場合, モデル生成と時間領域での雑音シミュレーションを含めた合計時間は 2.5 時間程度である。

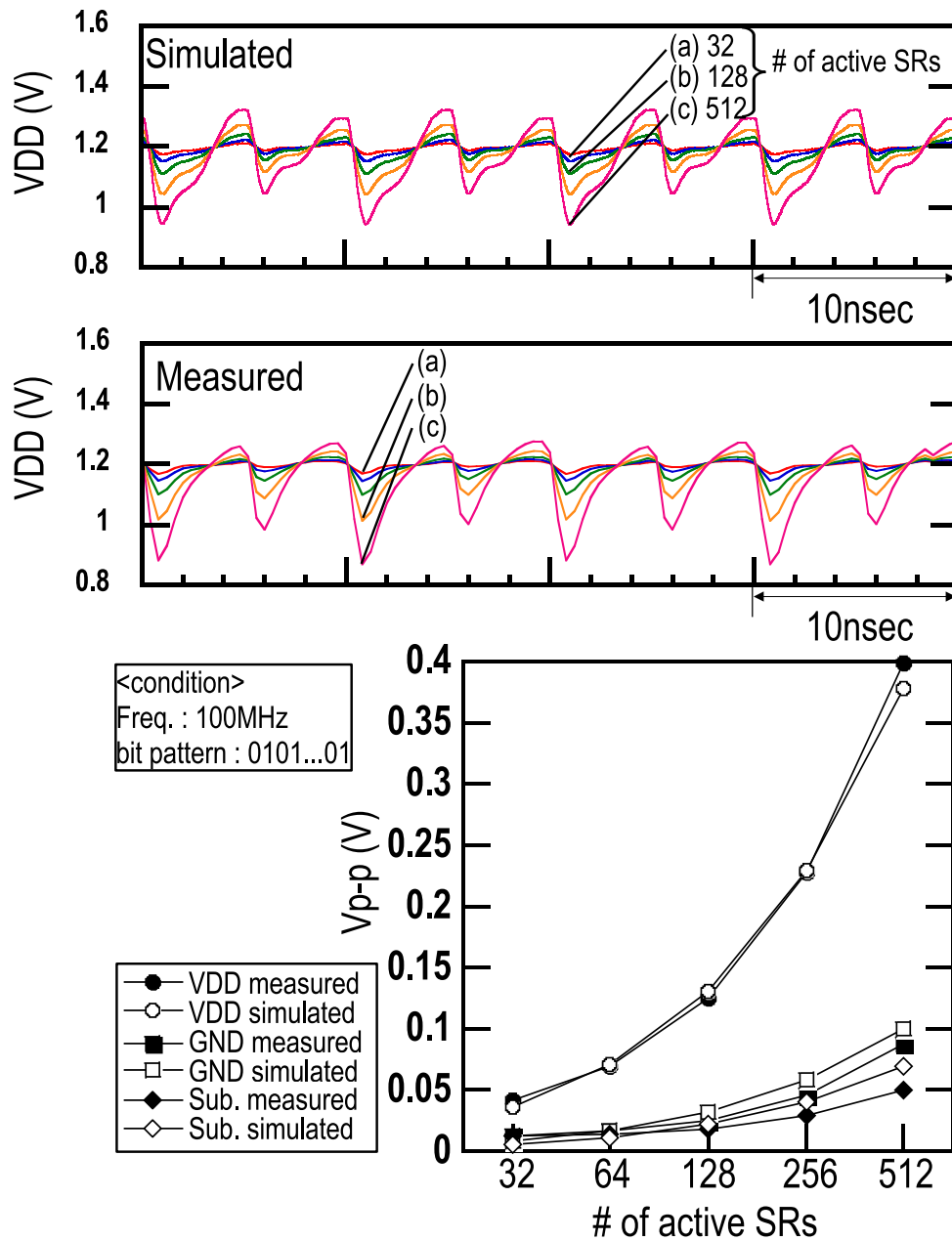


Figure 3.17: 電源雑音の動作回路規模依存性 @ 100 MHz. (Figure 2.9に基板雑音のデータを追加)

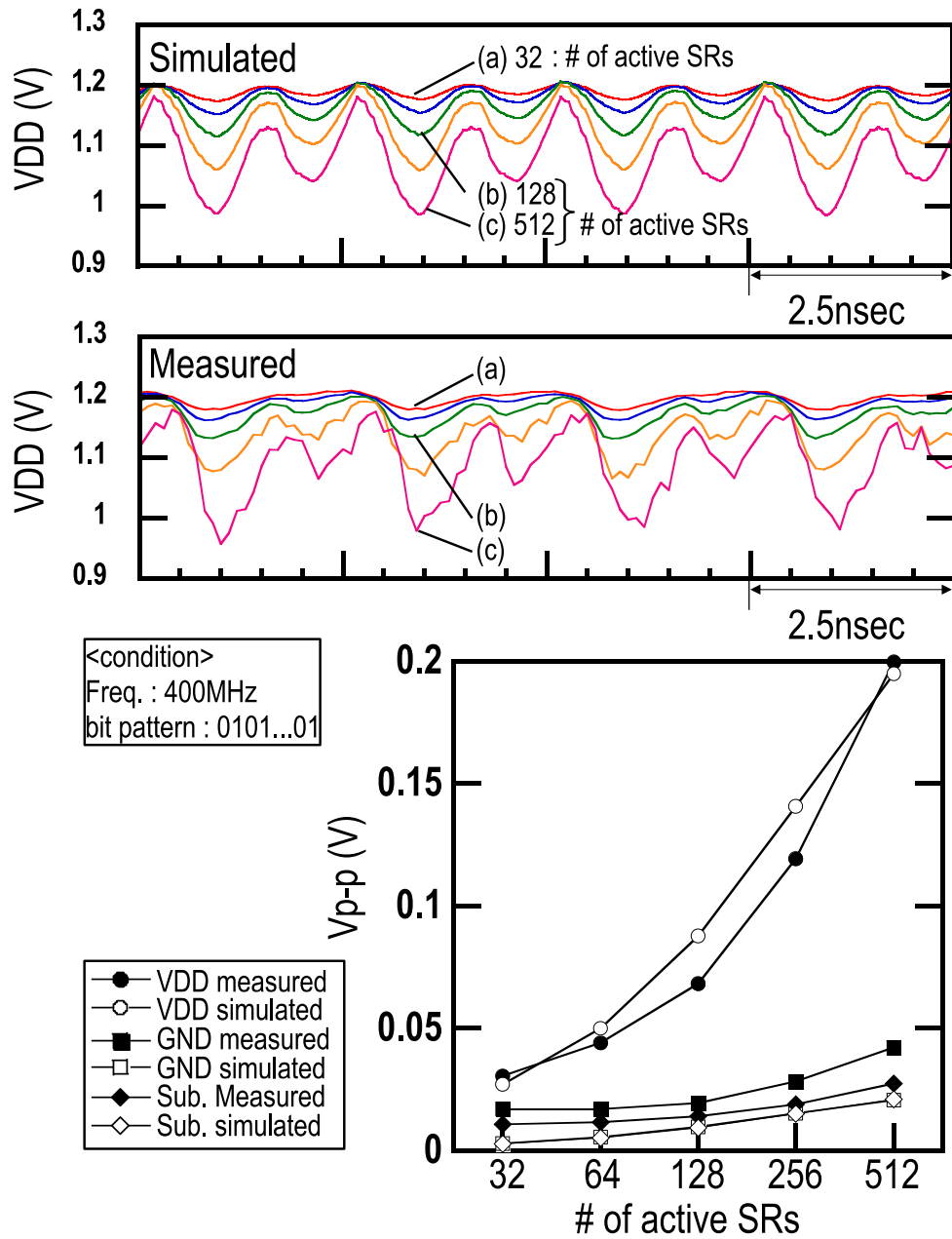


Figure 3.18: 電源雑音の動作回路規模依存性 @ 400 MHz.



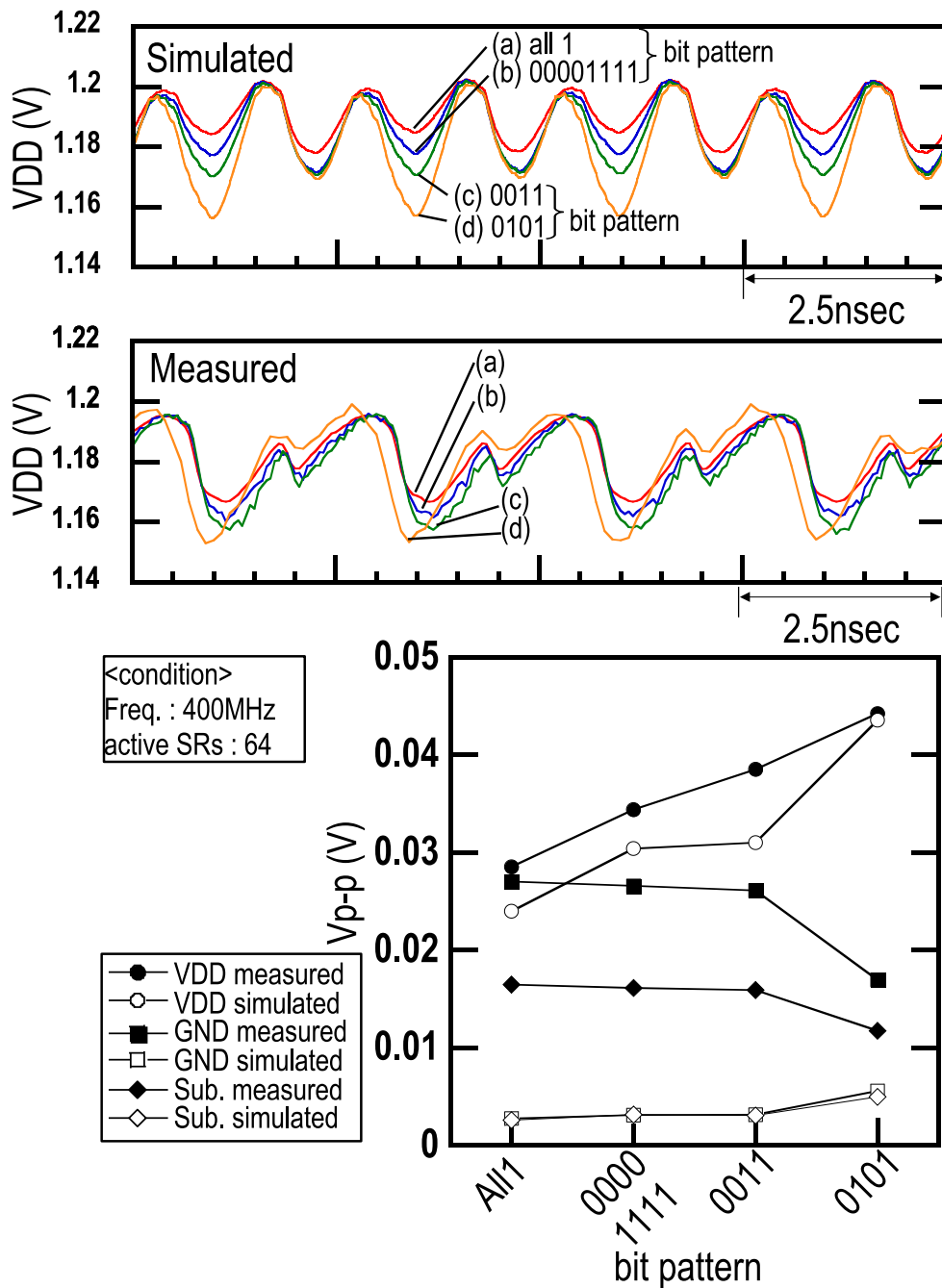


Figure 3.19: 電源雑音のビットパターン依存性 @ 400 MHz.

Table 3.2: 電源および基板雑音シミュレーションの計算コスト

Cap.Charging model extraction	5minutes
VDD/GND+SUB network reduction	2hours
noise simulation (SBNS array : 637M Tr.s)	5 minutes

CPU : UltraSPARC IIIi 1.25 GHz, Memory : 6 GB

### 3.4 複数プロセスにおけるシミュレーション結果

本節では提案雑音解析手法の有効性を示すため、2種類の異なる CMOS プロセスを用いたループシフトレジスタ回路を対象として前節で述べた電源および基板雑音のシミュレーションを実施した。なお、本節のデータは第2章にて実測結果と比較したシミュレーション結果と同一のものである。

第一のプロセスは  $0.18 \mu\text{m}$  1.8 V CMOS プロセスである。このプロセスにて実装したループシフトレジスタアレイ回路は1列あたり 24bit の D-FF で、合計 24 列搭載した。このプロセスにてオンチップの電源供給系で発生する電源雑音の実測波形とシミュレーション波形を Fig. 3.20 (a) に示す。この電源雑音波形はチップ内のループシフトレジスタアレイの電源配線をプローブしたものである。また、動作回路規模に対する雑音波形の振幅値 ( $V_{pp}$ ) の依存性を実測とシミュレーションを合わせて Fig. 3.20 (b) にまとめた。これら Figure 3.20の結果はループシフトレジスタアレイを  $0.18 \mu\text{m}$  プロセスを用いて試作し、電源電圧は標準電源電圧である 1.8 V を与え動作させた場合の結果である。実測の雑音波形はオンチップの雑音検出器 [2] を用いて取得した。この雑音検出器はサンプリング原理による波形取得を行っており、本論文の第2章、参考文献 [45–47] などの多くの測定実績がある。

これらの結果から、本章で提案した容量充電モデルとオフチップの詳細モデルを用いたシミュレーションが、雑音波形、雑音振幅ともに実測波形を正確に模擬できていることがわかる。

同様にループシフトレジスタアレイを 90 nm, 1.2 V プロセスを用いて作成した。この回路は前節の解析対象回路と同一のものである。搭載した回路は1列あたり 32bit, 総計 512 列のループシフトレジスタ回路である。Figure 3.21では雑音波形と雑音振幅の動作回路規模に対する傾向を実測とシミュレーションで比較している。ただし、この結果は Fig. 3.17と同じデータを Fig. 3.20と比較が容易な形で示したものである。微細化が進行した 90 nm プロセスにおいてもシミュレーション結果と実測結果が良く一致していることがわかる。

電源雑音がグラウンド雑音に比べて振幅が大きい現象は回路から見えるインピーダンスの違いによるものである。グラウンド側は複数のパッドを介してシステムグラウンドに強力的に接続されていて、かつ基板とコンタクトを通して結合しているため、システムグラウンドに電流を引き抜きやすく、低インピーダンスとなる。この傾向はプロセスに依らず 0.18

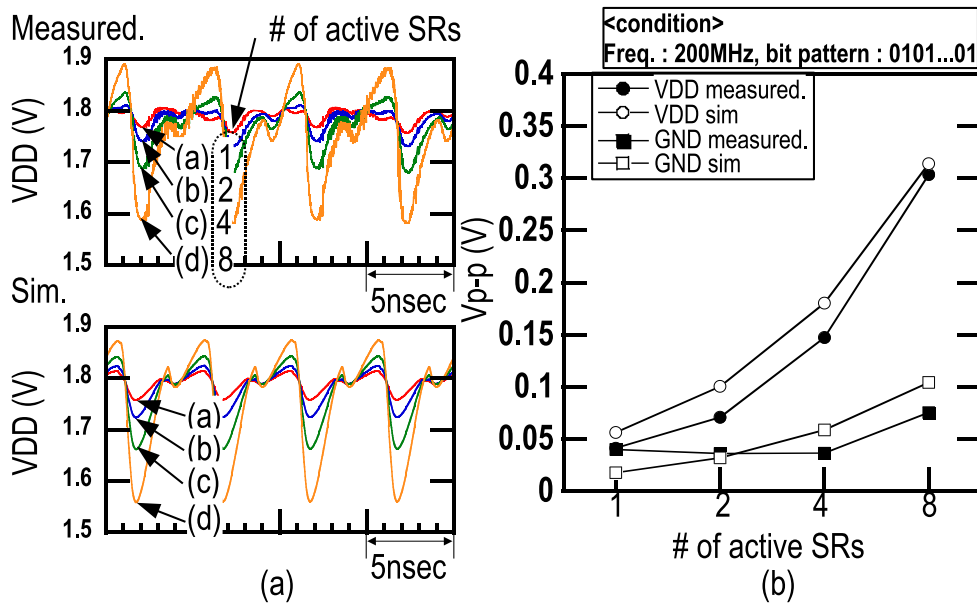


Figure 3.20: 0.18  $\mu\text{m}$ , 1.8 V CMOS プロセスにおける雑音評価 (a) 電源雑音波形 (b)  $V_{pp}$  回路規模依存性 (Figure 2.7のデータを再掲)

$\mu\text{m}$  プロセスと 90 nm プロセス双方で見られる。

さらに、本論文 第2章 表 2.2では3つの異なるファウンドリプロセスにて実装したループシフトレジスタ回路に対して本章にて提案した電源雑音解析手法の結果と実測結果の比較を行っているが、すべてのプロセスにおいて、解析結果と実測結果が良く一致していることがわかる。このことから提案雑音解析手法はプロセスに依存することなく適用可能であるといえる。

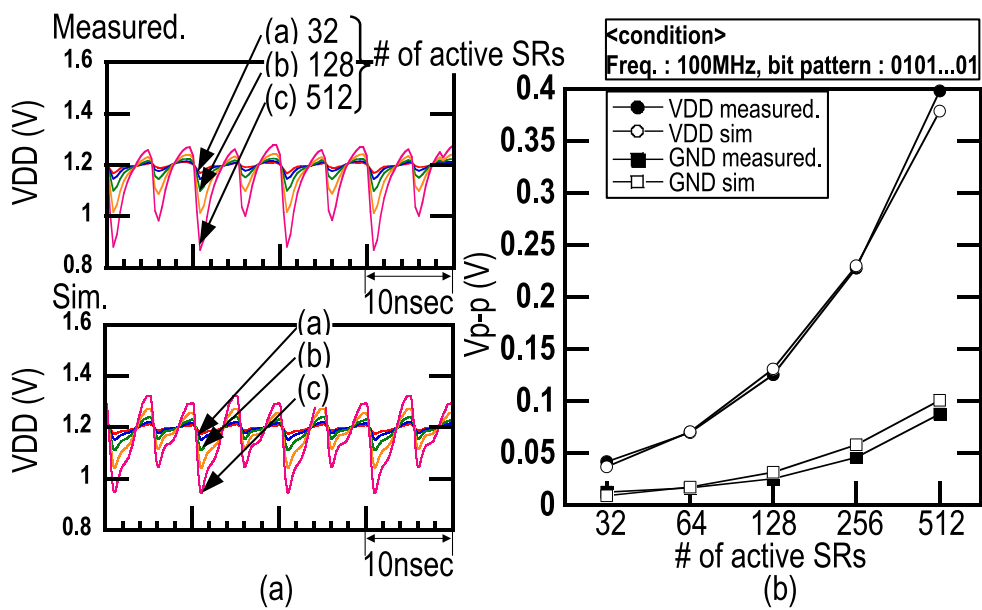


Figure 3.21: 90 μm, 1.2 V CMOS プロセスにおける雑音評価 (a) 電源雑音波形 (b) V<sub>pp</sub> 回路規模依存性 ((Figure 2.9, 3.17のデータを再掲))

## 3.5 電源雑音解析による技術的達成点と今後の展望

本章では容量充電モデルのモデル導出方法の定式化およびフロー化を実現し，オフチップモデルが電源雑音に与える影響について言及し，高速かつ高精度な電源雑音解析を可能とするオフチップを含めた電源雑音の等価回路の導出方法を示した．

今後の展望としては，高速動作に対する電源雑音等価回路の作成方法について研究をさらに進める必要がある．Figure 3.22に本章で提案する雑音解析手法を 100MHz から 1.2GHz の範囲で適用し電源雑音の雑音振幅がもつ周波数特性を実測結果と比較した結果を示す．解析対象回路は本章で使用した Figure 3.6の 90nm CMOS プロセスのループシフトレジスタ回路である．Figure 3.22から，高周波数側で，実測の振幅値と比べて解析結果の振幅値が小さい傾向にあることが分かる．これは，高周波動作においてまだ考慮すべき物理現象があると考えられる．例えば，高周波数ではトランジスタのスイッチング間隔が狭まるため，実効的な回路の電源-グランド間の静的容量 (Figure 3.12内の  $C_{\text{ckt}}$ ) が周波数が高くなるほど小さくなることが考えられる．

## 3.6 まとめ

本章では CMOS デジタル回路の電源および基板雑音を精度良く，かつ効率的に解析する技術の開発を行なった．本章で提案する解析モデルはモデル化対象回路の寄生容量の充電過程が雑音発生の主要因であることに基づくモデルである．提案モデルは容量充電モデルであり TSDPC モデルと呼ぶ．TSDPC モデルを用いたデジタル回路の雑音解析については単純なインバータアレイや 50-k ゲート規模のマイクロプロセッサに適用した過去事例があるが，モデル化する際の容量の決定方法が手動であるなどの未完成的な部分が存在した．本章では充電される容量値の決定方法を明確に定義し，定式化，フロー化することで CMOS デジタル回路全般への適用を可能とし，一般的なデジタル回路設計フローと解析フローの親和性を高めることに成功した．

さらに，本章では容量充電モデルを用いた LSI の雑音解析における等価回路について言及した．雑音解析には雑音等価回路のみではなく，オフチップのインピーダンスや基板結合など，様々な要因が相互に関係す

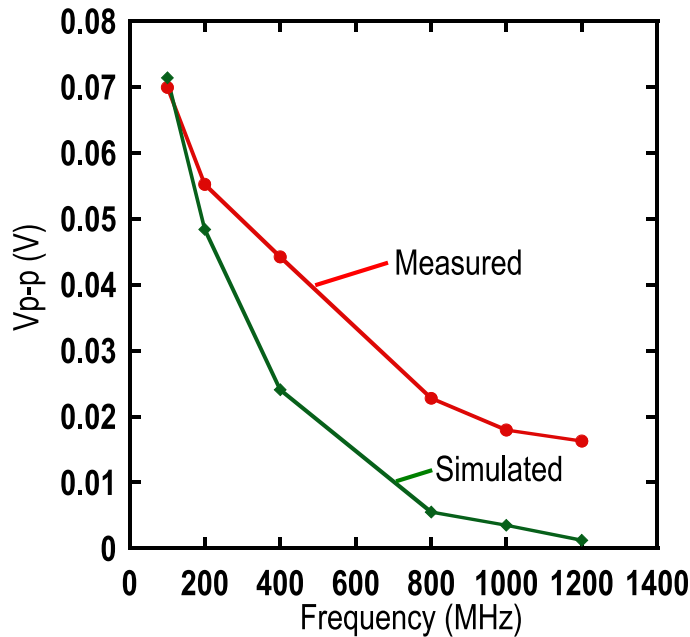


Figure 3.22: 電源雑音振幅の周波数特性の解析結果と実測結果の比較

る複合的な事象である．本章ではチップ内のモデル，パッケージモデル，ボードモデルについて段階的に詳細化して，各段階での解析結果を実際の雑音測定結果と比較して評価を行なった．その結果，チップ内モデル，パッケージモデル，ボードモデルの3つをそれぞれ作成し，結合したモデルを作成することで高精度な雑音解析が可能であることを示した．チップ内のモデルは容量充電モデルによる雑音等価回路に電源配線モデルとグラウンド配線および基板をモデル化したものを付加することで作成する．パッケージ，ボードのオフチップモデルはそれぞれ，インピーダンス測定をすることで集中定数による等価回路を作成する．

チップ内モデル，パッケージモデル，ボードモデルを統合した等価回路を2種類のプロセスに実装したループシフトレジスタ回路に対して適用した．使用したプロセスは  $0.18 \mu\text{m}$  1.8 V CMOS プロセスと 90 nm 1.2 V CMOS プロセスの2つである．世代の大きく異なる両プロセスにおいて提案する雑音等価回路によって高精度に雑音解析が可能であることを確かめた．

## 第4章

---

# CMOSデジタル回路の雑音エミュレーション

### 4.1 はじめに

SoC(System-on-a-Chip)において、ノイズ影響を予測し低減することが、電源供給充足性、基板結合による雑音伝搬の問題 [43]、EMCの観点から強く要求されている。システムの性能とノイズ管理の相互関係はチップ、パッケージ、ボードレベルのデザインで考慮されるべきである [52]。しかしながら、そのような複雑な問題は深刻なほどに設計時のテストや再設計のコストを増加させる。大規模回路における雑音のシミュレーション技術は発達したが、特に速度面において更なる改良が設計段階での様々なノイズの影響に対しての検証に必要となっている。本論文で提案するデジタルノイズエミュレーション技術は、CMOSデジタル回路内で電源雑音の高速な見積もりを可能とし、雑音を意識した設計を補助するものである。

Figure 4.1にデジタルノイズエミュレーションの概要を示す。任意雑音発生器 (arbitrary noise generator : ANG) は、詳細な、または推定した回路の活性化率を元に様々なデジタルマクロの電源、基板雑音を模擬する。また、オンチップモニタによりアナログコアなどの高感度回路との相互作用や雑音分布を調べることができる。エミュレーションにより、オンチップまたはオフチップのノイズ低減の有効性やノイズ発生 of 広域的な影響を素早くかつ視覚的に理解することを助ける。これにより、雑音を意識した設計のための、デカップリングコンデンサやガードリングの位置、ノイズ源と他の回路の位置の効果、ロジック動作のホットスポットの分散などの物理的なパラメータをチップの詳細設計の前にテストすることが可能になる。



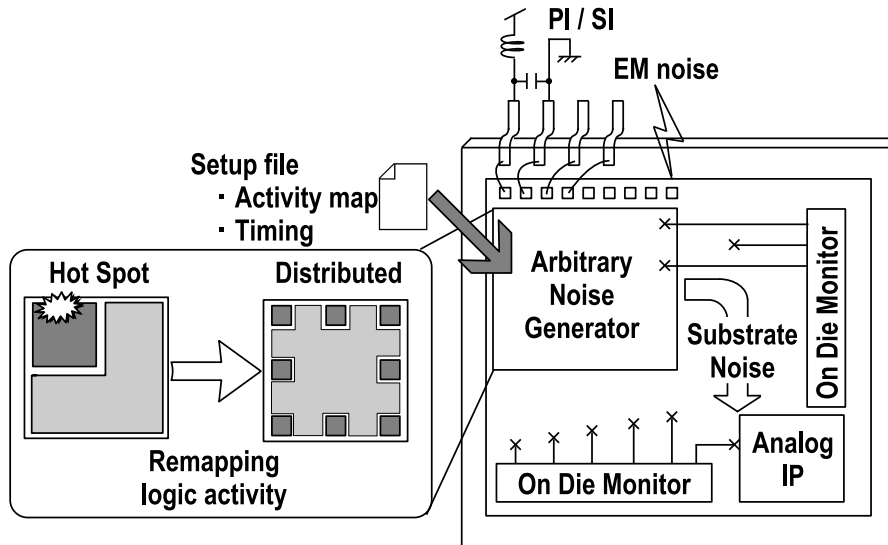


Figure 4.1: デジタルノイズエミュレーション概要

## 4.2 任意雑音発生器

### 4.2.1 TSDPC セルアレイ

過去の研究事例において、時分割寄生容量列 (TSDPC) モデルがデジタル集積回路における電源電流を表し、正確にノイズ波形を再現することが示されている [37]。TSDPC モデルは、Fig. 4.2 に示すようにある間隔で起きる大規模な論理遷移を一つの静電容量が充電される過程に置き換える。これらの静電容量の連続した充電が元のデジタル回路の電源電流を再現し、電源やグラウンドの配線上もしくは基板内で電源変動を引き起こす。 $C_{ch}(t)$  の静電容量のサイズは時刻  $t$  の区間で充電される寄生容量の合計値に等しい。それに加えて、静電容量を大きく見積もることで回路の短絡やリーク電流による充電損失を考慮する。

任意雑音発生器は、Fig. 4.3 に示すように TSDPC モデルの考えを TSDPC セルのアレイとして実装したものである。TSDPC セルは、内包する可変静電容量を充放電することで TSDPC モデルと同等の動作を行う。アレイ中の座標  $(j,k)$  における TSDPC セルの静電容量のサイズ  $C_{ch-jk}(t)$  はベクタメモリからの  $m$  ビットのコードにより動的に設定可能である。それぞれの TSDPC セルには 3 つの内部状態がある。mode\_0 では  $\phi_l$  の立ち下がり時に  $C_{ch}$  を充電する。mode\_1 では  $C_{ch}$  の放電を行い同時にベク

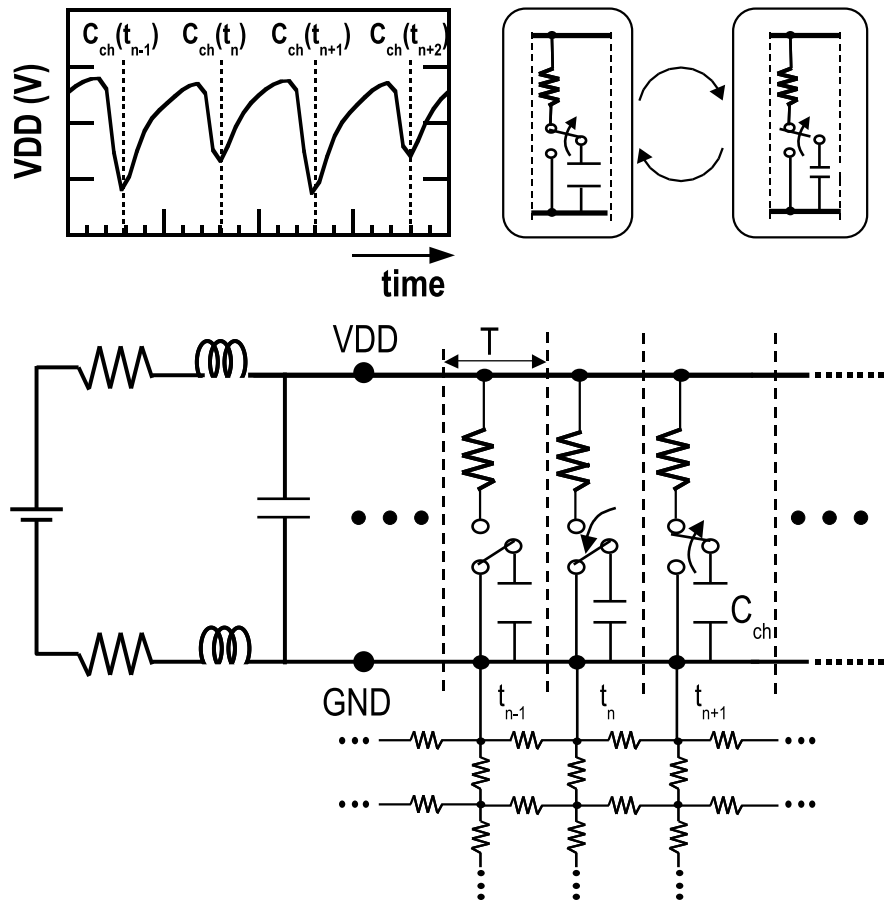


Figure 4.2: TSDPC モデルによるデジタル雑音発生

タメモリから次の容量充電タイミングで充電される容量値  $C_{ch}$  を設定する．mode\_2 では常に充電タンクとして動作し充電されたり電荷を供給する．アクティブな (mode\_2 以外の) TSDPC セルはモード選択信号 Msel により mode\_0 と mode\_1 の二つの状態でインターリーブ動作する．なお，mode\_2 の状態はあらかじめ静的に割り当てておく．

6ビット TSDPC セルの詳細を Fig. 4.4(a) に示す． $C_{ch}$  を決定する 6ビットコードは mode\_0 の時参照され，mode\_1 の時にベクタメモリから読み出した値に更新される．さらに，TSDPC セルはノイズエミュレーションより前に状態を読み入れる 4ビットの静的状態レジスタがある．これを用いた自己診断機構として 6ビット全ての設定値が 1 の場合に 1 を出力する機構を設けた．また，電源配線ネットワークはオンザフライの 6ビット

ト静電容量設定更新など，制御命令実行におけるノイズ注入を排除するため，TSDPC セルアレイとロジック部分で分離している．

Figure 4.5 に TSDPC セルの動作のタイミングチャートを示す．動作状態にある TSDPC セルはモードセレクト信号 (Msel) に従って mode\_0 と mode\_1 の状態を交互に繰り返すインターリーブ動作を行う．モードセレクト信号は Fig. 4.5 (a) の  $\phi_m$  に相当するものである． $C_{ch}$  の充電は mode\_0 状態のとき  $\phi_l$  の立下りエッジに従って発生し，この充電動作によって動的な電源電流変化を発生させて電源雑音を引き起こす．Figure 4.5 (a) 内のもう一方のタイミング信号である  $\phi_m$  は TSDPC セルに共通して供給されていて立ち上がりエッジの時に  $C_{ch}$  の放電が行われる．ただし，放電動作は電源電流の変化にほとんど影響を与えない．これは  $C_{ch}$  に蓄えられた電荷は放電時に形成される両端の短絡パスを通じて局所的に消失するからである．

Figure 4.5 (b) に示すように容量設定値は TSDPC セルが mode\_1 の状態の時に更新される．この容量値の更新動作は他のセルが mode\_0 状態で雑音発生をしている動作のバックグラウンド動作として行われる．6 bit の容量設定コードはベクタメモリから読み出され，各セルにマッピングされて次の mode\_0 状態での雑音発生量を規定する．Cell\_A のグループに属する TSDPC セルが mode\_0 状態のとき，残りの Cell\_B は mode\_1 状態であり，Msel 信号に従って状態が交互に入れ替わる．このインターリーブ動作によって連続時間かつ任意の雑音発生を実現できる．

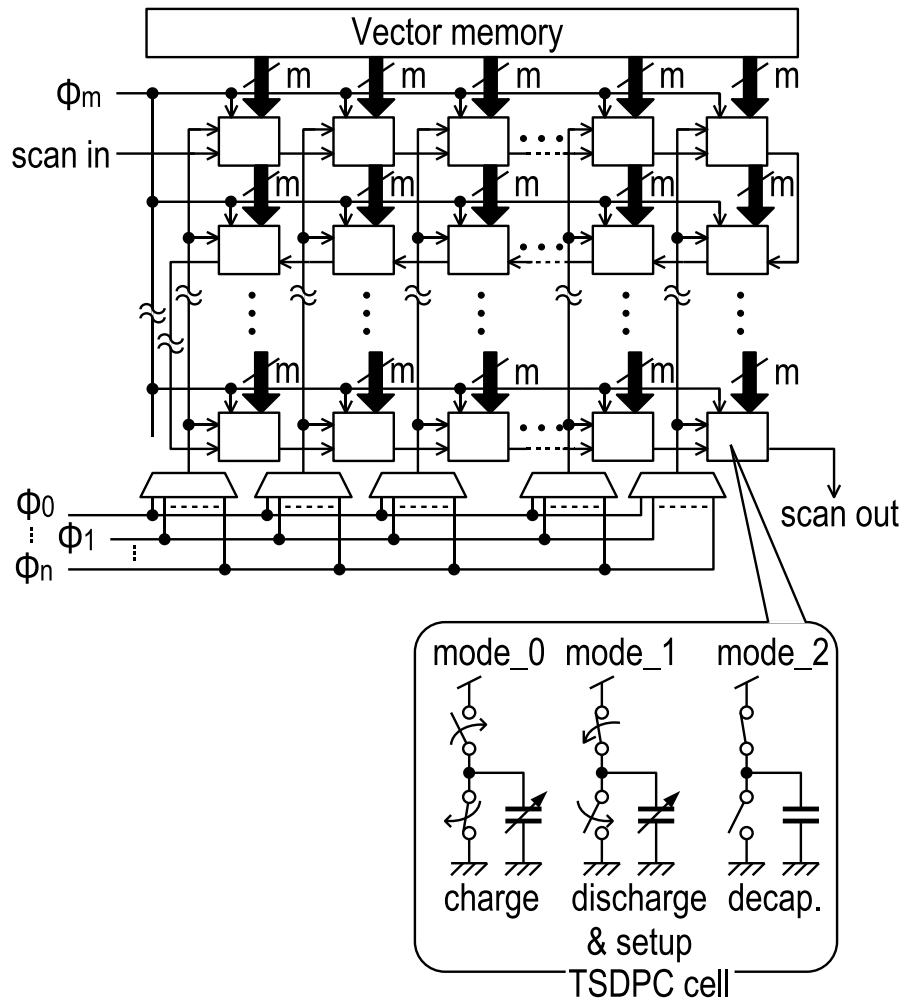
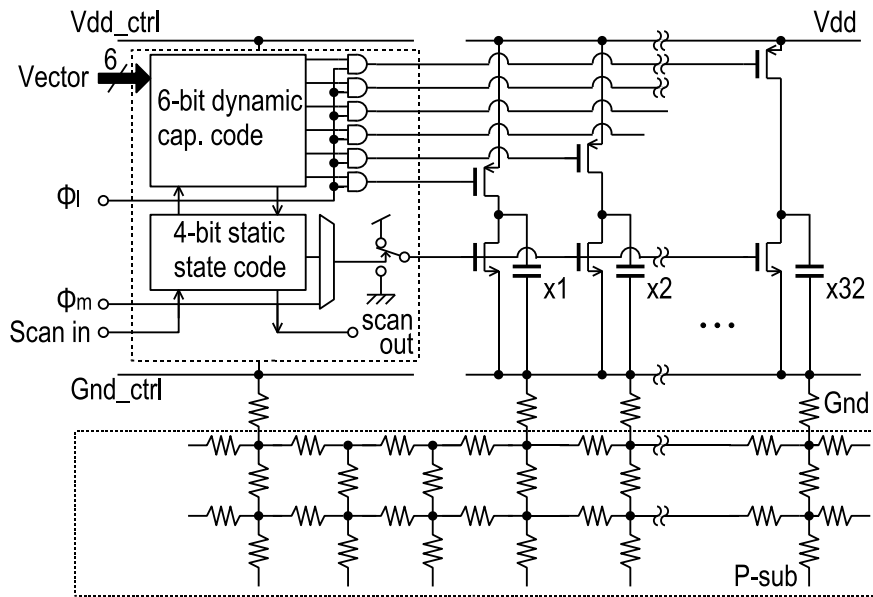
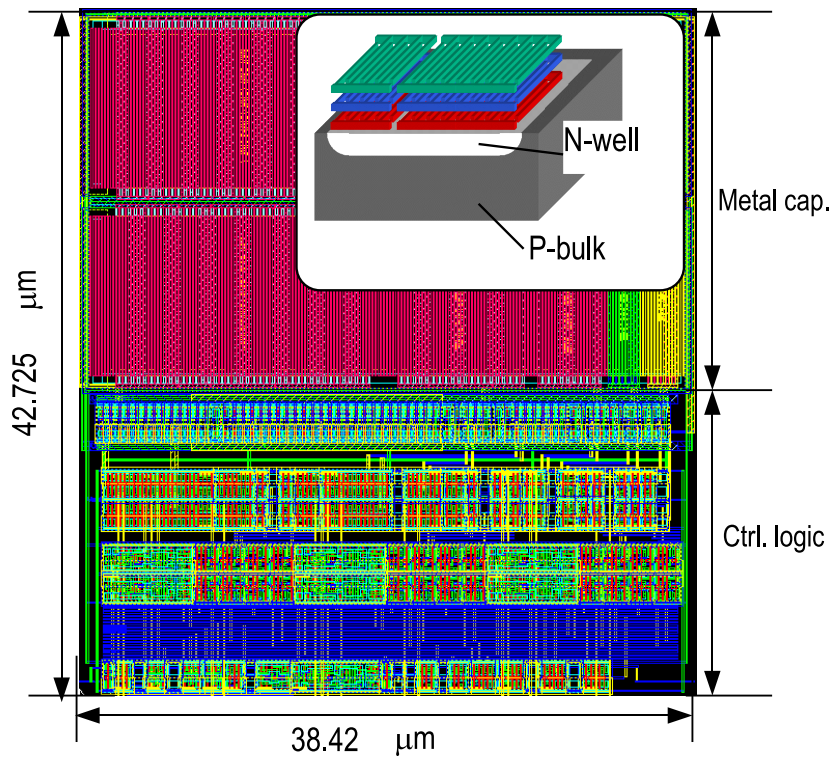


Figure 4.3: TSDPC セルをアレイ化した Arbitrary noise generator (ANG)

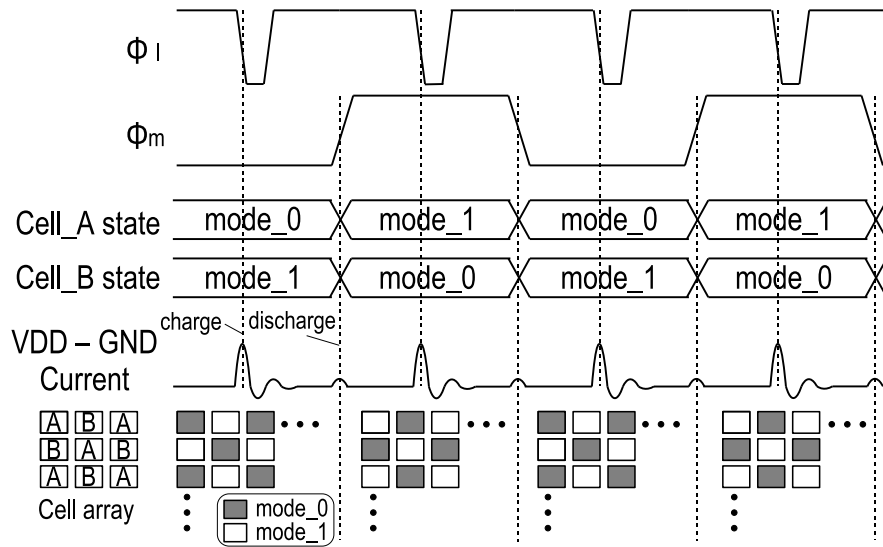


(a) schematic

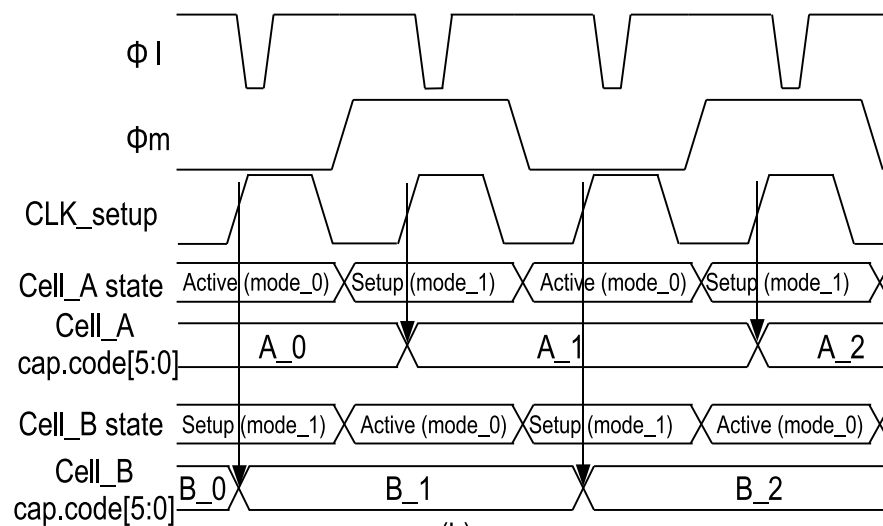


(b) layout

Figure 4.4: TSDPC セル (a) 回路図, (b) チップレイアウト



(a)



(b)

Figure 4.5: TSDPC セルの動作タイミングチャート (a) 充電 / 放電動作  
(b) 活性 / セットアップ動作

### 4.2.2 チップレベル構成

雑音エミュレータチップは任意雑音発生器 (ANG : arbitrary noise generator) とオンチップ雑音検出器 (ODM : on-die monitor) を搭載したものである。65 nm CMOS プロセスを用いた実装を Fig. 4.6 に示す。チップ中央とチップ周辺部の基板雑音評価エリアは ANG によって囲まれていて、ODM による雑音検出によってそれぞれの位置での雑音波形と雑音の面内分布を取得することができる。加えて ANG 内の電源、グラウンド雑音についても検出点を設けている。ODM はチップ周辺に配置され、プローブ配線を対照的にすることで各プローブ点の配線距離の差を最小にする。

Figure 4.6 に示すように各 ANG は TSDPC セルアレイと SRAM マクロを含んでおり、SRAM マクロから容量設定コードを対応する TSDPC セルのサブアレイへ供給する。

より精度よく任意の雑音発生をするためには、各 TSDPC セル間で  $\phi_l$  のタイミングスキューを最小にしなければならない。 $\phi_l$  のようなタイミング信号の供給は Fig. 4.7 に示すように、一般的な H-tree トポロジに基づいて注意深く配線、バッファリングを行った。

## 4.3 雑音エミュレーション環境

Figure 4.8 に ANG に基づいたノイズエミュレーションフローと環境を示す。フローに入力される Verilog ネットリストやテストベクタ、レイアウトデータ (GDS) は詳細なものでも大まかに見積もったものでもよい。ロジックシミュレータはデジタル回路の静的なスイッチング動作の描写と同時に LVS/LPE により、デバイスの配置や寄生容量の合計を抽出する。時分割容量  $C_{ch\_jk}(t)$  とそのアレイでの位置の割り当ては TSDPC モデルのフローに基づいて決定する。充電タイミングは data timing generator (DTG) の信号定義ファイルとして書き出す。

フローを実装するために、 $C_{ch\_jk}(t)$  の時間方向と位置のマップを作成するソフトと、ベクタメモリにマップを動的に書き込むためのソフトを開発した。前者はノイズエミュレーションの前にワークステーション上で実行し、後者は外部のマイコンに組み込みエミュレーション全体を制御する。

次に実際に構築したエミュレーションの実験環境について述べる。Fig. 4.9 に Fig. 4.6 のチップを実装した評価ボード写真を載せる。Figure 4.9 の中央部が QFP208 pin セラミックパッケージに封入された ANG チップで

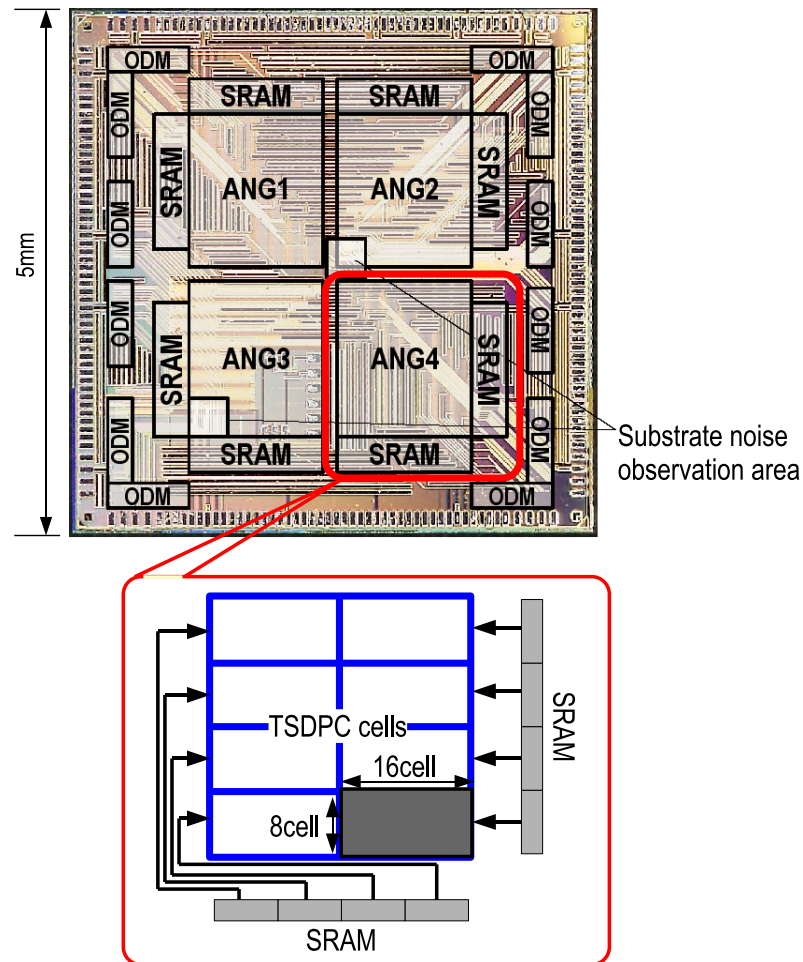


Figure 4.6: 任意雑音発生器のチップレベル構成図

ある．さらに Figure 4.8を実現した実際のエミュレーション実験環境を Fig. 4.10に示す．構成要素は ANG を搭載した LSI，容量値設定コードを ANG 回路へ供給するためのマイコンボード，雑音観測 / 取得のためのオシロスコープ，タイミング信号生成を行う DTG，全体の制御を行う PC である．



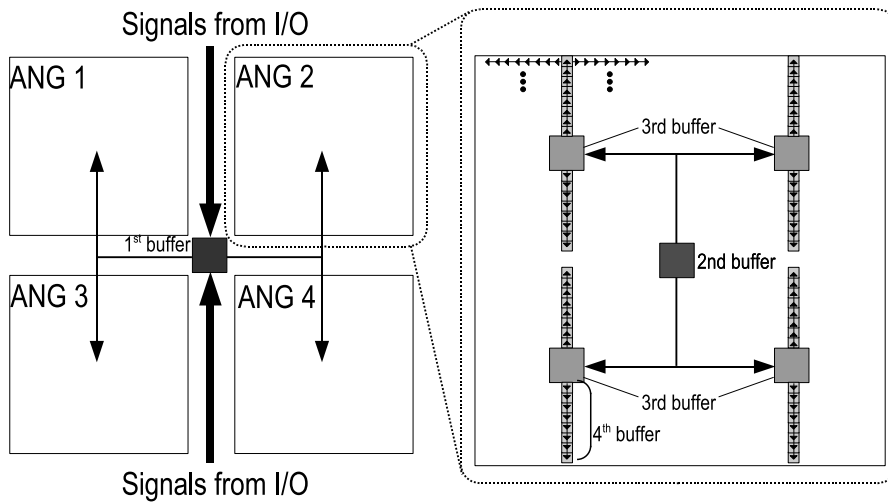
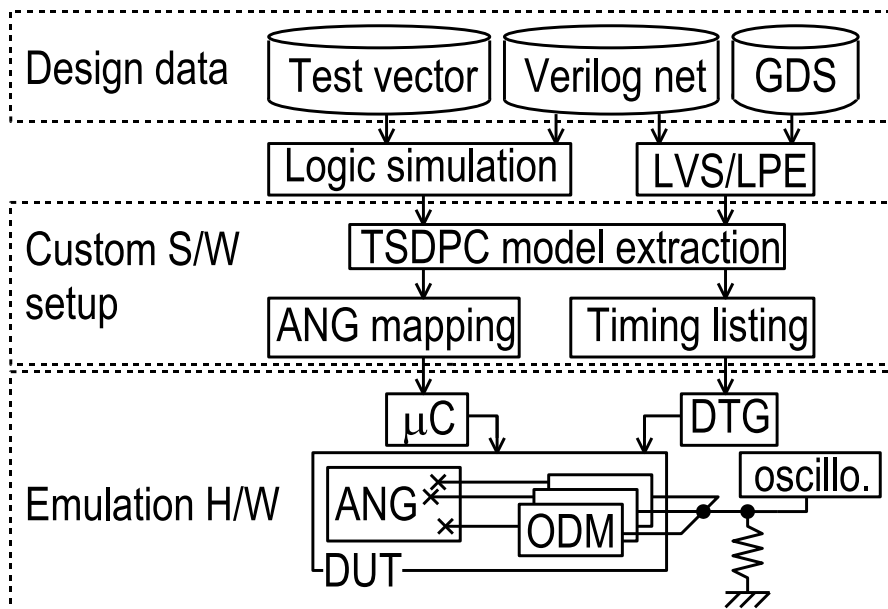


Figure 4.7: タイミング信号分布図



TSDPC: Time-Series Divided Parasitic Capacitance

ANG: Arbitrary Noise Generator

ODM: On-Die Monitor

Figure 4.8: ANG を用いたノイズエミュレーション環境

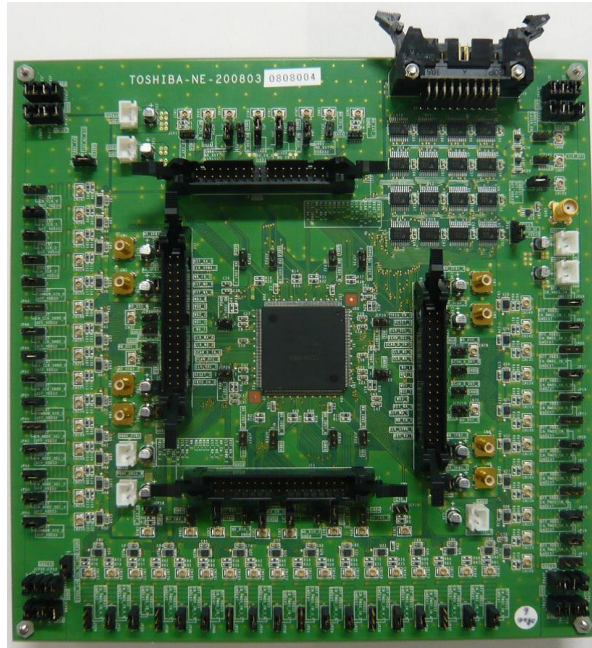


Figure 4.9: エミュレーション評価ボード

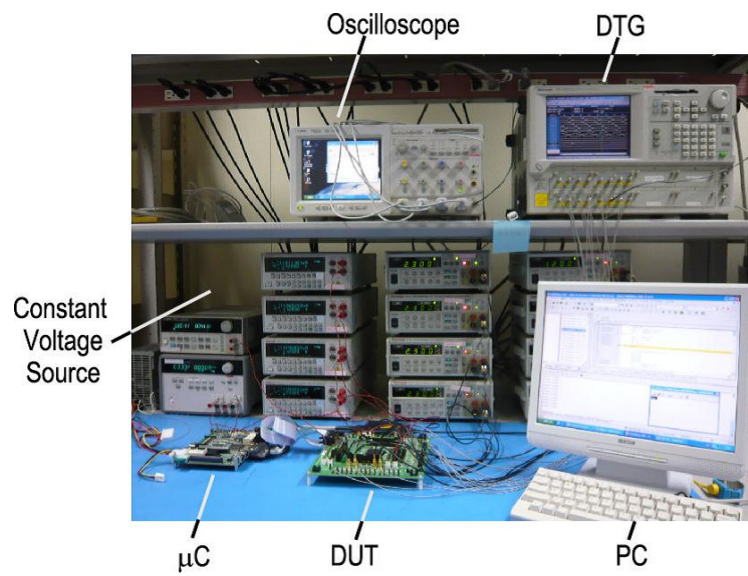


Figure 4.10: エミュレーション実験環境

## 4.4 実験結果

65nmCMOS テクノロジを用いて 128-word のベクタメモリで設定する 32セル × 32セル の 6ビット TSDPC セルを搭載した ANG コアを設計した。プロトタイプチップ写真は Fig. 4.6である。4つの ANG コア、2箇所の基板ノイズ評価エリア、ANG 内の電源 (Vdd)、グラウンド (Gnd) ノイズや基板 ( $V_{\text{psub}}$ ) ノイズを取得するための 12 個のオンチップモニタアレイ [10] を搭載している。全体でオンチップモニタのチャンネル数は 168 個であり、チップ全体のノイズ分布を評価することができる。

Figure 4.4(b) に示す TSDPC セルには  $38.4 \times 42.7 \mu\text{m}^2$  の面積に  $C_{\text{ch}}$  のための静電容量が全体で 1.29 pF が搭載されている。この値はセルエリアを 2 入力 NAND ゲートで埋めた場合の 80.6% に相当する。実際の自動配置配線によって生成されるデジタル回路のトランジスタ密度が上記値より大きくなることはないため、今回実装した TSDPC セル内の総容量値はエミュレーションを行うためには十分大きな値であるといえる。また、静電容量はフィンガー構造のメタルを複数層積層したものであり、セルの上部に密集させて配置する。制御ロジックはセルの下部に分離して配置する。

Figure 4.11 は 6 ビットの設定コードに対する雑音発生量を電源と基板について示したものである。雑音発生量として、定常電源電圧の 1.2V からの負のドロップ量もしくはグラウンド電圧の 0.0V からの正のドロップ量を Vdd, Gnd それぞれで  $V_{\text{op}}$  を定義して評価する。Figure 4.11 より  $C_{\text{ch}}$  の 6 ビットの設定コードにより ANG 内でプログラマブルにノイズを発生させられていることがわかる。また、設定コードが大きいほど、また同時に動作する TSDPC セルの数が多いほど  $V_{\text{op}}$  が大きいことがわかる。

Figure 4.12 は ANG1 を動作させた場合の ANG1 内 Vdd やチップ全面で共通化されている Gnd, p 基板のノイズ分布を測定した結果である。同図にオンチップモニタによって取得した代表点の波形も示す。Gnd や ANG1 コアの外部の  $V_{\text{psub}}$  でのドロップ量ピーク値よりも Vdd のドロップ量が大きいことがわかる。これは一般的な CMOS デジタル回路に見られるように、P 型基板がチップ全体に電流を拡散し、 $V_{\text{psub}}$  として現れる基板ノイズを発生させるためである [10]。

エミュレーション例として、32 ビットシフトレジスタ列と 32 ビットマイクロプロセッサコアのランダムロジック部分を ANG1 にマッピングしたものをそれぞれ Figure 4.13, 4.14 に示す。Figure 4.13 (a) では 100 MHz でシフトレジスタを "0101..01" とシフトさせた時の Vdd の波形を、ANG

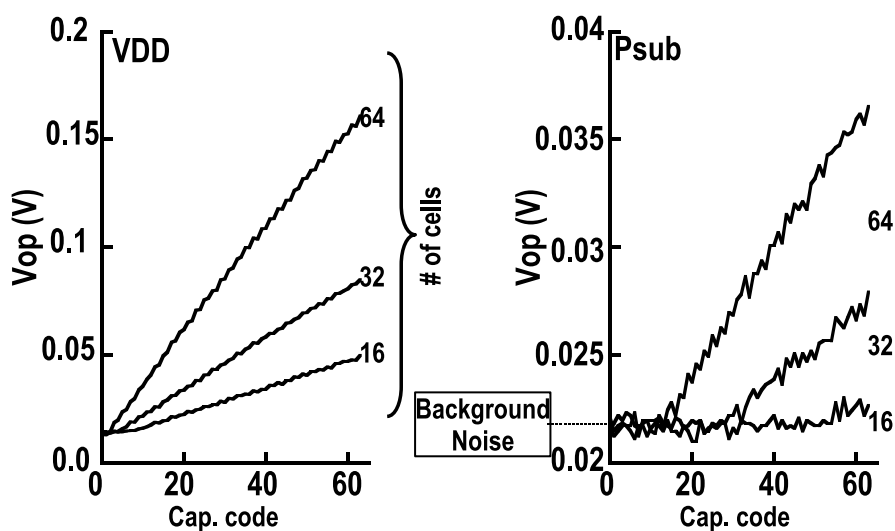


Figure 4.11: コード，動作セル数依存性

上でエミュレートした場合と他のチップでの実際のシフトレジスタ上で測定した場合で比較した．エミュレーションと実測の両方で，動作シフトレジスタ数を1倍,2倍,4倍と増やすにつれて電源ノイズが増加している．さらに Fig. 4.13 (b) では最も動作回路規模が大きい# 512の場合について時間軸を拡大して比較した．また Vdd の  $V_{op}$  について各条件でまとめたものを Fig. 4.13 (c) と Fig. 4.13 (d) に示す．エミュレーションによる結果は雑音波形と特徴量  $V_{op}$  の双方において実測と良く一致しておりノイズエミュレーションの正当性を実証している．

Figure 4.14はマイクロプロセッサの64クロック分をエミュレーションした場合の Vdd の波形である．各サイクルの実行命令の違いが波形の違いに反映されていることが分かる．ANG アレイの消費電流はエミュレーション動作周波数 25 MHz , 1.2 V 電源電圧の条件で 8.3 mA である．

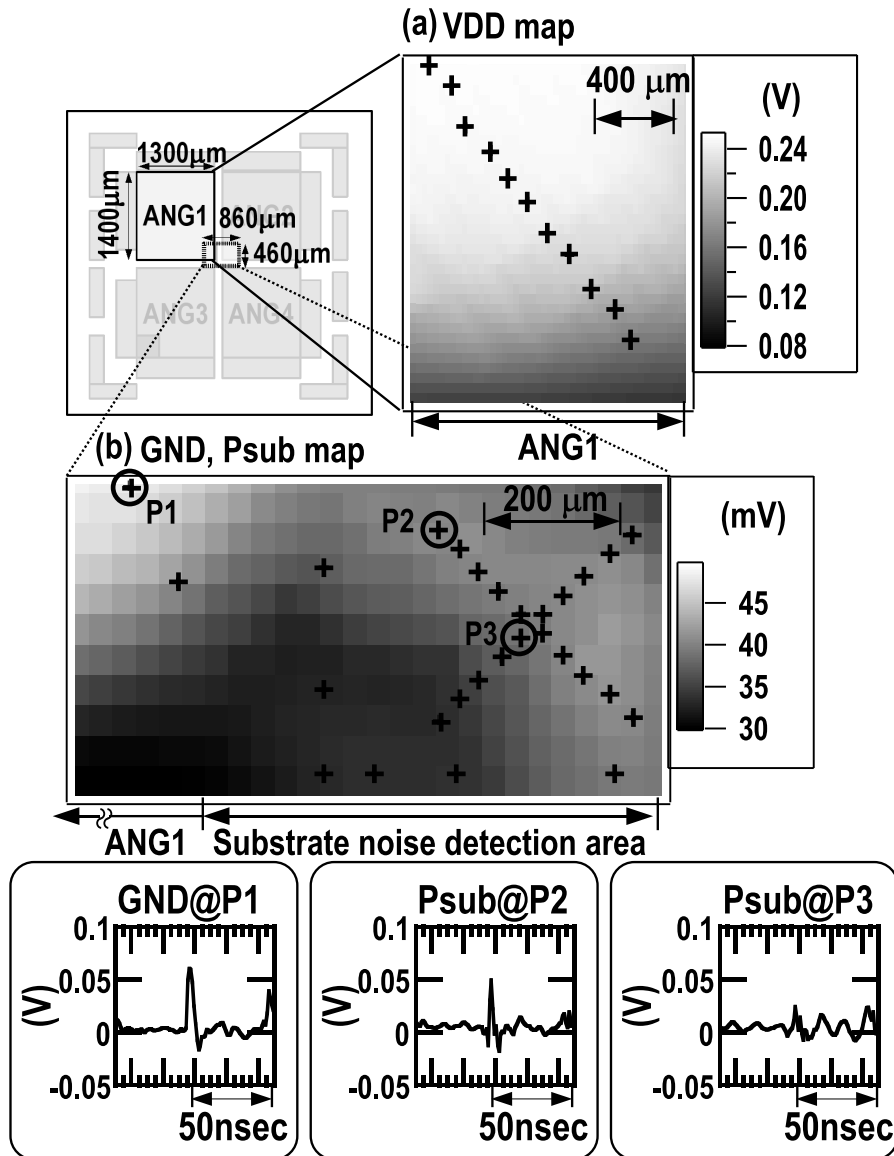


Figure 4.12: 測定した雑音分布 (a) ANG1内のVdd, (b) Gndと近傍の基板評価エリア Pxは測定点

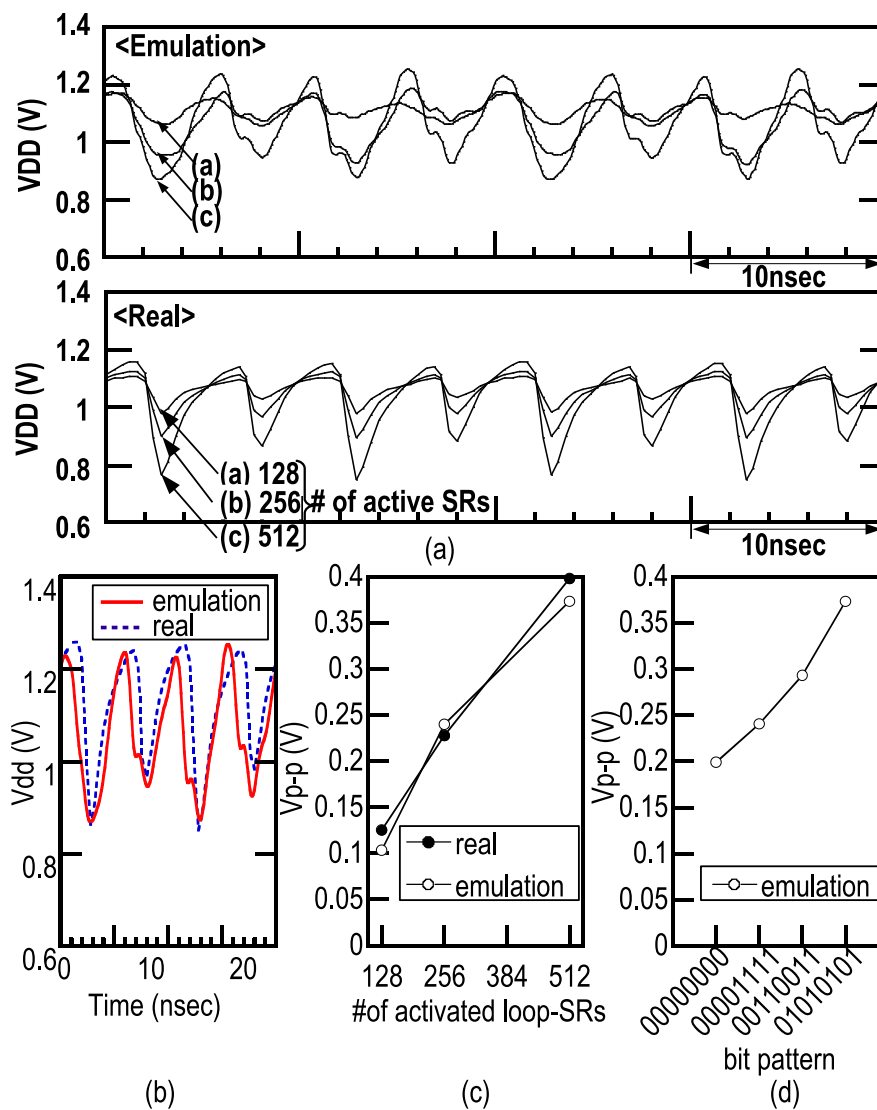


Figure 4.13: シフトレジスタ列のエミュレーションと別チップでの測定波形 (a) 長時間雑音波形 (b) 拡大波形 (c)  $V_{0p}$  対 シフトレジスタ列動作回路規模 (d)  $V_{0p}$  対 シフトレジスタ列の入力ビットパターン

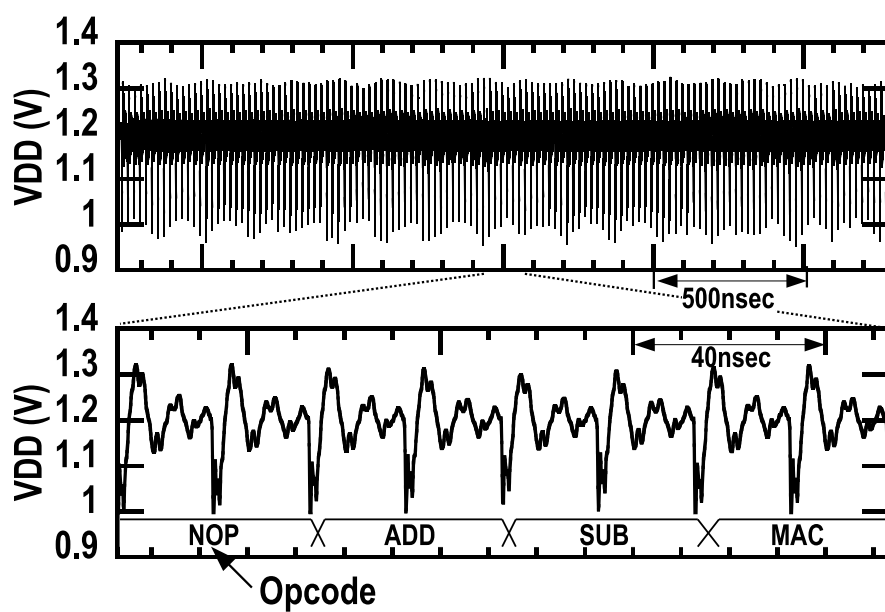


Figure 4.14: 32ビットマイクロプロセッサのエミュレーション波形

## 4.5 雑音エミュレーションによる技術的達成点と今後の展望

本章では容量充電モデルに基づいた任意雑音発生器 (ANG) の提案と実証を達成した。提案する ANG を 65nm CMOS テクノロジーを用いて実装し、90 nm ループシフトレジスタ回路の雑音エミュレーションを行い、実際の雑音波形を精度良く再現していることから、エミュレータの正当性を確認した。本提案エミュレーションシステムは通常のデジタル回路設計との親和性が高く、基板雑音の伝播の様子を高速に評価できる有益な技術として確立した。本章で提案する雑音エミュレーションを用いて、多種のデジタル回路の動作状況における基板雑音の伝播の様子を高速に評価することが可能となり、アナログ IP の配置問題などに有効である。

今後の展望としては、エミュレータの有用性を実証することが重要であると考えられる。具体的には複数の製品レベルの大規模デジタル回路のエミュレーションと実際の雑音測定結果とを比較して、エミュレータの正当性をより強固にすることが重要である。その上で実際のミックストシグナル LSI の設計フローに組み込み、提案エミュレーションの有用性を実証することが望まれる。

## 4.6 まとめ

本章では任意雑音発生器によるデジタル回路から発生する電源雑音のハードウェアエミュレーションを実現した。エミュレーションの核となる任意雑音発生器 (ANG : Arbitrary Noise Generator) の雑音発生原理は第 3 章にて論じた容量充電モデルである。本研究で提案する ANG は可変容量を 2 次元アレイ状に (平面的) に配置し、各場所毎に設定した容量値の充電を行うことで雑音を発生する。容量値の設定データは LSI の周辺部に配置された SRAM に予め蓄えておき、逐次的に容量値の再設定を行うことで連続時間の可変容量充電を実現した。実際に ANG を 65 nm CMOS プロセスを用いて試作を行った。試作した ANG が持つ容量設定分解能は 6 bit である。試作した ANG を用いてループシフトレジスタアレイの動作回路規模依存性を対象としたエミュレーションを実行したところ、実際の回路で発生していた電源雑音を正確にエミュレートできていることを確認した。また、エミュレーション例として 32-bit マイクロプロセッサについてハードウェアエミュレーションした結果、プロセッサの実効命



令に依存した雑音波形の変化をとらえることに成功した．このことから，提案するエミュレーションシステムの正当性を確認したことになる．

## 第5章

---

### 結論

本論文では CMOS デジタル LSI の電源雑音の解析技術とエミュレーション技術について論じた。デジタル回路の電源雑音の問題はデジタル・アナログ混載の System-On-Chip (SoC) が実現された 1990 年代初頭から研究報告がされている。電源雑音の最も知られた問題は、デジタル回路の電源雑音が共通のシリコン基板を通じて、同一基板上に実装されたアナログ回路へ伝播し、アナログ回路の性能を著しく低下させ、結果としてシステム全体の性能劣化を引き起こす問題である。さらに、現在では、LSI 内部の問題に留まらず、LSI および実装ボードから放射される電磁波の電磁環境適合性 (EMI) の問題なども解決策が求められている。これらの諸問題に対する基礎理解と設計段階での正確な雑音発生の予測を実現することを目的として本論文ではデジタル回路の電源雑音に対して解析とエミュレーションの 2 つの技術について研究を行った。

第 2 章では電源雑音解析の基礎研究として CMOS デジタル回路の電源雑音評価技術について論じた。デジタル回路の電源雑音評価に適したリファレンス回路としてループシフトレジスタアレイ回路を提案し、3 つの異なるファウンダリ・プロセスにて実装し、プロセス間の電源雑音の定量的な比較を行った。さらに、電源雑音波形取得システム広帯域化を実現し、従来システム構成と比較した場合 40% の時間分解能向上を達成した。広帯域化を行った電源雑音システムを用いて 100 MHz から 1.2 GHz までの広帯域評価を行い、電源雑音はグラウンド雑音と比べて雑音振幅が大きいこと、周波数を大きくするとスタティックドロップは増加する一方で、雑音のダイナミック成分は減少する知見を得た。

第 3 章では CMOS デジタル回路の電源雑音解析技術について論じた。本論文で用いた電源雑音解析技術は、電源発生を回路の寄生容量充電過程に起因した現象として捉えたモデルである。本論文では容量充電モデルの最も重要な要素である容量決定方法を明確に定式化、フロー化することを達成した。さらに、最終的な電源雑音解析において重要であるオフチップモデルの作成方法を合わせて言及し、容量充電モデルとオフチップモデルをあわせた電源雑音等価回路の作成方法を提案し、 $0.18 \mu\text{m}$  CMOS

プロセスと 90 nm CMOS プロセスの 2 つの異なるプロセス世代の回路に対して適用し，有効性を実証した．

第 4 章では容量充電モデルを基にした任意雑音発生器 (ANG) の提案と正当性の実証を行った．本論文では第 3 章の電源雑音解析にて用いた容量充電モデルを基にした ANG を提案した．提案 ANG は可変容量と付随する制御回路をまとめた TSDPC セルを構成単位とし，TSDPC セルを 2 次元アレイ状に配置する．さらにチップ周辺部には，各セルの容量設定コードを蓄える SRAM と，発生雑音を可視化する雑音検出器を搭載する．各アレイは周辺 SRAM から逐次的にコードを読み出すことで連続時間かつ任意の雑音発生を行う．この ANG を 65 nm CMOS プロセスを用いて試作し，第 2 章にて提案したループシフトレジスタアレイ回路を対象とした雑音エミュレーションを実施した．エミュレーション結果と実測結果を比較し，エミュレーション結果が精度よく雑音波形をエミュレートしていることを確認し，提案エミュレーションシステムの正当性を実証した．さらに，より実践的なデジタル回路である 32-bit マイクロプロセッサを対象とした雑音エミュレーションのデモンストレーションを実施し，プロセッサの演算内容によって電源雑音がわずかに変化する様子を捉えることに成功した．

これらの研究成果は今後さらに大規模化が進められることが予想される CMOS デジタル LSI にまつわる雑音問題に対する解決策となる．

## 謝辞

---

本論文は、筆者が神戸大学大学院 自然科学研究科 情報・電子科学専攻 CS26 講座において行った研究成果をまとめたものです。ここに御指導、御協力頂いた全ての方に謹んで感謝の意を表します。

本研究の機会を与えて頂き、研究のご指導を賜りました神戸大学大学院 工学研究科 情報知能学専攻・永田 真 教授に深く感謝致します。本研究の遂行にあたっては、研究機材の整備に御尽力頂くとともに、多くの共同研究の機会を与えていただき、終始にわたって熱心かつ懇切なる御指導、御鞭撻を賜りました。本研究を通じて多くの貴重な経験を得ることができました。心より感謝致します。

本論文をまとめるにあたり貴重な御助言、御指導を頂きました工学研究科 情報知能学専攻・吉本 雅彦 教授、電気電子工学専攻・沼 昌宏 教授に深く感謝致します。吉本 雅彦 教授には筆者の学士課程の卒業研究ならびに修士課程での研究において懇切なる御指導、ご鞭撻を賜り、神戸大学大学院 博士後期課程での研究を始める契機を与えていただきました。重ねて心からお礼申し上げます。

本研究において共同研究を通じて多大な御指導、御協力を戴きました株式会社 エイアールテック・岩田 穆 氏、村坂 佳隆氏、小坂 大輔氏、株式会社 東芝・濱西 直之 氏、田邊 顕 氏、塩地 正純 氏に感謝致します。

研究生活に関して御世話になり、また研究に限らず様々な視野から日々御議論頂きました工学研究科 情報知能学専攻・鎌田 十三郎 助教に感謝の意を表します。

研究遂行にあたって事務手続きをはじめ、多くのご支援を頂いた工学研究科 情報知能学専攻 CS26 講座 秘書 坪井 彩 氏に感謝致します。

研究を進めるにあたり様々な面において御協力頂きました CS26 LSI グループの諸氏に心から感謝申し上げます。特に、第 2 章の電源雑音測定技術の過去の研究事例について御指導頂きました深澤 光弥 氏(現 ルネサステクノロジ)、第 3 章の容量充電モデルの過去の研究事例について、多くの知見を頂戴しました植村 俊文 氏(現 NEC エレクトロニクス)、第 4 章のチップ実装において多大なるご協力を頂きました荻野 哲宏 氏(現 NEC エレクトロニクス)、第 4 章の測定環境の構築、カスタムソフトウェアの作成など、研究の中核部分に参加頂いた藤本 大介 氏に厚く謝意を申し述

べます。また、日々の議論を通じて研究に新たな知見、刺激を与えていただきました橋田 拓志 氏、坂東 要志 氏、早田 征明 氏、奥本 健 氏に感謝致します。また、日々の研究生活において幅広いご経験に基づく多くの貴重なご意見を頂きました 株式会社 エイアールテック (神戸大学 共同研究員 兼務) 益子 耕一郎 氏に感謝致します。

研究室での日常生活においてお世話になりました CS26 講座の皆様ならびに関係者の方々に感謝申し上げます。

筆者の学士課程の卒業研究ならびに修士課程の研究を支えていただいた金沢大学 工学部 電気電子システム工学科 VLSIシステム研究室の皆様と神戸大学 工学研究科 情報知能工学専攻 CS28 講座の皆様感謝致します。

これまで筆者を支えてくれた友人、恩師の皆様深く感謝致します。最後に、私をここまで育て、温かく見守って頂いた両親に心より感謝を申し上げます。

## 参考文献

---

- [1] International Technology Roadmap for Semiconductors, “International technology roadmap for semiconductors 2007 edition,” <http://www.itrs.net/reports.html>, 2007.
- [2] M. Nagata, J. Nagai, T. Morie, and A. Iwata, “Measurements and analyses of substrate noise waveform in mixed-signal IC environment,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 19, No. 6, pp. 671–678, 2000.
- [3] 深澤光弥, “微細 CMOS デジタル LSI におけるダイナミック電源雑音及びその影響の評価と解析,” 神戸大学 大学院 自然科学研究科 博士論文, 2008.
- [4] K. Shimazaki, M. Nagata, T. Okumoto, S. Hirano, and H. Tsujikawa, “Dynamic power-supply and well noise measurement and analysis for high frequency body-biased circuits,” in *Symposium on VLSI Circuits*, pp. 94–97, 2004.
- [5] K. Shimazaki, M. Nagata, T. Okumoto, S. Hirano, and H. Tsujikawa, “Dynamic power-supply and well noise measurements and analysis for low power body biased circuits,” *IEICE Transactions on Electron*, Vol. E88-C, No. 4, pp. 589–596, 2005.
- [6] M. Nagata, J. Nagai, K. Hijikata, T. Morie, and A. Iwata, “Physical design guides for substrate noise reduction in CMOS digital circuits,” *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 3, pp. 539–549, 2001.
- [7] M. Fukazawa and M. Nagata, “Measurements of digital signal delay variation due to dynamic power supply noise,” in *Proceedings of the IEEE Asian Solid-State Circuits Conference*, pp. 165–168, 2005.

- 
- [8] M. Fukazawa and M. Nagata, "Delay variation analysis in consideration of dynamic power supply noise waveform," in *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 865–868, 2006.
- [9] M. Fukazawa, T. Matsuno, T. Uemura, R. Akiyama, T. Kagemoto, H. Makino, H. Takata, and M. Nagata, "Fine-grained in-circuit continuous-time probing technique of dynamic supply variations in SoCs," in *IEEE International Solid-State Circuits Conference*, pp. 288–289, 2007.
- [10] M. Nagata, T. Okumoto, and K. Taki, "A built-in technique for probing power supply and ground noise distribution within large-scale digital integrated circuits," *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 4, pp. 813–819, 2005.
- [11] T. Okumoto, M. Nagata, and K. Taki, "A built-in technique for probing power-supply noise distribution within large-scale digital integrated circuit," in *Symposium on VLSI Circuits*, pp. 98–101, 2004.
- [12] Y. Bando, D. Kosaka, G. Yokomizo, K. Tsuboi, Y.S. Li, S. Lin, and M. Nagata, "Power supply and substrate noise analysis; reference tool experience with silicon validation," User Track U8.2 Design Automation Conference 2009, 2009.
- [13] D. Kosaka, Y. Bando, G. Yokomizo, K. Tsuboi, Y.S. Li, S. Lin, and M. Nagata, "A full chip integrated power and substrate noise analysis framework for mixed-signal SoC design," in *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 219–222, 2009.
- [14] Y. Bando, S. Takaya, and M. Nagata, "An on-chip continuous time power supply noise monitoring technique," in *Proceedings of the IEEE Asian Solid-State Circuits Conference*, pp. 97–100, 2009.
- [15] Y. Kanno, Y. Kondoh, T. Irita, K. Hirose, R. Mori, Y. Yasu, S. Komatsu, and H. Mizuno, "In-situ measurement of supply-noise maps with millivolt accuracy and nanosecond-order time resolution," *IEEE Journal of Solid-State Circuits*, Vol. 42, No. 4, pp. 784–789, 2007.

- [16] Y. Kanno, Y. Kondoh, T. Irita, K. Hirose, R. Mori, Y. Yasu, S. Komatsu, and H. Mizuno, “In-situ measurement of supply-noise maps with millivolt accuracy and nanosecond-order time resolution,” in *Symposium on VLSI Circuits*, pp. 63–64, 2006.
- [17] M. Takamiya, M. Mizuno, and K. Nakamura, “An on-chip 100ghz-sampling rate 8-channel sampling oscilloscope with embedded sampling clock generator,” in *IEEE International Solid-State Circuits Conference*, pp. 182–183, 2002.
- [18] K. Inagaki, D.D. Antono, M. Takamiya, S. Kumashiro, and T. Sakurai, “A 1-ps resolution on-chip sampling oscilloscope with 64:1 tunable sampling range based on ramp waveform division scheme,” in *Symposium on VLSI Circuits*, pp. 61–62, 2006.
- [19] Y. Kanno, H. Mizuno, Y. Yasu, K. Hirose, Y. Shimazaki, T. Hoshi, Y. Miyairi, T. Ishii, T. Yamada, T. Irita, T. Hattori, K. Yanagisawa, and N. Irie, “Hierarchical power distribution with power tree in dozens of power domains for 90nm low-power multi-cpu socs,” *IEEE Journal of Solid-State Circuits*, Vol. 42, No. 1, pp. 74–83, 2007.
- [20] F.D. Inc., “Fastrack design - mSPICE,” <http://www.fastrack-design.com/mspice.php>, 2006.
- [21] L.T. Pillage and R.A. Rohrer, “Asymptotic waveform evaluation for timing analysis,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 9, No. 4, pp. 352–366, 1990.
- [22] B.R. Stanasic, N.K. Verghese, R.A. Rutenbar, L.R. Carley, and D.J. Allstot, “Addressing substrate coupling in mixed-mode IC’s: Simulation and power distribution synthesis,” *IEEE Journal of Solid-State Circuits*, Vol. 29, No. 3, pp. 226–238, 1994.
- [23] N.K. Verghese and D.J. Allstot, “Rapid simulation of substrate coupling effects in mixed-mode ICs,” in *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 18.3.1–18.3.4, 1993.
- [24] S. Mitra, R. Rutenbar, L.R. Carley, and D.J. Allstot, “A methodology for rapid estimation of substrate-coupled switching noise,” in



- Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 129–131, 1995.
- [25] E.D.T. Inc., “Epic design technology, powermill user’s manual,” Santa Clara, CA, 1994.
- [26] S. Mitra, R.A. Rutenbar, L.R. Charley, and D.J. Allstot, “Substrate-aware mixed-signal macrocell placement in WRIGHT,” *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 3, pp. 269–278, 1995.
- [27] B.R. Stanasic, R.A. Rutenbar, and R. Carley, “Mixed-signal noise-decoupling via simultaneous power distribution design and cell customization in RAIL,” in *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 533–536, 1994.
- [28] B.R. Stanasic, R.A. Rutenbar, and L.R. Carley, “Addressing noise decoupling in mixed-signal IC’s: Power distribution design and cell customization,” *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 3, pp. 321–326, 1995.
- [29] P. Miliozzi, L. Carloni, E. Charbon, and A. Sangiovanni-Vincentelli, “SUBWAVE : a methodology for modeling digital substrate noise injection in mixed-signal IC’s,” in *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 385–388, 1996.
- [30] E. Charbon, P. Miliozzi, L.P. Carloni, A. Ferrari, and A. Sangiovanni-Vincentelli, “Modeling digital substrate noise injection in mixed-signal IC’s,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 18, No. 3, pp. 301–310, 1999.
- [31] M. van Heijningen, M. Badaroglu, S. Donnay, M. Engels, and I. Bolsens, “High-level simulation of substrate noise generation including power supply noise coupling,” in *Proceedings of the Design Automation Conference*, pp. 446–451, 2000.
- [32] M. Badaroglu, V. der Plas, P. Wambacq, S. Donnay, G.G.E. Gielen, and H.J.D. Man, “SWAN : High-level simulation methodology

- for digital substrate noise generation,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 14, No. 1, pp. 23–33, 2006.
- [33] M. van Heijningen, M. Badaroglu, S. Donnay, G.G.E. Gielen, and H.J.D. Man, “Substrate noise generation in complex digital systems: Efficient modeling and simulation methodology and experimental verification,” *IEEE Journal of Solid-State Circuits*, Vol. 37, No. 8, pp. 1065–1072, 2002.
- [34] M. Badaroglu, S. Donnay, H.J.D. man, Y.A. Zinzius, G.G.E. Gielen, W. sansen, T. Fonden, and S. Signell, “Modeling and experimental verification of substrate noise generation in a 220-Kgates WLAN system-on-chip with multiple supplies,” *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 7, pp. 1250–1260, 2003.
- [35] J. Lundgren, T. Ytterdal, K. Vonbun, and M. O’Nils, “Taking mixed-signal substrate noise coupling simulation to the behavioral level using SystemC,” in *Proceedings of the the 4th IEEE International Workshop on System-on-Chip for Real-Time Applications*, pp. 201–205, 2004.
- [36] L. K, S. M., F. T.A., and Y. T., “Semiconductor device modeling for VLSI,” New Jersey, 1993.
- [37] M. Nagata, T. Morie, and A. Iwata, “Modeling substrate noise generation in CMOS digital integrated circuits,” in *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 501–504, 2002.
- [38] D. Kosaka, M. Nagata, Y. Murasaka, and A. Iwata, “Chip-level substrate coupling analysis with reference structures for verification,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E90-A, No. 12, pp. 2651–2660, 2007.
- [39] M. Xu, D.K. Su, D.K. Shaeffer, T.H. Lee, and B.A. Wooley, “Measuring and modeling the effects of substrate noise on the lna for a cmos gps receiver,” *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 3, pp. 473–485, 2001.

- 
- [40] P. Larsson, “Measurements and analysis of pll jitter caused by digital switching noise,” *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 7, pp. 1113–1119, 2001.
- [41] Y.C. Lu, J.W. Kim, N. Nakano, D. Colleran, P. Yue, and R.W. Dutton, “Realization of digital noise emulator for characterization of systems exposed to substrate noise,” in *Proceedings of the The 12th Workshop on Synthesis and System Integration of Mixed Information technologies*, pp. 196–203, 2004.
- [42] T.J.S. N. K. Verghese and D.J. Allstot, “Simulation techniques and solutions for mixed-signal coupling in integrated circuits,” Boston, MA, Kluwer, 1996.
- [43] A. Afzali-kusha, M. Nagata, N.K. Verghese, and D.J. Allstot, “Substrate noise coupling in SoC design : Modeling, avoidance, and validation,” *Proceedings of the IEEE*, Vol. 94, No. 12, pp. 2109–2138, 2006.
- [44] D.K. Su, M.J. Loinaz, S. Masui, and B.A. Wooley, “Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits,” *IEEE Journal of Solid-State Circuits*, Vol. 28, No. 4, pp. 420–430, 1993.
- [45] M. Nagata, M. Fukazawa, N. Hamanishi, M. Shiochi, T. Iida, J. Watanabe, Y. Murasaka, and A. Iwata, “Substrate integrity beyond 1 ghz,” in *Proceedings of the IEEE International Solid-State Circuits Conference*, pp. 266–267, 2005.
- [46] T. Matsuno and M. Nagata, “On-chip power noise measurements of high-frequency CMOS digital circuits,” in *Proceedings of the intl SoC Design Conference 2009*, pp. 198–201, 2009.
- [47] K. Noguchi and M. Nagata, “An on-chip multichannel waveform monitor for diagnosis of systems-on-a-chip integration,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 15, No. 10, pp. 1101–1110, 2007.

- 
- [48] T. Matsuno, D. Kosaka, and M. Nagata, “A reference CMOS circuit structure for evaluation of dynamic voltage variation in power delivery networks,” in *Extended abstracts of the 2009 International Conference on Solid State Devices and Materials*, pp. 1068–1069, 2009.
- [49] A. Samavedam, A. Sadate, K. Mayaram, and T.S. Fietz, “A scalable substrate noise coupling model for design of mixed-signal IC’s,” *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 6, pp. 895–904, 2000.
- [50] I.L. Wemple and A.T. Yang, “Integrated circuit substrate coupling models based on voronoi tessellation,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 14, No. 12, pp. 1459–1469, 1995.
- [51] D. Kosaka, M. Nagata, Y. Murasaka, and A. Iwata, “Evaluation of isolation structures against high-frequency substrate coupling in analog/mixed-signal integrated circuits,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E90-A, No. 2, pp. 380–387, 2007.
- [52] A.C. Cangellaris, “Electrical modeling and simulation challenges in chip-package codesign,” *IEEE Micro*, Vol. 18, No. 4, pp. 50–59, 1998.



## 発表論文一覧

---

### 本研究に関する発表論文

#### 学術雑誌

- [1] T.Matsuno, D. Kosaka and M. Nagata, “Modeling of power noise generation in standard-cell based CMOS digital circuits,” *IEICE Transactions on Fundamentals*, Vol. E93-A, No.2, Feb. 2010, pp. 440 - 447.
- [2] T.Matsuno, D. Kosaka and M. Nagata, “Reference CMOS Circuits and Test Structures for Evaluation of Dynamic Noise in Power Delivery Networks,” *Japanese Journal of Applied Physics*, Vol. 49, No. 4, Apr. 2010, to appear.
- [3] T.Matsuno, D. Fujimoto, D. Kosaka, N. Hamanishi, K. Tanabe, M. Shiochi and M. Nagata, “An Arbitrary Digital Power Noise Generator using 65 nm CMOS Technology,” *IEICE Transactions on Electronics*, Vol. E93-C, No. 6, Jun. 2010, to appear.

#### 国際会議

- [4] T.Matsuno, D. Fujimoto, D. Kosaka, N. Hamanishi, K. Tanabe, M. Shiochi and M. Nagata, “A 6-bit Arbitrary Digital Noise Emulator in 65nm CMOS Technology,” in *Proceedings of IEEE International Custom Integrated Circuits Conference 2009*, pp. 187-190, 2009.
- [5] T.Matsuno, D. Kosaka and M. Nagata, “A Reference CMOS Circuit Structure for Evaluation of Dynamic Voltage Variation in Power Delivery Networks,” in *Extended Abstracts of the 2009 International Conference on Solid State Devices and Materials*, pp. 1068-1069, 2009.

- [6] T.Matsuno and M. Nagata, "On-Chip Power Noise Measurements of High-Frequency CMOS Digital Circuits," in *Proceedings of International SoC Design Conference 2009*, pp. 198-201, 2009.

## 学術講演

- [7] 藤本大介, 松野哲郎, 小坂大輔, 濱西直之, 田邊顕, 塩地正純, 永田 真, "65nm CMOS テクノロジによる 6bit 任意デジタル雑音エミュレータの開発," 電子情報通信学会 信学技報 ICD2009-34 ,pp. 7-10, 2009 年 10 月.
- [8] 松野哲郎, 小坂大輔, 永田 真, "CMOS デジタル LSI における電源雑音評価のためのリファレンス回路," 電子情報通信学会 信学技報 ICD2009-66 ,pp. 19-22 , 2009 年 12 月.

## 口頭発表

- [9] 松野哲郎, 小坂大輔, 永田 真, "スタンダードセルベース CMOS デジタル回路の電源雑音評価手法," 平成 21 年度 情報処理学会関西支部大会, 講演番号 A-10, 2009 年 9 月.
- [10] 松野哲郎, 小坂大輔, 永田 真, "CMOS デジタル LSI における電源雑音評価のためのリファレンス回路," デザインガイア 2009 ポスターセッション, ポスター番号 17, 2009 年 12 月.

## その他の発表論文

### 口頭発表

- [11] 松野哲郎, 深澤光弥, 植村俊文, 秋山励, 影本哲哉, 牧野博之, 高田英裕, 永田真, "埋め込み型検出回路を用いたプロセッサの電源ノイズ評価," 第 11 回システム LSI ワークショップ, pp. 186 - 188, 2007 年 11 月.

## 受賞

- [12] 松野哲郎, 深澤光弥, 植村俊文, 秋山励, 影本哲哉, 牧野博之, 高田英裕, 永田真, “埋め込み型検出回路を用いたプロセッサの電源ノイズ評価,” 第11回システムLSIワークショップ, 優秀ポスタ賞: 学生部門, 2007年11月.



