



CMOSデジタルLSIにおける電源雑音の解析とエミュレーション技術に関する研究

松野, 哲郎

(Degree)

博士 (工学)

(Date of Degree)

2010-03-25

(Date of Publication)

2011-08-02

(Resource Type)

doctoral thesis

(Report Number)

甲4940

(URL)

<https://hdl.handle.net/20.500.14094/D1004940>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



氏 名 松野 哲郎
博士の専攻分野の名称 博士（工学）
学 位 記 番 号 博い第 4940 号
学位授与の要件 学位規則第 5 条第 1 項該当
学位授与の日付 平成 22 年 3 月 25 日

【 学位論文題目 】

CMOS デジタル LSI における電源雑音の解析とエミュレーション技術に関する研究

審 査 委 員

主 査 教 授 永田 真
教 授 吉本 雅彦
教 授 沼 昌宏

LSIの製造技術は1965年に発表されたMooreの法則に従って進展してきた。LSIの微細化は高速化、小面積(低コスト)化、低消費電力化という強い利点を持っており、電子機器の小型化、高機能化に大きく貢献してきた。しかし2004年以降のSub-100nm世代まで微細化が進むと、前述した利点以外の面が顕在化してきた。配線抵抗による信号遅延やリーク電流の増大、LSIの雑音耐性劣化の問題である。本研究ではLSI雑音耐性の劣化に着目し、デジタルLSIにおける電源雑音の解析とエミュレーションを行う。

デジタルLSIから発生する電源雑音および基板雑音を評価するために、本研究では雑音評価用のリファレンス回路を提案し、複数プロセスでの雑音評価を行った。また雑音の波形取得システムの広帯域化を実施した。

まず、電源および基板雑音の評価用リファレンス回路としてループシフトレジスタアレイ回路を提案した。この回路の基本単位はDFFを従属接続して最終段の出力を最初段の入力にループバック可能な機構を持った回路であり、この回路をループシフトレジスタ回路と呼ぶ。ループシフトレジスタ回路を複数列搭載した回路が提案回路である。提案リファレンス回路は動作回路規模、信号トグル率の2つの任意性を持たせた回路となっており、ホットスポットに代表されるようなデジタル回路特有の雑音発生状況をはじめ、様々なデジタル回路の動作状況を模擬することができる。

提案リファレンス回路を3つの異なるファウンドリ・プロセスにて実装し雑音評価を行った。用いたプロセスは0.18 μm 1.8 V CMOSプロセス、90 nm 1.2 V CMOSプロセス、90 nm 1.0 V CMOSプロセスの3つである。この3つのプロセス間を比較することで世代の異なるプロセス間比較と同一世代で異なるファウンドリ間比較を行うことができる。

3プロセスの雑音評価は電圧源、パルスジェネレータ、PC、評価ボード、テストチップなどからなる測定環境を用いて実際に測定すると共に、容量充電モデルに基づくシミュレーションを同時に行った。すべてのファウンドリ・プロセスにおいて動作回路規模、信号トグル率の増加に対して雑音発生量が線形に増加していくことが分かり、かつシミュレーションにより高精度に再現することを実現した。これらの成果により、雑音評価用のリファレンス回路構造とともに高精度なシミュレーションモデルを同時に提供することを可能とした。

さらに、本研究ではCMOSデジタルLSIの電源雑音評価の広帯域化を行った。電源雑音の測定のためにはオンチップの雑音検出器の設計だけでなく、測定器の選定、システムの構成によって得られる雑音波形の品質が左右される。品質の良い雑音波形を取得するためにはチャンネル数に厳しい制限のある高精度クロックジェネレータを測定システムに取り入れる必要がある。従来研究では信号精度は劣る一方で8チャンネル以上の多チャンネル出力が可能なパルスジェネレータ1台からすべてのパルス信号を出力させていた。本研究では、2チャンネルの高精度クロックジェネレータと多チャンネル出力が可能なパルスジェネレータをマスタースレーブ動作させることで測定システムの取得波形の時間分解能を向上させ、実効的な測定帯域の広帯域化を実現した。提案したマスタースレーブ構成によって実効的な時間分解能は16psとなり、従来構成の50psに対して40%の向上を達成した。

本研究ではCMOSデジタル回路の電源および基板雑音を精度良く、かつ効率的に解析する技術の開発を行った。本研究で用いた解析モデルはモデル化対象回路の寄生容量の充電過程が雑音発生の主要因であることに基づくモデルである。

このモデルをTSDPC (Time-series divided parasitic capacitance)モデルと呼ぶ。TSDPCモデルを用いたデジタル回路の雑音解析については単純なインバータアレイや50-kゲート規模のマイクロプロセッサに適用した過去の研究事例があるが、モデル化する際の容量の決定方法が手動であるなどの未完全な部分が存在した。本論文では充電される容量値の決定方法を明確に定義し、定式化、フロー化することで一般的なデジタル回路の設計フローとの親和性を高めることを実現した。

また、本論文では高精度な雑音解析を行なうために等価回路の作成方法について言及した。デジタルLSIの電源雑音は雑音等価回路のみではなく、オフチップのインピーダンスや基板結合など、様々な要因が相互に関係する複合的な事象である。本研究ではチップ内のモデル、パッケージモデル、ボードモデルについて段階的に詳細化して、各段階での解析結果を実際の雑音測定結果と比較して評価を行なった。その結果、チップ内モデル、パッケージモデル、ボードモデルの3つをそれぞれ作成し、結合したモデルを作成することで高精度な雑音解析が可能であることを示した。チップ内のモデルは容量充電モデルによる雑音等価回路に電源配線モデルとグラウンド配線および基板をモデル化したものを付加することで作成する。パッケージ、ボードのオフチップモデルはそれぞれ、インピーダンス測定をすることで集中定数による等価回路を作成する。

チップ内モデル、パッケージモデル、ボードモデルを統合した等価回路を2種類の異なるファウンドリ・プロセスに実装したループシフトレジスタ回路に対して適用した。使用したプロセスは0.18 μm 1.8V CMOSプロセスと90 nm 1.2V CMOSプロセスの2つである。世代の大きく異なる両プロセスにおいて提案する雑音等価回路を用いることで高精度かつ高速に雑音解析が可能であることを実証した。

本研究ではデジタルLSIの電源雑音解析の観点から、従来までのコンピュータ上でのシミュレーション技術のほかに、ハードウェアエミュレーションを実現した。エミュレーションの核となる任意雑音発生器(ANG: Arbitrary Noise Generator)の雑音発生原理は電源雑音の解析に使用したTSDPCモデルである。本研究で提案するANGは可変容量を2次元アレイ状に(平面的)に配置し、各場所に設定した容量値の充電を行うことで雑音を発生する。容量値の設定データはLSIの周辺部に配置されたSRAMに予め蓄えておき、逐次的に容量値の再設定を行うことで連続時間の可変容量充電を実現した。実際にANGを65 nm CMOS プロセスを用いて試作を行った。試作したANGが持つ容量設定分解能は6 bitである。試作したANGを用いてループシフトレジスタアレイの動作回路規模依存性を対象としたエミュレーションを実行したところ、実際の回路で発生していた電源雑音を正確にエミュレートできていることを確認し、提案するエミュレーションシステムの正当性を確認した。また、エミュレーション例として32-bitマイクロプロセッサについてハードウェアエミュレーションした結果、プロセッサの実効命令に依存した雑音波形の変化をとらえることに成功した。

本論文ではCMOSデジタルLSIの電源雑音の解析とエミュレーション技術について論じた。雑音評価ではCMOSデジタルLSIから発生する雑音の一般的な特徴や異なるプロセス間での雑音特徴の違いなどの知見を得た。さらに評価帯域の広帯域化を実現した。解析技術では、容量充電モデルを用いた高精度・高効率の雑音シミュレーションを実現し、一般的なデジタル設計フローへの親和性向上とプロセスに依らず、提案する解析手法が有効であることを実証した。

(氏名:松野哲郎 NO. 3)

さらに新たな雑音解析手法としてANGを用いたデジタル雑音のエミュレーションシステムを構築し、正当性と有効性を実際のデジタル回路に適用して実証した。これらの研究成果は今後さらに大規模化が進められることが予想されるCMOSデジタルLSIにまつわる雑音問題に対する解決策となる。

氏名	松野 哲郎		
論文題目	CMOSデジタルLSIにおける電源雑音の解析とエミュレーション技術に関する研究		
審査委員	区分	職名	氏名
	主査	教授	永田 真
	副査	教授	吉本 雅彦
	副査	教授	沼 昌宏
	副査		
要 旨			
<p>最先端情報システムの基幹となる大規模 VLSI において、電源雑音が VLSI の性能および信頼性に大きな影響を与える環境擾乱要因であり、電源雑音を十分に考慮した設計技法の確立が求められている。ここで電源雑音とは、CMOS デジタル回路（論理ゲート）の論理スイッチング動作により発生する過渡的な電源電流の変化が、CMOS デジタル回路の電源・グラウンド配線に寄生する抵抗性、容量性、誘導性の素子からなるインピーダンスネットワークに作用することで、電源電圧の変動が誘発されることに起因している。近年の VLSI チップには数千から数百万個の論理ゲートを集積したデジタル回路が搭載されており、その電源雑音を予測することは容易でない。電源雑音を十分に考慮した大規模 VLSI 設計技法の実現に向けて、コンパクトで高精度な電源雑音のモデリングと、これを用いた高速で大規模な電源雑音のシミュレーションあるいはエミュレーション手段の確立が求められている。</p> <p>本論文は、CMOS デジタル LSI における電源雑音の解析とエミュレーション技術に関するものであり、とくに同期型順序論理回路における電源雑音に着目して、広い動作周波数範囲かつ任意の回路活性化率における電源雑音の高分解能測定により電源雑音の形成過程について実験的な理解を得るとともに、電源雑音の発生を容量充電過程としてモデル化する考え方を提示し、これに基づいて任意の同期型順序論理回路における電源雑音波形を実動作時間で模倣するエミュレーション・ハードウェアを実現することを目的としている。</p> <p>本論文では、CMOS デジタル LSI における電源雑音の解析とエミュレーション技術に関して以下の 3 つの研究課題について論じている。すなわち、</p> <p>(1) CMOS デジタル電源雑音の評価に適したリファレンス回路の提案と高分解能な雑音測定手法 (2) CMOS デジタル電源雑音の容量充電モデリングとシミュレーション手法 (3) CMOS デジタル電源雑音のハードウェア・エミュレーション手法</p> <p>である。</p> <p>CMOS デジタル LSI における電源雑音の解析とエミュレーション技術に関して、前項(1)においては、現在のデジタル回路の多くがクロック信号に同期したパイプライン処理を基礎とすることに着目し、フリップフロップを同期型順序論理回路の基本回路と位置付けて、複数のプロセス世代やファウンダリにおける電源雑音の発生を標準的に評価するためのリファレンス回路を提案している。また、一般にパイプライン型論理回路は 1 GHz クラスの高速動作が可能ことから、リファレンス回路の動作周波数を 1 GHz 以上の広い範囲とし、さらに電源雑音測定系の時間分解能を 20 ピコ秒以下まで短縮することで、実効的な測定帯域を 1.5 GHz 程度まで広帯域化することに成功している。</p> <p>続いて前項(2)においては、同期型順序論理回路における回路動作時のダイナミックな電源電流を、クロック信号のエッジ付近で単位時間当たりの消費電荷量を用いて表現することで、時系列の容量充電モデルに置き換える雑音発生モデル化手法を提案するとともに、前項(1)におけるリファレンス回路が発生する電源雑音に関して、実測波形を波形精度良く再現できることを示している。また、同期型順序論理回路における動作回路規模やビットパターンに対する電源雑音発生量の依存性についても定量的に解析可能であり、電源ノイズの予測手段としての有効性が示されている。</p>			

氏名	松野 哲郎
<p>ここで(1)によるリファレンス回路による電源雑音の発生と(2)による容量充電モデルによる電源雑音の解析の定量的な相関は、0.18 ミクロン世代および 90 ナノメータ世代の異なる CMOS プロセスについて実験的に実証されている。</p> <p>前項(3)においては、時系列の容量充電モデルにより表現した電源雑音の発生過程をハードウェア・エミュレーションするための回路実装ならびにシステム構築手段について説明している。電源雑音シミュレーションのための容量充電モデルを、電源雑音エミュレーションにおける可変容量の容量充電セルに置き換え、両者における容量充電のタイミングを揃えることで、シミュレーションとエミュレーションを等価な動作としている。前項(1)においてリアルなフリップフロップ回路で構成したリファレンス回路が発生する電源雑音を、本項(3)では容量充電セルの充電動作により定量的に発生できることを示している。また、任意のデジタル回路の詳細設計データから、空間的には容量充電セルの容量値分布、時間軸上では充電タイミングをそれぞれ抽出し、これらの情報をエミュレーションシステムに自動的にマッピングするソフトウェアの構成についても述べている。</p> <p>いずれの課題においても、先端の VLSI 開発において電源雑音を考慮する具体的手段としての実用性を意識しており、研究成果は EWS 上での VLSI 設計工程において、あるいはエミュレーションによるノイズ対策検討工程において利用できるように構築されている。一般に VLSI チップには数千から数百万個の論理ゲートを集積したデジタル回路が搭載されており、さらに VLSI チップはパッケージやボードとの接続を必然的に有することから、電源雑音に関わる素子数はきわめて膨大であり、簡単には予測できない。本研究は、CMOS デジタル LSI における電源雑音の発生を容量充電モデルによりコンパクトに表現できることに着目し、電源雑音の測定、電源雑音のシミュレーション、および電源雑音のエミュレーションを通して CMOS デジタル LSI における電源雑音を見通し良く解析・予測する道筋を与えている。これらの事項から、本論文は産業界において実用的な知見を与える工学的価値の高い研究成果をまとめていると考えられる。</p> <p>本論文の構成は以下の通りである。</p> <p>第 1 章では、研究の背景と動機について述べている。大規模 VLSI における電源雑音に関して、先行研究を調査した内容をまとめるとともに、本研究の位置づけと本論文の目的を明らかにしている。</p> <p>第 2 章では、CMOS デジタル電源雑音の評価に適したリファレンス回路の提案と高分解能な雑音測定手法について述べている。フリップフロップを同期型順序論理回路の基本回路と位置付け、複数のプロセス世代やファウンダリにおける電源雑音の発生を標準的に評価するためのリファレンス回路を提案するとともに、1 GHz 領域の広帯域の電源雑音測定を実現している。</p> <p>第 3 章では、CMOS デジタル電源雑音の容量充電モデリングとシミュレーション手法について述べている。デジタル回路の電源電流を時系列の容量充電過程によりコンパクトに表現し、電源寄生インピーダンスネットワークとの作用により電源雑音の発生を精度よく解析できることを示している。</p> <p>第 4 章では、CMOS デジタル電源雑音のハードウェア・エミュレーション手法について述べている。電源雑音解析における容量充電モデルを回路化する容量充電セルの構成法を提案し、大規模デジタル回路における電源雑音のエミュレーションを具体化している。</p> <p>第 5 章では、まとめと今後の展望を述べている。</p> <p>以上のように、本研究は CMOS デジタル LSI における電源雑音の解析とエミュレーション技術に関して、実用的な研究成果を与えている。とくに、CMOS デジタル LSI における電源雑音の発生を容量充電モデルによりコンパクトに表現できることに着目し、電源雑音の測定、電源雑音のシミュレーション、および電源雑音のエミュレーションを通して CMOS デジタル LSI における電源雑音を見通し良く解析・予測する道筋を与えている。このように、本研究は大規模・高性能な VLSI の設計において電源雑音を具体的に考慮するための技術手段を与える工学成果であり、価値ある集積であると認める。よって、学位申請者の松野 哲郎は、博士（工学）の学位を得る資格があると認める。</p>	