



省面積Time-to-Digital Converter設計技術に関する研究

小西, 恵大

(Degree)

博士 (工学)

(Date of Degree)

2013-03-25

(Resource Type)

doctoral thesis

(Report Number)

甲5784

(URL)

<https://hdl.handle.net/20.500.14094/D1005784>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



論文内容の要旨

氏 名 小 西 恵 大

専 攻 情報科学専攻

論文題目 (外国語の場合は、その和訳を併記すること。)

省面積 Time-to-Digital Converter 設計技術に関する研究

指導教員 川 口 博

(注) 2, 000 字～4, 000 字でまとめること。

情報通信機器が今後発展していくにあたり、従来のものよりも低消費電力であり高性能かつ低コストな最新 LSI の開発は必要不可欠な課題である。CMOS デバイス技術の進化は世代が変わるごとに製造プロセスを微細化し搭載トランジスタ数を増加させてきた。微細化がより一層進む事によって、トランジスタサイズは小さくなる。そして、その縮小度合いに合わせる形で電圧・電流を下げていくため低消費電力化が進んでいくことになる。

無線通信などの用途で、システム LSI におけるアナログ回路を高い周波数で利用する例が増えてきている。単純なアナログ回路は要求性能に応じた最適なプロセスを選択すればよいが、高速動作を要求される場合には、微細プロセスの使用が避けられない。0.35 μm や 0.25 μm といったプロセスを使ってアナログ回路を構成する場合、実現できるとしても消費電流量を大きくする、あるいは面積が大きくなる必要がある。

こういった課題に対し、システム LSI の内部回路と同一のプロセスを使用しアナログ回路を実現することが求められている。システム LSI と同様にアナログ回路を微細化することでシステム LSI に搭載できるアナログ回路が増加する。これにより、部品点数が減るなどのコスト面のメリットも出てくる。こうした背景から、アナログ回路とデジタル回路を同一チップに配置したミクストシグナルチップの研究開発が近年進んでいる。

しかしミクストシグナルチップの開発において、トランジスタサイズは縮小化されるためトランジスタ特性のばらつきが大きくなり無視できない程度にまで顕在化してしまっていることが問題となっている。この特性ばらつきにより回路に流れる信号精度が劣化してしまう。

デジタル回路は、信号電圧が基準値よりも高いか低いかで“1”と“0”を判別するため、素子特性のばらつきに強い構成が可能である。しかし、アナログ回路は信号波形を純粹にそのまま処理するため、素子特性のばらつきにより信号処理精度低下を招いてしまう。また電源電圧の低下によりダイナミックレンジが縮小されてしまい、信号振幅が小さくなり SN 比が低下してしまう。ひいてはトランジスタのばらつき、さらに電源電圧の低下によるダイナミックレンジの低下によりオペアンプを駆動するのが難しくなってしまう。オペアンプを構成したとしても、利得の確保は難しく直線性は劣化する。

それらのマイナス面を補おうとして、スイッチトキャパシタ回路を構成するキャパシタの静電容量を大きくすれば回路面積は増大し消費電流が増大してしまう結果となる。

アナログ回路とデジタル回路を混載するミクストシグナルチップでは上記のようにプロセスの微細化の恩恵を受けられず、低コスト化・低消費電力化・高性能化が課題となっている。ミクストシグナル回路の重要なコンポーネントである A/D 変換器 (ADC) では、オペアンプが特に微細化の妨げとなっている。

本研究は、ADC を微細プロセスにいかにして適応させ、低コストに実現させるかに主眼を置いている。本論文は全 6 章で構成されており、第 1 章は序論である。

第 2 章では、ADC の微細プロセスへの適応性及び、回路面積縮小・低消費電力化と高精度化への課題を述べる。そして、それらを解決するために導入した時間領域での演算方法について説明する。

第 3 章では、低消費電力多相発振器 (Multi-phase oscillator : MPOSC) のための Transfer gate phase coupler (TGPC) について述べた。位相结合回路 (Phase coupler) は nMOS アナログスイッチ (Transfer gate) であり、直接の GND へのパスが無い場合電荷を無駄にせず低消費電力化を可能にする。また提案 MPOSC は任意数の位相出力が可能という特徴を持つ。90 度位相ずれを含んだ 20 相出力 MPOSC を CMOS 180nm プロセスと 65nm プロセスにおいてチップ試作し評価を行った。評価回路についてプロセススケールバリエーションを確認するため、二つのプロセスで試作を行った。評価の結果、提案 MPOSC はそれぞれのプロセスにおいて nMOS ラッチを使用した従来手法と比較し電力・遅延時間積 (Phase delay product : PD 積) を 36.6%, 38.3% 改善した。65nm プロセスにおいて、DNL とピリオドジッタ (3σ) の測定値はそれぞれ ± 1.22 度と 5.82ps であった。消費電力は 1.85GHz 出力時で 282 μ W であった。

第 4 章では、本章では時間領域演算を用いた 2 次 $\Delta\Sigma$ ADC を提案した。提案 ADC では、Voltage controled delay unit (VCDU) がアナログ入力電圧値をパルスの遅延時間へ変換する。その後、遅延されたパルスは Gated ring oscillator (GRO) へと入力され、その入力期間を Time to digital converter (TDC) で処理することでデジタル出力を得る。この構成

において、面積を大きく必要とするスイッチドキャパシタ回路やオペアンプといった回路は用いられていない。こうして、提案 ADC は小面積で低消費電力に LSI に実装することができる。このため、微細プロセスへの親和性が高く、今後のプロセススケールに十分適応できる回路構成である。初段 GRO で発生した量子化誤差は D-フリップフロップ (DFF) を経由して次段の GRO へと伝搬される。そうすることで、MASH 型の回路構成をとることができ、高次のノイズシェイピング効果を得ることができる。40-nm CMOS プロセスを用いて、実際に LSI 実装を行った結果、入力信号帯域 16kHz でサンプリングレートが 8MHz の時、45dB の Signal to noise and distortion ratio (SNDR) を達成した。この時、消費電力は 408.5 μ W であり、回路全体の面積は 608 μm^2 であった。

第 5 章では、小面積な 2 次完全デジタル TDC について提案した。この TDC はリング発振器と電流源で構成された 2 つの Frequency shift oscillator (FSO) と低ジッタ化を実現するダイナミック型フリップフロップによって構成されている。提案する FSO 回路は発振動作を停止させないで位相情報を保持することが可能であり、従来の GRO とは異なり、リーク電流の影響が軽減される。提案する FSOTDC はロバストな回路構成であり、最先端のリーク電流が無視できない LSI 製造プロセスにおいても完全デジタル TDC アーキテクチャを実現できる。提案 TDC は低ジッタなダイナミック型フリップフロップを量子化誤差伝搬回路に採用している。2 つの FSO 間の発振周波数誤差は、LMS 適応フィルタを用いることでキャンセルすることができる。この LMS フィルタがあることにより、提案 TDC は 2 次ノイズシェイピング特性を実現している。65nm CMOS プロセスを用いて実際にチップ試作を行った結果、入力帯域幅が 500kHz でサンプリングレートは 16MHz とした条件下で SNDR 値が 61dB、回路面積 700 μm^2 、消費電力 281 μ W を達成できた。

最後に第 6 章では、本論文の結論を述べる。

本論文では、微細プロセスでの ADC の問題点を明らかにし、それを克服するために導入した時間領域での演算手法、時間領域演算の基本ブロックとなるリング発振器、そして省面積な時間差情報デジタル変換器とその ADC への応用を実現する。

氏名	小西 恵大		
論文 題目	「省面積 Time-to-Digital Converter 設計技術に関する研究」		
審査 委員	区 分	職 名	氏 名
	主 査	教授	吉本 雅彦 印
	副 査	教授	永田 真 印
	副 査	教授	賀谷 信幸 印
	副 査	准教授	川口 博 印
	副 査		印

要 旨

情報通信機器が今後発展していくにあたり、従来のものよりも低消費電力・高性能かつ低コストな最新 LSI の開発は必要不可欠な課題である。CMOS デバイス技術の進化は、世代が進むごとに製造プロセスを微細化させ搭載トランジスタ数を増加させることで達成されている。微細化により一層進む事によって、トランジスタサイズは小さくなる。そしてその縮小度合いに合わせる形で電圧・電流を下げていくため低消費電力化が進んでいく。近年、無線通信などの用途でアナログ回路を高い周波数で利用する例が増えてきている。単純なアナログ回路は要求性能に応じた最適なプロセスを選択すればよいが、高速動作を要求される場合には微細プロセスの使用が理想である。つまり高性能デジタル・アナログ混在システムの実現のためにはデジタル回路と同一のプロセスを使用しアナログ回路を実装することが求められている。アナログ回路を微細化することでアナログ回路の省面積化が達成され、LSI に搭載できるアナログ回路が増加する目論見である。これによりコスト面のメリットも出る。こうした背景からアナログ回路とデジタル回路を同一チップに配置したミクストシグナルチップの研究開発が進んでいる。

しかしミクストシグナルチップの開発においてはトランジスタサイズが縮小されるため特性のばらつきが無視できない大きさにまで顕在化する。この特性ばらつきにより回路に流れる信号精度が劣化する。デジタル回路では信号電圧が基準値よりも高いか低いかで“1”と“0”を判別するため、トランジスタ特性のばらつきに強い構成が可能である。しかしアナログ回路は信号波形を純粋にそのまま処理するため、トランジスタのばらつきにより信号処理精度低下を招く。微細化に伴う電源電圧の低下によりダイナミックレンジが縮小し、信号振幅が小さくなり信号対雑音比が低下する。これらトランジスタばらつきと電源電圧の低下によるダイナミックレンジの低下によりオペアンプを性能維持が困難となる。利得の確保が難しく、直線性も劣化する。それらの欠点を補うため、スイッチトキャパシタ回路の場合にはキャパシタの静電容量を大きくすることもできるが、回路面積と消費電力が増大してしまう。言い換えれば従来のミクストシグナルチップではプロセスの微細化の恩恵を受けることが難しい。ミクストシグナル回路の重要な回路である Analog-to-Digital Converter (ADC) ではオペアンプとキャパシタが特に微細化の妨げとなる。

本研究は LSI 製造プロセス微細化に対応可能な Time-to-Digital Converter (TDC) 設計技術に関するものである。TDC は ADC を構成するための重要なブロックであり、時間情報信号処理を利用することでプロセス微細化に対応する。本論文では、第 1 章において研究の背景・目的について述べられ、第 2 章では TDC の微細プロセスへの適応性及び回路面積縮小・低消費電力化と高精度化への課題が記述されている。

第 3 章では、TDC の基本回路であるリング発振器の設計技術について述べられている。低消費電力多相発振器 (Multi-phase oscillator: MPOSC) のために位相結合回路 (Phase coupler) として Transfer gate phase coupler (TGPC) が採用されている。つまり TGPC は nMOS アナログスイッチ (Transfer gate) で実装され、GND へのパスが無いため電荷を無駄にせず、低消費電力化が達成される。また提案する MPOSC は任意数の位相出力が可能という特徴を持つ。90 度位相ずれを含んだ 20 相出力 MPOSC を 180nm CMOS プロセスと 65nm CMOS プロセスにおいてチップ試作し、評価されている。世代の違う 2 つのプロセスの試作はプロセススケーラビリティの確認のためである。評価の結果、提案 MPOSC はそれぞれのプロセスにおいて nMOS ラッチを使用した従来手法と比較し、電力・遅延時間積 (Phase delay product: PD 積) が 36.6%, 38.3% 改善された。

氏名

第 4 章では、前章で述べたリング発振器を発展させ、時間領域演算を用いた 2 次 $\Delta\Sigma$ ADC が提案されている。提案 TDC では時間情報が Gated ring oscillator (GRO) へと入力され、その入力期間中の発振回数をカウントすることでデジタル出力を得る。この構成において、面積を大きく必要とするスイッチドキャパシタ回路やオペアンプといった回路は用いられていない。省面積・低消費電力で LSI 実装される。微細プロセスとの親和性が高く、今後のプロセススケーリングに適応できる回路構成である。初段 GRO で発生した量子化誤差は D フリップフロップ (DFF) を経由して次段の GRO へと伝搬され、2 次のノイズシェイピング効果が得られている。40nm CMOS プロセスで LSI 実装された。入力信号帯域 16kHz・サンプリングレート 8MHz の時、45dB の Signal to noise and distortion ratio (SNDR) が達成された。消費電力は 408.5 μ W、回路全体の面積は 608 μ m² であり、省面積 TDC が実現された。

第 5 章では、前章のコア回路である GRO TDC についてさらに研究が進められている。リング発振器と電流源で構成された 2 つの Frequency shift oscillator (FSO) と低ジッタ化を実現するダイナミック型フリップフロップによって構成されるように改良されている。提案する FSO TDC 回路は発振動作を停止させないで位相情報を保持することが可能であり、従来の GRO よりリーク電流の影響が軽減される。最先端の低しい値プロセスではリーク電流が無視できないが、リーク電流の大きな環境においても提案完全デジタル TDC アーキテクチャは実現可能である。また量子化誤差伝搬回路として低ジッタなダイナミック型フリップフロップが採用されている。2 つの FSO 間の発振周波数誤差は LMS 適応フィルタを用いることで補償され、提案 FSO TDC は 2 次ノイズシェイピング特性が実現される。65nm CMOS プロセスを用いて実際にチップ試作が行われ、入力帯域幅 500kHz・サンプリングレート 16MHz の条件下で SNDR 値 61dB、回路面積 700 μ m²、消費電力 281 μ W である。

以上の第 3 章から第 5 章において、省面積 TDC 回路設計手法について述べられ、最後の第 6 章でまとめられている。本論文で述べられた研究成果は、3 編の査読付き英語論文に採択され、国際学会においても 3 件報告されている。

本研究は将来の TDC 回路設計技術分野において、プロセススケーラブルで省面積・低コスト化に寄与する有効な手段となり得るものである。よって、学位申請者の小西恵大は、博士 (工学) の学位を得る資格があると認める。