



A Study on Process-Variation-Adaptive Design for Robust and High-Performance VLSI Processor

Nakata, Yohei

(Degree)

博士 (工学)

(Date of Degree)

2013-03-25

(Date of Publication)

2014-02-03

(Resource Type)

doctoral thesis

(Report Number)

甲5787

(URL)

<https://hdl.handle.net/20.500.14094/D1005787>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



(別紙様式 3)

論文内容の要旨

氏 名 _____ 中田 洋平 _____

専 攻 _____ 情報科学専攻 _____

論文題目 (外国語の場合は, その和訳を併記すること。)

A Study on Process-Variation-Adaptive Design for Robust and High-Performance VLSI Processor

(プロセスばらつきを考慮した高信頼・高性能 VLSI プロセッサの設計技術研究)

指導教員 _____ 吉本 雅彦 教授 _____

(注) 2, 000 字~4, 000 字でまとめること。

This dissertation reports process-variation-aware robust and high-performance techniques of a very large scale integrated circuit (VLSI) processor design in a scaled semiconductor process technology. More and more electronic equipment and devices have been widely used in ubiquitous computing environments by incorporating a high-performance and high-reliability VLSI System on a Chip (SoC) device that integrates billions of transistors fabricated with advanced semiconductor process technology.

As the background of this research area, the objective of this study and an overview of this dissertation are presented. Then issues related to the VLSI system in the advanced process technology are noted. The main issues are explained as four parts: 1) operating stability degradation caused by degradation of SRAM operating reliability, 2) processing performance degradation in the VLSI with the synchronous clock design, 3) the degradation of scalabilities in the operating stability and the processing performance caused by the process variation, and 4) difficulty in analyzing VLSI system stability. The description of each part emphasizes the objectives of this study.

The third part of this paper describes a cache memory that can operate at low voltage under the effect of the process variation in a scaled process technology. The static random access memory (SRAM) is a vulnerable circuit component in the VLSI processor against process variation. Therefore, a large-capacity SRAM macro determines the minimum operating voltage (V_{min}) of the entire VLSI processor. The cache memory leverages 7T/14T SRAM, which can improve its operating reliability: two pMOS transistors are appended between internal nodes in a pair of the conventional 6T SRAM bitcells. To mitigate the variation of operating stability of the SRAM in the large-capacity SRAM cache macro, 32-bit word-level fine-grain mode control of the 7T/14T SRAM is introduced. The proposed scheme, designated as 7T/14T word-enhancing, also introduces a testing method that improves the efficiency of the 14T word-enhancing scheme. In a 65-nm process technology, the 4-MB cache implemented with the proposed scheme can operate at 0.5 V that is 42% and 21% lower, respectively, than a conventional 6T SRAM and a cache word-disable scheme. As a result of a measurement of the fabricated silicon chip in a 65-nm process, it was confirmed that the 14T word-enhancing scheme can operate at 0.4 V and reduce V_{min} of the 6T SRAM and 14T dependable modes respectively by 25% and 19%. The respective dynamic power reductions are 89.2% and 73.9%. The respective degrees of 44.8% and 20.9% represent the total power reduction.

In the fourth part of this paper, a network-on-a-chip (NoC) is reported: it can reconfigure its composition considering the process variation. Because NoC generally

adopts a synchronous network design across the silicon chip, NoC is strongly affected by process variation, which produces different effects depending on the location in the silicon chip. The operating frequency of the network is degraded while syncing the slowest network component in the silicon chip. A process-variation-adaptive NoC design is proposed to adapt process variation in individual locations of network routers. The proposed NoC introduces a variation-adaptive variable-cycle router (VAVCR) and a variable-cycle pipeline adaptive routing (VCPAR). The proposed VAVCR adaptively configures its processing latency of router pipeline corresponding to the process variation of its location. The operating frequency of the network degraded by the process variation is improved by an adaptive reconfiguration of the proposed VAVCR. The proposed VCPAR is a routing algorithm that can consider processing cycle variation of the NoC with VAVCR. The VCPAR preferentially passes through low-cycle latency routers to minimize the packet transmission latency. The total execution time reduction of the proposed VAVCR with VCPAR is 15.7%, on average, for five task graphs. The proposed scheme can contribute to synchronous network fabrics such as shared bus, ring bus, and crossbar, not limited to NoCs.

The fifth part of this paper describes a new system-level fault-injection scheme that can consider device level behaviors of SRAM. In the robustness evaluation of VLSI processor system under severe operating conditions, consideration of vulnerable SRAM blocks in the VLSI processor is necessary. An SRAM operating stability under severe operating condition is determined by a circuit level behavior and transistor device level variability. In the proposed system-level evaluation environment, the circuit level behavior and the transistor level variability of each individual SRAM are considered. Failures of the SRAM block in the severe operating condition can be injected to the evaluation environment. In the middle of this discussion, details of the modeling of the SRAM circuit behavior are described, along with consideration of the variability of the transistor device and a fault case generator (FCG) that can generate failure patterns injectable to the system-level evaluation environment. Subsequently, evaluations of the vehicle engine control system are presented. It is confirmed that a dependable processor with 7T/14T dependable SRAM improves system-level dependability compared with the conventional 6T SRAM in the end of this part.

Finally, the conclusion of this study is presented in the last part. In this paper, three techniques governing the process variation are described. The three techniques will be much more valuable in more-scaled CMOS process technology, post-CMOS technology, and other promising future semiconductor technologies that have much more device characteristic variation.

氏名	中田 洋平		
論文 題目	A Study on Process-Variation-Adaptive Design for Robust and High-Performance VLSI Processor (プロセスばらつきを考慮した高信頼・高性能 VLSI プロセッサの設計技術研究)		
審査委員	区分	職名	氏名
	主査	教授	永田 真 印
	副査	教授	吉本 雅彦 印
	副査	教授	山本 有作 印
	副査	准教授	川口 博 印

要 旨

概要

近年、ますます多くの電子機器・デバイスがユビキタスコンピューティング社会の様々な分野で広く使用され、その市場は成長を続けている。また、スマートフォン、タブレット、高機能な自動車、EMS 等の新しいデバイスソリューションも登場し、大量に出荷されている。従って、それらのデバイスソリューションのコアとなる VLSI プロセッサは非常に大量に使用・生産されることになる。一方、Safety-critical なシステムのコアとなる VLSI プロセッサは高い信頼性が要求され、高い信頼性を維持しながら大量に出荷することが要求される。これらの VLSI プロセッサをコストを抑えながら大量に出荷するためには高い歩留りを維持することが必要となる。

近年の先進 CMOS プロセステクノロジーでは、MOS トランジスタ素子の特性ばらつきが無視できないほど大きくなる。その特性ばらつきは、「動作安定性の低下」、「処理性能の低下」、「故障解析が困難となる」等の多くの問題を VLSI プロセッサの設計にもたらす。特に最小サイズのトランジスタで構成される SRAM は、一般に多くの容量が VLSI に搭載され、VLSI の他のブロックと比較して大きなしきい値電圧ばらつきを持つ。そのため、SRAM の最低動作電圧は VLSI プロセッサの中で最も高くなり、VLSI プロセッサの最低動作電圧を決定する要因となる。また、大規模・高性能な VLSI プロセッサでは VLSI 上の各部品がばらつきの影響を大きく受け、処理性能が劣化し、歩留まりを低下させる。従って、ばらつきによる大規模な SRAM ブロックの信頼性低下と高性能 VLSI プロセッサの処理性能低下を低減可能な VLSI プロセッサが望まれている。

本研究は、プロセスばらつきによって現れる問題を解決可能な適応的設計技術に関するものである。第1章において、本研究の背景と目的について述べている。また第2章において、微細プロセステクノロジーにおいて生じる VLSI プロセッサの問題点について言及している。

第3章では、微細プロセステクノロジーにおけるプロセスばらつきの影響下で低電圧動作を可能とする大容量キャッシュメモリに関する研究を記述している。SRAM は VLSI プロセッサの中でプロセスばらつきに対して最も脆弱な回路であり、大容量の SRAM マクロが VLSI プロセッサ全体の最低動作電圧(Vmin)を決定する。提案キャッシュメモリは動的に動作信頼性を向上可能な 7T/14T SRAM を用いる。大容量の SRAM を用いたキャッシュメモリにおいて各メモリセルの動作信頼性のばらつきに適応的に対応するために、32bit のワードレベルでの細粒度の 7T/14T SRAM の制御を提案した。さらに、提案する 7T/14T word-enhancing 手法の効率を最大化するために、新たなテスト手法を提案した。提案手法によって実装された 4MB キャッシュは、65nm プロセスにおいて、従来の 6T SRAM を用いたキャッシュと、word-disable 手法を用いたキャッシュと比較して、それぞれ 42%、21%の最低動作電圧を削減することが可能であり、0.5V での動作が可能である。また、ダイナミック電力の削減効果はそれぞれ 89.2%、73.9% であり、トータルの消費電力削減効果は 44.8%、20.9% である。

氏名 中田 洋平

第4章ではプロセスばらつきを考慮して構成を変更することが可能である Network-on-Chip (NoC) プロセッサに関する研究を記述している。NoCは一般的にチップ全体に広がる同期ネットワークを持つため、チップの箇所ごとに異なる特性を持つプロセスばらつきの影響を大きく受ける。同期ネットワークの動作周波数はチップ内で最も遅い構成要素に同期する必要があるため、ばらつきの影響によって大きく低下する。その動作周波数の低下を抑えるために、チップ内の個々の箇所のばらつきに対応可能なネットワークルータを提案している。提案 NoC では、ばらつき適応型可変サイクルルータ(VAVCR)と可変サイクルパイプライン適応ルーティング(VCPAR)の2手法を用いて、性能低下の改善を図る。VAVCR はルータの個々の箇所のプロセスばらつきに対応して、適応的にルータのパイプライン処理サイクルを変更する。それによって、プロセスばらつきによって低下した同期ネットワークの動作周波数を改善し、NoC の処理性能を改善することが可能となる。VCPAR は VAVCR によるルータのネットワーク処理サイクルの変動を考慮することが可能なルーティングアルゴリズムである。VCPAR を用いたルータではサイクルレイテンシの小さいルータを優先的に通過することによって、ルータ間のパケット転送時間を最小限に抑える。提案する VAVCR と VCPAR を用いた NoC では、従来と比較して、処理時間を平均で 15.7%削減可能であると確認した。

第5章では SRAM のデバイス・回路レベルでの動作を考慮することができるシステムレベルの故障注入技術について記述している。過酷な動作条件・環境下における VLSI プロセッサの堅牢性の評価を行う際には、VLSI プロセッサの中で最も脆弱なブロックである SRAM ブロックの動作信頼性を考慮する必要がある。過酷な動作条件下の SRAM の動作信頼性は回路レベルの動作とトランジスタデバイスレベルのばらつきによって決定される。提案のシステムレベル評価環境では個々の SRAM の回路レベルの振る舞いとデバイスレベルのばらつきを考慮することが可能であり、様々な動作環境下における SRAM ブロックの不良を評価環境に注入することが可能である。本章の中盤では「SRAM の回路レベルの振る舞いのモデル化」、「トランジスタのばらつきのモデル化」、「システムレベル評価環境に注入可能な故障パターンを生成することができる Fault Case Generator (FCG)」についてそれぞれ詳述している。続いて、自動車エンジン制御システムの評価結果が示されている。自動車エンジン制御システムの評価結果より、7T/14T 高信頼 SRAM を内部メモリに用いた高信頼プロセッサは従来の 6T SRAM を搭載したプロセッサと比較して、システムレベルの動作信頼性を向上させることを確認している。

以上、第3章～第5章で、微細テクノロジーにおけるプロセスばらつきを考慮した VLSI プロセッサの高信頼化、高性能化手法と、システムレベル評価環境における故障注入技術について記述し、最後に第6章で本論文を総括し、結果を述べている。これらの研究成果は2編の査読付き論文と3編の国際学会プロシーディングにて掲載されており、今後、微細プロセスにおける大規模 VLSI プロセッサの高信頼化・高性能化、ならびに VLSI プロセッサを用いたシステムの大規模故障影響解析に寄与するものであり、今後現れる新たな半導体プロセス技術においても更なる効果が期待されるものである。

以上のように本研究は、プロセスばらつきを考慮した高信頼・高性能 VLSI プロセッサの設計技術について研究したものであり、特に今後の高度情報化社会構築の鍵となる重要で価値ある知見を得たものと認める。よって、学位申請者の中田洋平氏は、博士(工学)の学位を得る資格があると認める。

以上。