



A Study on Circuit Design for Low-Voltage and Soft-Error Resilient SRAM in Nanometer CMOS Technology

Yoshimoto, Shusuke

(Degree)

博士 (工学)

(Date of Degree)

2013-09-25

(Date of Publication)

2014-09-01

(Resource Type)

doctoral thesis

(Report Number)

甲第5946号

(URL)

<https://hdl.handle.net/20.500.14094/D1005946>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



論文内容の要旨

氏 名 _____ 吉本 秀輔 _____

専 攻 _____ 情報科学専攻 _____

論文題目 (外国語の場合は、その和訳を併記すること。)

A Study on Circuit Design for Low-Voltage and
Soft-Error Resilient SRAM in Nanometer CMOS
Technology
(ナノメートル CMOS における低電圧・耐ソフトエラー
SRAM に向けた回路設計技術に関する研究)

指導教員 _____ 川口 博 _____

This dissertation reports robust circuit designs for low-voltage, low-power and soft-error resilient SRAM in deep-submicron technology.

Chapter 1 shows background of the dissertation and basic characteristics for the SRAM. The soft-error mechanism is also explained in the chapter.

In Chapter 2, intrinsic issues in the deep-submicron technology are presented: decreased operating margin in a read and write cycle, energy dissipation induced by bitline swing variation, and decreased critical charge incurring soft error are considered for the robust SRAM design. This dissertation presents robust circuit designs in Chapter 3 - Chapter 6 to address the issues in the deep-submicron technology.

Chapter 3 describes two disturb tolerant 8T SRAM designs; 1) a dual write wordline 8T cell with a sequential writing technique and 2) a low-power disturb mitigation scheme.

- 1) The dual write wordline 8T SRAM mitigates disturb (half-select) problem in a write cycle. The 8T SRAM cell has two write wordlines which are sequentially activated in a write cycle, and its combination with the half-VDD precharge suppresses the half-select problem. We implemented a 256-Kb DW8T SRAM and a half-VDD generator with a 40-nm CMOS process. The measurement results of the seven samples show that the proposed 8T SRAM improves the average VDDmin by 367 mV compared to the conventional 8T SRAM.
- 2) The proposed low-power disturb mitigation scheme reduces the power overhead of a general write-back scheme for low-voltage 8T SRAM using a floating write bitline technique and a low-swing bitline driver (LSBD). The LSBD consists of only nMOSes which pull up and down write bitlines in unselected columns. The pulled up bitline goes up to $VDD - V_{thn}$. The suppressed bitline swing reduces the write-back power consumption. A test chip with the proposed scheme is implemented and measurement results shows 1.52- μ W/MHz writing active energy and 72.8- μ W leakage power, which are 59.4% and 26.0% better than those of the conventional write-back scheme.

Chapter 4 presents two bitline swing limiting technique for low-power 8T SRAM; 1) a read bitline amplitude limiting circuit and 2) a selective source line control scheme with an address preset structure.

- 1) The read-bitline amplitude limiting (RBAL) scheme suppresses dynamic energy dissipation to charge the read bitlines. The RBAL consists of an nMOS switch which is inserted between a source line and ground in the dedicated read port. In addition, a discharge acceleration (DA) circuit is proposed to decrease delay overhead of RBAL. The proposed scheme improves the active energy dissipation in a read cycle by 22% at

the center-center corner and 25°C. The maximum delay overhead is 32% at the fast-slow corner and -40°C.

- 2) The selective source line control (SSLC) scheme reduces a read bitline voltage swing in an unselected column with a floating source line (SL) of dedicated read ports. Furthermore, an address preset structure is presented for a successive readout operation. The preset address enables the SRAM to be read out with no access time penalty for preferred use of the SSLC scheme. We observed that the proposed SSLC scheme with the address preset structure saves 38.1% of the readout power of a test chip on average.

In Chapter 5, two margin-enhancement techniques for the bit-error and soft-error tolerant SRAM design; 1) a bit-error and soft-error resilient 7T/14T SRAM and 2) soft-error resilient 8T bitcell with divided wordline structure.

- 1) Reliability of the 7T/14T SRAM can be dynamically changed by a control signal depending on an operating condition and application. The 14T dependable mode allocates one bit in a 14T cell and improves bit-error rate (BER) in a read operation and soft-error rate (SER) in a retention state, simultaneously. In our measurements, the minimum operating voltage was improved by 100 mV, the alpha-induced SER was suppressed by 80.0%, and the neutron-induced SER was decreased by 34.4% in the 14T dependable mode over the 7T normal mode.
- 2) The soft-error tolerant 8T SRAM cell layout is presented to mitigate multiple-bit upset (MBU) in a divided wordline structure. In the 8T cell array, horizontally adjacent latches are completely separated by p-substrate of the dedicated read ports. The MBU in the proposed 8T SRAM is improved by 90.70% and the MBU SER is decreased to 3.46 FIT / Mb at 0.9 V when a single-error correction and double-error detection (SEC-DED) ECC is implemented. The proposed 8T SRAM array has a 48% area overhead over the conventional 6T SRAM; however, the minimum operation voltage can be improved by 0.45 V and thus the operation power is decreased by 77.2%.

Chapter 6 describes a soft-error simulator and two multiple-bit-upset tolerant 6T bitcell layouts; 1) a neutron-induced soft-error simulator using a particle transport code (PHITS), 2) an nMOS-inside 6T cell layout, and 3) an nMOS-pMOS reversed 6T cell layout.

- 1) The proposed soft-error simulation tool can calculate the SER according to various data patterns and the layout structure of the memory cells in an SRAM. Additionally, the tool distinguishes a single-event-upset (SEU) SER, a horizontal multiple-cell-upset (MCU) SER, and a vertical MCU SER using an extracting function. We evaluated the following layouts using the estimation tool.

- 2) The nMOS-centered 6T SRAM cell layout reduces a neutron-induced MCU SER on a same wordline. We implemented a 1-Mb SRAM macro in a 65-nm CMOS process and irradiated neutrons as a neutron-accelerated test to evaluate the MCU SER. The proposed 6T SRAM macro improves the horizontal MCU SER by 67–98% compared with a general macro that has pMOS-centered 6T SRAM cells.
- 3) The proposed nMOS-pMOS reversed 6T cell leverages pMOS characteristics of smaller dopant variation and larger saturation current than that of nMOS in the advanced process. In 22-nm node, the static-noise margin and the saturation current of the proposed cell are respectively enhanced by a factor of 2.04 and 2.81. The 6T cell also improves the single-bit-upset and multiple-cell-upset soft-error rate by 11–51% and 34–70%, respectively, because the proposed n-p reversed cell has a 33% smaller nMOS diffusion than the conventional one and reduces a collected charge induced by a secondary ion.

Finally, Chapter 7 concludes this dissertation. This thesis presents the low-voltage, low-power and soft-error tolerant SRAM designs. The work contributes to achieve an energy-efficient and robust SRAM design for the advanced technology.

氏名	吉本秀輔		
論文 題目	A Study on Circuit Design for Low-Voltage and Soft-Error Resilient SRAM in Nanometer CMOS Technology (ナノメートル CMOS における低電圧・耐ソフトエラーSRAM に向けた回路設計技術に関する研究)		
審査委員	区分	職名	氏名
	主査	教授	吉本 雅彦
	副査	教授	永田 真
	副査	教授	的場 修
	副査	准教授	川口 博

印

要 旨

近年、LSI は様々な産業の基幹を担っており、コンピュータシステムに搭載される LSI の信頼性がますます重要となってきている。しかし、LSI 製造プロセスの微細化が進むにつれてトランジスタ素子特性のばらつきが増大し、LSI の低電圧における動作信頼性が低下している。特に、SRAM(Static Random Access Memory)は各世代の最小サイズトランジスタを用いるため、LSI の信頼性及び歩留まりを決定する要因となっており、その動作信頼性の維持が重要となってきている。

本論文は7章で構成されており、第1章は序論である。ここでは、研究背景と課題、そして本論文の目的について述べられている。第2章ではSRAMの動作マージン低下と電力効率の低下、そしてソフトエラーによる信頼性低下の問題について述べられている。

第3章ではハーフセレクト問題を解決する2つの技術について述べられている。

3.1 差動ワード線構造を有する8T SRAM

提案8Tセルでは書き込みワード線を2本に増やすことで異なるタイミングで左右のノードにアクセスすることが可能となる。ここで非選択セルのWBLを電源電圧VDDの半分の電位(Half-VDD)に充電することでディスタープ電流を減少させる。加えて2本の書き込みワード線を異なるタイミングで立ち上げることで一方のディスタープ電流を排除する。この際書き込みワード線を時間差で駆動するため、書き込み性能は悪化する。そこで書き込み性能を改善するためにネガティブWBLを適用し、低電圧動作を実現した。結果グローバルワーストな点において、71%のBit error rateの改善を確認した。40nmプロセスを用いて、256Kb SRAMを設計し評価したところ、最低動作電圧を0.4V改善し、0.6Vの電源電圧での動作を実現した。

3.2 小振幅ビット線ドライバを用いたディスタープ緩和技術

本節では8T SRAMの低電圧動作メリットを保ちつつ低消費電力化を実現する技術として、小振幅ビット線ドライバを用いたディスタープ緩和技術手法を提案されている。提案手法は書き込みビット線の常時フローティング化と、NMOSプルアップドライバによるビット線駆動からなる。従来のフローティングビット線技術はスタンバイ時に用いられていたが常時フローティングとすることで、0.5V動作時のリーク電力を33%削減(FFコーナ)できる。NMOSプルアップドライバによるビット線駆動により非選択のハーフセレクトカラムにおけるビット線充放電電力を60%削減できる。40nmプロセスを用いて、512Kb SRAMを設計し評価したところ、0.5V単一電源での動作を実現し、1.52 uW/MHzのアクティブ電力と72.8uWのリーク電力を実現した。従来ライトバック手法に比べてそれぞれ59%、26%の電力が削減された。0.5V動作時の消費電力は12.9uW/MHzとなり、従来技術の中で最も高効率であることを示している。

第4章ではビット線の振幅を抑制する2つの技術について述べられている。

4.1 読出し加速回路及びビット線リミット回路

本節では、8T SRAMに適應する読出しビット線リミット機構(RBAL)および放電加速回路(DA)を提案した。RBALを用いることにより13%-27%のアクティブエネルギーを削減し、DAを用いることによりSSコーナで速度を2%-5%改善した。ワーストケース(FSコーナ、低温)でも速度ペナルティは32%であった。40nmプロセスを用いて256Kb 8T SRAMを試作・評価したところ、0.5V-0.7V動作において10pJ/access以下の動作を実現した。

氏名	吉本秀輔
4.2 選択的ソース線制御回路	提案する選択的ソース線制御回路は非選択列における読出しポートのソース線をフローティング状態に制御することで、非選択列の充放電電力を削減する技術である。選択列のソース線はNMOSスイッチをONにすることで正常に読出し動作を行うことが出来る。加えて、提案回路の速度ペナルティをなくすためのアドレス先読み技術を提案している。提案技術を用いて次サイクルのプリチャージアドレスを先渡しすることで速度ペナルティなく低電力化を実現している。40nmプロセスを用いてチップ試作し評価したところ、平均で38.1%の低電力化が達成されている。
第5章ではビットエラー及びソフトエラーを軽減するマージン拡大技術について述べられている。	
5.1 高信頼モードを有する7T/14T SRAM	7T/14T SRAMはコントロール信号の制御により信頼性を動的に変更できる特徴を持つメモリである。14T高信頼モードではコントロールゲートから補正電流を流すことができるためビットエラー及びソフトエラーの影響を緩和できる。チップ試作を行い評価したところ、100mVの低電圧化と、80%の α 線ソフトエラー率削減、34.4%の中性子線ソフトエラー率削減を達成した。
5.2 ソフトエラー耐性を有する8T SRAM レイアウト技術	提案する8T SRAMセルレイアウトは読出しポートを用いて隣り合うラッチを分離することで、分割ワード線構造における複数ビット反転の影響を抑制することができる。提案レイアウトをソフトエラーシミュレータで評価したところ同一ワード内の複数ビットエラーを90.70%削減し、0.9V動作時に3.46 FIT/Mbまでエラーを減らせる。分割ワード線構造を用いた8T SRAM + ECC構造は従来の6T SRAM + ECCに比べて面積オーバーヘッドが48%だが、最低動作電圧を0.45V削減することができ、77.2%の低電力化を実現できることが確認された。
第6章では開発されたソフトエラー率導出ツールと同一ワード内複数ビットソフトエラーの影響を緩和する2つの6T SRAMセルレイアウト技術への適用を実測との比較を含め述べられている。	
6.1 核反応シミュレータを用いたソフトエラー率導出ツール	提案するソフトエラー率導出ツールは、内部に核反応シミュレータ(PHITS)を内蔵しており、中性子とシリコン原子核の衝突及び二次粒子の輸送計算を行うことができる。提案ツールはSRAMの3次元構造とデータパターンを入力として受け付け、設計時にSRAMのソフトエラー耐性を評価することができる。
6.2 NMOS内側レイアウトを有する6T SRAM	本節ではNMOSトランジスタを内側に配置したPMOS-NMOS-PMOS(PNP)型6T SRAMセルレイアウトを提案している。提案レイアウトはソフトエラーに脆弱なNMOSを内側に配置することにより水平方向の複数ビット反転を抑制する。提案レイアウトと従来レイアウトを65nmプロセス1Mb SRAMとして試作した。RCNPにおいて中性子線加速試験評価をしたところ、同一ワード内の複数ビット反転を67-98%削減した。
6.3 NMOS-PMOS反転型6T SRAM	提案するNMOS-PMOS反転型6T SRAMは、PMOSをアクセスゲートに用いることで、面積オーバーヘッドなくNMOSを内側に配置できる。微細化されたプロセスではストレス技術によりPMOSの電流を確保しやすい。結果として22nm世代ではNMOSとPMOSの電流値がほぼ等しくなる。PMOSは電流ばらつきも小さいため動作マージンも同時に拡大できる。ソフトエラー率導出ツールを用いて評価したところ、シングルビットソフトエラー率を11-51%、マルチビットソフトエラー率を34-70%削減できる。また読出しマージンを2.04倍、オン電流を2.81倍に改善できることを示している。
以上第3章から第6章において、微細化SRAMにおける低電圧化技術、低電力化技術、ソフトエラー耐性向上技術に関する研究成果について記述し、最後に第7章において本論文を総括して結論を述べている。	
これらの研究成果は、5編の査読付き論文と11件の査読付き国際学会プロシーディングにて掲載されている。	
本研究は微細化SRAMについて、その低電力化・低電圧化・ソフトエラー耐性向上を研究したものであり今後の微細化SRAMの進展について重要な知見を得たものとして価値ある集積であると認める。よって、学位申請者の吉本秀輔は、博士(工学)の学位を得る資格があると認める。	