



# Development of Monte Carlo Simulators for Integrated Nanoscale Devices

Koba, Shunsuke

---

(Degree)

博士 (工学)

(Date of Degree)

2014-03-25

(Date of Publication)

2015-03-01

(Resource Type)

doctoral thesis

(Report Number)

甲第6095号

(URL)

<https://hdl.handle.net/20.500.14094/D1006095>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



## 論文内容の要旨

氏 名 木場 隼介専 攻 電気電子工学

論文題目 (外国語の場合は、その和訳を併記すること。)

---

### Development of Monte Carlo Simulators

---

#### for Integrated Nanoscale Devices

---

#### ナノスケール集積デバイスの

---

#### モンテカルロシミュレータの開発

---

---

指導教員 土屋 英昭 准教授

(注) 2, 000 字～4, 000 字でまとめること。

本論文は 6 章から構成され、各章の概要は以下に示す通りである。

第 1 章では、研究背景として、本論文が対象とする半導体集積デバイスのこれまでの発展の経緯と現在直面している技術的課題について述べている。近年まで、電子情報処理システムの高性能化は大規模集積回路(VLSI)を構成する MOSFET の微細化によって推し進められてきた。しかしながら、過去 50 年以上にわたる微細化によってナノスケールにまで到達した VLSI 技術には、DIBL やしきい値電圧低下などの短チャネル効果に加えて、チャネル内の離散不純物揺らぎの問題が顕在化し始めており、従来のスケーリング則のみでは VLSI の性能を向上させることが難しくなってきた。さらに、ゲート酸化膜のトンネルリーク電流の発生やソース・ドレイン間のトンネル電流に代表される量子力学的効果の問題、silicon-on-insulator (SOI) 構造やダブルゲート(DG)構造で現われる音響フォノン散乱の増大や空間的量子準位揺らぎに起因する新たな散乱過程の発生、チャネル領域を通過するキャリアが殆ど散乱を受けずにドレイン電極まで到達するバリスティック輸送の影響など、本格的なナノスケールへの突入に伴い新しい物理現象が顔を出し始めている。これらはいずれも MOSFET の微細化限界を左右する重要な物理現象であるが、現在の LSI 設計技術の基礎をなす古典的ドリフト・拡散モデルでは正確に考慮することは不可能である。このような状況にある VLSI 技術を今後も継続的に発展させるために、微細化だけに頼らない新材料・新構造技術の導入が現在大きな注目を集めている。次世代のナノスケール集積デバイスの研究においては、上述した新しい物理現象を正確に表現しながら、新材料や新構造にも対応できるデバイスシミュレータの構築が不可欠である。本章では、その実現を目指して本研究で取り組んだモンテカルロ(MC)シミュレータの概要について説明している。

第 2 章では、集積デバイスの特性を正確に予測するうえで欠かせない散乱過程のモデル化を確立するため、従来型のバルク構造 MOSFET と新型の SOI 構造 MOSFET に適用可能な半古典的 MC シミュレータを開発した。本章では、散乱過程のモデル化に集中するため、ソース・ドレイン方向の量子輸送効果は無視する半古典的 MC シミュレータを開発対象とした。まず、反転層の量子化を考慮するため、ゲート電極-Si 基板方向の 1 次元シュレディンガー方程式とポアソン方程式をセルフコンシステントに解く方法で電子状態を求め、それをさらに、音響フォノン散乱、非有極性光学フォノン散乱および表面ラフネス散乱を取り入れたチャネル方向の 1 次元 MC シミュレータに結合させることで、MOSFET の電子移動度を高精度に解析する計算手法を開発した。本章では、MOS 反転層の 2 次元電子ガスに対する散乱レートの導出と半古典的 MC シミュレータの説明を行った後、バルク構造および SOI 構造 MOSFET に実際に適用して得られた電子移動度の計算結果を紹介している。その際、実験結果との比較も詳細に行っている。その結果、開発した MC シミュレータは、

バルク構造および SOI 構造 MOSFET とともに電子移動度の実験結果をほぼ正確に再現することが示され、ナノスケール MOSFET の解析に適用可能な信頼性の高い散乱モデルが構築できたことを報告している。

第 3 章では、前章で開発した MC シミュレータを DG 構造 MOSFET に対応させ、次世代のナノスケール MOSFET の性能予測に適用可能な 2 次元半古典的 MC シミュレータへの拡張を行った。特に、ソースとドレイン電極の取り扱いを改良し、従来の MC 法では難しいとされていたサブスレッショルド領域での電流特性の解析を可能にした。そして、ナノスケール MOSFET で期待されているバリスティック輸送の出現による性能向上効果を見積もるために、DG 構造 MOSFET のバリスティック輸送効率を評価する手法を新たに開発した。その解析の結果、チャンネル長が 10 nm までは期待通り、バリスティック効率の上昇による性能向上が期待できるとの予測が得られた反面、チャンネル長が 10 nm 以下の領域に入ると、量子準位揺らぎに起因する新しい表面ラフネス散乱の出現により、バリスティック効率が急激に低下するという結果が得られた。これは Si MOSFET を 10 nm 以下に微細化しても更なる性能向上は本質的に難しいことを示唆しており、微細化限界を議論する際の重要な知見を与えている。

第 4 章では、ソース・ドレイン方向の量子輸送効果を厳密に取り入れることを目指して、量子論的 MC シミュレータの開発を行った。基礎とした理論はウィグナーの輸送理論であり、これをウィグナー-MC 法とよんでいる。ウィグナー-MC 法は、ウィグナーの量子輸送方程式を MC アルゴリズムを駆使して厳密に解く計算手法であり、散乱効果と量子力学的効果の両者を厳密に取り入れることが可能となっている。それゆえ、ナノスケール集積デバイスの解析に適した計算能力を有していると考えられている。本章では、このウィグナー-MC 法を、筆者が、日本を含むアジア地域では初めて開発に成功したことを報告している。実際に、DG 構造 MOSFET に適用を行い、チャンネル長が 10 nm 以下の MOSFET における量子輸送効果の影響を明らかにした。具体的には、チャンネル内で発生する量子反射効果は MOSFET のオン特性に影響を与え、電流駆動力を低下させることを見出した。一方、ソース・ドレイン間のトンネル効果はオフ電流を増大させ、チャンネル長が約 6 nm 以下のデバイスで深刻になることを明らかにした。

第 5 章では、ウィグナー-MC 法が、微細化に頼らない新材料技術に適用可能であることを示すために、III-V 族半導体をチャンネルとする MOSFET (III-V MOSFET) への適用を行った。III-V 族半導体は Si よりも電子移動度が高いため、微細化に頼らなくても集積デバイスの性能向上が実現できる材料として、近年、大きな注目を集めている。Si MOSFET に対して開発したウィグナー-MC シミュレータを III-V MOSFET に適用するには、伝導帯のバンド構造を変更することと、III-V 族半導体特有の有極性光学フォノン散乱を追加する必要があり、その説明を前半で行っている。後半では、III-V MOSFET の作製技術が現在最も

進んでいる InGaAs MOSFET と InP MOSFET を解析対象として、ソース・ドレイン方向の量子輸送効果の影響を詳しく検討した。その結果、InGaAs および InP とともに Si よりも大幅に軽い有効質量を持つ影響で、約 20 nm 以下という Si MOSFET の場合よりも約 3 倍長いチャンネル長でソース・ドレイン間のトンネル電流の影響が深刻になることを見出した。これは III-V MOSFET の微細化を推し進める際に大きな障害となる可能性があることから、本章の最後では、ソース・ドレイン間のトンネル電流を抑制し、かつ高い電流駆動力を有するチャンネル材料の開発の必要性を主張している。

第 6 章では、本論文の研究成果について総括を行い、今後の集積デバイス研究の方向性やシミュレーション研究の果たす役割などを議論している。

氏名	木場 隼介		
論文 題目	Development of Monte Carlo Simulators for Integrated Nanoscale Devices (ナノスケール集積デバイスのモンテカルロシミュレータの開発)		
審査委員	区分	職名	氏名
	主査	准教授	土屋 英昭
	副査	教授	八坂 保能
	副査	教授	竹野 裕正
	副査	教授	沼 昌宏
要 旨			
<p>本論文は6章から構成され、各章の概要は以下に示す通りである。</p> <p>第1章では、研究背景として、本論文が対象とする半導体集積デバイスのこれまでの発展の経緯と現在直面している技術的課題について述べている。近年まで、電子情報処理システムの高性能化は大規模集積回路(VLSI)を構成する MOSFET の微細化によって推し進められてきた。しかしながら、過去40年以上にわたる微細化によってナノスケールにまで到達した VLSI 技術には、DIBL やしきい値電圧低下などの短チャネル効果に加えて、チャネル内の離散不純物揺らぎの問題が顕在化し始めており、従来のスケールリング則のみでは VLSI の性能を向上させることが難しくなってきた。さらに、ゲート酸化膜のトンネルリーク電流の発生やソース・ドレイン間のトンネル電流に代表される量子力学的効果の問題、silicon-on-insulator (SOI) 構造やダブルゲート (DG) 構造で現われる音響フォノン散乱の増大や空間的量子準位揺らぎに起因する新たな散乱過程の発生、チャネル領域を通過するキャリアが殆ど散乱を受けずにドレイン電極まで到達するバリスティック輸送の影響など、本格的なナノスケールへの突入に伴い新しい物理現象が顔を出し始めている。これらはいずれも MOSFET の微細化限界を左右する重要な物理現象であるが、現在の LSI 設計技術の基礎をなす古典的ドリフト・拡散モデルでは正確に考慮することは不可能である。このような状況にある VLSI 技術を今後も継続的に発展させるために、微細化だけに頼らない新材料・新構造技術の導入が現在大きな注目を集めている。次世代のナノスケール集積デバイスの研究においては、上述した新しい物理現象を正確に表現しながら、新材料や新構造にも対応できるデバイスシミュレータの構築が不可欠である。本章では、その実現を目指して本研究で取り組んだモンテカルロ (MC) シミュレータの概要について説明している。</p> <p>第2章では、集積デバイスの特性を正確に予測するうえで欠かせない散乱過程のモデル化を確立するため、従来型のバルク構造 MOSFET と新型の SOI 構造 MOSFET に適用可能な半古典的 MC シミュレータを開発した。本章では、散乱過程のモデル化に集中するため、ソース・ドレイン方向の量子輸送効果は無視する半古典的 MC シミュレータを開発対象とした。まず、反転層の量子化を考慮するため、ゲート電極-Si 基板方向の1次元シュレディンガー方程式とポアソン方程式をセルフコンシステントに解く方法で電子状態を求め、それをさらに、音響フォノン散乱、非有極性光学フォノン散乱および表面ラフネス散乱を取り入れたチャネル方向の1次元 MC シミュレータに結合させることで、MOSFET の電子移動度を高精度に解析する計算手法を開発した。本章では、MOS 反転層の2次元電子ガスに対する散乱レートの導出と半古典的 MC シミュレータの説明を行った後、バルク構造および SOI 構造 MOSFET に実際に適用して得られた電子移動度の計算結果を紹介している。その際、実験結果との比較も詳細に行っている。その結果、開発した MC シミュレータは、バルク構造および SOI 構造 MOSFET ともに電子移動度の実験結果をほぼ正確に再現することが示され、ナノスケール MOSFET の解析に適用可能な信頼性の高い散乱モデルが構築できたことを報告している。</p> <p>第3章では、前章で開発した MC シミュレータを DG 構造 MOSFET に対応させ、次世代のナノスケール MOSFET の性能予測に適用可能な2次元半古典的 MC シミュレータへの拡張を行った。特に、ソースとドレイン電極の取り扱いを改良し、従来の MC 法では難しいとされていたサブスレッショルド領域での電流特性の解析を可能にした。そして、ナノスケール MOSFET で期待されているバリスティック輸送の出現</p>			

氏名	木場 隼介		
氏名	木場 隼介		
<p>による性能向上効果を見積もるために、DG 構造 MOSFET のバリスティック輸送効率を評価する手法を新たに開発した。その解析の結果、チャネル長が 10 nm までは期待通り、バリスティック効率の上昇による性能向上が期待できるとの予測が得られた反面、チャネル長が 10 nm 以下の領域に入ると、量子準位揺らぎに起因する新しい表面ラフネス散乱の出現により、バリスティック効率が急激に低下するという結果が得られた。これは Si MOSFET を 10 nm 以下に微細化しても更なる性能向上は本質的に難しいことを示唆しており、微細化限界を議論する際の重要な知見を与えている。</p> <p>第4章では、ソース・ドレイン方向の量子輸送効果を厳密に取り入れることを目指して、量子論的 MC シミュレータの開発を行った。基礎とした理論はウィグナーの輸送理論であり、これをウィグナー-MC 法とよんでいる。ウィグナー-MC 法は、ウィグナーの量子輸送方程式を MC アルゴリズムを駆使して厳密に解く計算手法であり、散乱効果と量子力学的効果の両者を厳密に取り入れることが可能となっている。それゆえ、ナノスケール集積デバイスの解析に適した計算能力を有していると考えられている。本章では、このウィグナー-MC 法を、筆者が、日本を含むアジア地域では初めて開発に成功したことを報告している。実際に、DG 構造 MOSFET に適用を行い、チャネル長が 10 nm 以下の MOSFET における量子輸送効果の影響を明らかにした。具体的には、チャネル内で発生する量子反射効果は MOSFET のオン特性に影響を与え、電流駆動力を低下させることを見出した。一方、ソース・ドレイン間のトンネル効果はオフ電流を増大させ、チャネル長が約 6 nm 以下のデバイスで深刻になることを明らかにした。</p> <p>第5章では、ウィグナー-MC 法が、微細化に頼らない新材料技術に適用可能であることを示すために、III-V 族半導体をチャネルとする MOSFET (III-V MOSFET) への適用を行った。III-V 族半導体は Si よりも電子移動度が高いため、微細化に頼らなくても集積デバイスの性能向上が実現できる材料として、近年、大きな注目を集めている。Si MOSFET に対して開発したウィグナー-MC シミュレータを III-V MOSFET に適用するには、伝導帯のバンド構造を変更することと、III-V 族半導体特有の有極性光学フォノン散乱を追加する必要がある。その説明を前半で行っている。後半では、III-V MOSFET の作製技術が現在最も進んでいる InGaAs MOSFET と InP MOSFET を解析対象として、ソース・ドレイン方向の量子輸送効果の影響を詳しく検討した。その結果、InGaAs および InP ともに Si よりも大幅に軽い有効質量を持つ影響で、約 20 nm 以下という Si MOSFET の場合よりも約 3 倍長いチャネル長でソース・ドレイン間のトンネル電流の影響が深刻になることを見出した。これは III-V MOSFET の微細化を推し進める際に大きな障害となる可能性があることから、本章の最後では、ソース・ドレイン間のトンネル電流を抑制し、かつ高い電流駆動力を有するチャネル材料の開発の必要性を主張している。</p> <p>第6章では、本論文の研究成果について総括を行い、今後の集積デバイス研究の方向性やシミュレーション研究の果たす役割などを議論している。</p> <p>本研究は、ナノスケール集積デバイスについて、その微細化限界の解明と更なる発展を実現させるためのシミュレーション技術を研究したものであり、将来の集積化ナノデバイスの高精度デバイス設計技術について重要な知見を得たものとして価値ある集積であると認める。提出された論文は工学研究科学位論文評価基準を満たしており、学位申請者の木場隼介は、博士 (工学) の学位を得る資格があると認める。</p>			