



# 三次元集積回路におけるチップ間ノイズ結合のその場評価と解析手法に関する研究

荒賀, 佑樹

---

(Degree)

博士 (工学)

(Date of Degree)

2014-03-25

(Date of Publication)

2016-03-25

(Resource Type)

doctoral thesis

(Report Number)

甲第6099号

(URL)

<https://hdl.handle.net/20.500.14094/D1006099>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博 士 論 文

三次元集積回路におけるチップ間ノイズ  
結合のその場評価と解析手法に関する  
研究

平成 26 年 1 月

神戸大学大学院システム情報学研究科

荒 賀 佑 樹



## 要旨

---

最先端の製品技術の将来的要求を満たすために、さらなる半導体技術の発展が求められている。高性能・低消費電力な携帯端末を実現するためのメモリ・CPU間接続の高速化や、多機能・高信頼性な運転システムを実現するためのセンサー・プロセッサ・通信インタフェースの高度な融合が求められている。

それら要求への答えとして複数のテクノロジーをTSV(Through Silicon Via、シリコン貫通電極)を用いた三次元チップ積層技術により結合することが挙げられる。

TSVにより積層されたシステムでは、チップの任意の位置でシステムのブロックを接続可能である。それにより、ブロック間の入出力経路の短縮・入出力数の増加・I/Oバッファの削減が期待でき、システム全体の速度の改善と消費電力低減の両立が期待される。また、異なるプロセスで製造されたチップ同士を接続することにより、これまでミックストシグナルSoC(System on a Chip)で行われてきたアナログ・デジタル混載回路をより低コストかつ高い結合度で実現可能である。さらには、物理的な寸法も縮小するため、昨今の携帯端末が求める小型軽量化もより一層進めることができる。

TSVを用いたこれまでにない集積度とコストが期待される三次元積層であるが、立体的なフロアプランニング、複数のPDN(Power Delivery Network)及びシリコン基板を一つのシステムで所有するなど、設計の複雑さも増しているといえる。特に雑音結合に関しては、ブロック間の物理的な距離が縮小することでより注意を要する課題である。TSVがブロック間の結合を密にすると同時に、シリコン基板を伝わるノイズを別のシリコン基板上のシステムに伝える懸念があるためである。

これらの現象を詳細に解析する際に実測評価を交えた雑音伝播の検証が不可欠である。積層されたチップでは外部に露出している部分しかプロービングで接続することができず、I/Oまで配線を伸ばさず場合周辺回路からの雑音結合の影響を受けやすいため、データをオンチップで取得・処理することが望ましい。よって、3次元積層されたシステムにおいてはオンチップ測定技術が益々その重要性を増している。

本研究では、3次元実装LSIにおけるノイズ伝播を観測するために、オ

ンチップ評価手法であるオンチップモニタシステムを提案する。本研究で用いるオンチップモニタシステムは、小面積オーバーヘッドと高い線形性を確保でき、アルゴリズム最適化による波形取得高速化が行われている。

提案するオンチップモニタシステムを 2.5 V 65 nm TSMC のプラナー CMOS プロセスにて試作、PFE(Probing Front-End) は高電圧  $0.28 \mu\text{m}$  プロセス相当の CMOS で設計され、 $55 \mu\text{m} \times 138 \mu\text{m}$  のサイズに収まっている。また、チップ外からの正弦波注入および PFE を用いた波形取得による動的線形性評価の結果、SNDR(Signal to Noise and Distortion Ratio) で 56.07 dB(有効ビット数 9.0 bit 相当)、SFDR(Spurious Free Dynamic Range) で 60.07 dB の性能を確認し、アルゴリズムにより電圧探索は総当り法に比べ 99.34% 効率化されている。本モニタシステムにおいて動作モデルを作成し、動作シミュレーションを行った結果、線形性および波形取得効率において高い一致度を示している。

提案する簡易構成のオンチップモニタシステムを元に、3次元実装 LSI の層内評価のためのモニタシステム構成と評価システムを提案、3次元実装されたシステムでの実評価を行った。提案するシステムにより広い電圧範囲の波形取得を可能にし、PC との通信機会最小化による波形取得速度向上を実現している。提案する構成と評価システムによる 3次元積層 LSI 評価を行い、正弦波を注入した層から別の層に伝わった伝播波形の取得を実現した。

3次元積層環境における雑音伝播評価のために、上層および下層に雑音源・PFE を搭載したチップを試作した。波形取得システムを構築し、ノイズの層内伝播と層間伝播を評価した結果、層内を伝播するノイズと層間を跨ぐノイズの周波数特性に有意な差異を確認できた。また、それら実測により得られたデータを検証するためにシリコン基板結合・TSV を含む垂直結合を考慮したモデルを作成した。提案するモデル化手法はシリコン基板抵抗ネットワークと TSV、オフチップインピーダンスといった最小限の要素から構成されており、これらの要素が 3次元積層環境におけるノイズ伝播を表現できることを示した。モデルを用いた解析結果より、TSV の配置、合計容量等から層内及び層間ノイズ結合の強度と主要なノイズ経路を単純な数式で表現でき、3次元積層 LSI の設計戦略を示すことができた。

# 目次

---

<b>1</b>	<b>序論</b>	<b>1</b>
1.1	研究背景	1
1.2	3次元実装への期待	1
1.2.1	配線長削減	2
1.2.2	I/O数向上	2
1.2.3	異種統合	2
1.3	3次元実装の分類	2
1.3.1	非接触型	3
1.3.2	接触型・チップ周囲	4
1.3.3	接触型・チップエリア	5
1.4	従来研究	8
1.4.1	3次元実装における電源ネットワーク完全性	8
1.4.2	3次元実装におけるテスト・診断技術	10
1.4.3	オンチップ測定技術	11
1.5	本論文の構成	11
<b>2</b>	<b>オンチップモニタ技術</b>	<b>13</b>
2.1	緒言	13
2.2	オンチップモニタ機構	14
2.2.1	モニタシステムのアーキテクチャ	14
2.2.2	波形取得システム	17
2.2.3	波形取得システムフロー	21
2.3	波形取得アルゴリズム	23
2.3.1	全探索	24
2.3.2	近傍マルチステップアルゴリズム	24
2.3.3	IG2P+SS	26
2.4	モニタシステム性能評価	27
2.4.1	テストチップ	27
2.4.2	静特性評価	27
2.4.3	動特性評価	28

---

2.4.4	アルゴリズムによる波形取得効率改善効果 . . . . .	30
2.5	動作モデリング . . . . .	33
2.5.1	モデル概要 . . . . .	33
2.5.2	バラつき導出 . . . . .	35
2.5.3	性能解析 . . . . .	36
2.6	結言 . . . . .	43
<b>3</b>	<b>3次元実装システムのためのオンチップ評価系の提案と評価</b>	<b>45</b>
3.1	緒言 . . . . .	45
3.2	積層オンチップモニタシステム . . . . .	46
3.2.1	PFE の冗長構成 . . . . .	46
3.2.2	参照電圧生成回路 . . . . .	47
3.2.3	サンプリングタイミング生成回路 . . . . .	49
3.3	提案波形取得システム構成 . . . . .	50
3.4	システム性能評価 . . . . .	51
3.4.1	設計例 . . . . .	51
3.4.2	線形性評価 . . . . .	51
3.4.3	速度評価 . . . . .	53
3.5	3次元実装環境への応用 . . . . .	56
3.6	結言 . . . . .	57
<b>4</b>	<b>三次元積層 LSI における基板ノイズの層間評価と解析</b>	<b>61</b>
4.1	緒言 . . . . .	61
4.2	3次元積層における基板ノイズ結合 . . . . .	62
4.2.1	概論 . . . . .	62
4.2.2	3次元実装テストチップ . . . . .	63
4.2.3	評価セットアップ . . . . .	69
4.3	実測評価 . . . . .	70
4.3.1	ノイズ発生及び伝播評価 . . . . .	70
4.3.2	基板抵抗評価 . . . . .	72
4.4	雑音伝播解析 . . . . .	75
4.4.1	解析モデル作成 . . . . .	75
4.4.2	単純化基板結合モデリング . . . . .	77
4.4.3	主要結合成分導出 . . . . .	79
4.4.4	単純化基板結合モデリングによる解析結果 . . . . .	81
4.5	結言 . . . . .	83

---

4.6 Appendix . . . . .	89
<b>5 結論</b>	<b>95</b>
謝辞	99
参考文献	101
発表論文一覧	111
本研究に関する発表論文 . . . . .	111
学術雑誌 . . . . .	111
国際会議 . . . . .	111
技術報告 . . . . .	112





# 第1章

---

## 序論

### 1.1 研究背景

近年の消費者製品には最先端技術が広く取り込まれており、半導体がその中核を担っている。ネットワークサービス向上に伴った携帯端末の処理速度・付加機能の向上により、搭載されるプロセサの処理性能の増加と実装面積・部品点数縮小、さらに携帯端末として欠かせない省電力動作の両立の要求がある。

一方で運転補助システムの発達・多様化のため乗用車における車載半導体の性能要求も高まる傾向にある。運転補助システムにおいては周辺の画像から複雑な画像処理を用い情報を引き出すこと、車載半導体において最も重視されるディペンダビリティの両立の要求がある。

### 1.2 3次元実装への期待

解決策の一つとして、複数のテクノロジーを3次元積層(ヘテロジニアスインテグレーション、混載3次元積層)により結合することが挙げられる。この場合、アナログ・デジタル混載SoCをワンチップで製造する手段もあるが、大規模なシステムとなる場合大面積化による歩留まり劣化や複数テクノロジーの使用による面積あたりのコスト増大等が懸念される。混載3次元積層ではそれぞれのアプリケーションに特化したテクノロジーで作られたチップを積層することにより全体のシステムを構成する。(レギュレータにバイポーラ、ロジックにCMOS、センサにMEMS、等)製造は各層毎に行われ、積層のための追加のプロセスが加わる。表面と裏面を繋ぐシリコン貫通電極(TSV)及び再配線層(RDL)を形成することで、任意の層同士の結合・素子間の距離の短縮により大きな性能向上、消費電力の改善が見込める。本論文ではTSVを用いた3次元実装に焦点を当て、以降3次元実装の利点について述べる。

### 1.2.1 配線長削減

3次元実装は水平配線長削減のための手段として述べられる。能動素子をもつ複数の層からなり、数  $10\ \mu\text{m}$  長、数  $m\Omega$ 、 $1\text{pH}$  以下のインダクタンス、数  $\text{fF}$  の容量をもつ垂直電極が数十、ないしは数百  $\mu\text{m}$  の水平配線に取って代わる。このことで、従来では各パッケージに分散されていたブロック、チップ内の遠く離れた領域に搭載されていたブロックが最短距離で接続され、それぞれパッケージ及びPCB配線を駆動するためのI/Oが消費する電力及び遅延、数  $\text{mm}$  又は数十  $\text{mm}$  に及ぶ配線を駆動するためのバッファが消費する電力及び遅延が大幅に削減される。よってTSVによる配線長削減は遅延と電力の削減に効果的である。

### 1.2.2 I/O 数向上

TSVを用いた3次元積層は、従来のチップ周囲のI/Oパッドを用いた接続に対し、2つのチップが重なる面積全てを使用する。I/Oパッドが最小  $30\ \mu\text{m}$  ピッチ程度 [1] に対し、 $20\ \mu\text{m}$  ピッチの  $\mu$ -バンプ [2] の研究が進んでいる等、ピッチそのものの限界についても3次元実装接続は有利であると考えられる。

### 1.2.3 異種統合

3次元実装の最も注目されている理由として、異種統合が挙げられる。システムを複数層で実現するために、各機能ブロックをそれぞれ個別の層で実装可能である。例としては、プロセッサ搭載層を先端プロセスにて製造し、デジタル信号処理部をアナログ用の低コストプロセス、センサ部分をMEMSプロセスで製造するといったことが可能になり、さらにそれらをTSV結合により高度に集積可能である。また、プロセッサのメモリバンド幅の大幅な向上のためメモリとプロセッサを統合する、といった用途でも注目されている。

## 1.3 3次元実装の分類

また、TSV実装された3次元実装以外にも多くの3次元実装方式が提案されており、それぞれ異なった利点から、最適なアプリケーションも異なる。本節では3次元実装の種別について述べる。3次元実装半導体は、

信号接続で分類すると接触型・非接触型があり、それぞれに利点・制約が存在する。さらに非接触型は容量結合と誘導結合、接触型はTSVの有無、積層方法等、多岐にわたり分化している。これらの多種の方式からアプリケーションの性質に適した方式を選択することが重要である。

### 1.3.1 非接触型

非接触型は同種のチップを用い通信することで積層前の良品判定が容易であり、その際物理的コンタクトと比較しピン数が多く取れるのも利点である。接触型に必要なパッド・ESDの必要性がなく、原理的に積層そのものによる歩留まり低下要素が無いのも大きな利点である。

#### 1.3.1.1 容量結合

容量結合 (Fig. 1.1(a)) は2つのチップ間の伝送を容量結合により行う。容量結合による一方の電位変動の他方への伝播を信号通信に用いる。

- 利点
1. 通信に必要な端子数が1つで済む。
  2. ボンディングパッドを非接触結合・接触結合で共用可能である。
  3. 微細加工が不要である。
- 制約
1. 近年の微細化したプロセスでは高電圧が扱えず、通信距離をかせげない。
  2. 電界による通信であるため、中間に導体が存在すると妨害される。
  3. 通信可能距離が短いことと上記制約により2層以上の積層が困難である。

積層システムに用いる場合、拡張性の点で誘電結合が有利とされる。

#### 1.3.1.2 誘電結合

誘導結合 (Fig. 1.1(b)) は一方のコイルに電流を流し誘導起電力により他方のコイルに誘導起電力を起こすことで通信を行う。

- 利点
1. 電流駆動であるため近年の低電圧デバイスにおいても通信距離を長くできる。

2. 上記の利点から一対多の通信が可能である。
3. 多層メタルを使うことにより少面積化ができるため、プロセス技術の恩恵(メタル数)を受けやすい。

制約 コイル実装に微細加工が必要である。

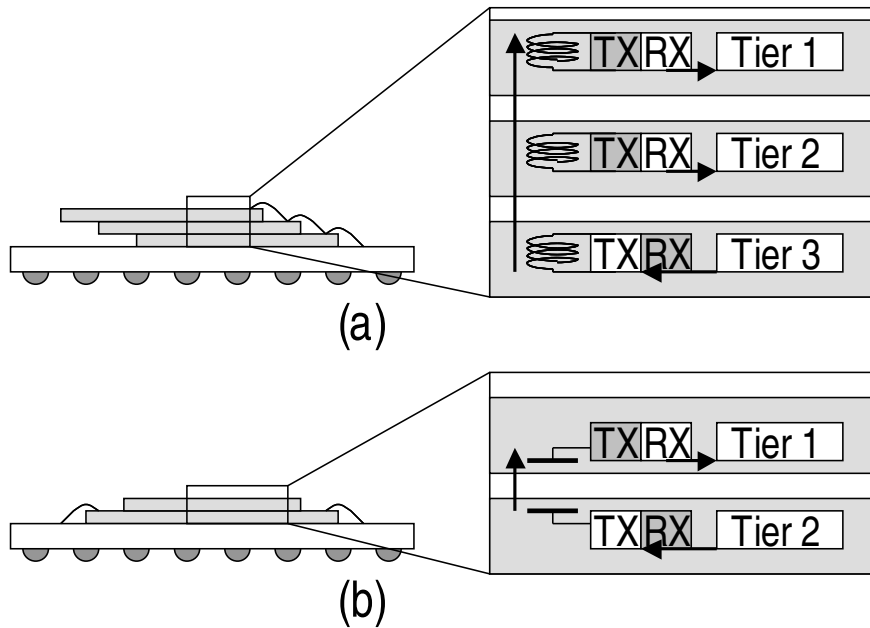


Figure 1.1: (a) Inductive coupling and (b) capacitive coupling.

### 1.3.2 接触型・チップ周囲

既存技術を用いて面積及び体積削減のためにチップをスタックし、伝送路の負荷軽減のために各チップ間の結合線路を最小化している。既に製品においても広く用いられている技術である。

#### 1.3.2.1 パッケージ積層

パッケージ積層 (Fig. 1.2(a)) では、パッケージより内側は一般的な実装と変わらず、パッケージの外側で最小距離の配線を追及する方式である。

利点 1. PCB 上に複数実装する場合と比較して寄生成分が少ない。

2. 特別な工程 (高精度なボンディング) を必要としないので後述する高度な3次元実装アプリケーションのプロトタイプに使用できる。
3. 既にパッケージングされた製品を利用可能。

- 制約
1. 通常はんだボールを使用するため、反りによる接合不良に留意する必要がある。(JEITA ED-7306)
  2. 面積は小さくなるが高さがかさみやすい。

### 1.3.2.2 ワイヤボンディング方式

ワイヤボンディング方式による積層 (Fig. 1.2(b)) は簡易でありながら、各層が独立しておりストレスによる制約が無く、積層による高さ自体はTSV積層よりも縮小が容易である。

- 利点
1. パッケージ内に薄化したダイを積層するため、パッケージサイズを変えずに性能を上げることが可能。
  2. 薄化とボンディング密度次第で容易に密度を上げられる。
- 制約
1. ボンドパッドと積層の両立のために、同面積ダイをスタックする際にはI/O数の減少、3辺以上のI/Oを確保するためには上層ほどダイ面積の縮小が必要である。
  2. チップが独立しており、積層密度が高いため、ハイパワーアプリケーションには不向きである。

### 1.3.3 接触型・チップエリア

チップ周辺領域のみならずエリア全体に配置可能な垂直結合構造によりチップ同士のデータ通信を行う。直接配線が繋がるため、AC・DCどちらの信号も伝達可能であり、接合には接触時の破壊を防ぐESDや比較的大きな構造物をドライブするためのバッファ等、従来からある要素を使用可能である。

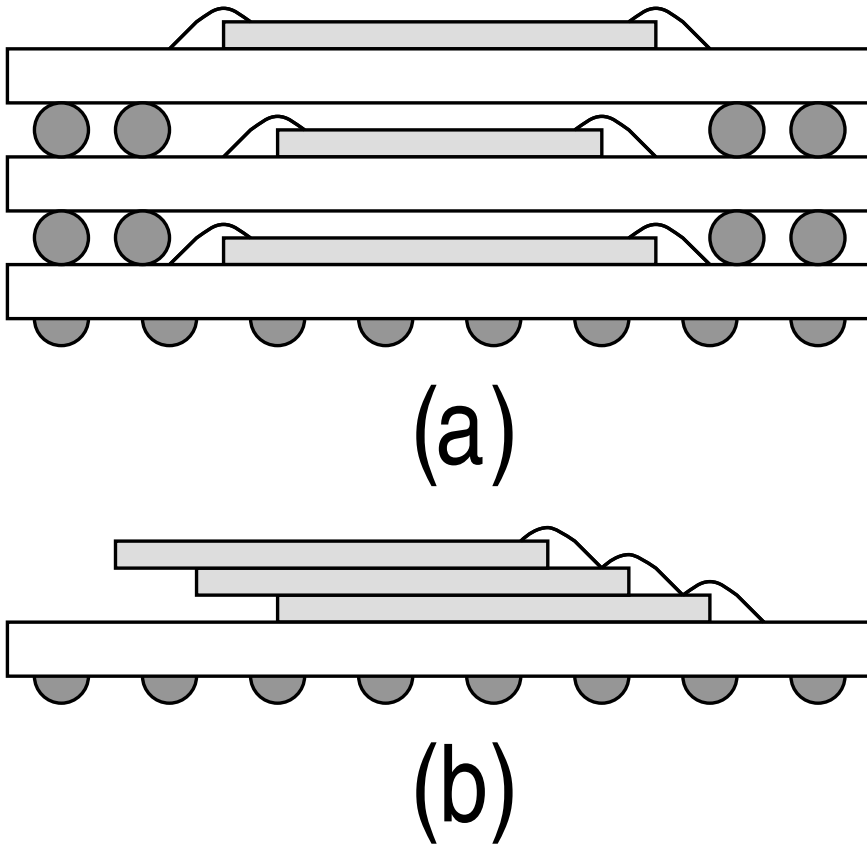


Figure 1.2: (a) Package on package and (b) 3D stacking by wirebonding.

### 1.3.3.1 フリップチップ接続

フリップチップ接続 (Fig. 1.3(a)) は2つのチップの配線層側同士をマイクロバンプにより結合する方式である。小さい上層のチップと大きい下層のチップからなり、下層チップからボンディングでパッケージに接続する現状では1枚1枚接続するためコストがかかると言われているが、チップとウェハを液体の表面張力を用いて接合する手法 [3][4] が提案されており、将来的に低コストな3次元接続手法となりうる

- 利点
1. 薄化・TSV形成を必要としない。
  2. TSV無しで異種統合が可能である。
- 制約
1. 現状、1枚1枚フリップチップボンダで熱圧着するためコストがかかる。
  2. 3層以上垂直接続することはできない。
  3. パッケージとの接続にボンディングワイヤが必須である。

### 1.3.3.2 TSV接続・2.5D

2.5次元実装 (Fig. 1.3(b)) は、一般的に能動素子を持たず、TSVを実装した大面積のチップ(インタポーザ)にフリップチップ接続で能動素子を持つダイを接合する手法である。インタポーザに小規模の能動素子を追加する [5]、インタポーザに2Dダイではなく3Dダイを接続する等、様々な試みが研究されている。

- 利点
1. インタポーザとしてシリコンに限らずガラスなど、多様な基板を選択可能。
  2. 能動素子のTSVに対するKOZ(Keep Out Zone、シリコンへのストレスでトランジスタ特性が著しく変動する領域)等の制約が無く3次元積層と比較して容易。
  3. インタポーザに受動素子を形成することで低ESR(Equivalent Series Resistance)、低ESL(Equivalent Series Inductance)の容量の形成 [6]、コイルを形成することによる小型フィルタシステム [7]の実現が可能。
- 制約
1. インタポーザのみでは平面的にしか拡張出来ないため、面積制約が存在する。



### 1.3.3.3 TSV 接続・3D

3次元実装 (Fig. 1.3(c)) は一般的に TSV を用いて能動素子を持つダイを複数接合する手法である。各層に TSV を搭載すれば理論的に何層でもスタック可能であり、接合方法にも C2C (Chip to Chip), COW (Chip on Wafer), W2W (Wafer to Wafer) [8]、といった方式があり、それぞれ個別チップの歩留まり、搭載物の構成に応じて最適な手法が考えられる [9]。実現すれば高い性能・集積度・多機能性が実現されるが、現在の製造コストに見合うアプリケーションが待たれる段階といえる。

- 利点
1. 最短距離を接続するためインタポーザよりも短距離での通信が可能。
  2. 3層以上の積層を用いた大規模高速 DRAM [10]、プロセサ・メモリ積層などが期待される。

- 制約
1. 高密度集積による発熱問題がある。
  2. 上記発熱から、シリコンと銅の膨張率の差を吸収できない場合シリコン基板にクラックが発生する。
  3. 積層時に圧力および熱でシリコン基板にクラックが発生しうる。

## 1.4 従来研究

3次元実装における利点は数多くあるが、一方で層を分割したシステムの構築、TSV 及び  $\mu$ -バンプという新しい構造、増大する集積度により、新しい設計上の課題が出てきている。これらの課題をクリアすべく多くの研究が行われてきた。

### 1.4.1 3次元実装における電源ネットワーク完全性

本論文のテーマとの親和性が高く、3次元実装における関心の高いトピックとして電源ネットワークの完全性 (Power Integrity, PI) が挙げられる。これは、チップの表面積が変わらない、つまり使用できる I/O 数は増えずに積層による電流密度の増大、TSV を経由することによる寄生成分の変動、複雑化する各回路ブロックの電源系に関するものである。これらに関係するものとして、まず各 TSV のノイズ結合 [11][12] は別電源へ

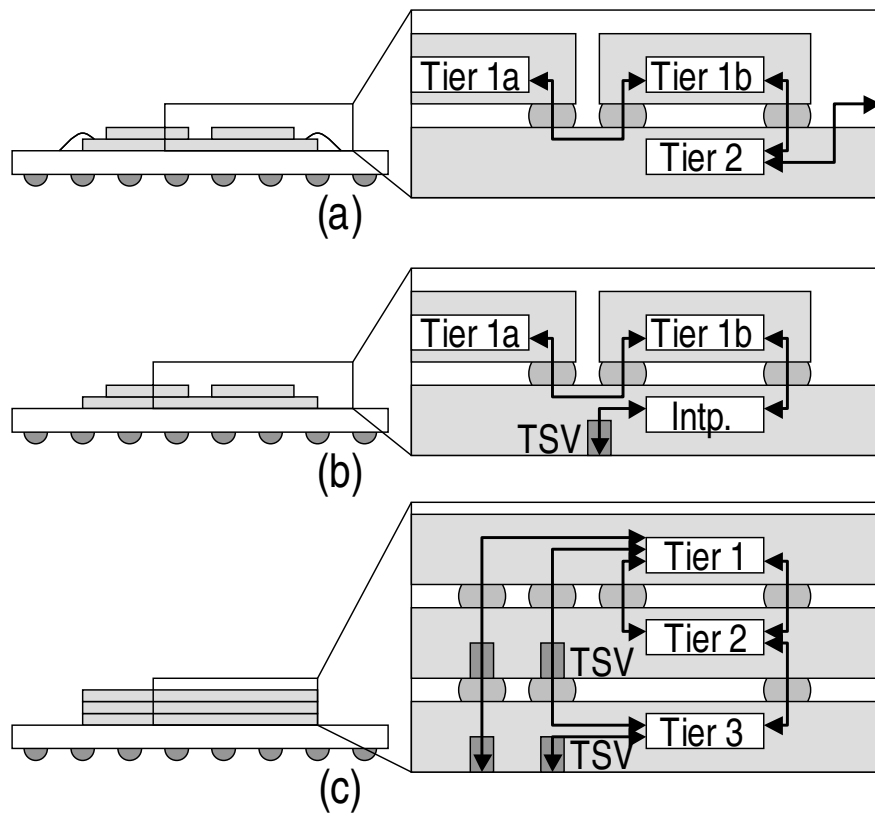


Figure 1.3: (a) flipchip bonding, (b) 2.5D integration, (c) 3D integration.

の結合という観点から電源完全性に影響を及ぼすと考えられ、信号同士の影響という観点から信号完全性に直結する。また、目的とするシステムのPIのためにTSVを使用する本数の見積もり [13]、さらにはTSVの配置方法による変化 [14] に関するものまで存在する。解析方法についてもTSVを含む簡易なモデル用いたもの [15]、Divide & Conquerアプローチのセグメンテーションメソッドにより層ごとのインピーダンスを別個に導出 [16] するもの、ANSOFTやSynopsysのツールを用いIRドロップの解析を行っているもの [17] もある。基板を考慮しているものも存在する [18] が、1つの積層システムに複数存在するシリコン基板、及びシリコン基板を伝播するノイズを考慮しているものはまだ少ないといえる。

### 1.4.2 3次元実装におけるテスト・診断技術

3次元実装においてこれらの課題に対処するため、また、3次元実装における歩留まりを改善するため、アナログ及びデジタルの診断手法が議論されてきた。

3次元実装では複数のダイを使用するため、各ダイの製造時にチェックするプリボンテスト [19]、スタック後のチェックであるポストボンテストとの共存 [20] が重要視されている。それらの両立を実現するため、単体・複数ダイと変動するブロックの診断システムに対し既存の規格でテスト可能にするためのスケーラブルテストシステム [21][22] が提案されている。また、積層により膨大化・複雑化するテストプロセスはコストの増大を招くため、複雑化するテスト用配線・パッド数の軽減 [23][24]、さらに再利用によるDFE数削減 [25]、消費電力削減 [26] 等、テスト回路実装による物理的オーバーヘッドを緩和する手法や、テストサイクル削減・最適化によるテストの高速化 [27][28][29] 等、プロセスを最適化することによる時間的オーバーヘッドを緩和する手法が盛んに研究されてきた。

TSVは製造時、製造後に発生する不具合であるクラックや酸化膜不良によるブラインド/オープンスリーブビアが主な対象となりうる。それら不具合をプリボンテストでのKGD(Known Good Die)の発見することが歩留まり向上のために重要であるが、従来のデジタルのテスト手法ではこれらの不良の発見は難しい。そのため、アナログ的手法を用いて定義したモデルから逸脱した不良TSVを発見するテスト構造 [30][31]、不良検知と信号の修復 [32] が研究されている。

歩留まりに関する診断以外にも、TSVがもたらす機械的ストレスの評価 [33][34]、ADCをチップに搭載し内部で電圧を導出するモニタ機構 [35]

等が盛んに研究されている。

### 1.4.3 オンチップ測定技術

半導体における電圧、タイミング、インピーダンス等、物理量を評価する際に最も単純な手法はチップを直接プローブし評価することである。しかし、3次元実装されたシステムは、スタックにより表面のダイ以外は隠れてしまうという問題がある。この場合、TSV等を経由して信号を引き出すにしても積層により複雑化した結合系を通過せねばならず、好ましくない。そこで、チップ上で物理量をデジタル値やDC電圧等、評価しやすい値に変換するオンチップ評価手法が今後ますます重要性を持つと考えられる。

代表的なオンチップ評価手法として、内部の電位をDACとタイミングジェネレータを用いてデジタル変換するオンチップオシロスコープ[36][37]がある。これらはチップ内で波形を完全にデジタル化するために、電圧・タイミングといった時間波形取得に必要な要素をチップ内で生成する。また、小型化しノイズの影響を受けにくくするための電流出力タイプ[38][39]や、特定の物理量[40][41]を出力する等、オンチップ測定技術が発達してきた。

筆者らもまたチップ内部の現象を評価するために、少面積オーバーヘッド、構成と配置が容易なサンプリングタイプの評価システムとしてオンチップモニタシステム[42]を提案、SoC評価に特化、SoCとリソース共有したモニタシステム[43]、同システムを用いチップ側から見た主要オフチップインピーダンス導出[44]、TSVのEye開口評価用インタポーザ実装モニタ[5]等を提案・実証してきた。

## 1.5 本論文の構成

本論文では、これら背景と従来研究を踏まえ、次世代アプリケーションの要求を満たすために大規模化・複雑化する3次元LSIシステムの安定動作のために、積層システム内のノイズ伝播評価システム及びそれらを用いたノイズ伝播最小化するための設計指針の確立を目指す。小型化・アレイ化し実装コストを最小化したモニタシステムを提案、各層に搭載することで積層されたシステム内部の雑音伝播経路を明らかにし、モデル化することで各周波数のノイズが侵入する経路・雑音を伝播する媒体を示す。

本論文の技術的内容は、2章から4章までの3章からなる。第2章では、少面積コストなモニタ回路、時間コストを最小化するアルゴリズムを用いた高分解能な波形取得システムについて議論する。第3章では、3次元実装されたシステムに埋め込むモニタシステムの実装案・高速な波形取得システムの提案を行う。第4章では、3次元実装システム内のノイズ伝播評価のための試作チップを用い、システム内を伝播するノイズの評価・解析を行う。

## 第2章

---

# オンチップモニタ技術

### 2.1 緒言

半導体プロセス技術の進歩により、アナログ回路とデジタル回路を同一チップ上に積層するミックスシグナル SoC(System on a Chip) が実現した。ミックスシグナル SoC は1つのチップ内に必要機能を集積するため、単一パッケージ化による実装面積縮小、I/O を経由しない接続による広帯域化・高速化・低消費電力化等が期待される。

ミックスシグナル SoC においてはスイッチングノイズの元となるデジタルブロックとノイズ混入が性能劣化に繋がるアナログブロックが混在しているため、ノイズ解析は重要な技術課題である。近年のシステムの大規模化と複雑化により、解析のみによる現象の追求は困難である。複雑に結合した雑音伝達要素により、入出力応答からのチップの内部動作推定もまた困難である。そのため実チップ上の現象を正確に推定するには、チップ内の物理量をチップ内で取得するオンチップ評価が有効である。オンチップ評価手法として、電流変換しチップ外に出力する [38]、I/O の負荷を無視するために特定のタイミングで切り出した DC 電圧値を出力する [45][46]、さらにはチップ内部でアナログ-デジタル変換を行いデジタル値を出力する [36][37]、波形に限らず特定の物理量 (ジッタ [40]、遅延 [41]) を出力する等、オンチップ測定技術が発達してきた。

我々は、少ない面積オーバーヘッドで大規模なミックスシグナル SoC 内部の電源、グラウンド、基板などのノイズを取得するために、オンチップモニタシステムを考案した。オンチップモニタシステムはアナログバッファとコンパレータで構成される小面積なフロントエンドと、小規模なバックエンド処理系により成り立っている。オンチップモニタシステムはチャンネル毎の独立性が高くマルチチャンネル化が容易であり、フロントエンドバッファ次第で広い電圧レンジの波形を評価可能である。また、コンパレータによる比較結果をデジタル値として外部に出力するため、オシロスコープ等を必要としないのも利点である。

本章では、65 nm CMOS プロセスを用い試作されたオンチップモニタシステムにおいて、その波形取得システムの構築、システムのスループット向上のための波形取得アルゴリズム実装とそれらを用いた波形取得性能評価を行う。また、スクリプト言語ベースの動作モデルを用いた波形取得性能の検証を行う。

## 2.2 オンチップモニタ機構

### 2.2.1 モニタシステムのアーキテクチャ

#### 2.2.1.1 全体構成

オンチップモニタの構成図を Fig. 2.1 に示す。オンチップモニタシステムは検出フロントエンド (Probing Front End : PFE) と、複数の PFE を統括し出力データをカウントアップするデータ処理ユニット (Data Processing Unit : DPU) より構成される。PFE はチップ内の任意のノード、基板をプローブ可能である。

PFE は入力信号をバッファリングするための入力段と ラッチコンパレータ (Latched Comparator : LC) にて構成されており、コンパレータに比較タイミング ( $T_{\text{smp}}$ ) 及び参照電圧 ( $V_{\text{ref}}$ ) を供給することで、入力段からの出力をデジタル化する。その際の  $T_{\text{smp}}$  及び  $V_{\text{ref}}$  はチップ外部より供給されており、チップ内部の回路は最小限に抑えられている。本章で使用するモニタ構成では、PFE に供給する 2.5 V と DPU に供給する 1.2 V の 2 系統の電源を供給している。これは、DPU が RTL (Register Transfer Level) 記述可能であり、自動配置配線した低電圧スタンダードセルで構成されているためである。 $T_{\text{smp}}$  は PPG (Pulse Pattern Generator) より出力され、 $V_{\text{ref}}$  は DAC (Digital to Analog Converter) より供給される。また、本章では PFE の性能評価のために SG (Signal Generator) より評価用信号を入力している。

#### 2.2.1.2 検出フロントエンド

PFE はソースフォロア又はユニティゲインバッファによる入力段及びフロントエンドの出力と  $V_{\text{ref}}$  を  $T_{\text{smp}}$  の時点で比較する LC からなる。Fig. 2.2 に異なる入力段から構成された PFE の回路図を示す。左よりそれぞれ p チャネル SF (Source Follower)、n チャネル SF、ユニティゲインバッファと LC の組み合わせとなっており、それぞれ GND 又は基板電位、高電圧

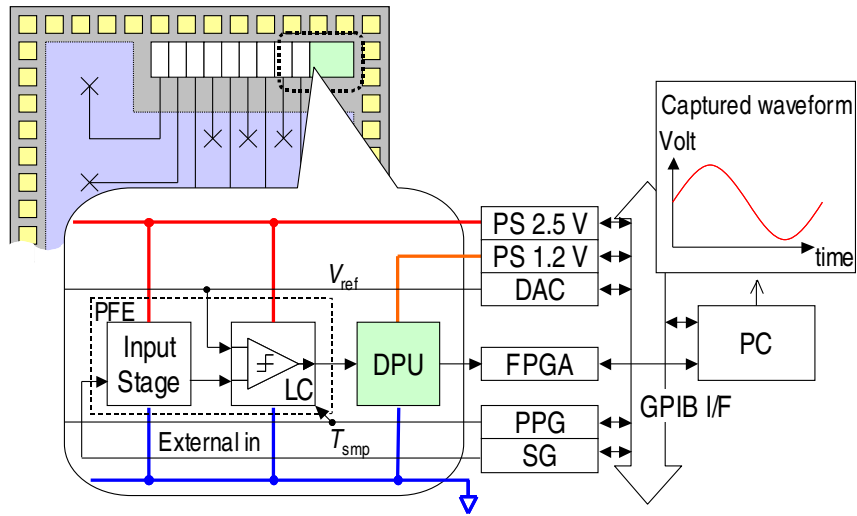


Figure 2.1: On-chip monitoring system overview.

電源電位、信号又は低電圧電源電位を対象としている。PFEは入力段回路により対象の信号をLCで比較可能な電位 ( $V_{is}$ ) までシフトし、 $V_{ref}$  と比較することで大小関係を0又は1のデジタル値 ( $D_{out}$ ) として出力する。

比較はサンプリングクロックの入力タイミング ( $T_{smp}$ ) で行われる。ここで、 $T_{smp}$  は測定対象回路の1動作周期に対し1クロックだけ任意のタイミングで入力される。

この比較を  $V_{ref}$  に対して  $N_{comp}$  回行い、 $V_{ref}$  と  $V_{is}$  の比較結果における1の割合として  $P_{out}$  を式 (2.1) より算出する。比較回数は任意であり、DPUの設定及び波形取得アルゴリズムにより変化させることが可能である。

$$P_{out} = \frac{\sum D_{out}}{N_{comp}} \quad (2.1)$$

Fig. 2.3(a)に  $P_{out}$  を縦軸、 $V_{ref}$  を横軸にプロットしたグラフを示す。 $P_{out}$  の値は  $V_{is} > V_{ref}$  ならば  $P_{out} = 0$ 、 $V_{is} < V_{ref}$  ならば  $P_{out} = 1$ 、 $V_{is} \simeq V_{ref}$  ならば  $0 < P_{out} < 1$  となり、 $V_{ref}$  と  $V_{is}$  が近接した電位領域をメタステーブル領域という。 $V_{is}$  の値を導出するにあたって、モニタシステムは  $T_{smp}$  の位相と  $V_{ref}$  を固定し、 $N_{comp}$  回の比較を行う。ここで、 $V_{is}$  は  $P_{out} = 0.5$  となるときの  $V_{ref}$  の値であると近似的に決定できる。こうして決定される  $V_{is}$  の値、すなわちシステムの出力をDC入力電圧に対してプロットした入出力特性を Fig. 2.3(b) に示す。各プロットがそれぞれのPFEの対象



となる電圧近傍の入力を受け、LCの比較可能範囲で出力していることが見て取れる。この入出力特性を用いて  $V_{is}$  を補正することで対象信号の電位が取得可能である。

任意の  $T_{smp}$  における  $V_{is}$  検出が終了した時点で、 $T_{smp}$  を  $\Delta T$  だけずらし、次の時点での  $V_{is}$  を取得する。この繰り返しにより、PFEは対象波形を時間分解能  $\Delta T$ 、電圧分解能  $\Delta V(V_{ref}$  の最小分解能) で離散化する。

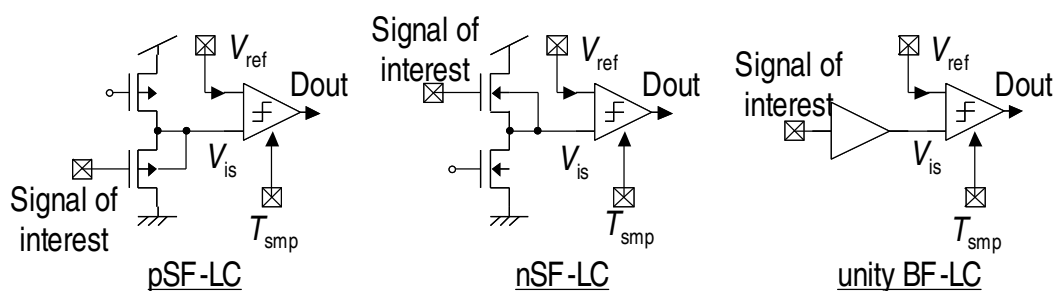


Figure 2.2: Schematic diagrams of PFEs.

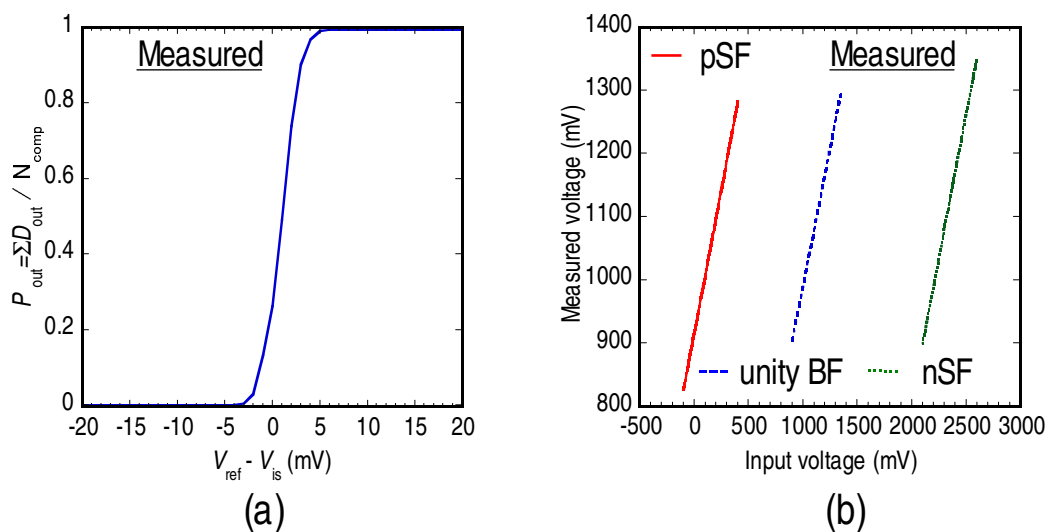


Figure 2.3: I/O characteristics of (a) LC and (b) PFE.

### 2.2.1.3 データ処理ユニット

DPUは式(2.1)の $P_{out}$ を求めるためのデータを処理・蓄積するデータレジスタとして機能する。DPUの構成をFig. 2.4(a)に示す。DPUは $T_{smp}$ を動作クロックとし、 $T_{smp}$ をカウントアップする11 bitカウンタ、PFEからの $D_{out}$ が1になる回数をカウントしてシリアル出力する機能をもつシフトレジスタ(Shift Register: SR)機能付きカウンタの2種類のカウンタにより構成される。DPUにはカウントフェーズと出力フェーズの2つの動作状態を持つ。カウントフェーズ中は11 bitカウンタが $N_{comp}$ 回をカウントアップし、SR機能付きカウンタが $\Sigma D_{out}$ をカウントアップする。一定回数分の $N_{comp}$ カウントがたまったことを11 bitカウンタが感知すれば、DPUは出力フェーズに移行し、Fig. 2.4(b)に示されるヘッダ付きの13 bitシリアルデータストリームとして $\Sigma D_{out}$ を出力する。

$N_{comp}$ は変更可能で、10 bit、8 bit、6 bit、4 bitのうちからカウンタbit使用数を選択できる。カウントアップの際にSR機能付きレジスタのオーバーフローを防ぐため、11 bitカウンタには予めオフセットとして7が付与されている。そのため、10 bit、8 bit、6 bit、4 bit各モードの $N_{comp}$ はそれぞれ1017、249、57、9回となっている。

## 2.2.2 波形取得システム

### 2.2.2.1 FPGA実装コントローラ

FPGA実装コントローラは、FPGA上に構成した回路により波形取得に必要な信号を供給、又は取得した波形をPCに転送するためのインタフェースである。本研究では、PCとの通信の容易さ、外部メモリ容量、動作クロック、I/O電圧等、コントローラシステム構成に必要な要素を満たすFPGAとして、Xilinx社製のSpartan3ANデバイスを搭載したプライムシステムズ社のSX-Card3/14C4を採用した。

FPGA実装コントローラは、USBインタフェースでアクセス可能なメモリ・レジスタコントローラを中心として、オンチップモニタシステム制御に必要な機能を付加したものとなっている。

付加した機能としては、PCからボード上メモリに書き込まれた'0'、'1'のバイナリデータを信号として再生するバイナリ/信号変換回路、モニタシステムから出力される $\Sigma D_{out}$ のヘッダ部分を感知し後に続く10 bitの $\Sigma D_{out}$ を取得するデータロガー回路、 $\Sigma D_{out}$ を基に外部DACを駆動するための外部DAC制御回路がある。Fig. 2.5にFPGA実装コントローラの

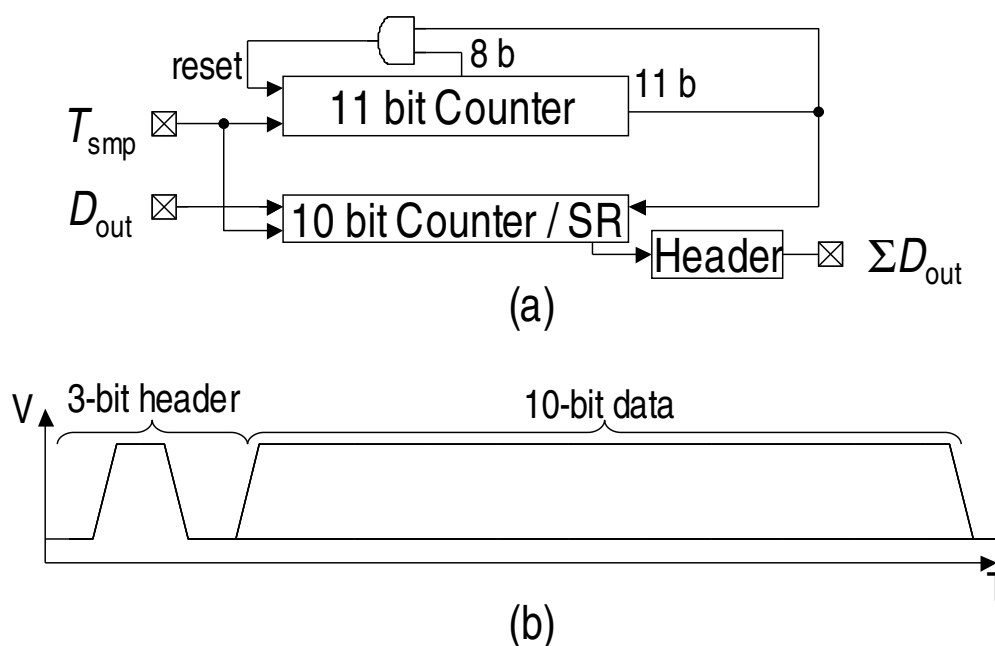


Figure 2.4: (a)Block diagram of DPU and (b) data output from DPU.

ブロック図を示す。

以下に、FPGA 実装コントローラの各回路ブロックの詳細を示す。

**USB コントロールコア** USB インタフェースで PC と接続可能であり、PC からメモリ・レジスタ制御回路を通してメモリ・レジスタへのアクセスが可能である。

**メモリ・レジスタ制御回路** USB コントロールコアを介した FPGA ボード上のメモリとレジスタへのアクセスを制御する。FPGA 内部に構築した各種回路ブロックからのアクセスが可能である。扱うレジスタの数及び bit 幅、リード・ライト権は容易に変更可能である。

**レジスタ** メモリ・レジスタ制御回路よりアクセス可能な FPGA 上に構成されたレジスタである。FPGA ボード付属の GUI プログラムからのアクセス、コマンドラインからのアクセスが可能である。FPGA-PC 間の簡易なデータのやりとり、Ack(Acknowledgement) 信号として使用可能である。

**FPGA ボード上メモリ** FPGA ボード上に実装されたメモリであり、本研究で用いている SX-Card3/14C4 には 36 bit × 512k word の SRAM が搭載されている。

メモリ・レジスタ制御回路によりアクセス可能となっておりレジスタ同様、GUI 又はコマンドラインからのアクセスが可能である。開始アドレス、ワード長、ワード数を指定し、バイナリデータを読み込み・書き出しする。

大容量のデータのやり取りではメモリを使用する方が効率が高く、後述するバイナリ/信号変換回路のデータ供給等に用いる。

**バイナリ/信号変換回路** バイナリ/信号変換回路は FPGA ボード上メモリのリード機能により特定のメモリ領域のデータを複数のビットストリームとして出力する。モニタシステムによる波形取得の直前に再生が行われ、モニタシステムの PFE チャンネル選択、その他設定用レジスタへのデータ入力に用いる。

**データロガー回路** データロガー回路は  $\Sigma D_{out}$  のヘッダ部分”010”を感知し、ヘッダに続く 10 bit 分のデータを保持する。また、保持したデータは波形取得アルゴリズム回路からアクセス可能である。

**DAC 制御回路** DAC 制御回路は、モニタシステムに入力する参照電圧を DAC から出力する際に、DAC の制御用信号を出力する。デジタル値で波形取得アルゴリズム回路により決定された DAC 設定電圧を保持し、トリガをアサートすることで制御用信号が出力される。制御用信号の出力形式を変更することで仕様の異なる DAC にも対応可能である。

**波形取得アルゴリズム回路** 波形取得アルゴリズム回路は、FPGA 実装コントローラ全体の動作を決定する回路である。FPGA 実装コントローラは、記述の単純化のためカウンタ回路ベースのシーケンス制御を採用している。変更が容易であり、データロガーで受け取った数値をそのまま PC に転送する、又は波形取得アルゴリズムを記述し、DAC 制御回路を用いて探索した値を PC に転送する等、セットアップに応じて変更される。

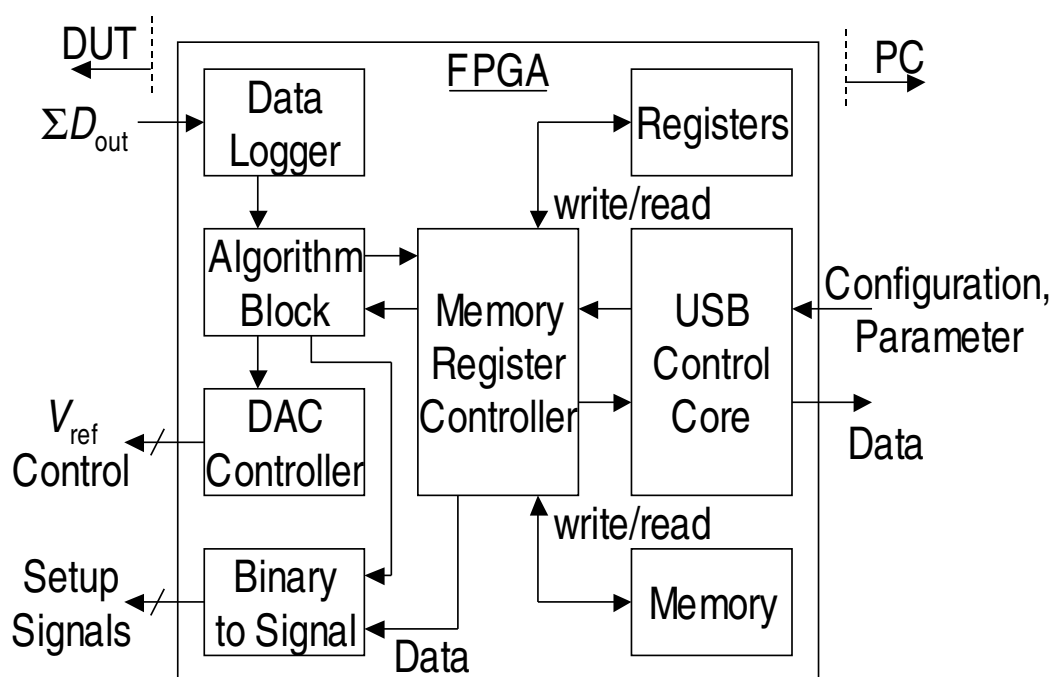


Figure 2.5: Block diagram of FPGA integrated controller.

### 2.2.2.2 波形取得システム構成

波形取得システムの全体構成を Fig. 2.6 に示す。本構成では、FPGA コントローラを用いて DPU からのデータを PC へ転送、使用する PFE の選択や設定信号を PC から制御している。 $V_{\text{ref}}$  及び  $T_{\text{smp}}$  は PC から GPIB(IEEE488) バスを経由して制御されており、FPGA の持つ機能は最小限となっている。具体的には、波形取得時の FPGA 機能はデータロガーを用い取得した  $\Sigma D_{\text{out}}$  の数値を PC からの要求に応じて転送するのみである。本構成の利点としては、参照電圧分解能  $\Delta V_{\text{ref}}$  を外部測定器の分解能に応じて細かく設定出来、同様の理由で時間分解能  $\Delta T_{\text{smp}}$  の自由度も高いことが挙げられる。

また、Fig. 2.6 下部には性能評価のための正弦波入力のためのセットアップも示されている。

本章ではクロック源として Agilent Pulse Pattern Generator 81130A、DAC として Agilent Universal Source 3245A、評価対象正弦波として Agilent Signal Generator E8267D、バンドパスフィルタとして TTE Q70T-10M-1.5M-50-720A、オフセットの付加に Bias Tee を用いている。

### 2.2.3 波形取得システムフロー

本節では前節で述べたシステムを用いた波形取得フローについて述べる。本システムに必要な必要なファイルは以下の通りである。

**テストベクタ** 波形取得の条件、使用する PFE チャンネル、電圧分解能、タイミング分解能等を記述する。テストベクタを PC 上波形取得プログラムで読み込み、測定系の条件の設定等を行う。

**PC 上波形取得プログラム** PC 上で動作するプログラムであり、波形取得システム全体を統括制御する。波形取得システムに用いている測定機の設定、FPGA への回路データ書き込み、FPGA からのデータ取得、 $V_{\text{ref}}$  及び  $T_{\text{smp}}$  操作、取得波形データのまとめを行う。簡易なスクリプト言語でも記述可能であり、本研究ではスクリプト言語である Ruby にて記述されている。

**FPGA 回路記述** FPGA に実装する回路データの記述であり、スクリプト内の命令により FPGA に書き込まれる。

以下に、本システム全体のフローを示す。

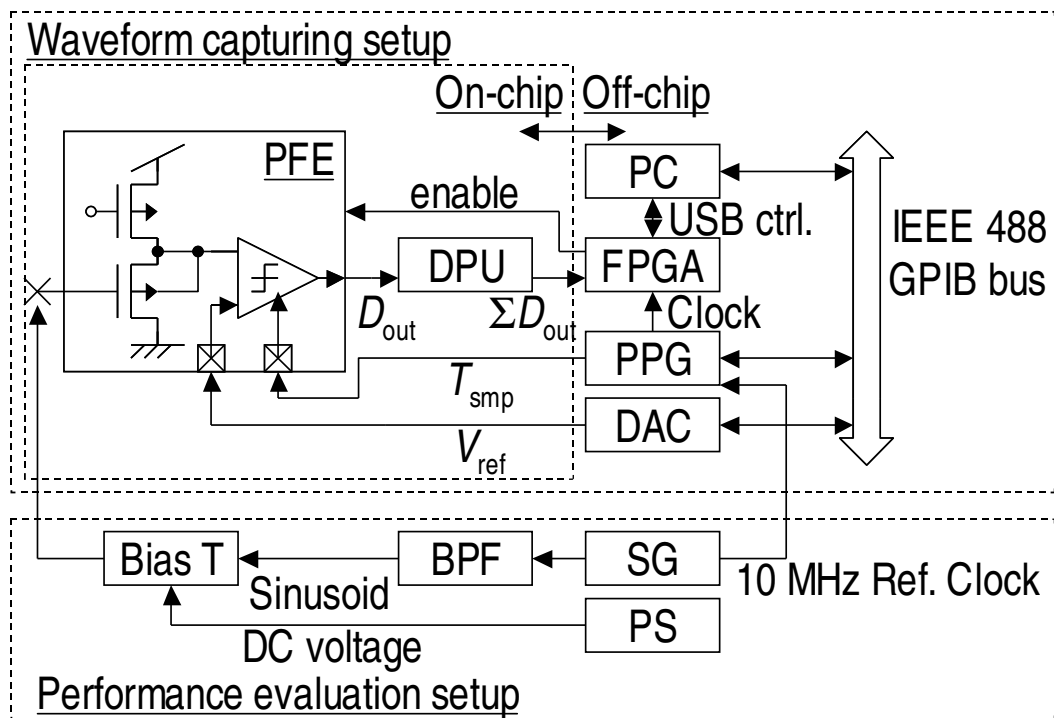


Figure 2.6: Block diagram of waveform capturing setup.

1. テストベクタを PC 上波形取得プログラムに読み込ませる。
2. PC 上波形取得プログラムにより、テストベクタに基き測定機を設定する。
3. PC 上波形取得プログラムにより、FPGA 回路記述書き込む。
4. FPGA に構成されたバイナリ/信号変換回路により、PFE チャネルの選択、オンチップモニタの設定等を行う。
5. PC 上波形取得プログラムにより、取得したいタイミング  $T_{\text{smp}}$  を設定する。
6. PC 上波形取得プログラムにより、参照電圧  $V_{\text{ref}}$  を設定する。
7. PFE により、 $T_{\text{smp}}$  における測定対象の電圧をバッファリングした  $V_{\text{is}}$  と  $V_{\text{ref}}$  を任意回数比較する。
8. FPGA に構成されたデータロガーにより、 $\Sigma D_{\text{out}}$  を取得、PC に転送する。
9. PC 上波形取得プログラムにより、 $\Sigma D_{\text{out}}$  から次回の  $V_{\text{ref}}$  を決定する。
10. 6-9 を  $T_{\text{smp}}$  における電圧値が特定されるまで繰り返す。
11. 5-10 を取得したい長さの波形が取得できるまで繰り返す。

## 2.3 波形取得アルゴリズム

ここで前節の 5-10 に相当するフローを Fig. 2.7 に示す。このフローがオンチップモニタシステムの基本となるフローであり、3 重のループとなっている。ループの内側から、LC 出力の確率  $P_{\text{out}}$  導出のループ、 $V_{\text{ref}}$  を変化させ  $P = 0.5$  となる値を探索するループ、所望の分解能で  $T_{\text{smp}}$  を変化させ時間波形を完成させるループとなっている。ここで、波形取得時間は  $V_{\text{ref}}$  を如何に効率よく設定するかに大きく依存する。

以降、波形取得時間を短縮するためのアルゴリズムについて述べる。



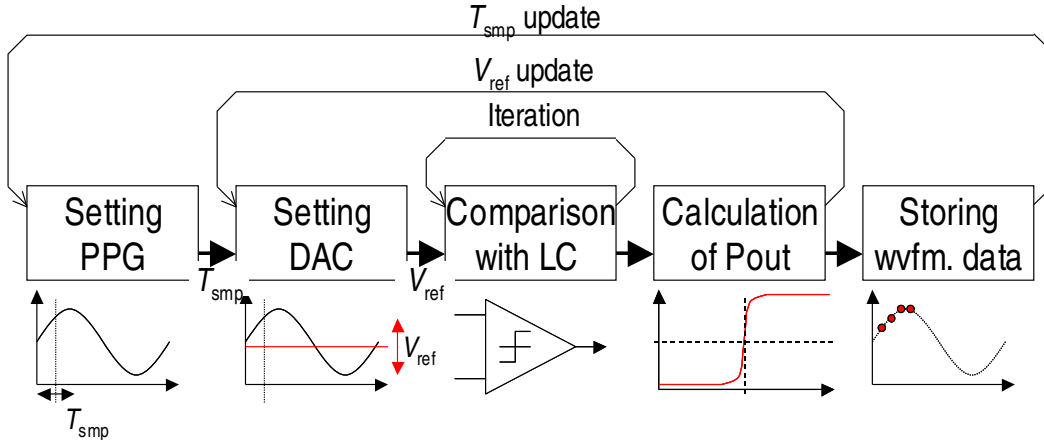


Figure 2.7: Digitization flow.

### 2.3.1 全探索

まず全探索について述べる。全探索は Fig. 2.8 に示すように、各タイミング  $T_{\text{smp}}$  において参照電圧の最小値から最大値まで、最小分解能  $\Delta V_{\text{ref}}$  ステップで  $V_{\text{ref}}$  を変化させ、 $P_{\text{out}} = 0.5$  となる  $V_{\text{ref}}$  を  $V_{\text{out}}$  として  $V_{\text{out}}(T_n)$  を導き出す手法である。しかしながら全ての組み合わせに対して  $\Sigma D_{\text{out}}$  を出力する明らかに非効率な手段である。また、 $V_{\text{ref}}$  最大値から最小値までの幅と  $\Delta V_{\text{ref}}$  の大きさによっては非現実的な時間を要する。

### 2.3.2 近傍マルチステップアルゴリズム

次に探索コストを絞るアルゴリズムについて議論する。Fig. 2.9[47] に示す近傍マルチステップアルゴリズムは、 $V_{\text{ref}}$  の操作を単純なインクリメント・デクリメントではなく、可変ステップで増減させている。まず疎な探索において、 $V_{\text{ref}}$  を最小分解能よりも大きく設定し、 $\Sigma D_{\text{out}}$  の値が逆転する2電圧値を探索する。その2電圧値の間に対象電圧があると言えるため、その領域を電圧増減ステップを小さくし最探索する。この手順を複数回行い、最終的に最小分解能  $\Delta V_{\text{ref}}$  で探索し  $V_{\text{out}}(T_n)$  を導出する。対象波形の概観を見るのに十分に細かい  $\Delta T_{\text{smp}}$  で波形取得を行う場合、 $V_{\text{out}}(T_n)$  及び  $V_{\text{out}}(T_{n+1})$  は近接していると言える。探索時間削減のため、 $V_{\text{out}}(T_{n+1})$  を導出するための  $V_{\text{ref}}$  の初期値  $V_{\text{refinit}}(T_{n+1})$  は式 2.2 のように決定される。

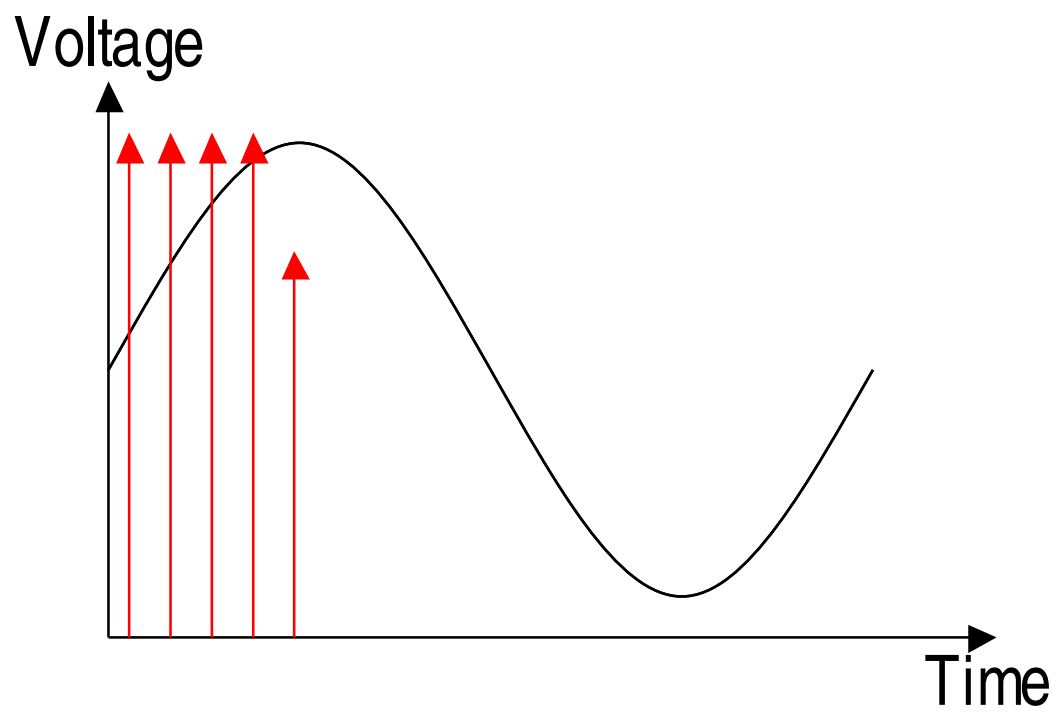


Figure 2.8: Brute force search.

$$V_{\text{refinit}}(T_{n+1}) = V_{\text{out}}(T_n) \quad (2.2)$$

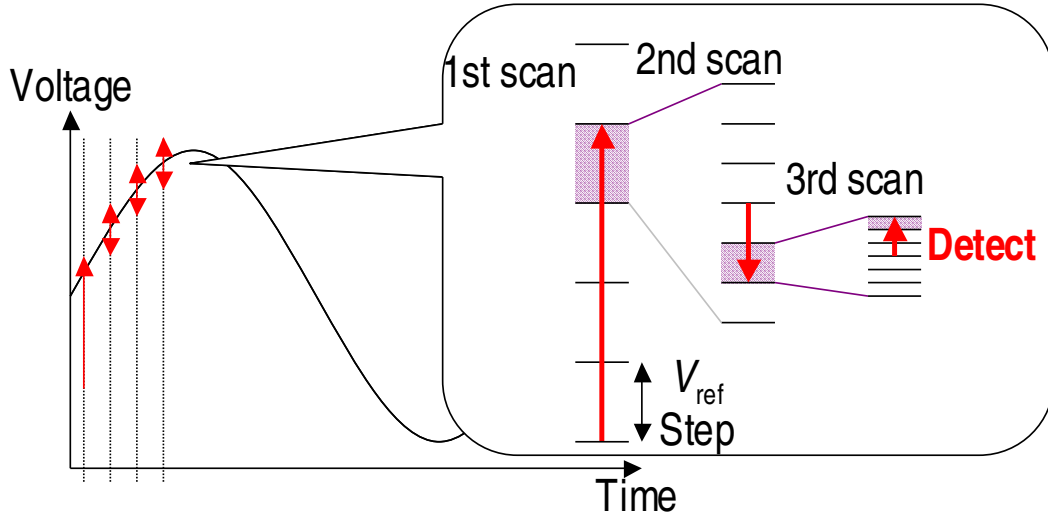


Figure 2.9: Neighborhood multi-step algorithm.

### 2.3.3 IG2P+SS

Fig. 2.10[47] に示す IG2P+SS(Initial Guess by previous 2 Point with Scaling Steps) はさらに効率を増すために探索回始点の決定に微分値を用いたものである。本アルゴリズムは可変  $V_{\text{ref}}$  ステップによる電圧探索に加えて、 $V_{\text{refinit}}(T_{n+1})$  の決定に直前の2点  $V_{\text{out}}(T_n)$  及び  $V_{\text{out}}(T_{n-1})$  を用いている。

$V_{\text{refinit}}(T_{n+1})$  の導出は式 2.3 のように行われる。

$$V_{\text{refinit}}(T_{n+1}) = V_{\text{out}}(T_n) + (V_{\text{out}}(T_n) - V_{\text{out}}(T_{n-1})) \quad (2.3)$$

このアルゴリズムは  $V_{\text{out}}(T_n)$  と  $V_{\text{out}}(T_{n-1})$  の差が大きい時に高い効果が得られる。

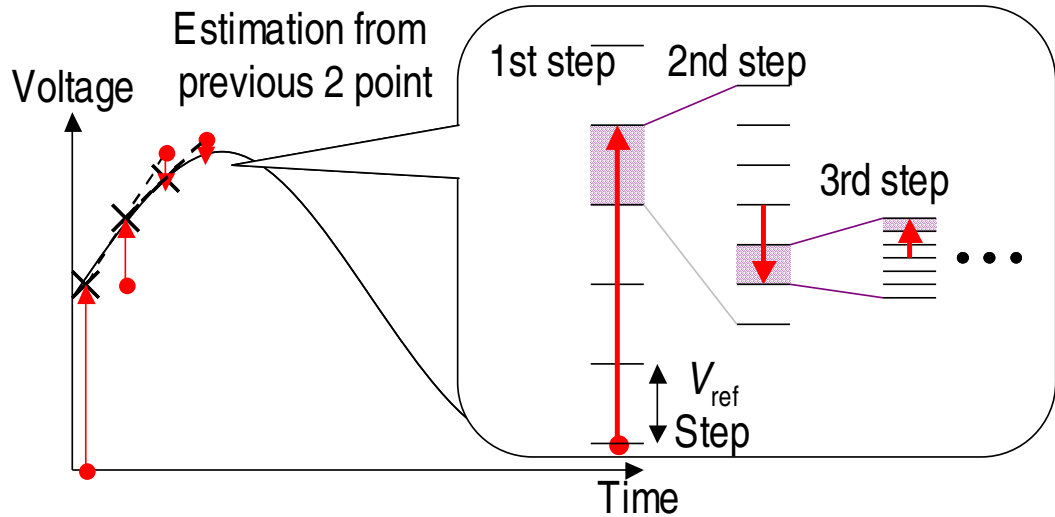


Figure 2.10: IG2P+SS algorithm.

## 2.4 モニタシステム性能評価

### 2.4.1 テストチップ

本章で用いるテストチップは 65 nm CMOS プロセスで試作され、各 PFE チャンネルと DPU を搭載している。3 種類の PFE 及び DPU のレイアウトを Fig. 2.11 に示す。Fig. 2.11(a) に示されるように PFE は 3 種とも  $55\mu\text{m} \times 138\mu\text{m}$  で設計され、設計における配置・置き換えを簡単化している。Fig. 2.11(b) に示される DPU は  $30\mu\text{m} \times 30\mu\text{m}$  の面積を占める。PFE は入力レンジの広さと高電圧に対応するため 2.5V 電源の  $0.28\mu\text{m}$  相当の CMOS を用いており、DPU は 1.2V 電源の 65 nm CMOS スタANDARDセルを用い設計されている。

### 2.4.2 静特性評価

Fig. 2.12 に各 PFE チャンネルの静特性評価の結果を示す。pSF、unity-BF、nSF チャンネルはそれぞれ 200 mV、1150 mV、2350 mV 中心に約 500 mV の電圧領域を 9 bit (512 step) で分割している。各 INL(Integral Non Linearity、積分非線形性) は所望の領域にておおよそ  $\pm 1$  の範囲に収まっているため、8 bit 相当の線形性が確認できる。

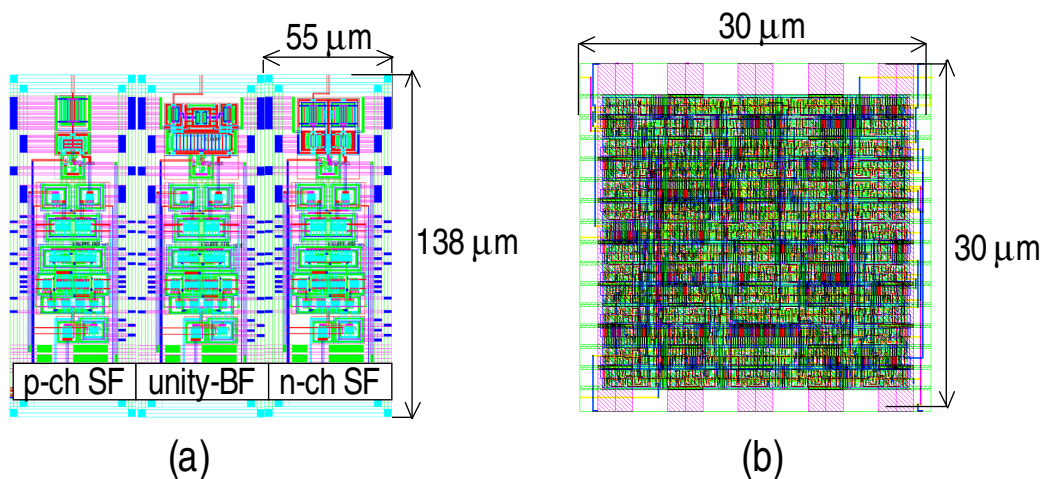


Figure 2.11: Physical layout of (a) PFEs and (b) DPU.

### 2.4.3 動特性評価

Fig. 2.13 に、各 PFE チャンネルの動特性評価の結果を示す。10 MHz、100 mVpp の正弦波を各 PFE 入力に供給、100  $\mu\text{V}$  電圧分解能 ( $\Delta V_{\text{ref}}$ )、1 ns の時間分解能 ( $\Delta T_{\text{smp}}$ ) で離散化したもので、取得波形を Fig. 2.13(a)、500 MHz 帯域までの周波数成分を Fig. 2.13(b) に示す。また、このとき SNDR(Signal to Noise and Distortion Ratio)、SNR(Signal to Noise Ratio)、SFDR(Spurious Free Dynamic Range) を Tab.2.1 に示す。回路特性による性能差異があるが、1 bit(6.02 dB) 程度に収まっており、pSF-ch においては SNDR で 9.0 bit の性能を達成している。

Table 2.1: SNDR, SNR, SFDR of the waveforms in Fig. 2.13.

	SNDR (dB)	SNR (dB)	SFDR (dB)
pSF-ch	56.07	60.51	60.74
unity-BF-ch	53.26	57.34	57.96
nSF-ch	50.16	52.68	55.99

また、unity-BF-ch PFE において入力波形振幅に対する SNDR、SNR、SFDR の値をプロットしたものを Fig. 2.14 に示す。SNR の値が伸び SFDR が劣化していることからわかるように、振幅が大きくなると 2 次高調

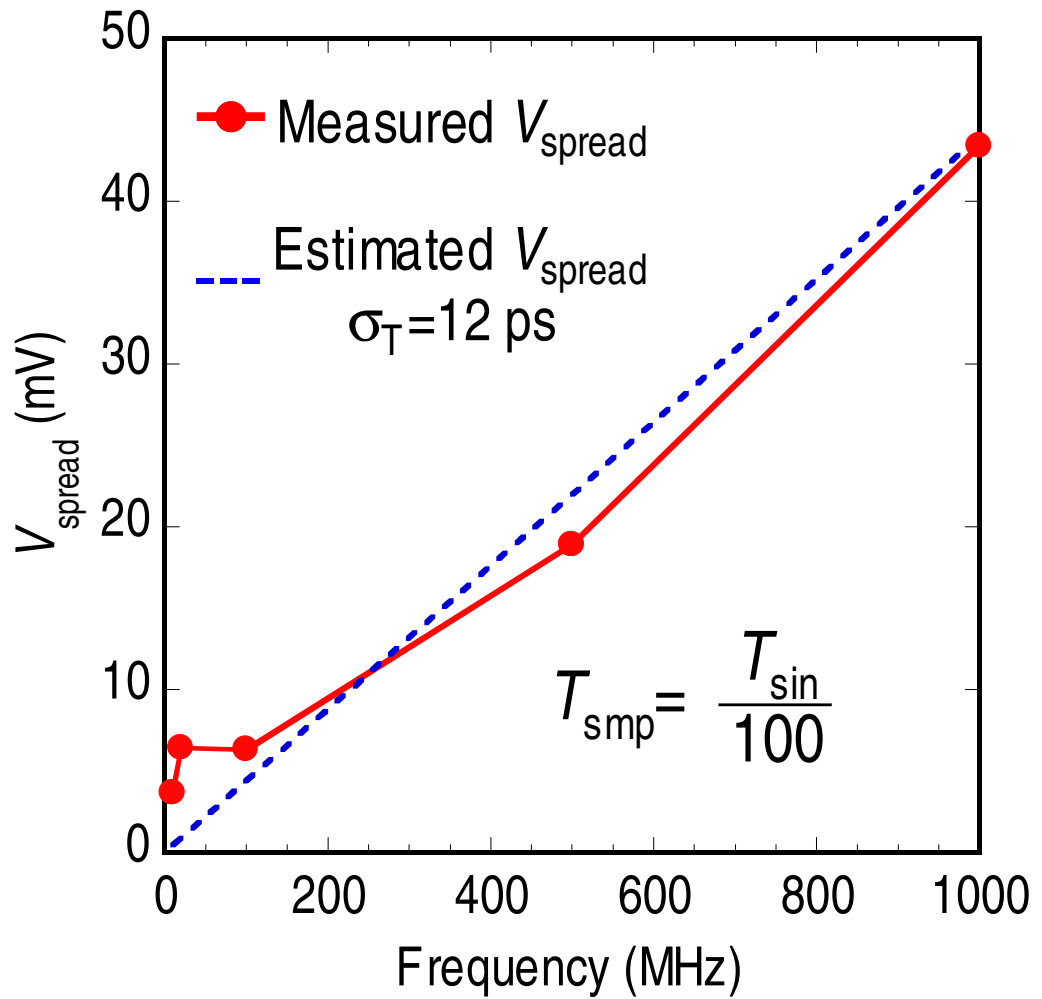


Figure 2.12: I/O characteristics of (a) pSF-ch, (b)unity-BF-ch, and (c)nSF-ch PFE.

波に代表される線形性劣化要因が無視できなくなる。一方で他回路からの干渉等、その他のノイズ成分は十分に低いことが Fig. 2.13(b) から言える。このことは、制御回路からの干渉が対象とする帯域の周波数成分に顕著な影響を及ぼしていた従来試作物 [42] からオンチップモニタのシステムレベルの構成における大きな改善を示している。

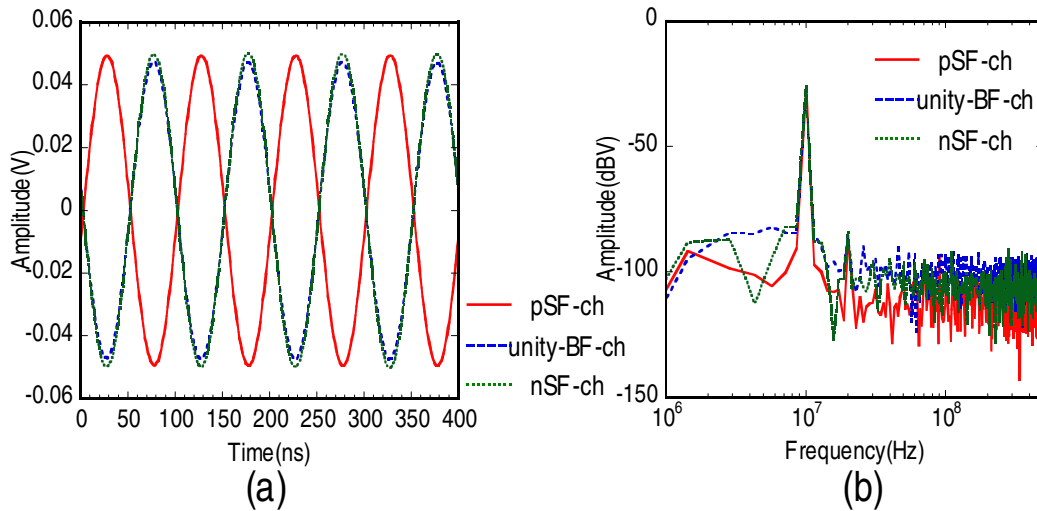


Figure 2.13: PFE dynamic response of PFE in sinusoidal waveform capturing. (a) Measured waveshape and (b) frequency components.

#### 2.4.4 アルゴリズムによる波形取得効率改善効果

Fig. 2.15 に前節に記した IG2P+SS アルゴリズムの効果を示す。提案アルゴリズム使用時の Fig. 2.13 の波形取得時の平均 THP (system throughput、電圧特定 1 回あたりの参照電圧の変更回数で定義される) は 6.56 であり、これは同条件で全探索アルゴリズムを使用した場合の値である 1000 (100 mV / 100  $\mu$ V) に対し 99.34% の削減を達成していることを示している。従来研究 [42] からプロセス・システムが更新されており厳密な比較ではないが、アルゴリズム自体の性能は改善されているといえる。

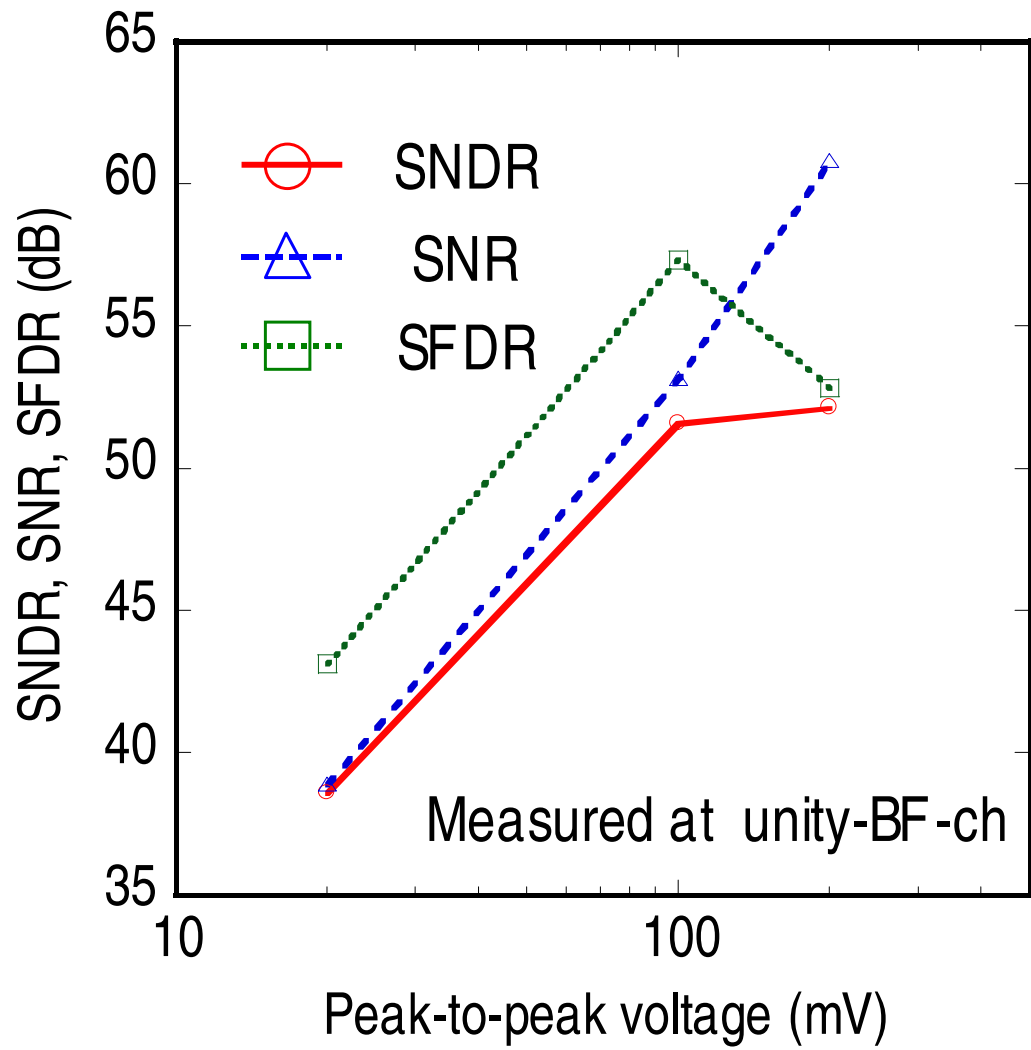


Figure 2.14: Dynamic range of waveform acquisition.



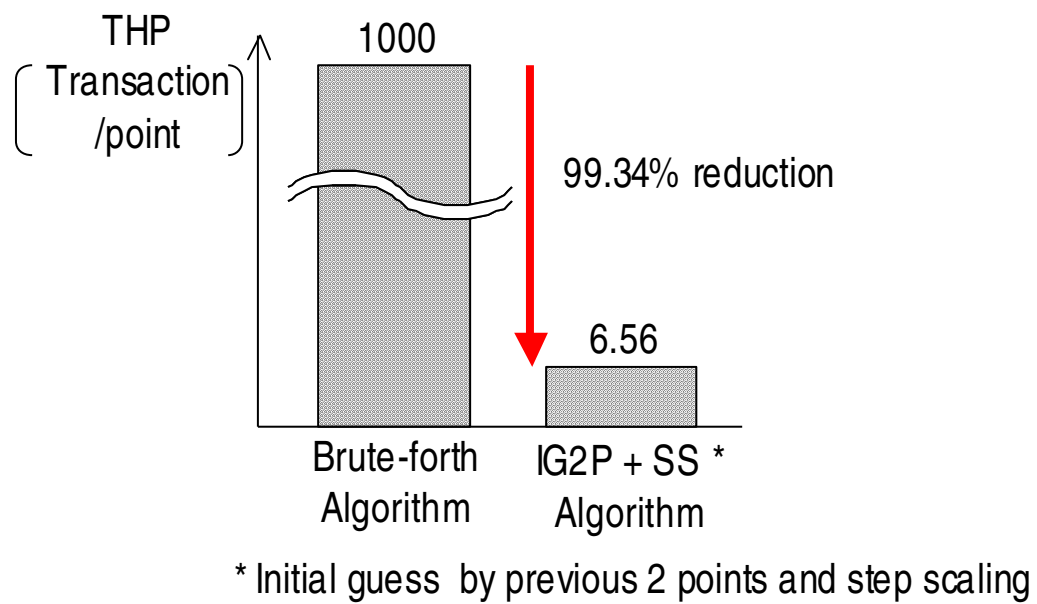


Figure 2.15: Throughput of waveform acquisition with different algorithm.

## 2.5 動作モデリング

本節では波形取得システムの動作モデルを用いた解析を行う。モニタシステムの最も重要な性能指標として、波形取得精度及び速度が挙げられるが、それら二つを正確に表現するためには、線形性劣化の要因となる要素を考慮する必要がある。

波形取得精度にはモニタシステムの入出力特性と電圧の誤検出を起こす動的な電圧バラつきが密接に関係し、波形取得速度に対しても電圧バラつきはアルゴリズムによる  $V_{ref}$  操作の誤誘導という点で大きな影響を持つ。そのとき電圧バラつきはLCによって比較される2値  $V_{ref}$  と  $V_{is}$  の熱雑音由来の純粋な電圧方向のバラつき (Fig. 2.16(a)) と、モニタシステム内のタイミングジッタにより本来の  $T_{smp}$  と異なる時点の  $V_{is}$  を取得することによるバラつき (Fig. 2.16(b)) に大別される。

以降それらの要素を考慮した動作モデルの提案及び解析結果と実測結果の比較を行う。

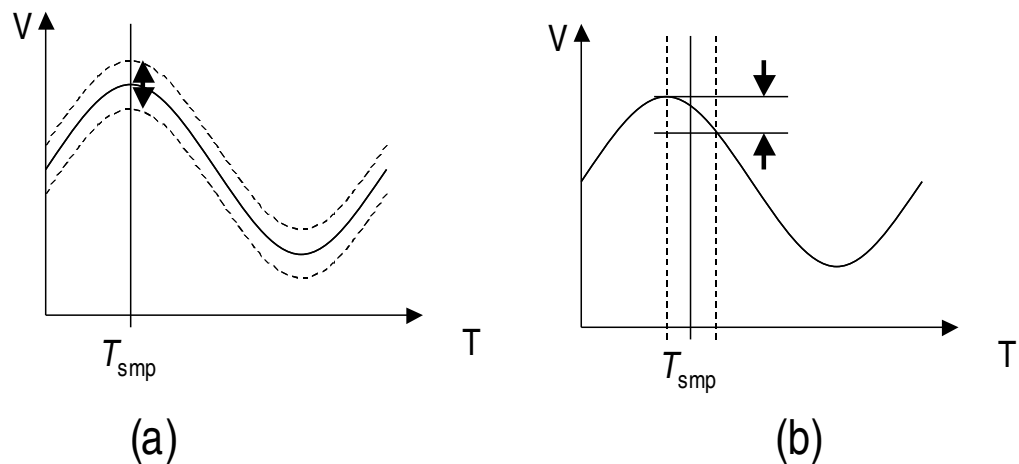


Figure 2.16: Voltage variation from (a)voltage variation and (b)timing variation.

### 2.5.1 モデル概要

動作モデルに必要なパラメタを以下に列挙する。

$V_{is}$  テーブル 取得対象の波形をタイミングに対する電圧として記述する。入力段に DC 非線形性が含まれる場合、このデータの時点でそれを付加しておく。

$T_{smp}$  テーブル 対象波形を取得するタイミングをそれぞれ記述する。動作モデルは記されたタイミングの順番に対象波形を取得する。 $T_{smp}$  側に定常的に非線形性がある場合このデータに付加しておく。

$V_{ref}$  テーブル 対象波形の離散化に用いる電圧値を順に記述する。 $V_{ref}$  側に歪み等の非線形性がある場合このデータに付加しておく。

正規分布乱数テーブル 動作シミュレーションプログラム中で用いる正規乱数を順に記述する。プログラム中でランダム性を持った要素を計算する際に使用する。プログラム中で生成するか既存のテーブルを用いるか選択可能である。

$\Sigma D_{out}$  テーブル  $V_{ref}$  と  $V_{is}$  の電位差に対し  $\Sigma D_{out}$  の値を記述する。プログラム中で生成するか既存のテーブルを用いるか選択可能である。

動作シミュレーションプログラム 動作シミュレーションの親プログラムであり、各パラメタを用いシミュレーションを実行する。離散化時に発生する電圧バラつき、タイミングバラつきの量も記述される。波形取得アルゴリズムの記述も含まれており、実測用アルゴリズムと同じ、又は等価な挙動の記述がなされる。本プログラムはスクリプト言語の一つである Ruby にて記述されている。

次に動作シミュレーションプログラムのフローを Fig. 2.17 に示す。フローは Fig. 2.17 のように 4 部分に分割可能であり、同様にプログラム内の機能も 4 ブロックに分割可能である。

$T_{smp}$  ジェネレータ  $T_{smp}$  テーブルに応じたタイミングを設定するブロック。

アルゴリズムパート 記述したアルゴリズムに基づき  $V_{ref}$  を設定するブロック。

$V_{ref} - V_{is}$  ジェネレータ  $T_{smp}$  にバラつきを加えたタイミングの  $V_{is}$  を  $V_{is}$  テーブルから導出、 $V_{ref}$  にバラつきを加えた値と  $V_{is}$  を比較し判定するブロック。

波形データストレージ 特定した電圧値を  $T_{smp}$  テーブルの各要素に対応する形で保存するブロック。

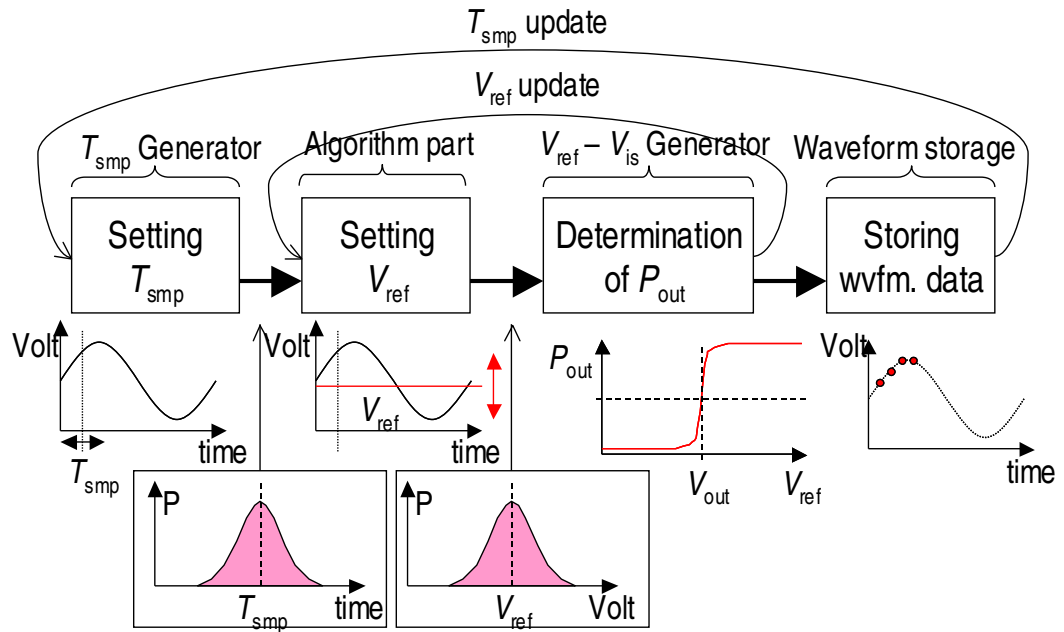


Figure 2.17: Behavioral model flow.

### 2.5.2 バラつき導出

モニタシステムのバラつきはPFEの静特性 (Fig. 2.3(a)) から確認できる。さらに詳細に示したものを Fig. 2.18 に示す。また、 $V_{ref}$  及び  $V_{is}$  に分布  $\sigma_P$  の正規乱数を付加した結果もあわせて示す。この  $\sigma_P = 3.0 \text{ mV}$  のとき最も実測値に近接するため、本動作モデルでは以降この値を使用する。

次に、電圧依存、時間依存のバラつきを導出する。 $T_{smp}$  の時間バラつきは140周期分の波形取得の重ね合わせより導出する。140周期分の100 MHz, 100 mVpp の正弦波の重ね合わせ結果を Fig. 2.19(a) にプロットする。また、各位相における電圧値の幅 ( $V_{max} - V_{min}$ ) を Fig. 2.19(b) に示す。図より、正弦波の  $\Delta V/\Delta T$  が大きい箇所、すなわち時間バラつきの影響が出やすいほど  $V_{max} - V_{min}$  が大きいことが読める。このとき、1サイクルの中で  $V_{max} - V_{min}$  の最大値を  $V_{spread}$  とする (式 2.4)。同様の重ね合わせを1 GHz の正弦波に対して行ったものを Fig. 2.19(c)、位相と電圧値の幅を Fig. 2.19(d) に示す。図より、100 MHz 波形に対し1 GHz 波形は  $\Delta V/\Delta T$  が大きいので  $V_{spread}$  が大きいことが読み取れる。周波数毎

の  $V_{\text{spread}}$  を Fig. 2.20 に示す。  $V_{\text{spread}}$  が周波数に対してほぼ線形に上昇しており、直線近似から、  $\sigma_T=12$  ps が導出される。

$$V_{\text{spread}} = \text{max} \times \Delta V / \Delta T \quad (2.4)$$

### 2.5.3 性能解析

電圧バラつき  $\sigma_V$  と時間バラつき  $\sigma_T$  が導出されれば、Fig. 2.17 のフローで動作シミュレーションが可能となる。動作シミュレーションの結果を Fig. 2.21 に示す。グラフより、2次、3次高調波成分、ノイズフロアのレベル等に対し高い一致度があるといえる。実測波形は低周波成分が若干持ち上がっているが、実験環境の温度変化による波形の揺らぎなどが原因と思われる。また、同様の比較を 10 MHz・200 mV<sub>pp</sub>、100 MHz・100 mV<sub>pp</sub>、100 MHz・200 mV<sub>pp</sub> の条件に対して実行し、その際の SN 比を Fig. 2.22 に示す。また、同グラフには時間バラつき・電圧バラつきの値を考慮せずに動作シミュレーションを行った場合の結果も比較のため併記している。グラフより、全体的に SNR が実測に近く抑えられ、特に 100MHz 波形取得時の SN 比が実測に近いことが読み取れる。これは、電圧バラつきを付加することによりノイズフロアが実測に近くなり、時間バラつきを付加することにより高周波信号波形取得におけるクロックジッタの影響が正しく再現されていることを意味している。

最後に、これらの条件で波形取得をする際の波形取得時間に関して、実測と動作モデル解析、さらに比較用としてバラつきを付加しない場合の動作モデル解析の比較結果を Fig. 2.23 に示す。単位は Transaction/point であり、このとき Transaction は電圧変更のために行う外部測定器との通信を意味する。波形取得時間についても、Transaction 回数はバラつきを付加することで動作モデルに近くなっている。特に、時間バラつきの相対的な影響が高周波信号測定では増加するため、対象波形の探索に悪影響を及ぼすが、提案する動作モデルではそれらの影響を考慮することで、モニタシステムの挙動そのものをより実測に近い形で再現することが可能となった。また、これらの動作モデル解析は単純な数値計算のみで行うため 1 時間程度の実測を数秒で再現可能であり、回路シミュレーション ( $N_{\text{comp}}$  回の LC 比較を行う場合 100 日、1 回の LC 比較で波形取得を模擬する場合数時間) よりも高速である。

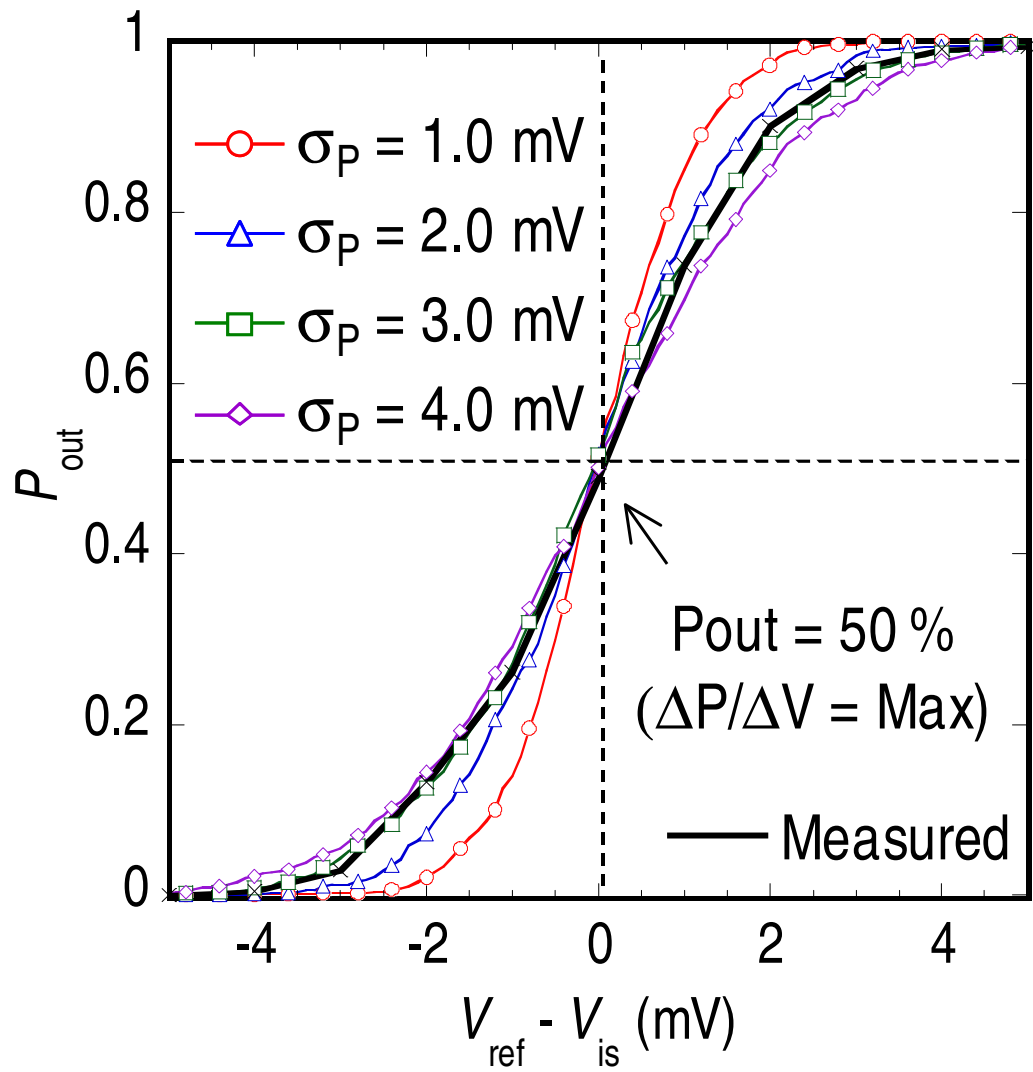


Figure 2.18: Capturing static response of PFE in behavioral expression with  $\sigma_p$ .

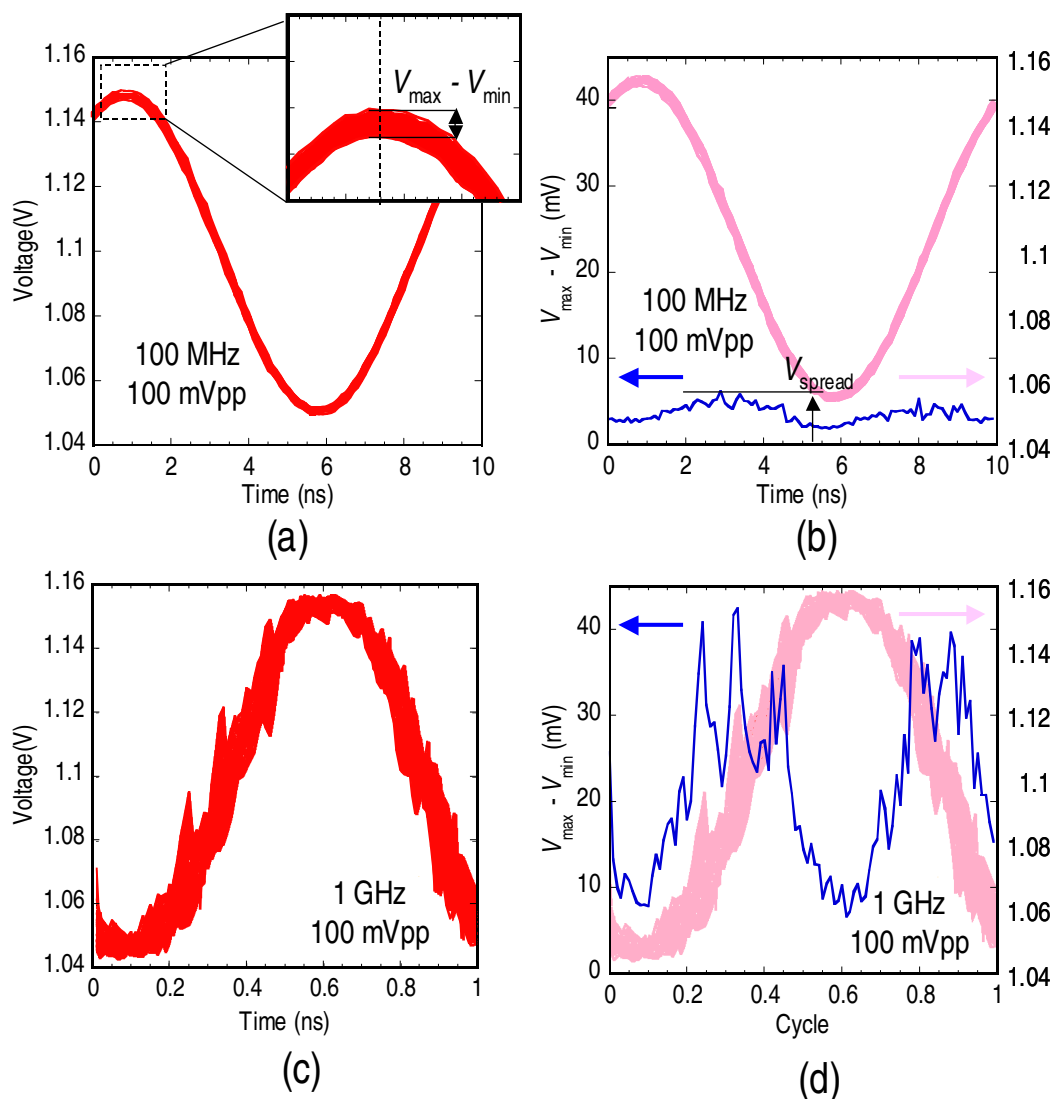


Figure 2.19: (a) Superposition of sinusoidal waveforms after acquisition for 140 cycles @100 MHz 100 mVpp. (b) Derived voltage variation at each sample timing @ 100 MHz 100 mVpp. (c) Superposition of sinusoidal waveforms after acquisition for 140 cycles @1 GHz 100 mVpp. (d) Derived voltage variation at each sample timing @ 1 GHz 100 mVpp.

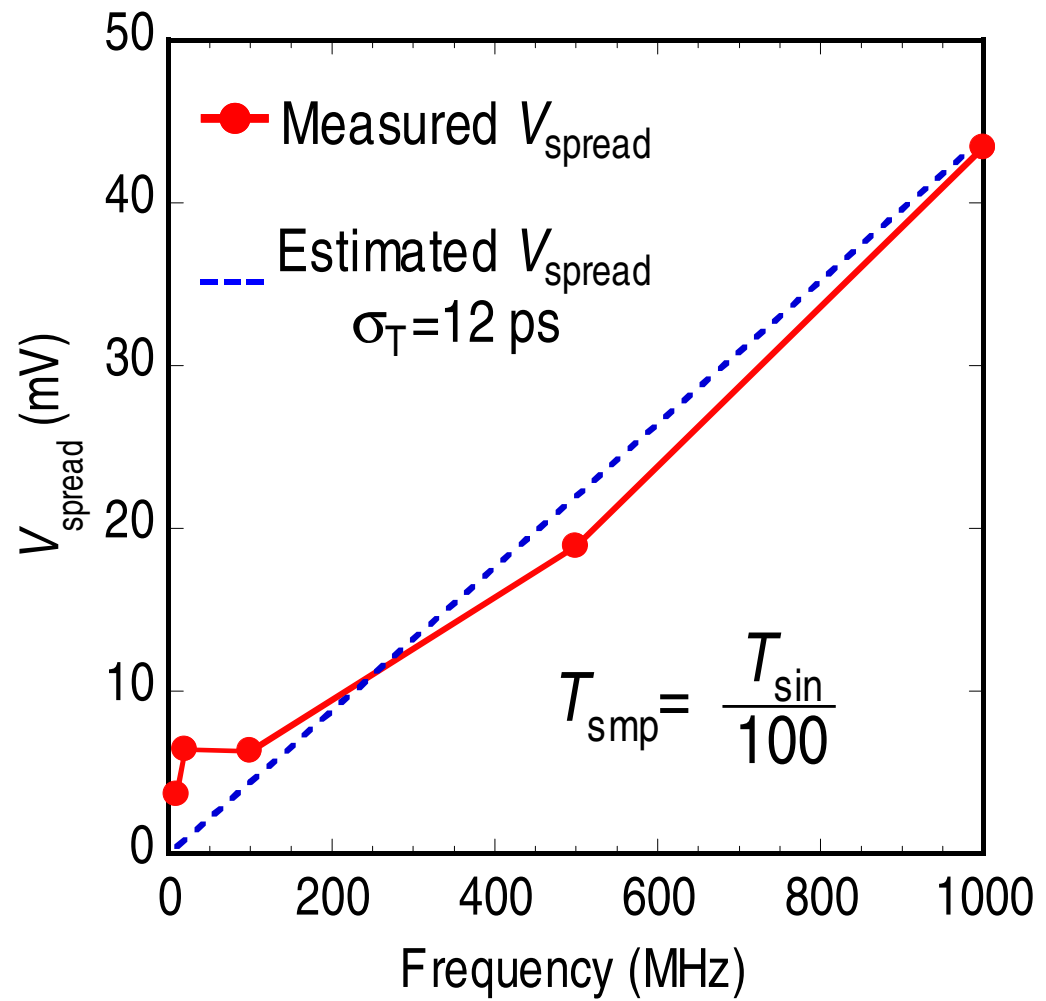


Figure 2.20: Capturing AC response of PFE in behavioral expression with  $\sigma_T$ .



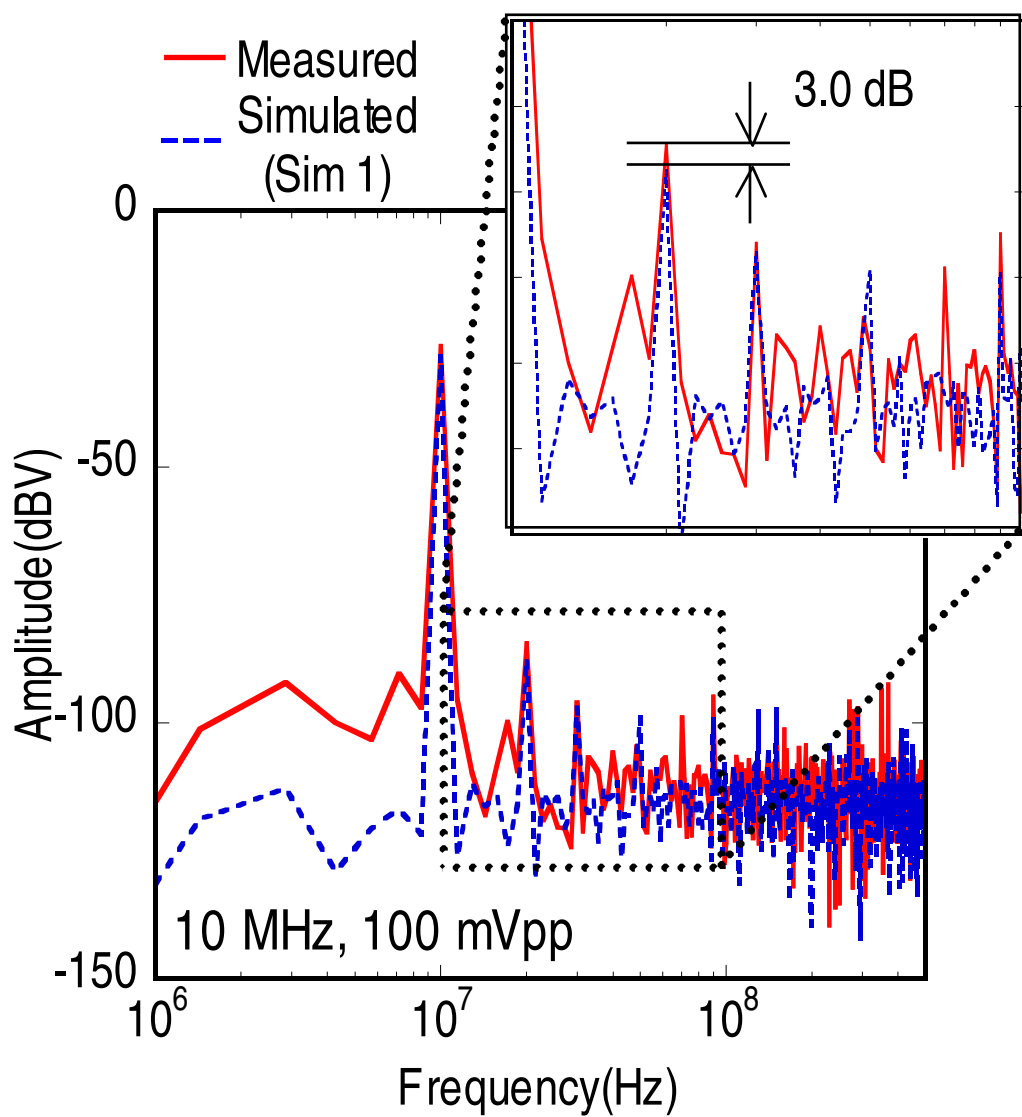


Figure 2.21: 10 MHz, 100 mVpp simulated and measured AC response.

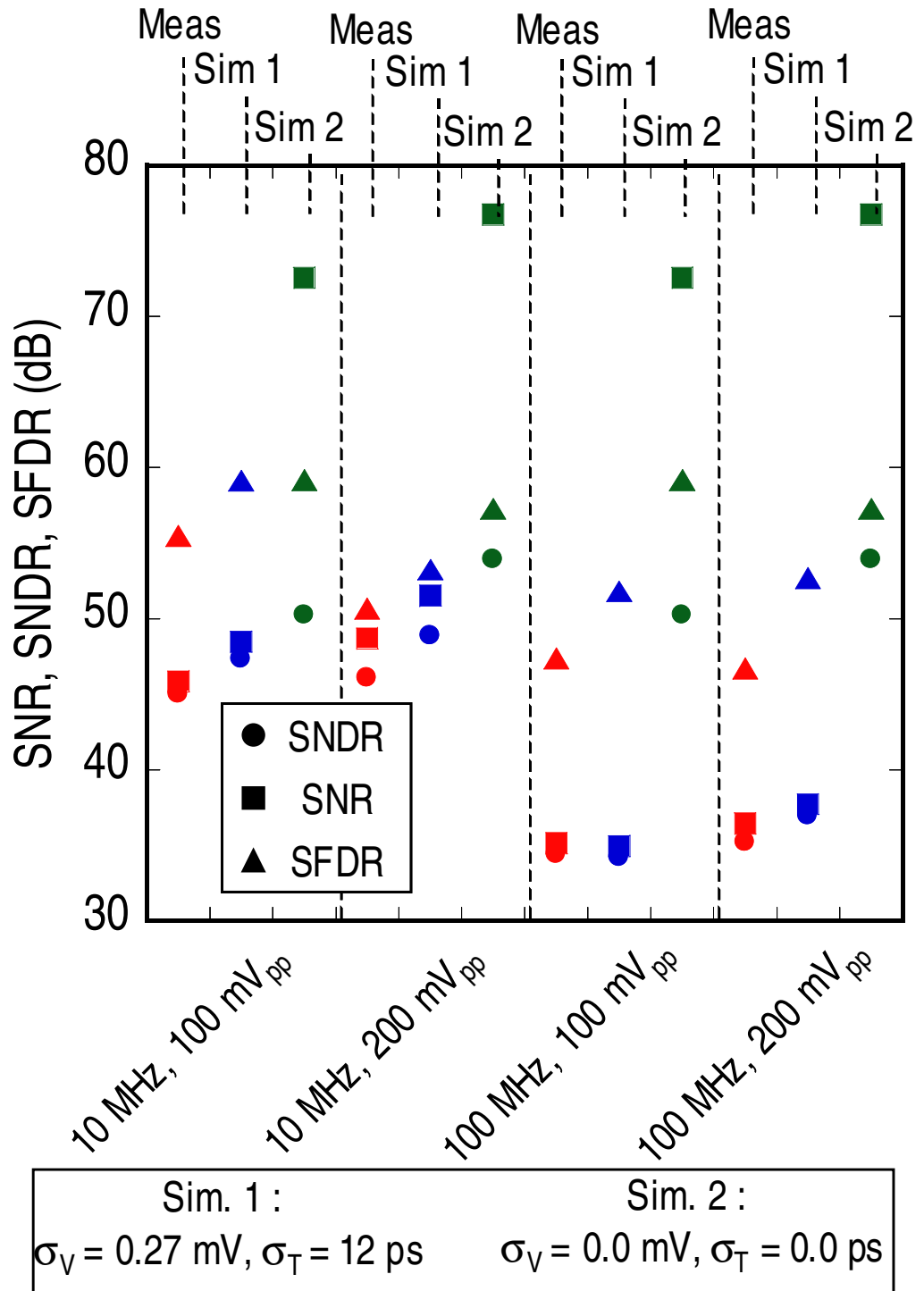


Figure 2.22: Simulated and measured AC dynamic range.

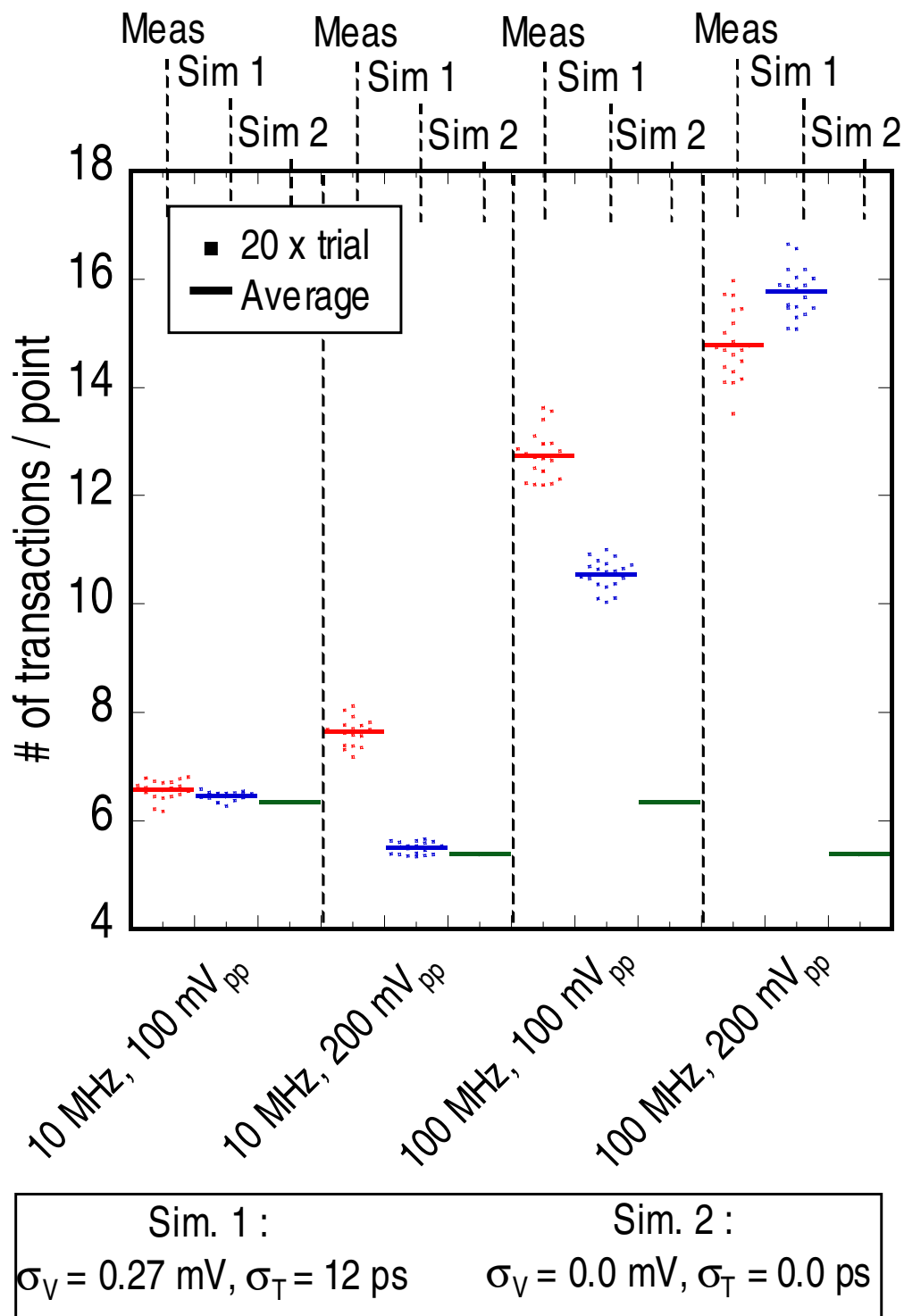


Figure 2.23: Simulated and measured throughput of waveform acquisition.

## 2.6 結言

本章では、チップ内の電源グラウンドノイズ、信号を高精度に評価するためのオンチップモニタシステムを提案、アレイ化が容易で拡張性に優れるPFEとそれらを統括するDPUを試作チップに搭載した。フロントエンドで対象波形を離散化するためのタイミング信号・参照電圧を外部より供給する最小構成の波形取得システムを構築し、波形取得精度及び波形取得速度の評価を行った。

結果、SNDRで56.1 dB、SFDRにおいて60.7 dBの性能を実現し、有効ビット数において9 bit相当の性能があることを示した。また、その波形取得において最も波形取得速度に影響すると考えられる参照電圧操作の回数を最小化するためのアルゴリズムを適用し、アルゴリズム適用前と比較し99.34%のトランザクション数削減を達成した。

また、特に高周波の波形取得時に無視できなくなるシステム中のタイミングジッタなど、電圧及び時間バラつきを再現するための動作モデルを作成し、構築したシステムの挙動及び取得した波形の線形性などを再現した。モニタシステムの動作モデルの作成により、異なるプロセスノードで設計したモニタシステムの性能見積もり、取得波形から時間バラつきによるノイズを除去するために必要な平均化回数を見積もりが容易となった。



## 第3章

---

# 3次元実装システムのためのオンチップ評価系の提案と評価

### 3.1 緒言

オンチップ波形取得技術はLSI内部の電磁放射やそれに対する耐性など、さまざまな現象の知見をもたらしてきた。デジタル回路内部の電源及びグラウンドノイズ波形 [48][49] が遅延変動と関連付けられ観測され、基板ノイズ波形がRF通信回路に及ぼす影響 [50][51] がオンチップ波形取得技術により観測された。近年ではTSVを用いた3次元実装半導体の電源ネットワーク及び信号ネットワークの検証 [52][53][5] が行われた。

オンチップ波形取得回路構成には、間接的な電圧センシング [54]、高分解能サンプリング [55]、電圧対周波数変換を利用した間接的測定手法 [56]、連続時間式アナログバッファリング [57] 等、様々な方式が存在する。

オンチップ波形取得の有効性はこれら従来研究が証明してきたが、オンチップ波形取得の方式は搭載されるシステム、対象とする物理量により厳選されるべきである。

本章では三次元実装LSI内部の電源及び信号線上の波形に焦点を当てており、チップスタックにより対象とする回路が別のチップにより隠されてしまう可能性がある3次元積層LSIにおいては、オンチップで完結した波形取得が必須であるといえる。また、三次元実装LSIの製造においては積層工程における不具合により歩留まりが劣化することが問題であり、モニタシステムも例外なく影響を受ける。良品ダイに不良ダイを積層してしまうこと、積層時にチップ間の接合に不良が発生しオープンとなってしまうことが考えられるが、不良が発生しうる条件下でもモニタの稼働率を上げデータを回収することが重要であり、不良発生原因究明の助けにもなるため、三次元実装環境に最適なモニタシステムが求められる。

本章では以下、第2節で3次元積層システムのためのオンチップモニ

タシステムを提案する。第3節で提案システムの波形取得性能を評価し、第4節で3次元積層システムにおける波形取得システム及び取得波形について議論する。第5節で本章の結論を述べる。

## 3.2 積層オンチップモニタシステム

Fig. 3.1に3次元実装環境における層内波形取得のためのオンチップモニタ実装例のイメージを示す。TSVは薄化された上層ダイに形成され、 $\mu$ -バンプとあわせて下層ダイの配線との垂直結合を形成する。下層ダイは通常のダイの厚さであり、積層構造を物理的に保持する役割も持っている。

[42]に提案されるPFE回路は、各層でアレイ構造を構成し、実装された層において対象の波形を取得しデジタル化する、完結したシステムとなっている。観測点としては、電源( $V_{dd}$ )ライン及びグラウンド( $V_{ss}$ )ラインからなるPDN、グラウンド電位にバイアスされたシリコン基板、回路ブロック内の信号ノードが挙げられる。これらの観測点から得られたデータは、3次元実装チップの物理的完全性、電源及び信号完全性、さらには電磁環境両立性 (Electromagnetic Compatibility, EMC) 等の解明に有用であると言える。

単一のPFEがアレイの中から選択され、その出力がDPUによりカウントアップされチップ外部に出力される。DPU出力及びリセット信号は各層で個別に用意されており、その他は共有ノードとなっている。また、TSVの不良等、垂直結合の不具合に備えて、TSVは1ノードに対し2つ以上使用される。個別、共有ノードに関わらず全ての層へのアクセスは上層に集中し、(上下の層でダイのサイズが異なる場合は下層からアクセス可能な場合もあるが) 下層の個別ノードもTSVを通し上層に用意されたパッドに接続される。上層ダイからは $\mu$ -バンプやボンディングワイヤを通してパッケージ、又は直接PCBに接続される。

### 3.2.1 PFEの冗長構成

積層された2層以上のチップにわたりPFEが配置する場合、各PFEを直列接続 (Fig. 3.2(a)) するか、層ごとに並列接続 (Fig. 3.2(b)) するかの2通りが考えられる。面積及びI/O数そのものは直列接続が優れているが、どこか1箇所のチェーンが途切れると全てのシステムが使用不能に

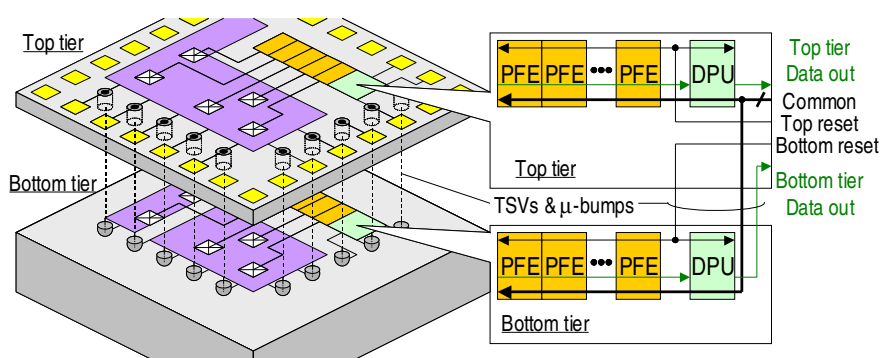


Figure 3.1: Embedding OCM system in 3D chip stack.

なる危険性がある。そのため、本章ではある程度の面積・入出力ポート数オーバーヘッドと引き換えにデータフローを層ごとに独立させ、TSVも1つの信号線に対し2本用いている。入力信号はリセットを除き全て共通であり、使用する層以外をリセットした上で使用チャンネルを決定する。

この冗長構成の最大の利点は歩留まりであり、どこか1箇所のTSVに不具合が発生しても全てのPFEにまでエラーが及ぶことがない。また、各層で独立したシステムとなっているため、積層前の単一ダイで良品ダイ (Known Good Die, KGD) を見つけ出すことや、積層過程毎の評価が可能である。こういった冗長性と評価の自由度は、特に実験プロセスを用いておりTSVや積層プロセスの未成熟なシステムにおける詳細な評価を可能にする。

Fig. 3.2(c)に各接続手法での不具合発生率を試算した場合のプロットを示す。赤線は直列接続時にいずれかのTSVに不良が発生し、システム全体に影響が及ぶ確率である。青線は並列接続時に最も条件の厳しい(最も多くのTSVを経由する)層のモニタシステムが動作不能になる確率である。並列接続時の不良発生率は直列接続時と比較し低く抑えられ、さらに不具合が発生していても他の層で評価できる可能性が残っている。Fig. 3.2(d)に不具合発生率の数値を示す。このときの試算では、TSVの不具合発生率は5%としている。

### 3.2.2 参照電圧生成回路

VGはDAC(Digital to Analog Converter)により、 $V_{ref}$ を生成する回路である。本論文ではVGは10 bitのコードを元に電流 $I_{out}$ を生成する電



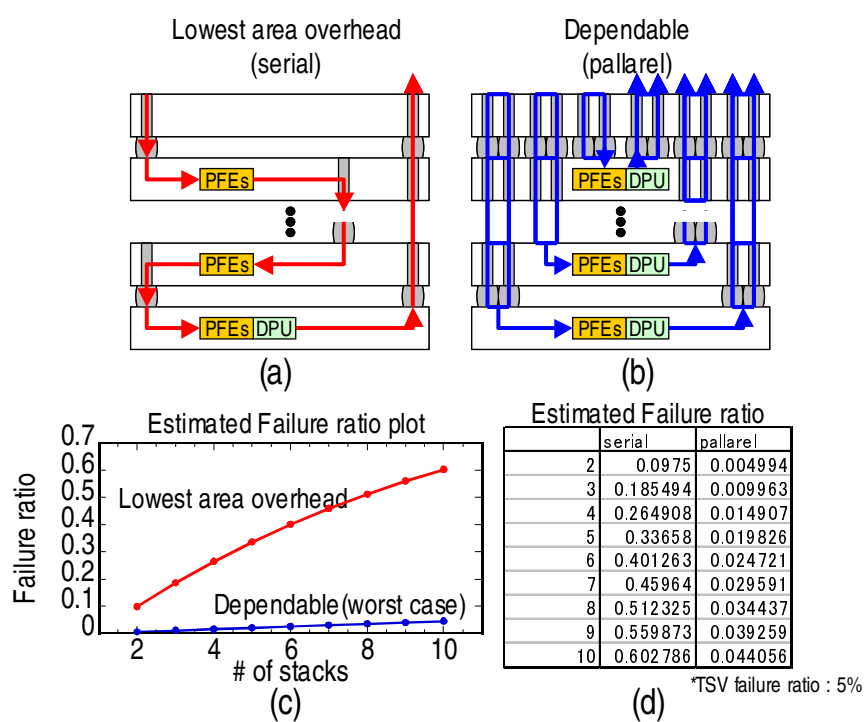


Figure 3.2: (a)Serial configuration of PFEs, (b) parallel configuration, (c) Data path failure ratio, and (d)table of failure ratio.

流源ブロック、 $I_{out}$  から傾斜・オフセット付きの電圧値  $V_{out}$  を決定する可変抵抗ブロックからなる。VGの構成を Fig. 3.3(a) に示す。電流源ブロックは 10 bit コードにより制御される 1024 個の定電流源からなり、任意の  $I_{out}$  を出力する。可変抵抗ブロックで電流を電圧に変換、その際の可変抵抗  $R_{range}$  により  $I_{out}$  に対する  $V_{out}$  変化の傾斜が、可変抵抗  $R_{offset}$  により出力される  $V_{out}$  のオフセットが決定される。VG より出力される傾斜・オフセットの異なる電圧のイメージを Fig. 3.3(b) に示す。

VG への入力として必要な信号は、10 bit の参照電圧を決定するコード、可変抵抗の値を決定するコードである。また、チップ外より VG を制御する場合はピン数削減のために、カウンタを用いて 10bit のコードを決定し、シフトレジスタを用いて可変抵抗ブロックの設定を入力している。この方式を用いた場合、VG への入力に必要なものは 10 bit コードをインクリメントするためのパルスとリセット信号、シフトレジスタへのクロックとデータのみになる。さらに、シフトレジスタに関しては後述の TG との接続により、全体のピン数はさらに少なくすることが可能である。

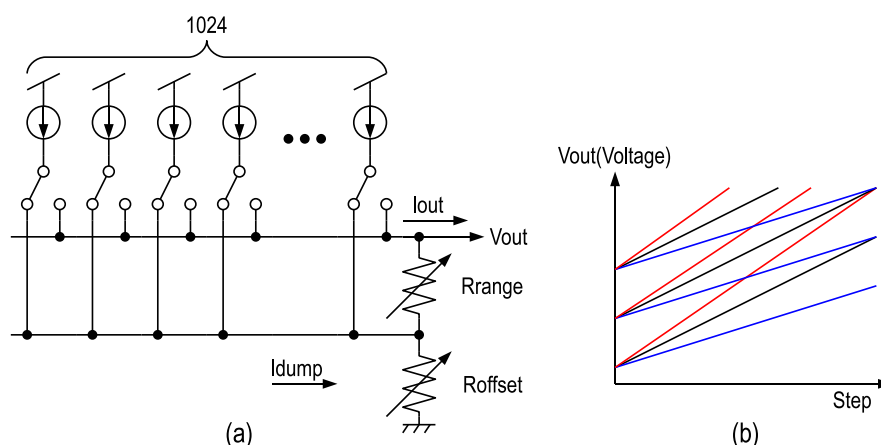


Figure 3.3: Voltage generator (a) schematic diagram and (b) output image.

### 3.2.3 サンプリングタイミング生成回路

TG は供給される測定用クロック  $M_{clk}$  に任意長の遅延を付加し、PFE に供給するサンプリングクロック  $T_{smp}$  を生成する回路である。本論文では TG は前述の VG、一定電流を生成する単位電流源、単位電流源からの

電流でチャージされる容量、容量の電圧値と VG からの電圧を比較するコンパレータからなる。TG の構成を Fig. 3.4(a) に示す。VG は 10 bit のコードを元に傾斜・オフセット付きの定電圧  $V_{vg}$  を生成、TG に入力されるクロックがハイになると同時に単位電流源から容量へのチャージが開始され、容量の一端の電圧値  $V_{tg}$  が一様に増加する。 $V_{vg}$  と  $V_{tg}$  がコンパレータで比較され、 $V_{tg}$  が  $V_{vg}$  を上回ったとき TG の出力がハイとなる。このとき、 $V_{tg}$  が  $V_{vg}$  を上回るまでの時間は  $V_{vg}$  により左右される。よって、TG に入力されるクロックがハイになってから TG の出力がハイになるまでの時間  $\Delta T_{smp}$  を  $V_{vg}$  でコントロール可能である。 $V_{vg}$  と  $V_{tg}$  で遅延を生成する様子を Fig. 3.4(b) に示す。

TG への入力として必要な信号は VG と同様であり、10 bit の参照電圧を決定するコード、可変抵抗の値を決定するコードである。VG 同様、カウンタ及びシフトレジスタを用いることで遅延値と可変抵抗値設定のための入力ピン数を省くことができる。

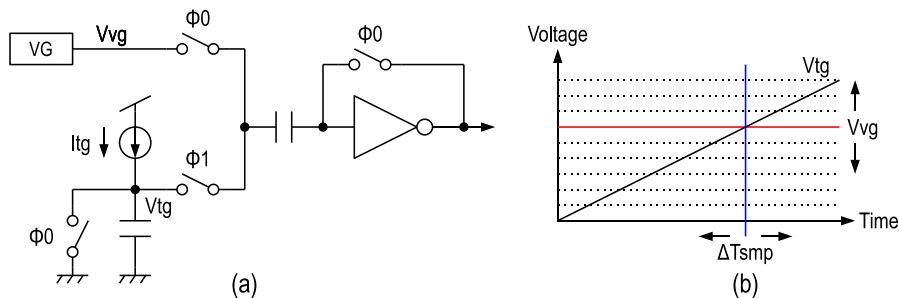


Figure 3.4: Timing generator (a) schematic diagram and (b) output image.

### 3.3 提案波形取得システム構成

層内及びオフチップ評価系を含む OCM の構成例を Fig. 3.5 に示す。Fig. 3.5(a) では、FPGA(Field Programmable Gate Array) は PFE の選択信号出力、DPU からのデータを取得とそれを基にした DAC の制御信号出力を行う。波形取得タイミング ( $T_{smp}$ ) と参照電圧 ( $V_{ref}$ ) はそれぞれパルスパターンジェネレータ (PPG) と DAC より積層システム内の PFE に供給される。Fig. 3.5(b) では、 $T_{smp}$  と  $V_{ref}$  はそれぞれ同層に実装された TG と VG により PFE に入力される。回路ブロック間のノイズ結合が

より深刻化する三次元積層システムにおいて、アナログ信号生成・供給を層内で完結させることにより不要なノイズ結合を無くすことが期待できる。また、TGの採用により後述する測定時間改善も期待できる。

PCが全ての測定器を総括しており、PPGはGeneral Purpose Interface Bus(GPIB、IEEE488)によりPCと接続、FPGAはUSBインタフェースにより制御され、DAC及びVG、TGはFPGA内のシーケンスにより制御される。PPGはFPGAと測定対象の全体の同期をとるほか、Fig. 3.5(b)では疎ステップの $T_{\text{smp}}$ 供給(密ステップはTGにより付加)、Fig. 3.5(a)では全ての $T_{\text{smp}}$ を供給する。

波形取得システムの速度を決定するアルゴリズムは近傍マルチステップアルゴリズム(Fig. 2.9)[42]であり、本章では前章のPC上のスクリプトではなく、同一の手順をFPGA上に実装、FPGA上のDAC制御回路によりDAC及びVGの電圧を制御する。

## 3.4 システム性能評価

### 3.4.1 設計例

Fig. 3.6に65 nm CMOSプロセスにて試作されたプロトタイプのプロトタイプブロック図を示す。プロトタイプにはグラウンドレベルと信号レベルを評価するための2種のPFE、DPU、オンチップのVG及びTGを搭載している。デジタル回路であるDPUは電源電圧1.2Vの標準論理セルを用い、アナログ回路部は電源電圧は2.5V、0.28  $\mu\text{m}$ 相当のプロセスを用い設計されている。2種のPFE及びVG、TGのレイアウト、回路サイズも同図に示す。

### 3.4.2 線形性評価

プロトタイプを用いた線形性評価を行った。チップに正弦波を導入し、波形取得精度及び速度を評価した。(3.1)式より導出されるSignal to Noise and Distortion Ratio(SNDR)をdB値にて導出し、(3.2)式で表される有効ビット数(Effective Number of Bits, ENOB)を求めた。もうひとつの精度指標として、Spurious Free Dynamic Range(SFDR)も用いている。こうして求められた値はOCMシステム全体の周波数特性やノイズ結合による性能劣化なども含まれる。



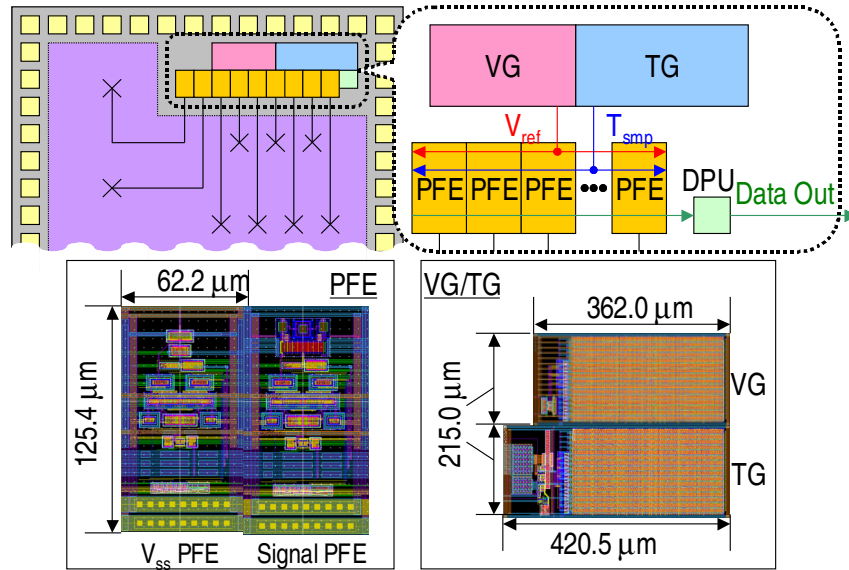


Figure 3.6: Chip floor plan and physical layout of OCM system in each tier.

$$SNDR = \frac{P_{\text{signal}}}{P_{\text{noise}} + P_{\text{distortion}}} \quad (3.1)$$

Fig. 3.7 及び 3.8 にそれぞれ 0.1 V 中心、1.15 V 中心の入力正弦波振幅対線形性の評価結果を示す。それぞれ異なる評価システムを用いた場合の数値であり、チップ外 DAC 及び PPG を用いた Fig. 3.5(a) の評価系を用いて得られた SNDR と SFDR は (a) に、そのうち SNDR が最高値となる取得正弦波の周波数成分プロットを (c) に示す。同様に、チップ内 VG 及び TG を用いた Fig. 3.5(b) の評価系で得られた SNDR と SFDR は (b) に、周波数成分は (d) に示される。結果、0.94 mV、1.0 ns の分解能において内部 VG と TG を使用した場合 ENOB にして 7.6 bit の性能が確認された。これは DAC や PPG など外部測定系を用いた場合の SN 比とほぼ等しい。

### 3.4.3 速度評価

モニタシステムの波形取得効率として、1 点あたりの波形取得に要する時間をスループット (THP) とし評価した。Fig. 3.9 に Fig. 3.7 及び Fig.

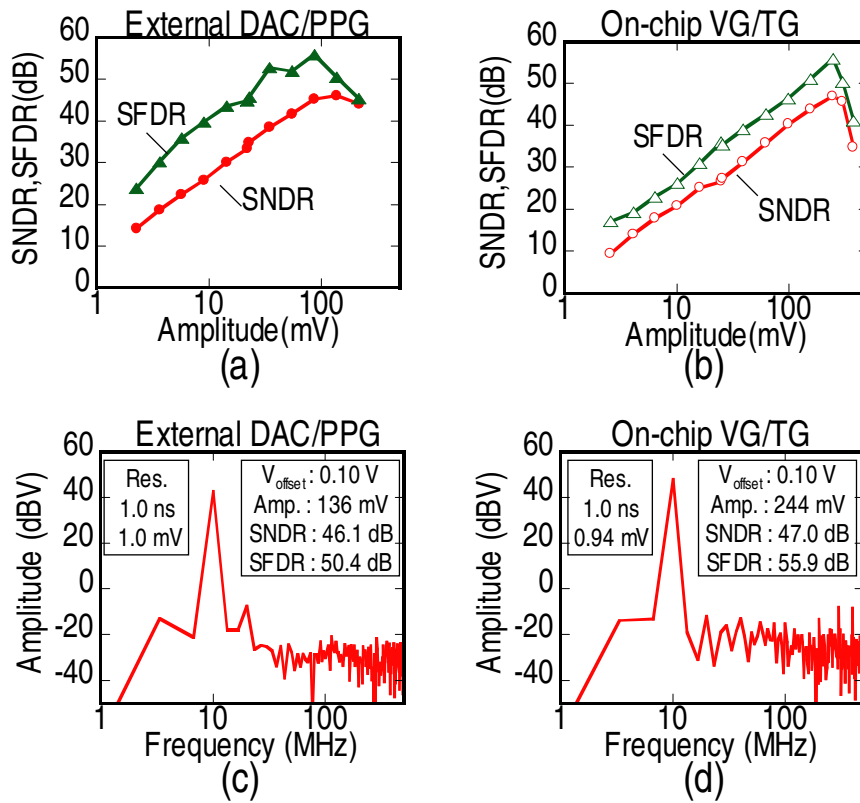


Figure 3.7: Dynamic performance of  $V_{ss}$  PFE using (a) external DAC/PPG and (b) on-chip VG/TG. The frequency components for the highest SNDR in respective measurements are also shown in (c) and (d).

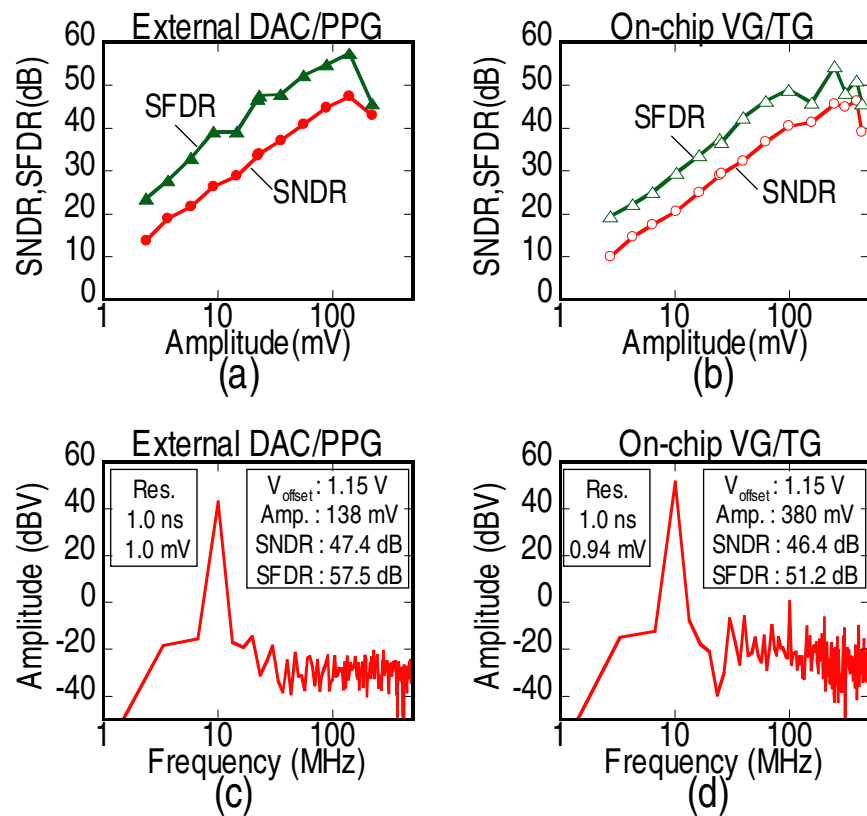


Figure 3.8: Dynamic performance of Signal PFE using (a) external DAC/PPG and (b) on-chip VG/TG. The frequency components for the highest SNDR in respective measurements are also shown in (c) and (d).



3.8の測定系におけるTHPを示す。波形取得アルゴリズムの適用による波形取得時間の大幅な短縮効果が見られ、オンチップVG/TGを用いることによりTHPは5.8倍に向上した。これは、内部VG/TGを用いることによりPCと測定器のGPIB通信時間(1回あたり数百ms)が削減された結果である。

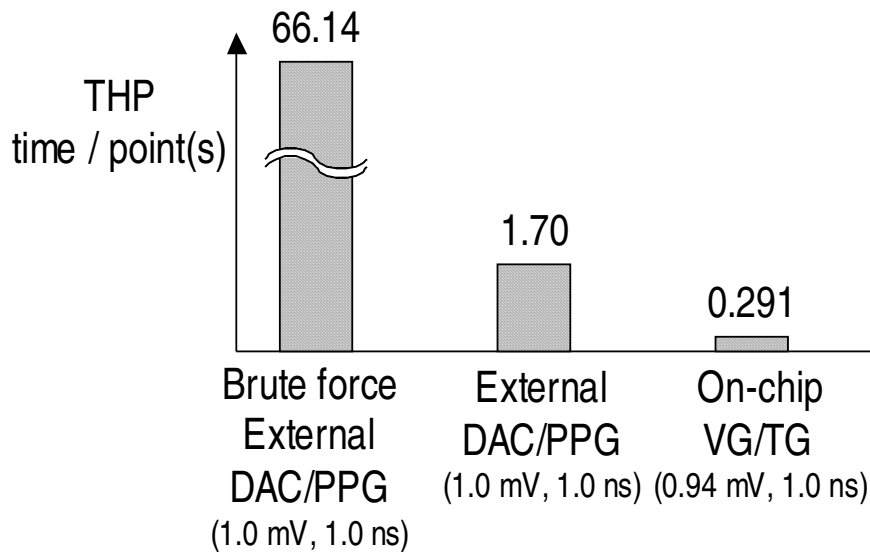


Figure 3.9: Test structure of in-stack waveform monitoring in 3D chip stack.

### 3.5 3次元実装環境への応用

Fig. 3.10に層内波形取得のためのテストチップ構造を示す。上層及び下層のダイはそれぞれ個別のPDNを持っており、p+シリコン基板は基板コンタクトを通して $V_{ss}$ と接続されている。また、PFEのガードリングである $V_{sub}$ は上層下層共通のPDNを持ち、上層下層の基準電位を供給している。

この測定では0V中心の正弦波が上層又は下層の $V_{ss}$ に供給され、下層の基板にてOCMにより取得されている。ワイヤリングにより下層に導入された正弦波は下層のPFEにより取得され、上層に導入された正弦波は基板抵抗を介して下層に伝播し、下層のPFEにより取得される。

下層の PFE により取得された波形を Fig. 3.11 に示す。直接下層に入力された波形、上層に入力された後下層に伝播した波形ともに下層 PFE により取得されている。Fig. 3.11(a) に示される直接入力された正弦波に対し、Fig. 3.11(b) に示される伝播波形が減衰されている。これは、 $V_{ss}$  ノードの TSV の側壁を介して伝播、又は  $V_{sub}$  ノードの TSV を介して伝播している為と考えられる。

モニタシステムを層内に実装することにより定量的な波形評価が可能になることが示された。このことから、積層により直接プロービングが困難な場合においても提案手法を用いて電圧及びタイミング等の物理量取得が可能になるといえる。

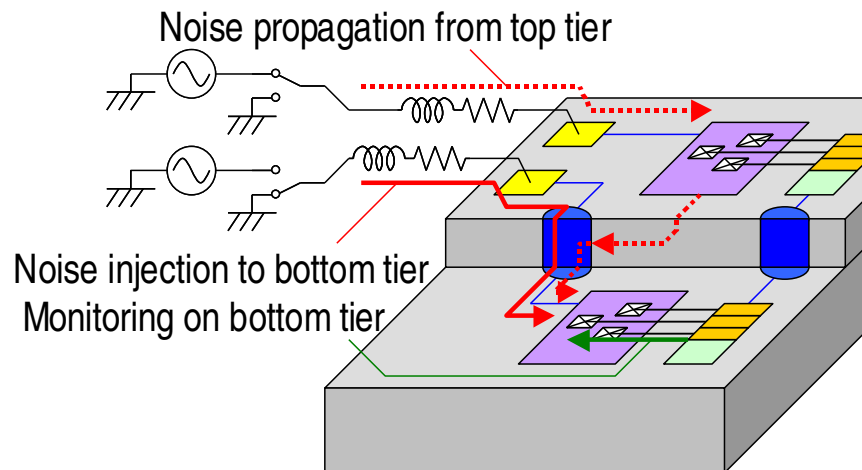


Figure 3.10: Test structure of in-stack waveform monitoring in 3D chip stack.

### 3.6 結言

本章では、3次元積層 LSI における層内評価のためのモニタシステムの提案・評価系の構築を行った。

オンチップ実装した参照電圧・サンプリングタイミング生成回路を用いた波形取得により PC との通信オーバーヘッドが改善され、オフチップ電圧源・タイミング源を用いた場合に対する 5.8 倍の高速化効果が得られた。また、3次元積層 IC において、チップスタックにより隠れた領域で

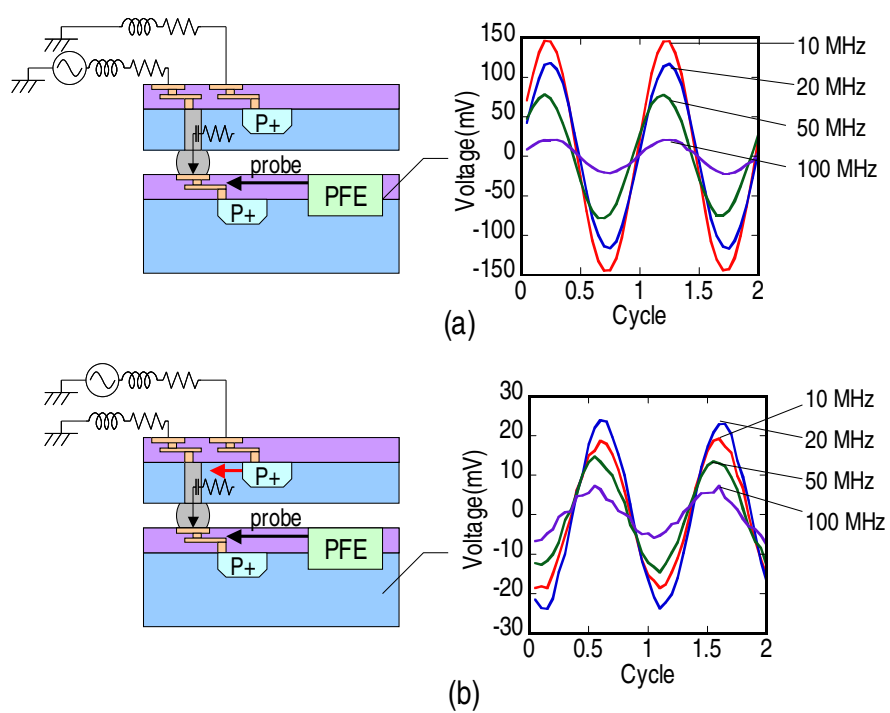


Figure 3.11: Sinusoidal waveforms monitored on bottom chip. Sinusoids are input to (a) bottom and (b) top  $V_{ss}$  networks.

の波形取得がオンチップモニタにより達成された。これらは複雑化・大規模化する3次元積層LSIの内部波形評価に不可欠な要素である。

3次元実装におけるチップスタックにより隠れた領域の特性評価は、信号完全性及び電源完全性の達成のために強い需要がある。3次元積層システムの一方のダイに注入された正弦波、他方のダイにて伝播・減衰された正弦波が取得されており、これらを再現する解析モデルの作成を含めた解析手法の確立が今後の課題といえる。



## 第4章

---

# 三次元積層LSIにおける基板ノイズの層間評価と解析

### 4.1 緒言

近年の大規模化・複雑化したシステムを1つのパッケージに内包するという目的を高い水準で満たすためLSIの3次元積層技術が急速に発展してきた[58][59]。インタポーザ上にマイクロバンプを用いてダイを配置することによるチップ間の寄生成分の軽減[60]、さらにはTSVを用いた同種又は異種のダイの積層による飛躍的な性能向上、多機能化[61]、大規模化[62]が期待されている。デジタル回路だけでなくアナログ回路を含むミックスドシグナルLSIにとっても3次元実装は多くの利点をもたらす。アナログ/RFフロントエンドとDSP(Digital Signal Processing; デジタル信号処理)、プロセッサをそれぞれ独立した層、さらには異なるプロセスで作成可能であり、それぞれの回路に最も適したテクノロジーを選択、1つの積層システムへと異種統合を可能にする。これらは回路ごとに固有のPDN(Power Delivery Network)を持ち、積層システム内で独立したシリコン基板に実装されることが考えられる。このことにより、シリコン基板及びPDNを複数持つシステムに対し、基板ノイズ結合を考慮する必要性がある[63]。

積層技術による多くのメリットが期待される一方で、設計制約の複雑化といった課題も考えられる。特にアナログ回路を含む3次元実装システムLSIを考慮する場合、ノイズ量の大きい回路とノイズに敏感な回路の配置関係が重要になってくると考えられる。複数の基板を用いる3次元実装回路では、層を分割することによる基板ノイズの遮断が可能と考えられるため、設計時に考慮すべきである。

本章では3次元積層されたLSIにおける基板ノイズ結合について議論する。3次元実装システムLSIにおいて配置関係を考慮する際において、結合経路とその経路における主要成分を特定することが必須である

といえる。

本章ではこれらの問題に取り組むため解析に加えて内部の波形を実際に取得し検証する。3次元積層環境下においては積層により隠れた領域の内部波形を直接見ることは困難となるため、オンチップモニタ回路 [42] を各層に実装、対象ノードをプローブすることで内部波形取得を可能にしている。また、実装されるオンチップモニタ回路の構成は第3章で提案された三次元実装環境に最適化された構成を用いる。本論文では、TSVにより垂直方向に積層された試作チップの実測波形を示し、試作チップのモデルを作成、解析結果よりこれらの制約を議論する。

第2節で試作した3次元実装テストビークルの構造、搭載回路について述べる。第3節でテストビークルの実測波形よりノイズ伝播強度を議論する。第4節で解析の為に作成したモデルと、モデルから得られた解析結果について述べる。第5節で解析結果を決定する主要な要素を各結合経路に対して求める。第6節で結論を述べる。

## 4.2 3次元積層における基板ノイズ結合

### 4.2.1 概論

単一基板での基板ノイズは Fig. 4.1 のようにデジタル回路ブロックよりチップの基板を通して他の回路ブロックに侵入する。デジタル回路の動的電力消費が自身のPDNを経由し、PDNのインピーダンスに応じた電圧効果を引き起こす。多くの場合CMOSテクノロジーではp+基板が採用され、グラウンド配線によりバイアスされているが、そのためにグラウンド配線上のAC電圧変化は基板に伝達し、基板ノイズとなる。様々な回路が一つの基板を共有しているため、基板電位変動は回路同士の相互干渉を起こす。これが基板ノイズの発生及び伝達プロセスである。

3次元実装におけるシリコン基板は単一の電位にバイアスされており、それが信号の共通リファレンスとなっているため、3次元実装においてもノイズ伝達は発生する。ただし、各回路ブロックのノイズ結合強度はそれぞれの回路同士をつなぐ直列インピーダンス成分に影響され、その値に応じて減衰される。よって基板が分離された3次元実装LSIにおいては、各回路個別のPDNを持つことが基板ノイズ結合の影響を大きく減らすことが考えられる。また、それにより複雑なノイズ結合を排除することで基板ノイズをより予測可能にできる。

以降の節では TSV により 2 層積層された試作チップ概要、試作チップを用いた基板ノイズ結合の評価システム、評価結果について述べる。また、基板ノイズ伝播を解析するためのモデルを作成し、設計戦略について議論する。

### 4.2.2 3次元実装テストチップ

Fig. 4.2 に 3D 試作チップの構造を示す。上層・下層共に 2 つのノイズ源とモニタ回路の組み合わせになっており、TSV は薄化された上層に形成され、ボンディングワイヤも上層にのみ接続されている。

上層及び下層のレイアウトを Fig. 4.3 に示す。レイアウトに図示された位置にて上層の TSV と下層のマイクロバンプ ( $\mu$ -bump) は接続され、それらの構造は機械的ストレス効果を避けるために回路から十分離れた位置に形成されている。

試作チップはビアミドルプロセスによりスタックされ、素子形成の FEOL (Front End Of the Line) 工程の後に TSV が形成され、その上からメタル形成の BEOL (Back End Of the Line) 工程を行う [64]。試作チップは 130 nm FEOL CMOS テクノロジー (Cu/SiO<sub>2</sub> BEOL) を使い、200 mm ウェハ上に構成されている。TSV は直径  $5 \mu\text{m}$ 、深さ  $25 \mu\text{m}$  であり、TSV エッチング後に絶縁層を形成し通常の BEOL プロセスを行う。TSV の下部を露出させ下層とつなぐために、TSV 実装された上層は  $23 \mu\text{m}$  まで薄化される。薄化されたウェハは CuSn $\mu$ -bump を形成後ダイシングされ、同じくダイシングされた通常厚さの下層チップに露出させた TSV 側 ( $\mu$ -bump 側) をあわせる形で die-to-die ボンディングされる。Fig. 4.2 の試作チップは積層構造中の PDN 評価ブロックとオンチップモニタシステムを搭載している [53]。

チップは Fig. 4.4 のように FR-4 評価基板に CoB (Chip on Board) 実装されている。すべての電源及び信号ポートは上層チップよりワイヤボンンドでボードに接続されており、下層チップへの電源及び信号はすべて TSV 経由である。Fig. 4.5 に上層と下層を接続する TSV 及び  $\mu$ -bump の断面図を示す。また、ボードと下層チップは非導電性接着剤 (No-flow Underfill, NUF) により固定されている。



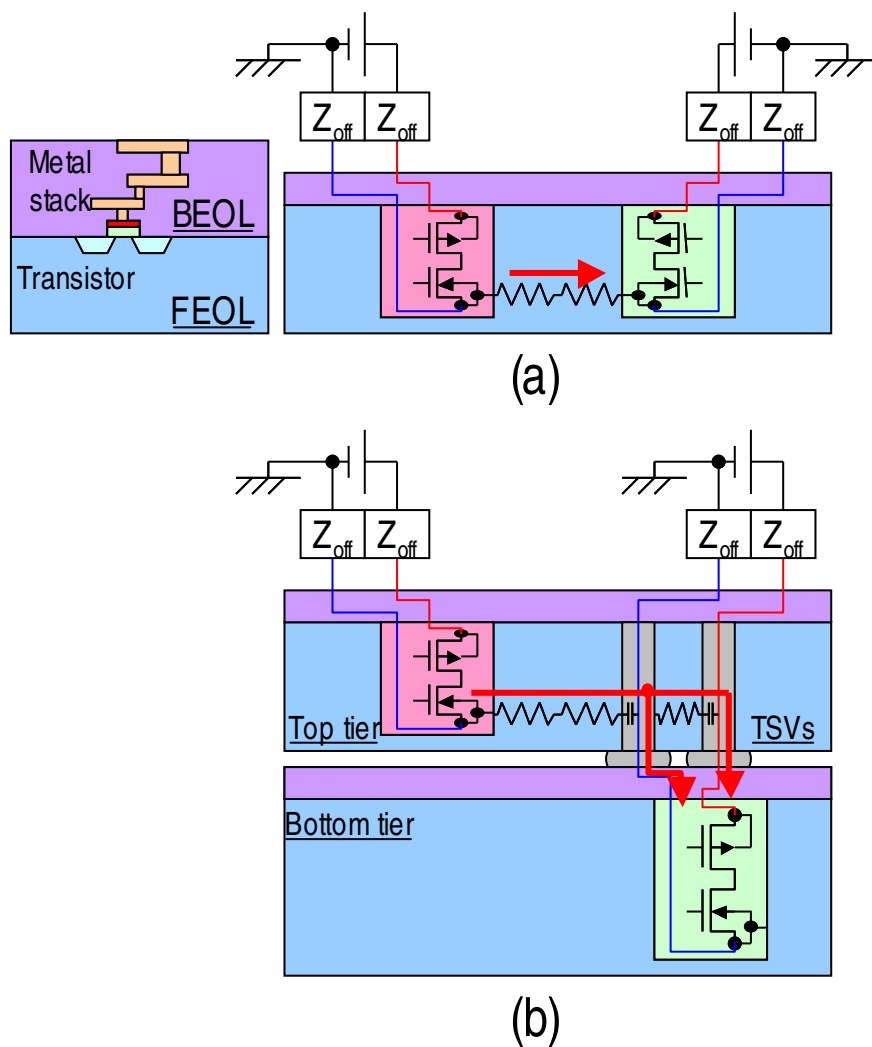


Figure 4.1: Substrate noise coupling in silicon chips of (a) 2D structure and (b) 3D structure.

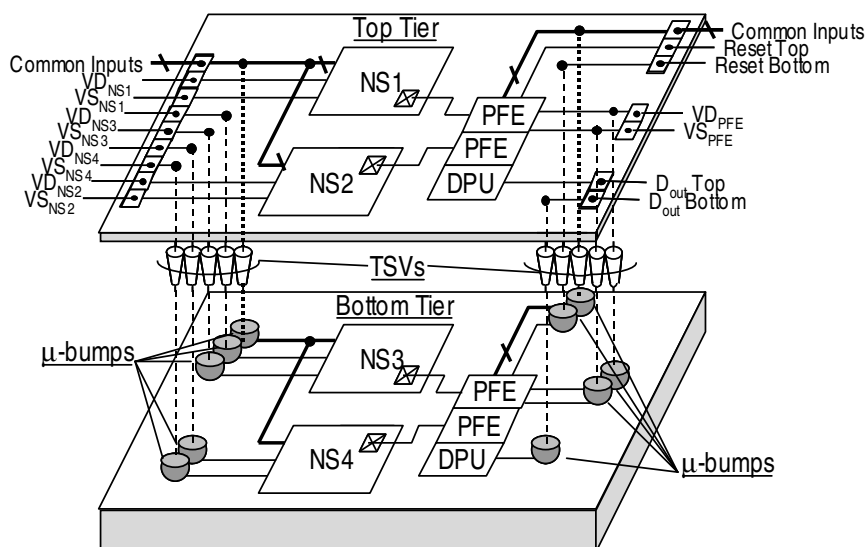


Figure 4.2: Structural view of 3D PDN test vehicle.

#### 4.2.2.1 積層オンチップモニタシステム

Fig. 4.6に3次元実装試作チップに搭載された積層オンチップモニタシステムの構成を示す。PFE及びDPUの構造は前章にて述べられたものと同様である。本章では冗長構成のFig. 4.6(b)の構成を採用している。

そのため、本章ではある程度の面積・入出力ポート数オーバーヘッドと引き換えにデータフローを層ごとに独立させ、TSVも1つの信号線に対し2本用いている。

#### 4.2.2.2 ノイズ源回路

ノイズ源回路(NS)のブロック図をFig. 4.7に示す。本ノイズ源回路は1列32ビットLSR(Loop Shift Registers)からなり、計16列のLSRより構成される。動作中はLSRの最終段レジスタの出力が最初段のレジスタに接続され、内部を流れるビットパターンに応じて各レジスタが電力を消費し、電源及びグラウンドノイズを生成する。各LSR中を流れるビットパターン及びLSRの動作規模は自由に設定可能である。

上層チップにはFig. 4.2のように2つの独立した電源系を持つNSが配置されており、下層にも同様に独立した電源系のNSを2つ配置している。クロック信号及び設定用信号(Common inputs)は全NSで共通化さ

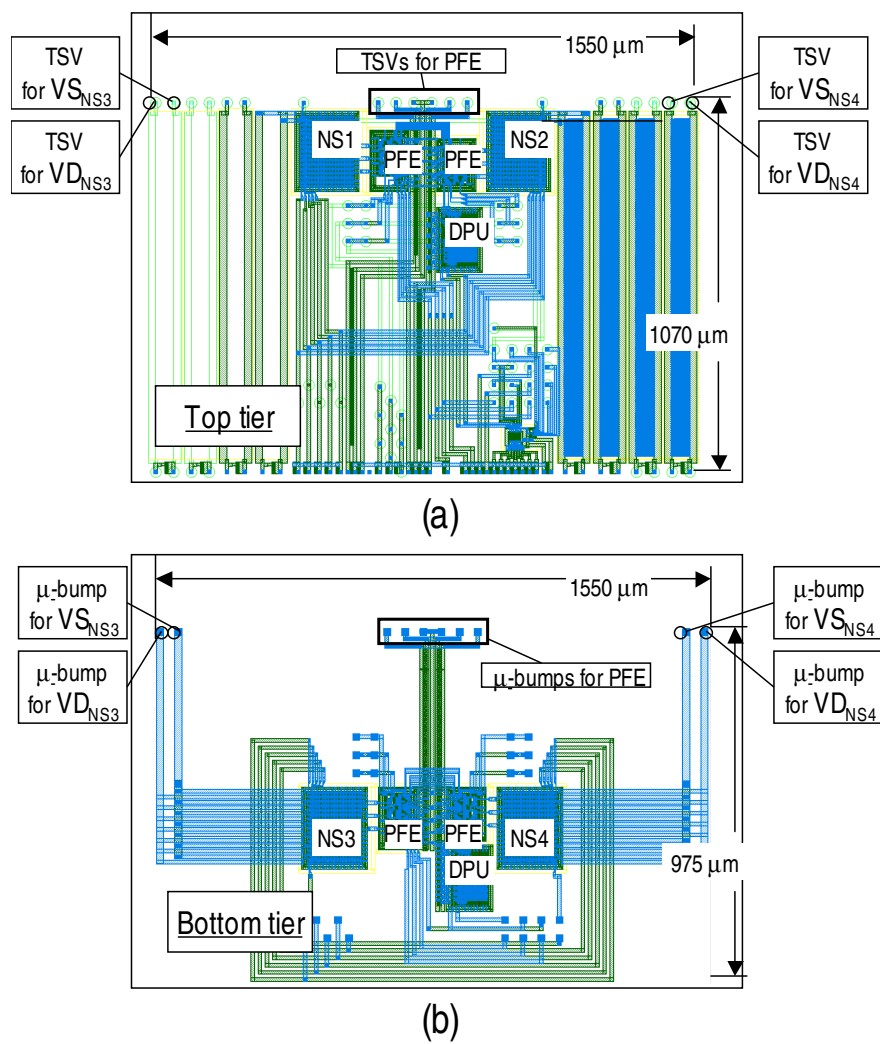


Figure 4.3: Physical layout view of (a) top tier and (b) bottom tier.

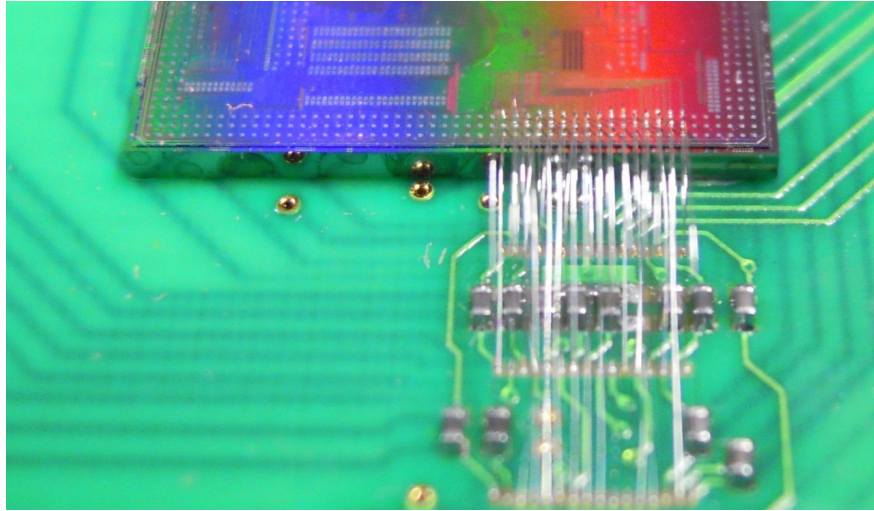


Figure 4.4: Die photo of two-tier 3D PDN test vehicle assembled on evaluation board.

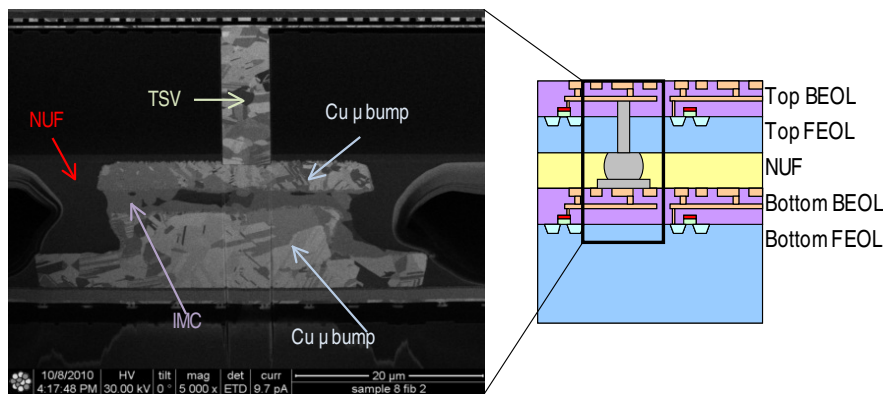


Figure 4.5: Cross-sectional view and diagram of vertical interconnect.

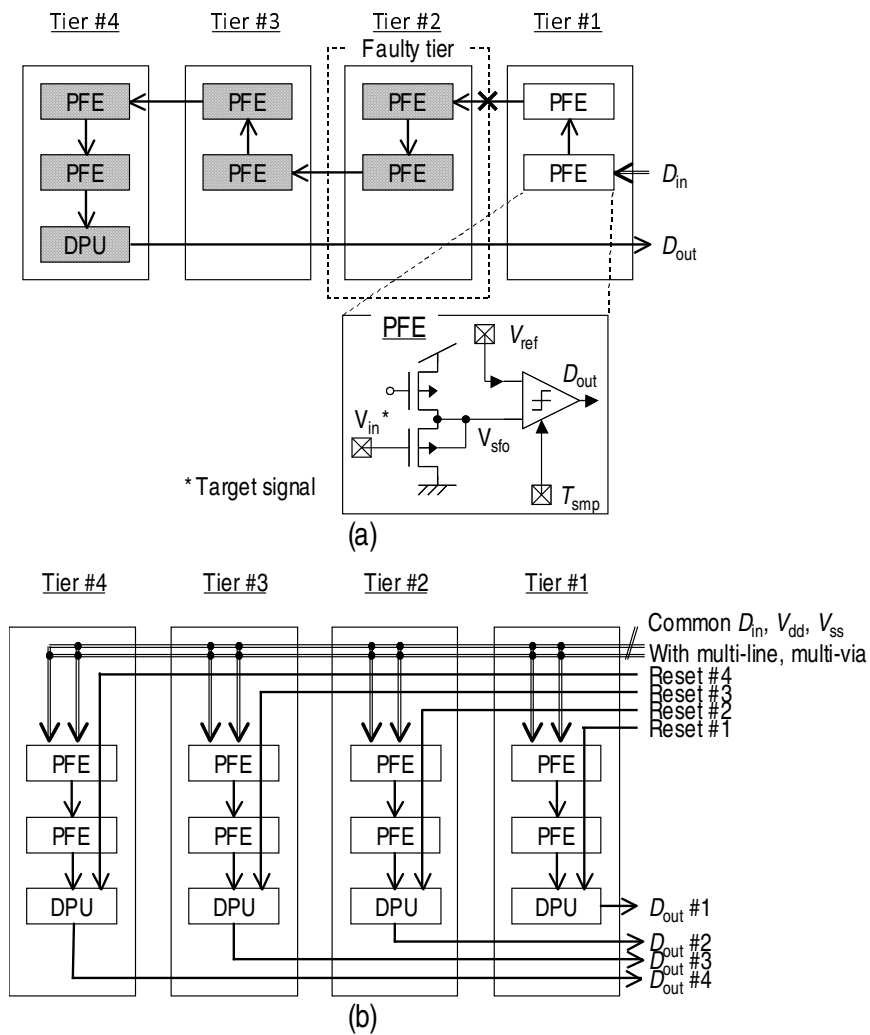


Figure 4.6: Vertically integrated waveform capturer array of PFEs. (a) Cascading PFEs in series (conventional), and (b) locating PFE subset in each tier (proposed).

れており、各 NS の動作/停止は電源電圧を 1.2 V にするか 0.0 V にするかで決定される。

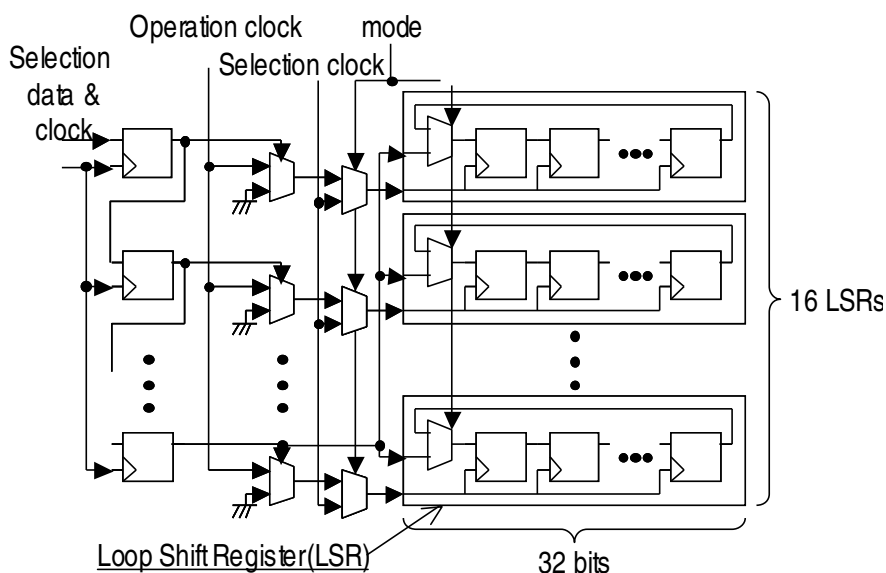


Figure 4.7: Noise source circuits (NS).

### 4.2.3 評価セットアップ

NS 及び積層オンチップモニタを含めた波形取得セットアップを Fig. 4.8 に示す。本試作チップにはオンチップの電圧及びタイミング生成回路を搭載していないため、波形取得に必要な  $V_{ref}$  及び  $T_{smp}$  はチップ外部より供給する。2チャンネル出力を持つクロック源 (Pulse Pattern Generator) から、NS 動作用のクロック及び遅延つきの PFE 動作用のクロック ( $T_{smp}$ ) を供給しており、波形取得のタイミングを決定している。 $V_{ref}$  は 16-bit の DAC より供給され、DAC は FPGA 内にシーケンス回路で実装されたアルゴリズムに従い制御され、 $V_{is}$  にもっとも近い  $V_{ref}$  が探索される。

PFE のチャンネル選択、NS の動作規模及びビットパターン書き込みは FPGA のバイナリ/信号変換回路より行われる。これら DAC 操作アルゴリズムを除く一連の波形取得プロセスは全て PC より制御されており、前述のバイナリ/信号変換回路の入力ファイルも PC 上の測定条件を元に作成され、書き込まれる。

構築した測定系の写真を Fig. 4.9 に示す。CoB 実装されたテストチップは FPGA と DAC に接続され、FPGA とテストチップでやり取りされる信号は反転増幅回路を元に作られたバッファを通過しており、信号レベルの変換及びノイズ伝達の阻止を助けている。

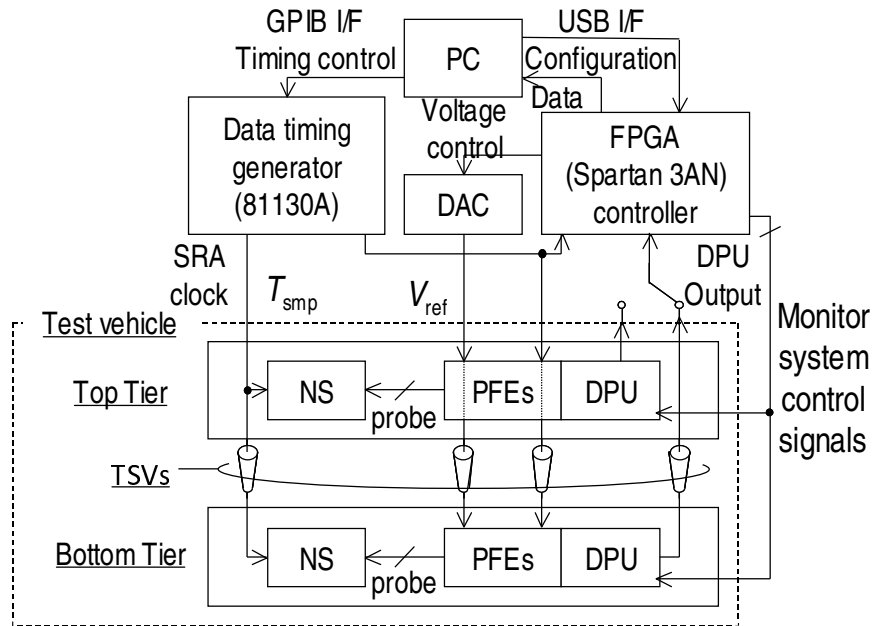


Figure 4.8: Block diagram of evaluation system of 3D PDN test vehicle.

## 4.3 実測評価

### 4.3.1 ノイズ発生及び伝播評価

$F_{\text{clk}}$  に対する NS 単体の消費電流量を Fig. 4.10 に示す。動作 LSR 数はそれぞれ 0、8、16 列となっており、下層 NS の電流量が Fig. 4.10(a)、上層が Fig. 4.10(b) にそれぞれプロットされている。ここから、各 NS の動作は、上層及び下層で同様であり、TSV 形成と薄化の回路動作への影響は小さいと考えられる。

NS4、NS3、NS2 が動作しているときに NS4 近傍の基板電位を PFE を用い測定した波形をそれぞれ Fig. 4.11、Fig. 4.12、Fig. 4.13 に示す。このとき、Fig. 4.11 は NS 自身が発している基板ノイズ、Fig. 4.12 は同じ

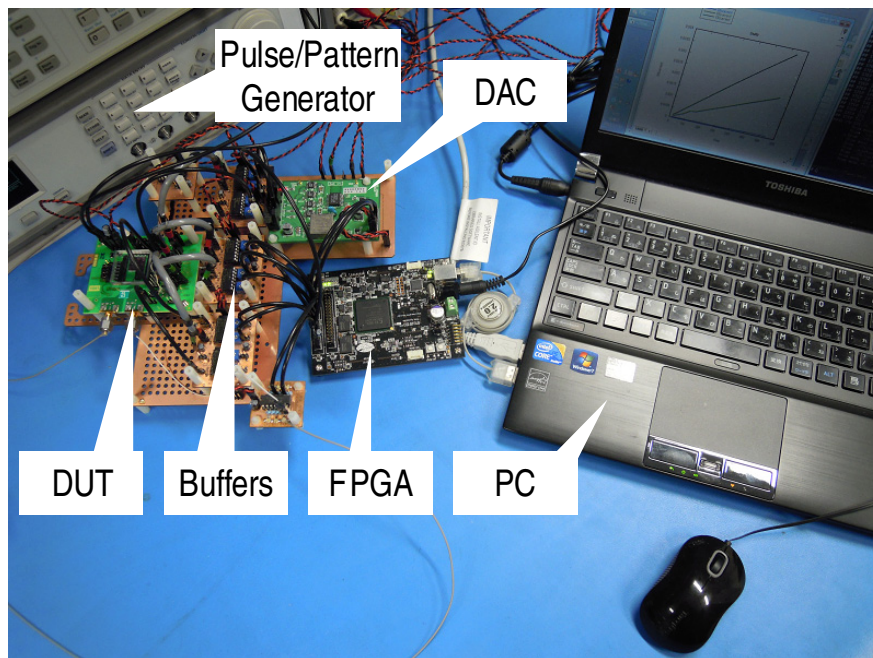


Figure 4.9: Evaluation system photo.



層を伝わる層内伝播ノイズ、Fig. 4.13は上層で発生したノイズが下層に伝わる層間伝播ノイズであるといえる。

それぞれの波形は動作周波数  $F_{\text{clk}} = \{10, 100, \text{and } 500 \text{ MHz}\}$ 、 $V_{\text{ref}}$  最小分解能は  $24 \mu\text{V}$ 、 $T_{\text{smp}}$  最小分解能は  $\{10 \text{ ns}, 1 \text{ ns}, \text{and } 200 \text{ ps}\}$  で取得されている。基板電位  $V_{\text{sub}}$  は Fig. 4.11 で大きくシフトしており、これは回路と高い動作周波数による大電流と NS4 自身の PDN の寄生抵抗で電圧変動が発生しているためと考えられる。これと対照的に、伝播したノイズ波形では DC レベルがゼロになっており、これは NS4 が非アクティブであり、NS3 がアクティブのケースでは DC レベルが PFE のグラウンドにより下げられ、NS2 がアクティブのケースではノイズが DC 的に結合するための経路が無いためであるといえる。また、周波数による結合強度の差が Fig. 4.12 と Fig. 4.13 に表れている。

以降のセクションで基板ノイズ結合の詳細な分析を行う。

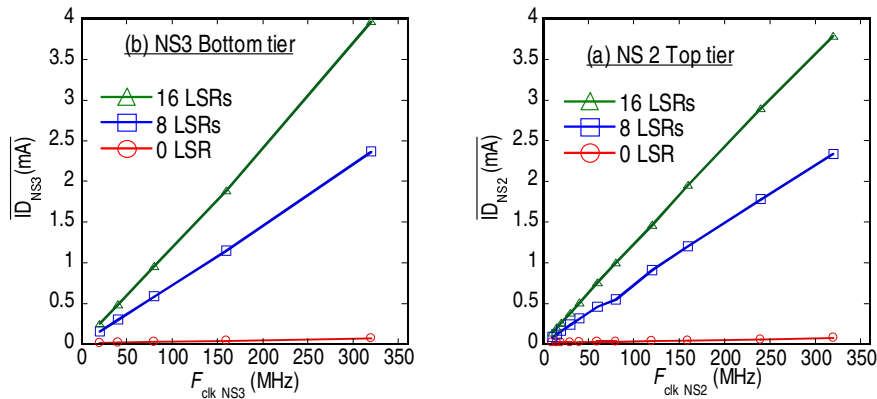


Figure 4.10: Average power consumption current vs  $F_{\text{clk}}$ .

### 4.3.2 基板抵抗評価

同層及び異層の各 NS ブロック、及び二層共通化された PDN を持つ PFE のグラウンド間の DC 抵抗を測定した。NS、PFE の各グラウンドノード  $V_{\text{NSx}} \{x=1, 2, 3, 4\}$ 、 $V_{\text{SPFE}}$  から 2 点を選択し、一方に 100 mV を印加した際の電流量を測定した。これらのノードは Fig. 4.2 にて定義されている。測定値を Table.4.1 に示す。このとき、シリコン基板抵抗と比較しオフチップ抵抗は十分に小さいため、考慮しないものとする。

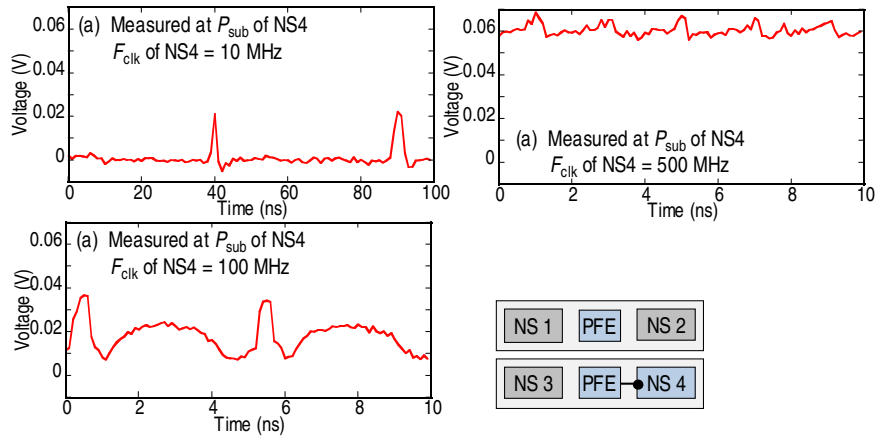


Figure 4.11: AC substrate noise waveforms measured at NS4 during NS4 operation.

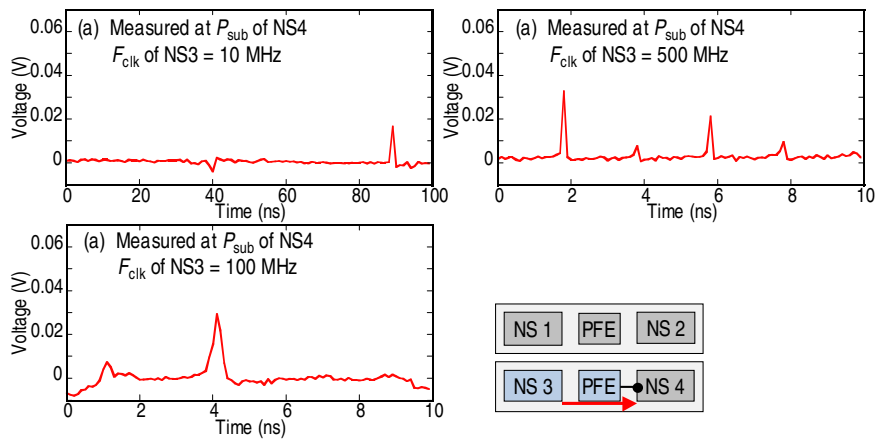


Figure 4.12: AC substrate noise waveforms measured at NS4 during NS3 operation.

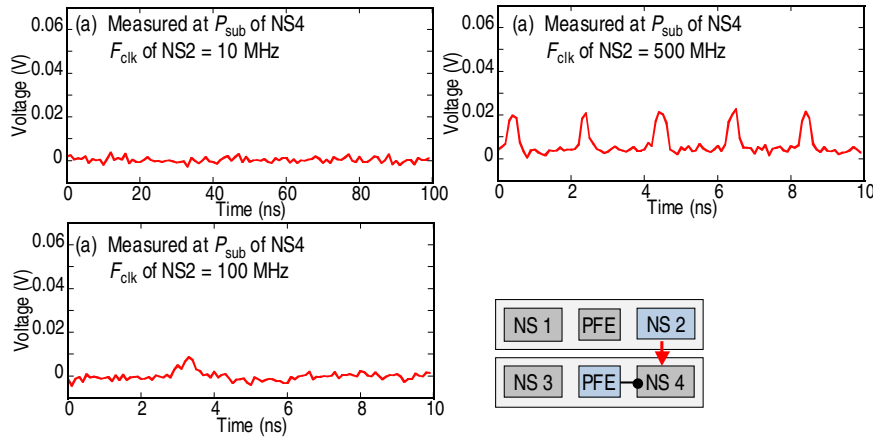


Figure 4.13: AC substrate noise waveforms measured at NS4 during NS2 operation.

測定された抵抗値の妥当性確認のために、基板メッシュモデル [65][66] を各層毎に作成し、各ノード間抵抗の解析値を導出した。基本的にシリコン基板は垂直方向に特定の不純物濃度分布を保ち、水平方向に均一であるため、 $25\ \mu\text{m}$  薄化された上層は1層のメッシュ、 $700\ \mu\text{m}$  の下層はそれぞれ異なる抵抗率の3層のメッシュからなり、3層のメッシュは垂直方向の抵抗により接続されている。これらの解析モデルを用い、2点間の基板抵抗を回路シミュレーションにより見積もった。

Table 4.1 に基板抵抗の実測値及び解析値を示す。解析値と実測値の傾向は一致しており、実測値が妥当であることを示している。解析値と実測値の差異については、正確なドーピングプロファイルが無いこと、解析モデルのメッシュの粗さに関係していると考えられる。各抵抗値は上層ダイにおける薄化による基板抵抗の増加を反映しており、上層ダイにおける抵抗値は下層ダイのほぼ2倍となっている。また、レイアウト上の水平方向の位置関係を反映しているため、DPUがNS2(NS4)側に配置されることによるPFEとNS2(NS4)間の抵抗値がPFEとNS1(NS2)間の抵抗値と比較して低くなっている。本章では実測値をモデルに組み込み以降の節で解析を行う。

Table 4.1: Resistance from measurement or simulation.

	Measured	Simulated
PFEs-NS1 ( $\Omega$ )	1000	609
PFEs-NS2 ( $\Omega$ )	467	592
PFEs-NS3 ( $\Omega$ )	565	335
PFEs-NS4 ( $\Omega$ )	333	275
NS1-NS2 ( $\Omega$ )	1391	1182
NS3-NS4 ( $\Omega$ )	751	590
Resistance ratio ( $R_{\text{sub\_bottom}}/R_{\text{sub\_top}}$ )	0.53	0.49
$R_{\text{sub\_top}}/\square$ (provided by foundry)		4000
$R_{\text{s\_bottom}}/\square$		2400

## 4.4 雑音伝播解析

### 4.4.1 解析モデル作成

#### 4.4.1.1 回路シミュレーションモデル

本節では受動素子により構成されたテストチップPDNの等価回路モデルについて述べる。

Fig. 4.14はPDNインピーダンス解析及び基板結合を再現するための三次元実装テストチップPDNを1つの等価回路で示したものを表す。等価回路は全て受動素子のみで構成されている。ノイズ伝播解析のために、任意の2つのNSに属する基板を2つのポートとして伝送線路に見立てインピーダンスを導出する、又はNSブロックの電源GND間に電流消費モデルを接続し能動的なノイズの生成・伝播の様子を再現することが可能である。独立したNS1からNS4、及び上層下層共通化されたPFEの合計5つのPDNを持つ。

各PDNは電源( $VD_{\text{NS}}$ )からグラウンド( $VS_{\text{NS}}$ )までの経路を持っており、それらは主にFig. 4.4に示されるPCB上の配線パターンとボンディングワイヤから成る。各経路は直列接続された寄生インダクタンス(L)・抵抗(R)及び並列接続された容量(C)からなる集中定数回路で示される。NSブロックは密に配置されたCMOS及び低抵抗の電源・グラウンド配線により構成されるため水平方向の拡がりの影響が小さく、Fig. 4.14に

示されるように単一の寄生容量にて表現される。

Fig. 4.14 に示されるように、電流消費モデルを用いNSを動作させる場合、関連する  $VD_{NS}$ 、 $VS_{NS}$  ノードは電源ソースに接続され、他のNSは単純に電源ソース部の接続をオープンにすることで無効化される。

NS部分では基板ノードはp+拡散を通して  $VS_{NS}$  に接続される。メタル配線の寄生抵抗は基板抵抗と比較し遥かに小さいため、NS領域での基板電位は等電位でありグラウンド配線の電位  $VS_{NS}$  と等しいと考えられる。

PFEアレイのPDNである  $VD_{PFE}$ 、 $VS_{PFE}$  も同様に電源ソースに接続されておりLCR素子から構成される。 $VD_{PFE}$  及び  $VS_{PFE}$  は上層下層のPFEアレイで共有されているため、 $VS_{PFE}$  が各層の基準電位となっている。また、PFEのPDNはリダンダント構成となっているため、TSVは  $VD_{PFE}$ 、グラウンド用  $VS_{PFE}$ 、ガードリング用  $VD_{PFE}$  に2つずつ割り振られている。

TSV単体の電気的特性はこれまで等価回路ネットワーク導出手法において議論されてきており [67][68]、その多くはTSVを通した信号伝送線路についてのものである。そのため、TSV間の相互干渉も同様に考慮されている [11]。対して、本論文ではTSVと基板間の結合を重視している。Fig. 4.14 に示すように、TSV及び  $\mu$ -bumpの等価回路モデルが集中定数モデルとして定義され全体のモデルに組み込まれており、容量を初めとするパラメータは同プロセスのTSVを評価した論文より引用している [69][70]。この等価回路モデルは基板抵抗と接続される側壁容量と、上層及び下層の配線に直列接続される直列抵抗・インダクタンス成分としてTSVを用いた三次元実装ICのモデルに組み込まれている。

オンチップモニタは基板ノイズをPFEグラウンドとNS基板間の電圧変動として取得する。この電圧変動はFig. 4.14の赤円で示されるノイズ源から評価対象につながる基板抵抗ネットワークを通して伝わる。基板抵抗ネットワークはTable 4.1の実測値を元に導出することで上層下層の抵抗率の差異も再現されている。本節での解析は  $VD_{NSx}$  及び  $VS_{NSx}$  をオープン、 $VD_{PFE}$  及び  $VS_{PFE}$  を電源ソースに接続した状態で行い、各ノード間インピーダンス導出過程を通して固定である。

回路シミュレーションモデルを用いた各ノード間結合強度をFig. 4.15に示す。破線部分が本回路シミュレーションモデルの結果であり、層間結合強度の周波数依存性、低周波域における層内結合強度の強さがあらわれている。また、上層よりも厚い下層の基板による強い結合強度が確認でき、PFEと共通グラウンドを持つDPUに近い位置にあるNS2-NS4の

層間結合はNS1-NS3の層間結合よりも強いなど、モデル作成時に考慮した要素による特徴が現れている。本結果は、次節にて定義する単純化基板結合モデルによる結果とも比較される。

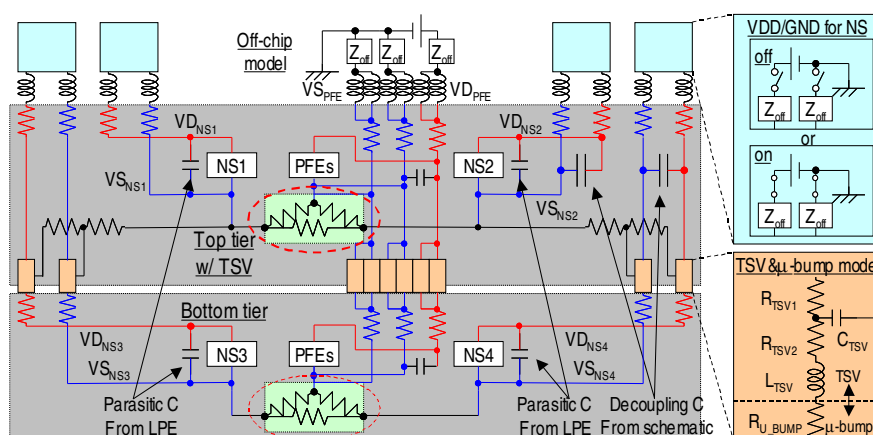


Figure 4.14: Unified equivalent circuit expression of PDNs in 3D test vehicle.

#### 4.4.2 単純化基板結合モデリング

本節では、前節にて示された等価回路を、積層構造における基板結合の理解のために単純化したものを示す。

Fig. 4.16 右図は各 PDN 間の基板結合に焦点を当て Fig. 4.14 を簡略化したものであり、各ノード名は Fig. 4.2 のレイアウトを簡略化した図である Fig. 4.16 の左図の英字と対応している。

Fig. 4.16 右図の各回路ブロックにつながるノード { A, B, C, D, E, F } はそれぞれ { NS1 基板、NS2 基板、NS3 基板、NS4 基板、上層 PFE 基板、下層 PFE 基板 } を表し、回路ブロックの外側のノード { G, H, I, J } はそれぞれ {  $VS_{NS4}$  TSV 側壁、 $VD_{NS4}$  TSV 近傍基板、 $VS_{NS3}$  TSV 近傍基板、 $VD_{NS3}$  TSV 近傍基板 } を表す。TSV 近傍の基板を表す { G, H, I, J } は TSV 側壁容量 ( $C_{TSV}$ ) を通しそれぞれの {  $VS_{NS4}$ 、 $VD_{NS4}$ 、 $VS_{NS3}$ 、 $VD_{NS3}$  } ノードに接続されている。

各 NS 間の伝播を評価するためにさらに整理した等価回路図を Fig. 4.17(a) に示す。本節では動作中の NS1 からのノイズから NS3 (動作停止・電源との接続オープン) への伝播を解析するために、NS1 基板を示すノード A 及

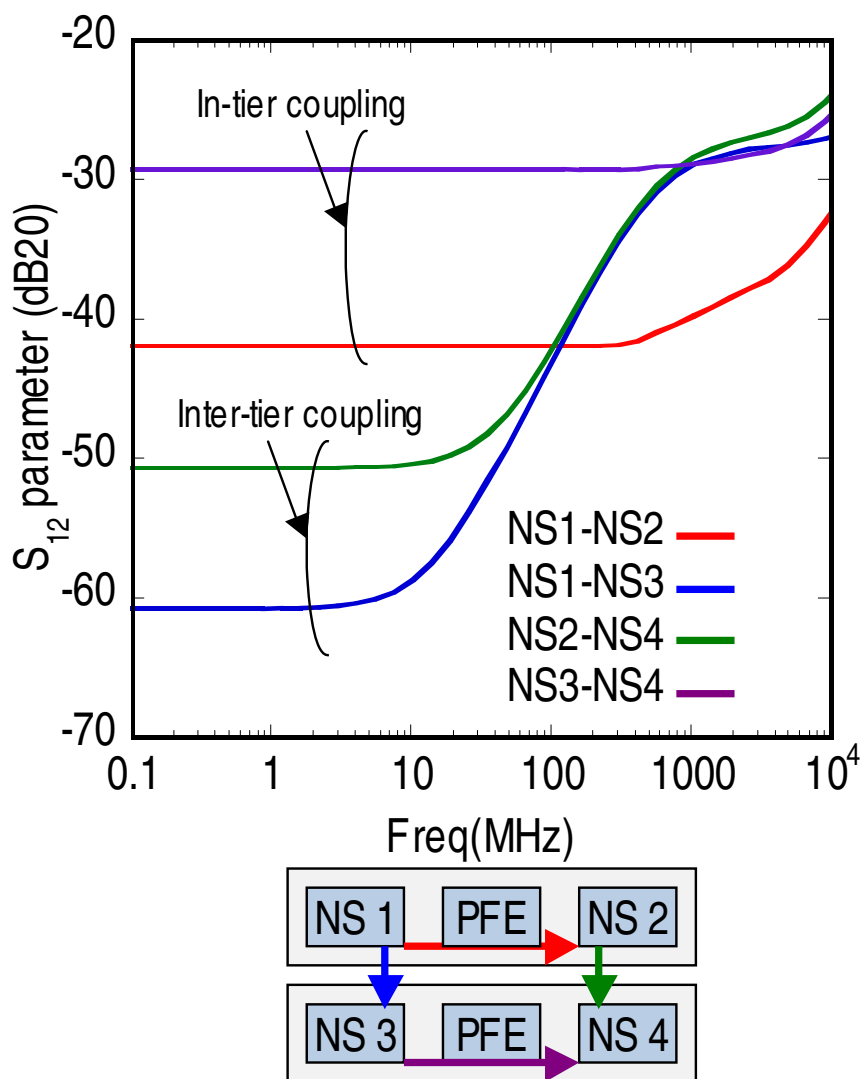


Figure 4.15: Simulated S-parameters.

び NS3 基板を示すノード C にポートが設けられ、終端抵抗である  $Z_0$  が各ポートに接続されている。ここで、 $Z_0$  の値は  $50 \Omega$  としている。

TSV 容量結合部分は Fig. 4.16(b) のように定義されており、2 端子の抵抗成分付き容量とみなせる。この際、NS の電源グラウンド間の寄生容量  $C_{NS}$  は TSV の側壁容量  $C_{TSV}$  と比較して十分に大きいため、同程度の容量が 2 つ付いているとみなせる ( $C_{NS} \cdot C_{TSV} \approx C_{TSV}, \text{ if } C_{NS} \gg C_{TSV}$ )。NS1 に対する I と J、NS2 に対する G と H の関係はレイアウト上左右対称であるために、左右の  $Z_{TSV\_NS}$  は同一値とみなせる。

また、PFE 上層下層の  $VS_{PFE}$  ノードを接続する  $Z_{TSV\_PFE}$  も Fig. 4.17(c) に定義されている。 $Z_{TSV\_PFE}$  は側壁容量由来の容量結合を持つ  $Z_{TSV\_NS}$  と異なり、TSV の電極上下端による結合であるため、寄生抵抗及びインダクタンスのみで表せる。

TSV の等価回路は Fig. 4.14 内で定義されており、素子パラメータは Fig. 4.17(b) に示されている。これらの値は TSV 評価による実測値である。基板シート抵抗 Table 4.1 に示されており、以降の解析において用いられている。

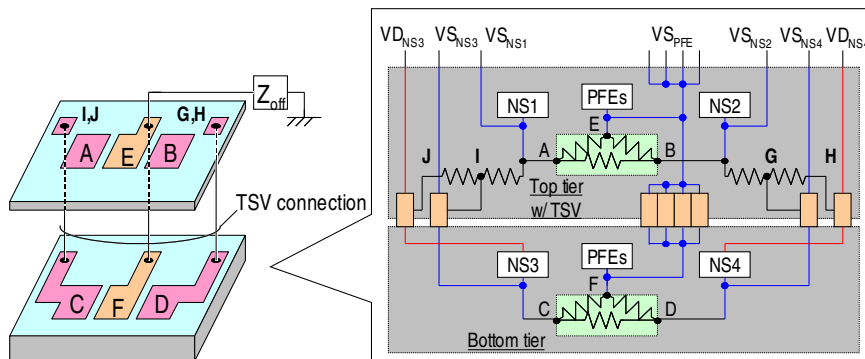


Figure 4.16: Analytical model for substrate connections among PDNs in 3D test vehicle.

#### 4.4.3 主要結合成分導出

簡略化した回路図 4.17(a) を元に  $\Delta$ -スター変換を繰り返すことで回路要素数の削減による単純化が可能である。Fig. 4.18 は初回、2 回目、最後の、 $\Delta$ -スター変換の過程を示しており、 $Z_a, Z_b, \dots, Z_j$  は要素数削減



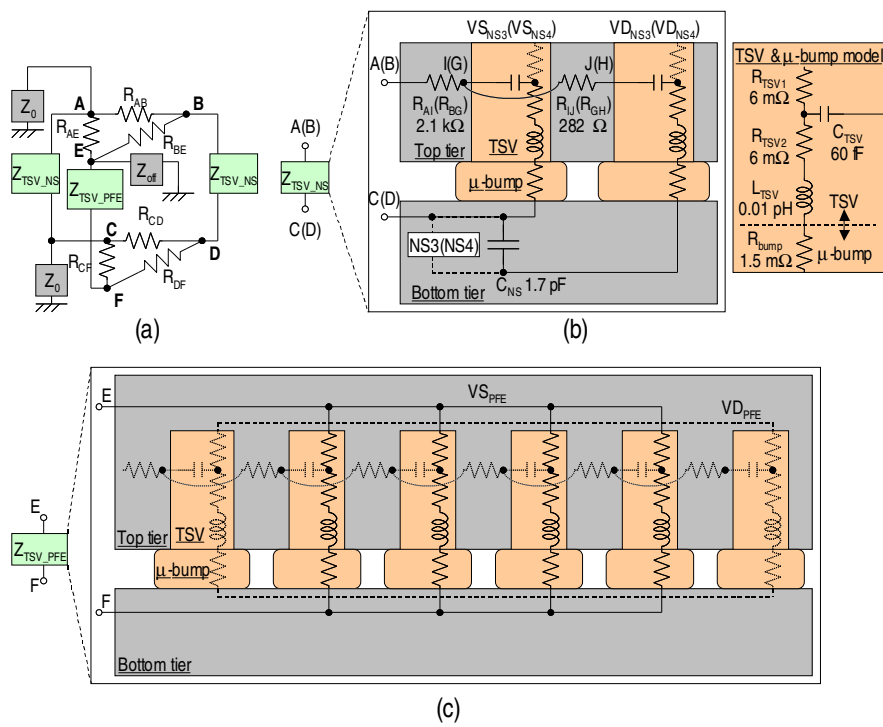


Figure 4.17: Simplification of analytical model. (a) derived network from stacked structure, (b) detailed structure of  $Z_{TSV\_NS}$ , and (c)  $Z_{TSV\_PFE}$ .

の過程で現れる合成インピーダンスであり、詳細は Appendix にて示される。

初回の  $\Delta$ -スター変換は Fig. 4.18(a) に示されるように A、B、E 及び C、D、F の 3 点間の基板ネットワークの変換である。Fig. 4.18(b) に示される 2 回目の  $\Delta$ -スター変換では  $Z_a$  及び  $Z_b$  はそれぞれ  $R_{BK}$  と  $Z_{TSV\_NS}$ 、 $R_{DL}$  と  $Z_{TSV\_NS}$  の直列合成インピーダンスから算出され、 $Z_a$ 、 $Z_b$  に加えて  $R_{EK}$  が 3 要素からなるループ構造と見なせるので変換を行っている。最後の  $\Delta$ -スター変換である Fig. 4.18(c) では、T 字のネットワークにまで回路変形することによりポート AC 間のインピーダンスが導出可能になる。

T 字ネットワークから 2 ポート Z パラメタ、 $Z_{11,12,21,22}$  及び 2 ポート S パラメタ、 $S_{11,12,21,22}$  が導出される。ここで各ポート間の  $S_{12}$  パラメタが雑音結合強度である。

以上の計算過程で得られた各 NS ブロック間の雑音結合強度の  $S_{12}$  パラメタプロットを Fig. 4.19 に示す。Fig. 4.14 で示した等価回路による  $S_{12}$  パラメタプロットもまた Fig. 4.19 に示されている。両者が近いことから要素数を削減した等価回路が基板結合を議論するために十分な要素を押さえていること、正しく回路変形・計算されていることが示される。

#### 4.4.4 単純化基板結合モデリングによる解析結果

三次元積層チップの雑音伝播における主要伝播経路は Fig. 4.18 に示される等価回路により解析可能である。層間結合である NS1 及び NS2 間 (“A” 及び “C”) の伝播経路は T 字ネットワーク (Fig. 4.18(c)) より式 (4.1) のように導出される。

$$\begin{aligned} Z_{11AC} &= Z_k + (Z_i + Z_f) // (Z_j + Z_0) \\ S_{11AC} &= \left( \frac{Z_{11AC}}{Z_0} - 1 \right) / \left( \frac{Z_{11AC}}{Z_0} + 1 \right) \\ S_{12AC} &= (1 - S_{11AC}) \cdot \left( \frac{Z_i + Z_f}{Z_i + Z_f + Z_j + Z_0} \right) \end{aligned} \quad (4.1)$$

層内結合の場合は、1 GHz 以下の低周波数域においてそれぞれの層における基板結合ネットワークが支配的であり、高周波数域においてはオフチップインピーダンスのインダクタンス成分の影響が発生している。これは二次元実装の場合とほぼ同様であるといえる。4.20(a)(b) 内太線に各

層内結合の主要成分を示す。層間結合の場合では、大まかに低周波数域、中間周波数域、高周波数域の3つの領域に区分可能であり、それら領域においてインピーダンスの主要成分が大きく異なる。

低周波数域においては、容量由来のインピーダンスの影響が高く、容量結合を含む要素はオープンであると考えることが可能である。これを踏まえた場合低周波数域の  $Z_{11}$ 、 $S_{12}$  は式 (4.2) のように導出される。支配的な要素は Fig. 4.20(c) に示される太線に相当する。

$$\begin{aligned}
 Z_{11AC} &= (R_{AK} + R_{EK}) \\
 &\quad + Z_{\text{off}} / (R_{CL} + Z_{\text{TSV\_PFE}} + R_{FL} + Z_0) \\
 S_{11AC} &= \left( \frac{Z_{11AC}}{Z_0} - 1 \right) / \left( \frac{Z_{11AC}}{Z_0} + 1 \right) \\
 S_{12AC} &= (1 - S_{11AC}) \\
 &\quad \cdot \frac{Z_{\text{off}}}{R_{CL} + Z_{\text{TSV\_PFE}} + R_{FL} + Z_0 + Z_{\text{off}}} \quad (4.2)
 \end{aligned}$$

中間周波数領域では、容量結合  $C_{\text{TSV}}$  の影響が大きく、もっとも支配的な要素は  $1/j\omega C_{\text{TSV}} \times N_{\text{TSV}}$  と表すことができる。ここで、 $N_{\text{TSV}}$  は並列接続された TSV の本数である。

さらに、高周波数域においては、 $C_{\text{TSV}}$  がショートパスと見なせ、結果  $Z_{\text{TSV\_NS}}$  を経由する経路が  $Z_{\text{TSV\_PFE}}$  を経由する経路と比較し支配的となる。このとき  $Z_{11}$  はパラメタは層間を繋ぐ全てのパスの影響を受け、オフチップインピーダンスと同様、重要な要素として考慮する必要がある。支配的な要素は Fig. 4.20(c) に示される太線及び点線に相当する、オフチップインピーダンス、基板抵抗ネットワーク、TSV となる。

層内結合と層間結合において、計算により得られた S パラメタと Fig. 4.11、4.12、4.13 より導出される実測伝播雑音強度を比較した。実測雑音伝播強度は  $V_{0p}$  で評価され、これは最大電圧と基準電圧 (0 V) の差を表す。Fig. 4.21 に計算により得られた  $S_{12}$  パラメタと実測雑音強度  $V_{0p}$  の比較結果を示す。プロットより、基板結合が主要成分と考えられる層内結合においては、算出値及び実測値において周波数に対し変化が小さい傾向が共通しているといえる。また、層間結合においても実測値との一致度が高く、基板雑音伝播を考慮した三次元実装モデルが十分な特徴を捉えていることを示している。

実測及び解析結果より、基板を分割することによる基板結合経路の遮断は低周波数域の雑音に対し有効であるといえる。しかしながら、中間

周波数領域からは基板間の雑音結合強度が無視できなくなり、雑音強度の変曲点となる周波数は TSV の側壁に由来する水平方向の容量結合に依存する。以上のことから、三次元実装環境内における回路間の雑音結合を考慮する際に、基板結合及び TSV の容量結合を考慮に入れた提案モデルが有効である。

## 4.5 結言

本章では、3次元実装環境でのノイズ伝播を評価するためにオンチップモニタシステム及び雑音源を搭載したチップを試作・評価し、解析モデルを作成し比較検証することで、3次元実装環境における雑音伝播特性の周波数依存性を示した。

本章で用いた2層積層テストチップは130nm CMOS、ビアミドル、直径 $5\mu\text{m}$ 、高さ $25\mu\text{m}$ の銅 TSV を使用している。層内と層間を伝わるノイズでは明らかな周波数特性の違いが確認され、低周波では層内結合が支配的であっても、高周波では TSV 由来の容量結合により層間結合が支配的となるケースが実測により確認された。また、層を跨いだ場合、基板ノイズは1 GHz 以下の周波数において層内を伝わるノイズよりも低く、低周波帯において層の分離による基板ノイズ低減効果があることが示された。

基板結合を再現するための集中定数回路による解析モデルを作成した。解析モデルは基板への容量結合を考慮した TSV モデル、PCB レイアウトより抽出したインピーダンスモデルも含んでいる。同時に上記モデルより主要な受動素子のみを抽出した単純化モデルも作成し、 $\Delta$ -スター変換により Z パラメタ及び S パラメタをこれら主要素子のパラメタのみで表現することができた。これらのモデルを使用した解析結果からも実測値と同様の周波数依存性が確認され、受動素子パラメタの計算結果より  $S_{12}$  パラメタ、ノイズ伝播強度が表現されることを示した。

基板ノイズを考慮した等価回路モデルを用いることで、3次元積層 LSI における設計戦略が示される。層内のノイズ結合と同様に層間のノイズ結合は、それら TSV の本数、位置、容量値等を含む単純な数式にて予測可能であることを示した。以上のことから、3次元積層 LSI の設計において、所望の周波数においてノイズ伝播を制御するために基板及び PDN の戦略的な分離がなされるべきであり、雑音源となる回路及び雑音に弱い回路の TSV の容量・位置関係を重視すべきである。

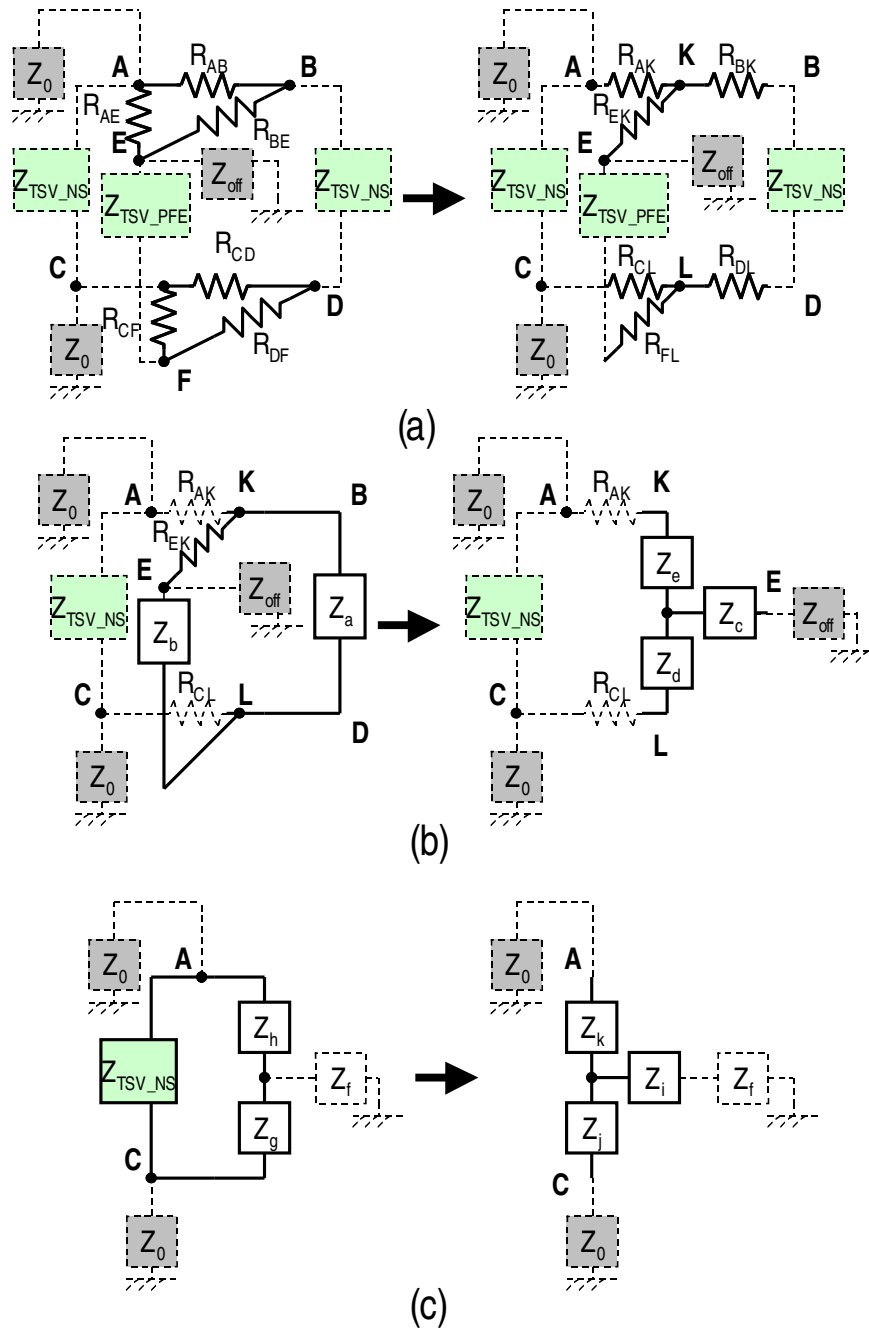


Figure 4.18: Transformation process to derive T-shaped network (inter-tier coupling).

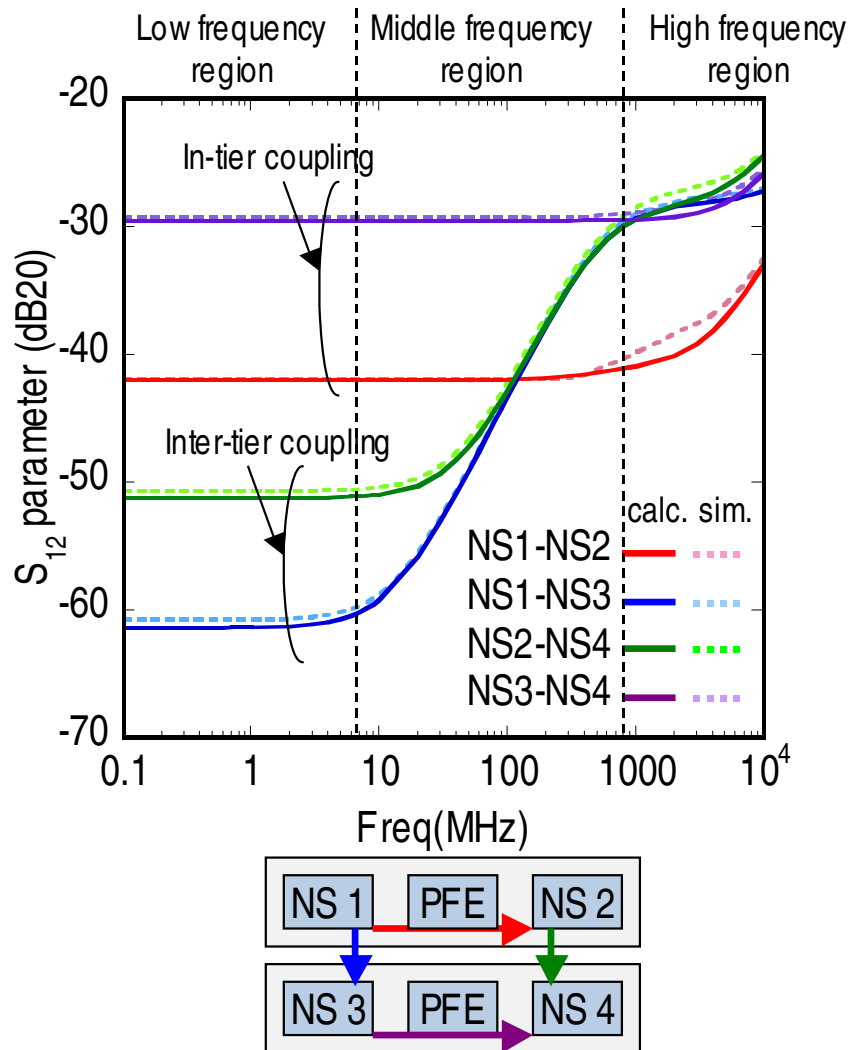


Figure 4.19: Simulated and calculated S-parameters.

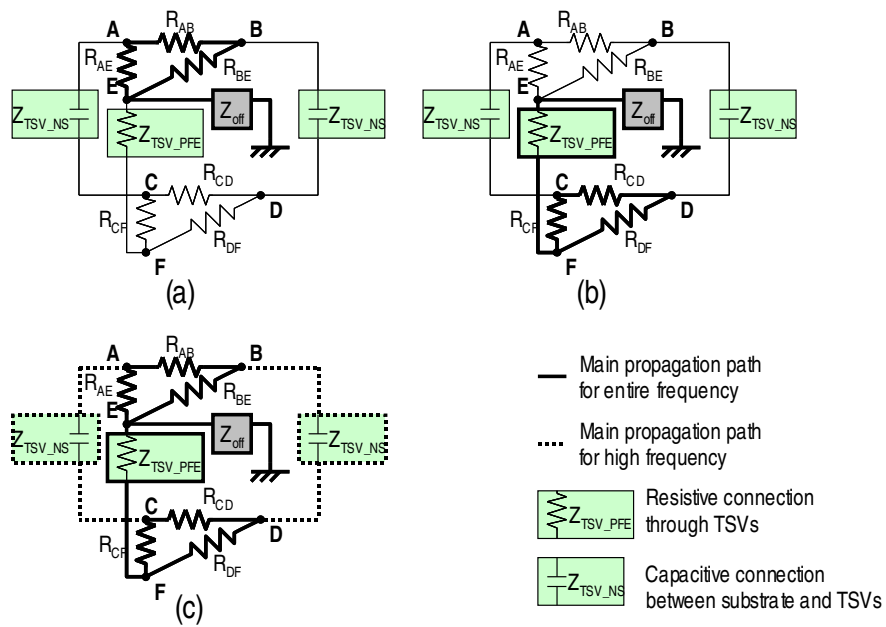


Figure 4.20: Dominant propagation path at high/low frequency in the case of (a) top intra-tier coupling, (b) bottom intra-tier coupling, and (c) inter-tier coupling.

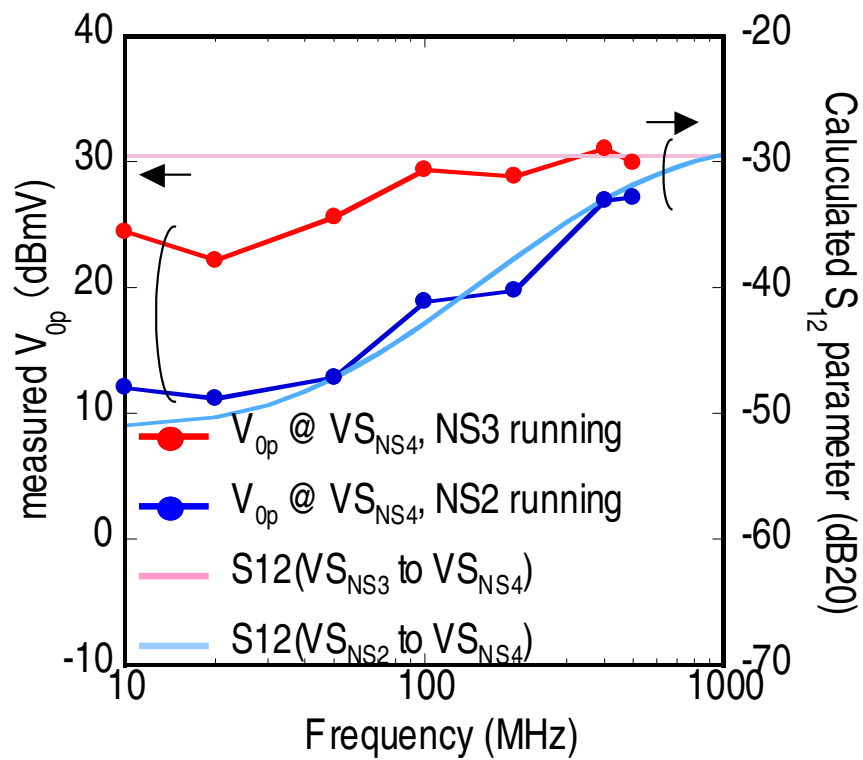


Figure 4.21: Comparison of  $V_{op}$  by measurements with S-parameters in calculation.



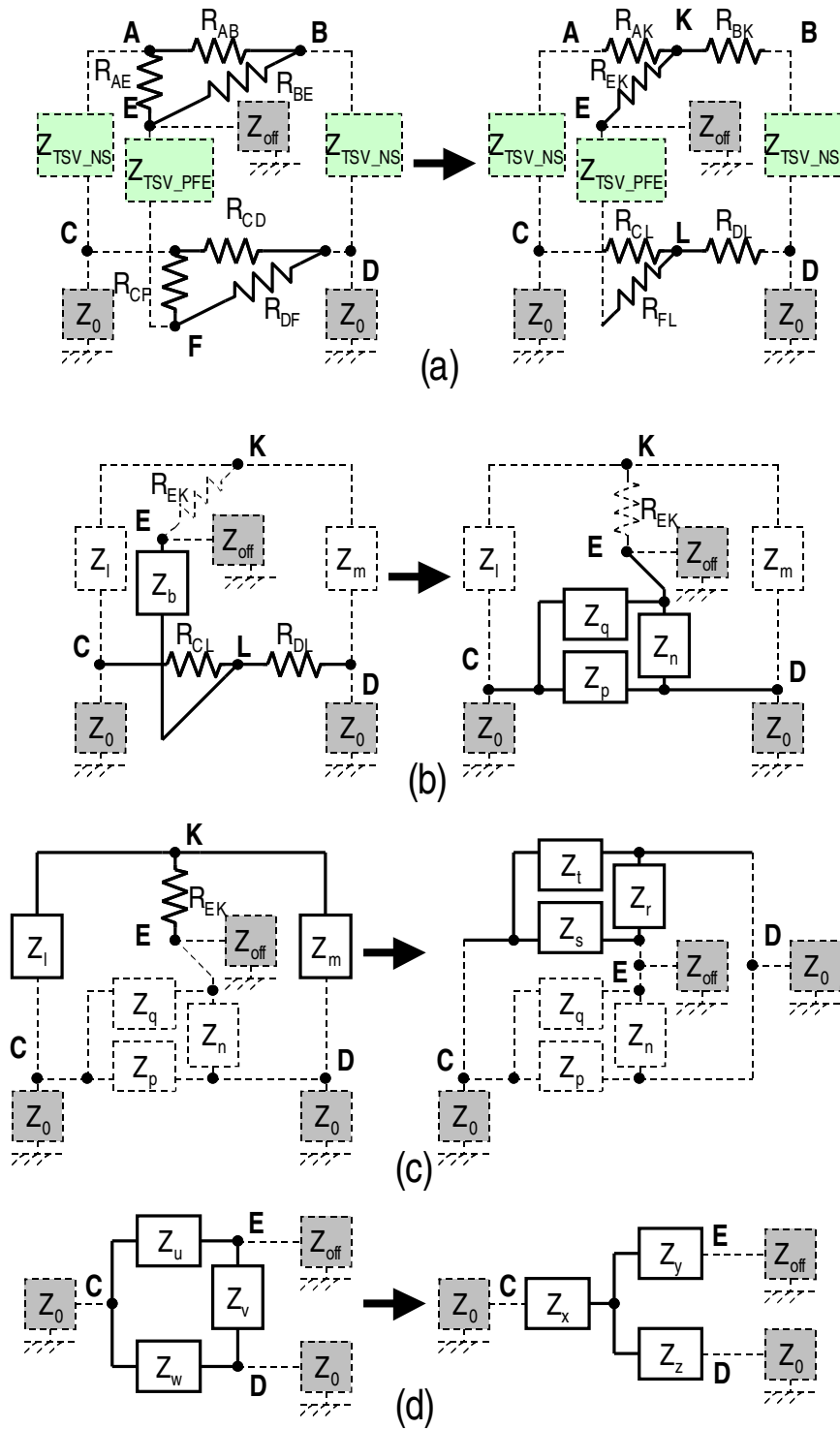


Figure 4.22: Transformation process to derive T-shaped network (in-tier coupling).

## 4.6 Appendix

### 層間結合

Fig. 4.18 に示される層間結合強度導出のための  $\Delta$ -スター変換は以下の式により導出される。step 1 では、新たなノード K 及び L が  $\Delta$ -スター変換により設定される。

$$\begin{aligned}
 R_{AK} &= \frac{R_{AB} \cdot R_{AE}}{R_{AB} + R_{AE} + R_{BE}} \\
 R_{BK} &= \frac{R_{AB} \cdot R_{BE}}{R_{AB} + R_{AE} + R_{BE}} \\
 R_{EK} &= \frac{R_{BE} \cdot R_{AE}}{R_{AB} + R_{AE} + R_{BE}} \\
 R_{CL} &= \frac{R_{CD} \cdot R_{CF}}{R_{CD} + R_{CF} + R_{DF}} \\
 R_{DL} &= \frac{R_{CD} \cdot R_{DF}}{R_{CD} + R_{CF} + R_{DF}} \\
 R_{FL} &= \frac{R_{DF} \cdot R_{CF}}{R_{CD} + R_{CF} + R_{DF}}
 \end{aligned} \tag{4.3}$$

step 2 の前に、合成可能な直列インピーダンスが  $Z_a$  と  $Z_b$  としてまとめられる。

$$\begin{aligned}
 Z_a &= Z_{TSV\_NS} + R_{BK} + R_{DK} \\
 Z_b &= Z_{TSV\_PFE} + R_{FL}
 \end{aligned} \tag{4.4}$$

2 度目の  $\Delta$ -スター変換は以下のように実行される。

$$\begin{aligned}
 Z_c &= \frac{R_{EK} \cdot Z_b}{R_{EK} + Z_b + Z_a} \\
 Z_d &= \frac{Z_b \cdot Z_a}{R_{EK} + Z_b + Z_a} \\
 Z_e &= \frac{R_{EK} \cdot Z_a}{R_{EK} + Z_b + Z_a}
 \end{aligned} \tag{4.5}$$

step 3 の前に、合成可能な直列インピーダンスが  $Z_f$ 、 $Z_g$ 、 $Z_h$  としてまとめられる。

$$\begin{aligned}
Z_f &= Z_c + Z_{\text{off}} \\
Z_g &= R_{\text{CL}} + Z_d \\
Z_h &= R_{\text{AK}} + Z_e
\end{aligned} \tag{4.6}$$

最後の  $\Delta$ -スター変換は以下のように実行される。

$$\begin{aligned}
Z_i &= \frac{Z_h \cdot Z_g}{Z_h + Z_g + Z_{\text{TSV\_NS}}} \\
Z_j &= \frac{Z_g \cdot Z_{\text{TSV\_NS}}}{Z_h + Z_g + Z_{\text{TSV\_NS}}} \\
Z_k &= \frac{Z_h \cdot Z_{\text{TSV\_NS}}}{Z_h + Z_g + Z_{\text{TSV\_NS}}}
\end{aligned} \tag{4.7}$$

数式 (4.1) に示される  $Z_{11}$ 、 $S_{11}$ 、 $S_{12}$  はこれらの数値により表現可能である。

#### 層内結合

Fig. 4.22 に示される NS3 と NS4 間 (“C” “D” 間) の層内結合容量の導出は以下の数式により行われる。

step 1 では、新たなノード K 及び L が  $\Delta$ -スター変換により設定される。step 2 の前に、合成可能な直列インピーダンスが  $Z_l$  と  $Z_m$  としてまとめられる。

$Z_b$  は (4.8) と同様の要素の合成である。

$$\begin{aligned}
Z_l &= Z_{\text{TSV\_NS}} + R_{\text{AK}} \\
Z_m &= Z_{\text{TSV\_NS}} + R_{\text{BK}}
\end{aligned} \tag{4.8}$$

1 度目の  $\Delta$ -スター変換は以下のように実行される。

$$\begin{aligned}
Z_n &= \frac{R_{\text{CL}} \cdot R_{\text{DL}} + R_{\text{CL}} \cdot Z_b + R_{\text{DL}} \cdot Z_b}{R_{\text{CL}}} \\
Z_p &= \frac{R_{\text{CL}} \cdot R_{\text{DL}} + R_{\text{CL}} \cdot Z_b + R_{\text{DL}} \cdot Z_b}{Z_b} \\
Z_q &= \frac{R_{\text{CL}} \cdot R_{\text{DL}} + R_{\text{CL}} \cdot Z_b + R_{\text{DL}} \cdot Z_b}{R_{\text{DL}}}
\end{aligned} \tag{4.9}$$

2度目の  $\Delta$ -スター変換は以下のように実行される。

$$\begin{aligned} Z_r &= \frac{Z_l \cdot Z_m + Z_l \cdot R_{EK} + Z_m \cdot R_{EK}}{Z_l} \\ Z_s &= \frac{Z_l \cdot Z_m + Z_l \cdot R_{EK} + Z_m \cdot R_{EK}}{Z_m} \\ Z_t &= \frac{Z_l \cdot Z_m + Z_l \cdot R_{EK} + Z_m \cdot R_{EK}}{R_{EK}} \end{aligned} \quad (4.10)$$

ノード CED 間、 $Z_n$ 、 $Z_p$ 、 $Z_q$ 、 $Z_r$ 、 $Z_s$ 、 $Z_t$  は並列のインピーダンスと見なすことができる。step 4 の前に、合成可能なインピーダンスが  $Z_u$ 、 $Z_v$ 、 $Z_w$  としてまとめられる。

$$\begin{aligned} Z_u &= Z_s // Z_q \\ Z_v &= Z_r // Z_n \\ Z_w &= Z_t // Z_p \end{aligned} \quad (4.11)$$

最後の  $\Delta$ -スター変換は以下のように実行される。

$$\begin{aligned} Z_x &= \frac{Z_u \cdot Z_w}{Z_u + Z_v + Z_w} \\ Z_y &= \frac{Z_u \cdot Z_v}{Z_u + Z_v + Z_w} \\ Z_z &= \frac{Z_w \cdot Z_v}{Z_u + Z_v + Z_w} \end{aligned} \quad (4.12)$$

$Z_{11}$ 、 $S_{11}$ 、 $S_{12}$  パラメタは以下のように計算される。

$$\begin{aligned} Z_{11CD} &= Z_x + (Z_y + Z_{\text{off}}) // (Z_z + Z_0) \\ S_{11CD} &= \left( \frac{Z_{11CD}}{Z_0} - 1 \right) / \left( \frac{Z_{11CD}}{Z_0} + 1 \right) \\ S_{12CD} &= (1 - S_{11CD}) \cdot \left( \frac{Z_y + Z_{\text{off}}}{Z_y + Z_{\text{off}} + Z_z + Z_0} \right) \end{aligned} \quad (4.13)$$

#### 低周波域における層間結合

式(4.2)における低周波数域におけるインピーダンスは以下のように導出される。

$Z_{\text{TSV\_NS}}$  は  $C_{\text{TSV}}$  の低周波数域におけるインピーダンスが十分に大きい  
ため以下のように単純化される。

式(4.1)における  $Z_k$ 、 $Z_i$ 、 $Z_f$ 、 $Z_j$  は  $R_{\text{AK}}+R_{\text{EK}}$ 、 $0$ 、 $Z_{\text{off}}$ 、 $R_{\text{CL}}+Z_{\text{TSV\_PFE}}+R_{\text{FL}}$  に近似可能であり、それぞれ式(4.14)(4.15)(4.16)(4.17)(4.18)(4.19)に示される。

$$\begin{aligned} Z_k &= \frac{Z_h \cdot Z_{\text{TSV\_NS}}}{Z_h + Z_g + Z_{\text{TSV\_NS}}} \\ &\approx Z_h \end{aligned} \quad (4.14)$$

$$\begin{aligned} Z_h &= R_{\text{AK}} + Z_e \\ &= R_{\text{AK}} + \frac{R_{\text{EK}} \cdot Z_a}{R_{\text{EK}} + Z_b + Z_a} \\ &= R_{\text{AK}} + \frac{R_{\text{EK}} \cdot (Z_{\text{TSV\_NS}} + R_{\text{BK}} + R_{\text{DK}})}{R_{\text{EK}} + Z_b + (Z_{\text{TSV\_NS}} + R_{\text{BK}} + R_{\text{DK}})} \\ &\approx R_{\text{AK}} + R_{\text{EK}} \end{aligned} \quad (4.15)$$

$$\begin{aligned} Z_i &= \frac{Z_h \cdot Z_g}{Z_h + Z_g + Z_{\text{TSV\_NS}}} \\ &\approx 0 \end{aligned} \quad (4.16)$$

$$\begin{aligned} Z_f &= Z_c + Z_{\text{off}} \\ &= \frac{R_{\text{EK}} \cdot Z_b}{R_{\text{EK}} + Z_b + (Z_{\text{TSV\_NS}} + R_{\text{BK}} + R_{\text{DK}})} + Z_{\text{off}} \end{aligned} \quad (4.17)$$

$$\approx Z_{\text{off}} \quad (4.18)$$

$$\begin{aligned} Z_j &= \frac{Z_g \cdot Z_{\text{TSV\_NS}}}{Z_h + Z_g + Z_{\text{TSV\_NS}}} \\ &\approx Z_g \end{aligned}$$

$$\begin{aligned} Z_g &= R_{\text{CL}} + Z_d \\ &= R_{\text{CL}} + \frac{Z_b \cdot Z_a}{R_{\text{EK}} + Z_b + Z_a} \\ &= R_{\text{CL}} + \frac{Z_b \cdot (Z_{\text{TSV\_NS}} + R_{\text{BK}} + R_{\text{DK}})}{R_{\text{EK}} + Z_b + (Z_{\text{TSV\_NS}} + R_{\text{BK}} + R_{\text{DK}})} \\ &\approx R_{\text{CL}} + Z_b \end{aligned}$$

$$\begin{aligned} Z_b &= Z_{\text{TSV\_PFE}} + R_{\text{FL}} \\ Z_j &\approx R_{\text{CL}} + Z_{\text{TSV\_PFE}} + R_{\text{FL}} \end{aligned} \quad (4.19)$$

これらの式により、式(4.2)低周波域における $Z_{11AC}$ は以下のように計算可能である。 $S_{11AC}$ 及び $S_{12AC}$ についても同様である。

$$\begin{aligned} Z_{11AC} &= Z_k + (Z_i + Z_f) // (Z_j + Z_0) \\ &= (R_{AK} + R_{EK}) \\ &\quad + Z_{off} // (R_{CL} + Z_{TSV\_PFE} + R_{FL} + Z_0) \end{aligned} \quad (4.20)$$

#### 低周波数域における層内結合

$Z_l$ 、 $Z_m$ 、 $Z_{TSV\_NS}$ は $C_{TSV}$ の低周波数域におけるインピーダンスが十分に大きいため以下のように単純化される。

$$Z_{aa} = R_{CL} \cdot R_{DL} + R_{CL} \cdot Z_b + R_{DL} \cdot Z_b \quad (4.21)$$

式(4.11)における $Z_u$ 、 $Z_v$ 、and  $Z_w$ は $Z_l$ 及び $Z_m$ が十分に大きいため、以下のように近似される。

$$\begin{aligned} Z_u &= Z_s // Z_q \\ &= \frac{Z_l \cdot Z_m + Z_l \cdot R_{EK} + Z_m \cdot R_{EK}}{Z_m} // \frac{Z_{aa}}{R_{DL}} \\ &\approx \frac{Z_{aa}}{R_{DL}} \\ Z_v &= Z_r // Z_n \\ &= \frac{Z_l \cdot Z_m + Z_l \cdot R_{EK} + Z_m \cdot R_{EK}}{Z_l} // \frac{Z_{aa}}{R_{CL}} \\ &\approx \frac{Z_{aa}}{R_{CL}} \\ Z_w &= Z_t // Z_p \\ &= \frac{Z_l \cdot Z_m + Z_l \cdot R_{EK} + Z_m \cdot R_{EK}}{R_{EK}} // \frac{Z_{aa}}{Z_b} \\ &\approx \frac{Z_{aa}}{Z_b} \end{aligned} \quad (4.22)$$

式(4.12)での $Z_x$ は以下のように $R_{CL}$ に近似可能である。同様に、 $Z_y$ と $Z_z$ も $Z_{TSV\_PFE} + R_{FL}$ と $R_{DL}$ にそれぞれ近似可能である。

$$\begin{aligned}
Z_x &= \frac{Z_u \cdot Z_w}{Z_u + Z_v + Z_w} \\
&= \frac{\frac{Z_{aa}}{R_{DL}} \cdot \frac{Z_{aa}}{Z_b}}{\frac{Z_{aa}}{R_{CL}} + \frac{Z_{aa}}{Z_b} + \frac{Z_{aa}}{R_{DL}}} \\
&= \frac{\frac{1}{R_{DL}} \cdot \frac{1}{Z_b}}{\frac{1}{R_{CL}} + \frac{1}{Z_b} + \frac{1}{R_{DL}}} \\
&= \frac{\frac{1}{R_{DL} \cdot Z_b}}{\frac{Z_{aa}}{R_{CL} \cdot Z_b \cdot R_{DL}}} \\
&= \frac{R_{CL} \cdot Z_b \cdot R_{DL}}{R_{DL} \cdot Z_b} \\
&= R_{CL} \\
Z_y &= \frac{Z_u \cdot Z_v}{Z_u + Z_v + Z_w} \\
&= Z_b \\
&= Z_{TSV\_PFE} + R_{FL} \\
Z_z &= \frac{Z_w \cdot Z_v}{Z_u + Z_v + Z_w} \\
&= R_{DL}
\end{aligned} \tag{4.23}$$

これらの数式より、低周波数域における  $Z_{11CD}$  は以下のように導出可能であり、 $S_{11CD}$  と  $S_{12CD}$  についても計算可能である。

$$\begin{aligned}
Z_{11CD} &= Z_x + (Z_y + Z_{off}) / (Z_z + Z_0) \\
&= R_{CL} + (Z_{TSV\_PFE} + R_{FL} + Z_{off}) / (R_{DL} + Z_0) \\
S_{11CD} &= \left( \frac{Z_{11CD}}{Z_0} - 1 \right) / \left( \frac{Z_{11CD}}{Z_0} + 1 \right) \\
S_{12CD} &= (1 - S_{11CD}) \\
&\quad \cdot \frac{Z_{TSV\_PFE} + R_{FL} + Z_{off}}{Z_{TSV\_PFE} + R_{FL} + Z_{off} + R_{DL} + Z_0}
\end{aligned} \tag{4.24}$$

## 第5章

---

### 結論

本論文では、複雑化する3次元実装LSIの設計戦略に関して基板ノイズに着目し、オンチップモニタシステムを応用した層内評価システムの構築及び実測、基板ノイズを考慮した等価モデルを提案した。

近年の技術発展に伴い、スマートフォンに代表される携帯端末の多機能化・高性能化や、車載エレクトロニクスの多様化・高精度化が進められている。携帯端末においてはサービスの多様化により、搭載されるプロセサの性能要求も上昇傾向にある。さらに携帯端末は小型軽量が望ましく、さらには消費電力も抑えられなければならないため、部品点数・実装面積の縮小要求がある。車載半導体においては高度で安全な運転補助システム、将来的には自動運転システムへの期待のため高性能なセンサーとの融合、視覚情報の高度な処理とディペンダビリティの確保など、ますます多機能化・大規模化が進むと予想される。

これらに共通して言えるのは、前述した要求を満たすTSVを用いた3次元積層半導体への期待である。3次元積層半導体では、RF回路ブロックやアナログ信号処理、高精度なセンサブロックを各回路に最適なプロセスで製造し、プロセサやメモリと接続可能である。さらにチップの任意の箇所に低負荷・低遅延な接続を形成でき、高速・高ビット幅・低消費電力の両立が可能である。また、各回路ブロックを平面的に並べるのではなく垂直方向にスタックするため実装面積が小さく、増大する回路規模に関しても平面方向にチップサイズを拡大するより性能と歩留まりを確保しやすい。

3次元積層の利点は数多くあるが、製造コスト、設計の複雑化、垂直結合による結合系の複雑化が課題であるといえる。特に回路の相互干渉を招くノイズに着目した場合、分離した基板による基板ノイズの分断が考えられると同時に、TSVの側壁から基板へのノイズ進入により、平面実装時よりもノイズ伝播経路が近くなってしまうことも懸念される。そこで、本論文は3次元実装におけるノイズ伝播の評価と、回路間のノイズ結合に着目した設計指針の導出についての研究を行った。

第2章では、3次元実装における内部波形評価の要となるオンチップ波



形取得システムについて議論した。チップ内部の電源及びグラウンドノイズ、信号を高精度評価するオンチップモニタシステムを提案、少面積オーバーヘッドの波形検出回路、波形取得の時間コストを最小化するアルゴリズムを用いた評価形を構築し、波形取得制度及び速度の評価を行った。結果、65 nm CMOS プロセスにて試作したテストチップを用い、SNDRで56.1 dB、SFDRにおいて60.7 dBの性能を実現し、有効ビット数において9bit相当の性能があることを示した。また、アルゴリズム適用前と比較し99.34%の波形取得の効率化を達成した。これらの実測結果を動作モデルを用いた解析にて再現し、ジッタや電圧バラつきを考慮した波形取得システムそのものの動作解析を可能とした。

第3章では、3次元実装LSIの内部波形取得のためのモニタシステム構成を示した。また、DACと外部タイミング源、オンチップ実装された電圧源とタイミング源を用いた測定系をそれぞれ提案し、実測評価による線形性と波形取得速度の評価を行った。オンチップ電圧源・タイミング源をFPGAで制御することによりPCとの通信オーバーヘッドが軽減され、オフチップの電圧・タイミングを用いる場合と比較して5.8倍の高速化効果が得られた。3次元積層LSIにモニタシステムを搭載し、上層ダイに入力された正弦波を下層ダイにて取得、チップスタックにより隠れた領域での波形取得を達成した。

第4章では、3次元実装LSIの試作及び評価を行い、簡易な等価回路モデルから設計指針を導出した。130 nm CMOS プロセスで試作されたチップを2層積層し、チップ間を直径 $5\mu\text{m}$ 、高さ $25\mu\text{m}$ の銅TSVで接続した。実測評価により雑音源からのノイズを評価した結果、層内と層間を伝わるノイズでは明らかな周波数特性の違いが確認され、基板を分離した結果1 GHzまでの周波数で基板ノイズ伝播が明らかに減衰されていることが示された。また、これら実測結果を再現するための解析モデルを作成、実測と一致する傾向を確認した。また、回路変形により結合経路を単純な数式で表現し、等価回路中の各パラメタから、ノイズの伝播強度を $S_{12}$ パラメタとして導出することを可能にした。層内のノイズ結合と同様に層間のノイズ結合は、それらTSVの本数、位置、容量値等を含む単純な数式にて予測可能であることを示した。以上のことから、3次元積層LSIの設計において、所望の周波数においてノイズ伝播を制御するために基板及びPDNの戦略的な分離がなされるべきであり、雑音源となる回路及び雑音に弱い回路のTSVの容量・位置関係は特に重視されるべきであることを示した。

---

これらの研究成果は、今後さらに集積度・積層数が増加すると考えられる3次元積層LSI、特にアナログとデジタルが混載された異種統合システムにおいてノイズ伝播抑制の指標となることが考えられる。また、基板の分離に代表されるノイズ伝播抑制効果を3次元実装LSI内部で確認するためには、実測評価と解析の比較による校正は重要であり、本論文で提案したような低面積オーバーヘッドで簡易なオンチップ評価手段は不可欠であり、また複雑化したシステムで発生しうる不具合の原因追及にも有用であると言える。



## 謝辞

---

本研究の機会を与えていただき研究のご指導を賜りました神戸大学大学院 システム情報学研究科・永田 真 教授に深く感謝致します。本研究の遂行にあたり研究機材の整備に御尽力いただくとともに、終始にわたって懇切なる御指導、御鞭撻を賜りました。心より感謝いたします。

本論文をまとめるにあたり貴重な御助言、御指導をいただきましたシステム情報学研究科・吉本 雅彦 教授、システム情報学研究科・的場 修 教授、システム情報学研究科・大川 剛直 教授に深く感謝いたします。

研究生生活に関して何かと御世話になり研究に限らず様々な視野から日々御議論戴きました同学科・鎌田 十三郎 講師、三浦 典之 特命助教に深く感謝の意を表します。

研究遂行にあたって事務手続きをはじめ、多くのご支援を頂いたシステム情報学研究科情報科学専攻 情報システム講座 秘書 坪井 彩 氏に感謝致します。

本研究の一部は半導体理工学研究センター (STARC) の協力の下行われました。共同研究者として、活発な議論と多くの助言をいただいた東 慎一郎 氏 (シャープ)、大窪 宏明 氏 (ルネサスエレクトロニクス)、小林 修 氏 (富士通研究所)、早田 征明 氏 (ルネサスエレクトロニクス)、道正 志郎 氏 (パナソニック)、杉本 益規 氏 (STARC)、平田 雅規 氏 (ルネサスエレクトロニクス)、益子 耕一郎 氏 (エイアールテック)、森 俊彦 氏 (富士通研究所) に感謝致します。

本研究の一部はベルギーの imec の協力の下行われました。共同研究者として、活発な議論とご指導頂いた Geert Van der Plas 氏、Jaemin Kim (現 Silicon Image) 氏、Nikolaos Minas 氏、Paul Marchal 氏、Youssef Travaly (現 IBAB) 氏、Michael Libois 氏、Antonio La Manna 氏、Wenqi Zhang 氏、Gerald Beyer 氏、Ryckaert Julien 氏、César Roda Neve 氏、Stefan Cosemans 氏、Miroslav Cupák 氏、Sun Xiao 氏 Erik Jan Marinissen 氏、Jonghoon Cho (Samsung) 氏、Eric Beyne 氏に感謝いたします。

研究グループの先輩として研究を推進し、また研究だけでなく研究室の日常生活に関する御助言、御指導をいただきました橋田 拓志 氏 (現富士通研究所)、中居 徹 氏 (現 旭化成エレクトロニクス)、近成 聡志 氏 (現 旭化成エレクトロニクス) に感謝いたします。

同じ研究グループとして本研究における諸作業に関して様々な御協力を戴きました高木 康将 氏、上田 菜生 氏、三浦 蘭斗 氏に感謝いたします。

研究室での日常生活においてお世話になりましたCS26の皆様、後輩として様々な御協力戴きましたCS26 LSIグループの諸氏に感謝申し上げます。特に、小坂 大輔 氏(エイアールテック)、松野 哲郎 氏(現 ルネサスエレクトロニクス)、同じ博士課程において議論を通じて研究への刺激を頂いた小林 進 氏(ルネサスエレクトロニクス)、奥本 健 氏(パナソニック)、坂東 要志 氏(現 パナソニック)、澤田 卓也 氏(現 メガチップス)、吉川 薫平 氏、東 直矢 氏、高谷 聡 氏、藤本 大介 氏にはあらためて感謝の意を表します。

本研究の一部は、総務省電波利用制度「高速・高品質な無線通信実現のためのICチップレベルの低ノイズ化技術の研究開発」の一部として行われました。関係者各位に深く感謝の念を表します。

最後に私を育て学業に対しての最大限の援助を下さいました両親ならびに家族に心より感謝します。

## 参考文献

---

- [1] C. W. Tok and C. Effie. Ultra-fine-wire applications and challenges in 30um process. In *Electronics Packaging Technology Conference, 2009. EPTC '09. 11th*, pages 479–485.
- [2] Shin-Yi Huang, Tao-Chih Chang, Ren-Shin Cheng, Jing-Yao Chang, Fang-Jun Leu, Yu-Lan Lu, and Tsung-Fu Yang. Reliability assessment of the 20 um pitch micro-joints within a 3DIC assembly under various environments. In *Microsystems Packaging Assembly and Circuits Technology Conference (IMPACT), 2010 5th International*, pages 1–4.
- [3] T. Fukushima, Y. Ohara, J. Bea, M. Murugesan, Kang-Wook Lee, T. Tanaka, and M. Koyanagi. Temporary bonding strength control for self-assembly-based 3D integration. In *3D Systems Integration Conference (3DIC), 2011 IEEE International*, pages 1–4.
- [4] S. Mermoz, L. Sanchez, L. Di Cioccio, J. Berthier, E. Deloffre, and C. Fretigny. Impact of containment and deposition method on sub-micron chip-to-wafer self-assembly yield. In *3D Systems Integration Conference (3DIC), 2011 IEEE International*, pages 1–5.
- [5] S. Takaya, M. Nagata, A. Sakai, T. Kariya, S. Uchiyama, H. Kobayashi, and H. Ikeda. A 100GB/s wide I/O with 4096b TSVs through an active silicon interposer with in-place waveform capturing. In *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013 IEEE International*, pages 434–435.
- [6] K. Kohno, Y. Kitamura, T. Kamada, J. Ohara, Y. AKIYAMA, C. Ueda, and K. Otsuka. 3D system simulation study of power integrity using si interposer with distribution TSV decoupling capacitors. In *2012 2nd IEEE CPMT Symposium Japan*, pages 1–4.
- [7] Heegon Kim, Jonghyun Cho, Joohee Kim, Kiyeong Kim, Sumin Choi, Joungho Kim, and Jun So Pak. A compact on-interposer pas-

- sive equalizer for chip-to-chip high-speed data transmission. In *2012 IEEE 21st Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS)*, pages 95–98.
- [8] C.T. Ko, Z.C. Hsiao, Y.J. Chang, P.S. Chen, J.H. Huang, H.C. Fu, Y.J. Huang, C.W. Chiang, W.L. Tsai, Y.H. Chen, W.C. Lo, and K. N. Chen. Wafer-level 3D integration with cu TSV and micro-bump/adhesive hybrid bonding technologies. In *3D Systems Integration Conference (3DIC), 2011 IEEE International*, pages 1–4.
- [9] S. Hamdioui. Yield improvement and test cost reduction for TSV based 3D stacked ICs. In *2011 6th International Conference on Design Technology of Integrated Systems in Nanoscale Era (DTIS)*, pages 1–1.
- [10] Hongbin Sun, Jibang Liu, Rakesh S. Anigundi, Nanning Zheng, Jian-Qiang Lu, Kenneth Rose, and Tong Zhang. 3D DRAM design and application to 3D multicore systems. 26:36–47.
- [11] Taigon Song, Chang Liu, Dae Hyun Kim, Sung-Kyu Lim, Jonghyun Cho, Joohee Kim, Jun So Pak, Seungyoung Ahn, Joungho Kim, and Kihyun Yoon. Analysis of TSV-to-TSV coupling with high-impedance termination in 3D ICs. In *2011 12th International Symposium on Quality Electronic Design (ISQED)*, pages 1–7.
- [12] Joohee Kim, Jonghyun Cho, and Joungho Kim. TSV modeling and noise coupling in 3D IC. In *Electronic System-Integration Technology Conference (ESTC), 2010 3rd*, pages 1–6.
- [13] Qi Wu and Tong Zhang. Design techniques to facilitate processor power delivery in 3-d processor-DRAM integrated systems. 19:1655–1666.
- [14] Jun So Pak, Joohee Kim, Jonghyun Cho, Kiyeong Kim, Taigon Song, Seungyoung Ahn, Junho Lee, Hyungdong Lee, Kunwoo Park, and Joungho Kim. PDN impedance modeling and analysis of 3D TSV IC by using proposed P/G TSV array model based on separated P/G TSV and chip-PDN models. 1:208–219.

- 
- [15] G. Charles, P.D. Franzon, Jaemin Kim, and A. Levin. Analysis and approach of TSV-based hierarchical power distribution networks for estimating 1st-droop and resonant noise in 3DIC. In *2011 IEEE 20th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS)*, pages 267–270.
- [16] Kiyeong Kim, Woojin Lee, Jaemin Kim, Taigon Song, Joohee Kim, Jun So Pak, Joungho Kim, Hyungdong Lee, Yongkee Kwon, and Kunwoo Park. Analysis of power distribution network in TSV-based 3D-IC. In *2010 IEEE 19th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS)*, pages 177–180.
- [17] Taigon Song and Sung-Kyu Lim. A fine-grained co-simulation methodology for IR-drop noise in silicon interposer and TSV-based 3D IC. In *2011 IEEE 20th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS)*, pages 239–242.
- [18] Amirali Shayan, Xiang Hu, Wanping Zhang, Chung-Kuan Cheng, A. Ege Engin, Xiaoming Chen, and Mikhail Popovich. 3D stacked power distribution considering substrate coupling. In *Computer Design, 2009. ICCD 2009. IEEE International Conference on*, pages 225–230.
- [19] Dean L. Lewis and H.-HS Lee. A scanisland based design enabling prebond testability in die-stacked microprocessors. In *Test Conference, 2007. ITC 2007. IEEE International*, pages 1–8.
- [20] Erik Jan Marinissen. Testing TSV-based three-dimensional stacked ICs. In *Proceedings of the Conference on Design, Automation and Test in Europe*, pages 1689–1694.
- [21] Chih-Yen Lo, Yu-Tsao Hsing, Li-Ming Denq, and Cheng-Wen Wu. SOC test architecture and method for 3-d ICs. 29:1645–1649.
- [22] Erik Jan Marinissen, Chun-Chuan Chi, Jouke Verbree, and Mario Konijnenburg. 3D DFT architecture for pre-bond and post-bond testing. In *3D Systems Integration Conference (3DIC), 2010 IEEE International*, pages 1–8.



- 
- [23] Xiaoxia Wu, Paul Falkenstern, and Yuan Xie. Scan chain design for three-dimensional integrated circuits (3D ICs). In *Computer Design, 2007. ICCD 2007. 25th International Conference on*, pages 208–214.
- [24] Li Jiang, Lin Huang, and Qiang Xu. Test architecture design and optimization for three-dimensional SoCs. In *Proceedings of the Conference on Design, Automation and Test in Europe*, pages 220–225.
- [25] Jia Li and Dong Xiang. DfT optimization for pre-bond testing of 3D-SICs containing TSVs. In *Computer Design (ICCD), 2010 IEEE International Conference on*, pages 474–479.
- [26] Chandan Giri, Surajit Kumar Roy, Baishali Banerjee, and Hafizur Rahaman. Scan chain design targeting dual power and delay optimization for 3D integrated circuit. pages 845–849. IEEE.
- [27] Sandeep Goel, Erik Jan Marinissen, Anuja Sehgal, and Krishnendu Chakrabarty. Testing of SoCs with hierarchical cores: Common fallacies, test access optimization, and test scheduling. 58:409–423.
- [28] Brandon Noia, Krishnendu Chakrabarty, and Erik Jan Marinissen. Optimization methods for post-bond die-internal/external testing in 3D stacked ICs. In *Test Conference (ITC), 2010 IEEE International*, pages 1–9.
- [29] Brandon Noia, Sandeep Kumar Goel, Krishnendu Chakrabarty, Erik Jan Marinissen, and Jouke Verbree. Test-architecture optimization for TSV-based 3D stacked ICs. In *Test Symposium (ETS), 2010 15th IEEE European*, pages 24–29.
- [30] Po-Yuan Chen, Cheng-Wen Wu, and Ding-Ming Kwai. On-chip TSV testing for 3D IC before bonding using sense amplification. pages 450–455. IEEE.
- [31] Po-Yuan Chen, Cheng-Wen Wu, and Ding-Ming Kwai. On-chip testing of blind and open-sleeve TSVs for 3D IC before bonding. In *VLSI Test Symposium (VTS), 2010 28th*, pages 263–268.
- [32] Minki Cho, Chang Liu, Dae Hyun Kim, Sung Kyu Lim, and Saibal Mukhopadhyay. Design method and test structure to characterize

- and repair TSV defect induced signal degradation in 3D system. In *Proceedings of the International Conference on Computer-Aided Design*, pages 694–697.
- [33] A. D. Trigg, Li Hong Yu, Xiaowu Zhang, Chai Tai Chong, Cheng Cheng Kuo, Navas Khan, and Yu Daquan. Design and fabrication of a reliability test chip for 3D-TSV. In *Electronic Components and Technology Conference (ECTC), 2010 Proceedings 60th*, pages 79–83.
- [34] Dan Perry, Jonghoon Cho, Shinichi Domae, Panagiotis Asimakopoulos, Alex Yakovlev, Pol Marchal, Geert Van der Plas, and Nikolaos Minas. An efficient array structure to characterize the impact of through silicon vias on FET devices. In *Microelectronic Test Structures (ICMTS), 2011 IEEE International Conference on*, pages 118–122.
- [35] Dan Oh, Hai Lan, Chris Madden, Sam Chang, Ling Yang, and Ralf Schmitt. In-situ characterization of 3D package systems with on-chip measurements. In *Electronic Components and Technology Conference (ECTC), 2010 Proceedings 60th*, pages 1485–1492.
- [36] M. Safi-Harb and G.W. Roberts. 70-GHz effective sampling time-base on-chip oscilloscope in CMOS. 42:1743–1757.
- [37] Yu Zheng and Kenneth L. Shepard. On-chip oscilloscopes for noninvasive time-domain measurement of waveforms in digital integrated circuits. 11:336–344.
- [38] M. van Heijningen, J. Compiet, P. Wambacq, S. Donnay, M.G.E. Engels, and I. Bolsens. Analysis and experimental verification of digital substrate noise generation for epi-type substrates. 35:1002–1008.
- [39] Makoto Nagata, T. Okumoto, and K. Taki. A built-in technique for probing power supply and ground noise distribution within large-scale digital integrated circuits. *IEEE Journal of Solid-State Circuits*, 40(4), 2005.

- 
- [40] B. Dehlaghi, S. Magierowski, and L. Belostotski. A 12.5-gb/s on-chip oscilloscope to measure eye diagrams and jitter histograms of high-speed signals. Early Access Online.
- [41] O. Duval and Y. Savaria. An on-chip delay measurements module for nanostructures characterization. In *Proceedings of the 2004 International Symposium on Circuits and Systems, 2004. ISCAS '04*, volume 3, pages III-721-4 Vol.3.
- [42] Y. Araga, T. Hashida, and M. Nagata. An on-chip waveform capturing technique pursuing minimum cost of integration. In *Proceedings of 2010 IEEE International Symposium on Circuits and Systems (IS-CAS)*, pages 3557-3560.
- [43] T. Hashida and M. Nagata. An on-chip waveform capturer and application to diagnosis of power delivery in SoC integration. 46:789-796.
- [44] K. Yoshikawa, T. Hashida, and M. Nagata. An on-chip waveform capturer for diagnosing off-chip power delivery. In *2011 IEEE International Conference on IC Design Technology (ICICDT)*, pages 1-4.
- [45] M. Takamiya, M. Mizuno, and K. Nakamura. An on-chip 100 GHz-sampling rate 8-channel sampling oscilloscope with embedded sampling clock generator. In *Solid-State Circuits Conference, 2002. Digest of Technical Papers. ISSCC. 2002 IEEE International*, volume 1, pages 182-458 vol.1.
- [46] B. Vrignon and S.B. Dhia. On-chip sampling sensors for high frequency signals measurement: evolution and improvements. In *Proceedings of the Fifth IEEE International Caracas Conference on Devices, Circuits and Systems, 2004*, volume 1, pages 270-275.
- [47] Y. Araga, N. Ueda, Y. Takagi, and M. Nagata. Performance evaluation of probing front-end circuits for on-chip noise monitoring. E96-A:2516-2523.

- [48] J. Tschanz, Nam Sung Kim, S. Dighe, J. Howard, G. Ruhl, S. Vangal, S. Narendra, Y. Hoskote, H. Wilson, C. Lam, M. Shuman, C. Tokunaga, D. Somasekhar, S. Tang, D. Finan, T. Karnik, N. Borkar, N. Kurd, and V. De. Adaptive frequency and biasing techniques for tolerance to dynamic temperature-voltage variations and aging. In *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*, pages 292–604.
- [49] M. Fukazawa, T. Matsuno, T. Uemura, R. Akiyama, T. Kagemoto, H. Makino, H. Takata, and H. Takata. Fine-grained in-circuit continuous-time probing technique of dynamic supply variations in SoCs. In *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*, pages 288–603.
- [50] M. Badaroglu, S. Donnay, H.J. De Man, Y.A. Zinzius, G. G E Gielen, Willy Sansen, T. Fonden, and S. Signell. Modeling and experimental verification of substrate noise generation in a 220-k gates WLAN system-on-chip with multiple supplies. 38:1250–1260.
- [51] N. Azuma, T. Makita, S. Ueyama, M. Nagata, S. Takahashi, M. Murakami, K. Hori, S. Tanaka, and M. Yamaguchi. In-system diagnosis of RF ICs for tolerance against on-chip in-band interferers. In *Test Conference (ITC), 2013 IEEE International*, pages 1–9.
- [52] P. Jain, Dong Jiao, Xiaofei Wang, and C.H. Kim. Measurement, analysis and improvement of supply noise in 3D ICs. In *2011 Symposium on VLSI Circuits (VLSIC)*, pages 46–47.
- [53] Y. Araga, M. Nagata, G. Van der Plas, Jaemin Kim, N. Minas, P. Marchal, Y. Travalay, M. Libois, A. La Manna, Wenqi Zhang, and E. Beyne. In-tier diagnosis of power domains in 3D TSV ICs. In *3D Systems Integration Conference (3DIC), 2011 IEEE International*, pages 1–6.
- [54] K. Makie-Fukuda, T. Anbo, T. Tsukada, T. Matsuura, and M. Hotta. Voltage-comparator-based measurement of equivalently sampled substrate noise waveform in mixed-signal integrated circuits. In *, 1995 Symposium on VLSI Circuits, 1995. Digest of Technical Papers*, pages 39–40.

- [55] N. Makoto, N. Jin, T. Morie, and A. Iwata. Measurements and analyses of substrate noise waveform in mixed-signal ic environment. *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, 19(6):671–678, 2000.
- [56] Y. Kanno, Y. Kondoh, T. Irita, K. Hirose, Y. Mori, Y. Yasu, S. Komatsu, and H. Mizuno. In-situ measurement of supply-noise maps with millivolt accuracy and nanosecond-order time resolution. 42:784–789.
- [57] A. Muhtaroglu, G. Taylor, and T. Rahal-Arabi. On-die droop detector for analog sensing of power supply noise. 39:651–660.
- [58] J.U. Knickerbocker, P.S. Andry, E. Colgan, B. Dang, T. Dickson, X. Gu, C. Haymes, C. Jahnes, Y. Liu, J. Maria, R.J. Polastre, C. K. Tsang, L. Turlapati, B.C. Webb, L. Wiggins, and S.L. Wright. 2.5D and 3D technology challenges and test vehicle demonstrations. In *Electronic Components and Technology Conference (ECTC), 2012 IEEE 62nd*, pages 1068–1076.
- [59] Liam Madden, Ephrem Wu, Namhoon Kim, Bahareh Banijamali, Khaldoon Abugharbieh, Suresh Ramalingam, and Xin Wu. Advancing high performance heterogeneous integration through die stacking. In *Solid-State Device Research Conference (ESSDERC), 2012 Proceedings of the European*, pages 18–24.
- [60] Katsuya Kikuchi, Hiroshi Nakagawa, Kazuhiko Tokoro, M. Aoyagi, and S. Segawa. Ultra-high-speed signal propagation of high-density wiring interposer for 3D packaging. In *ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE*, volume 55, page 809.
- [61] P. Ramm, A. Klumpp, and J. Weber. 3D integration technologies for MEMS/IC systems. In *IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2009. BCTM 2009*, pages 138–141.
- [62] M. Daneshtalab, M. Ebrahimi, and J. Plosila. HIBS #x2014; novel inter-layer bus structure for stacked architectures. In *3D Systems*

- Integration Conference (3DIC), 2011 IEEE International*, pages 1–7.
- [63] S. Bronckers, G. Van der Plas, P. Marchal, and Y. Rolain. Application of substrate noise simulation methodology to 3D-stacking. In *IEEE Design Automation and Test in Europe Workshop, 2009. Date Workshop 2009*, pages 106–109.
- [64] Jan Van Olmen, Abdelkarim Mercha, Guruprasad Katti, Cedric Huyghebaert, Joke Van Aelst, Emma Seppala, Zhao Chao, Silvia Armini, Jan Vaes, and R. Cotrin Teixeira. 3D stacked IC demonstration using a through silicon via first approach. In *Electron Devices Meeting, 2008. IEDM 2008. IEEE International*, pages 1–4.
- [65] Y. Murasaka, T. Ohmoto, T. Morie, and A. Iwata. Chip-level substrate noise analysis with network reduction by fundamental matrix computation. In *2001 International Symposium on Quality Electronic Design*, pages 482–487.
- [66] D. Kosaka, M. Nagata, Y. Murasaka, and A. Iwata. Chip-level substrate coupling analysis with reference structures for verification. In *IEICE Trans. Vol. E90-A No.12, Dec.*, pages 2561–2660.
- [67] Joohee Kim, Jun So Pak, Jonghyun Cho, Junho Lee, Hyungdong Lee, Kunwoo Park, and Joungho Kim. Modeling and analysis of differential signal through silicon via (TSV) in 3D IC. In *2010 IEEE CPMT Symposium Japan*, pages 1–4.
- [68] S. Uemura, Y. Hiraoka, T. Kai, and S. Dosho. Isolation techniques against substrate noise coupling utilizing through silicon via (TSV) process for RF/Mixed-Signal SoCs. 47(4):810–816.
- [69] M. Stucchi, D. Perry, G. Katti, and W. Dehaene. Test structures for characterization of through silicon vias. In *2010 IEEE International Conference on Microelectronic Test Structures (ICMTS)*, pages 130–134.
- [70] G. Katti, M. Stucchi, D. Velenis, B. Soree, K. De Meyer, and W. Dehaene. Temperature-dependent modeling and characterization of through-silicon via capacitance. 32(4):563–565.



## 発表論文一覧

---

### 本研究に関する発表論文

#### 学術雑誌

- [1] Yuuki Araga, Nao Ueda, Yasumasa Takagi and Makoto Nagata, “Chip-to-Chip Half Duplex Spiking Data Communication Over Power Supply Rails,” *IEICE Transactions on Fundamentals*, Vol. E96-A, No. 12, Dec.2013.
- [2] Yuuki Araga Makoto Nagata, Geert Van der Plas, Paul Marchal, Michael Libois, Antonio La Manna, Wenqi Zhang, Gerald Beyer, and Eric Beyne, “Measurements and Analysis of Substrate Noise Coupling in TSV based 3D Integrated Circuits,” *IEEE Transactions on Components, Packaging and Manufacturing Technology*, conditionally accepted

#### 国際会議

- [3] Yuuki Araga, T. Hashida, M. Nagata, “An On-Chip Waveform Capturing Technique Pursuing Minimum Cost of Integration,” in *IEEE Proceedings of International Symposium on Circuits and Systems (ISCAS) 2010*, pp. 3557-3560, May 2010.
- [4] Yuuki Araga, Makoto Nagata, Geert Van der Plas, Jaemin Kim, Nikolaos Minas, Paul Marchal, Youssef Travaly, Michael Libois, Antonio La Manna, Wenqi Zhang and Eric Beyne, “In-Tier Diagnosis of Power Domains in 3D TSV ICs,” in *IEEE Proceedings of International 3D Systems Integration Conference (3DIC) 2011*, pp. 7.2.1-7.2.6, January 2012.
- [5] Yuuki Araga, Ranto Miura, Nao Ueda, Noriyuki Miura, Makoto Nagata, “In-Stack Monitoring of Signal and Power Nodes in Three



Dimensional Integrated Circuits,” in *IEICE International Symposium on Electromagnetic Compatibility (EMC Tokyo)*, conditionally accepted

## 技術報告

- [6] 荒賀 佑樹, 橋田 拓志, 永田 真, ” オンチップ・マルチチャンネルモニタにおける波形取得アルゴリズムの実装と評価,” 電子情報通信学会技術報告 ICD2008-80, pp. 125-130, 2008.10. ICD
- [7] 荒賀 佑樹, 橋田 拓志, 永田 真, ” ミックスドシグナル SoC のためのオンチップモニタ構築技術,” 電子情報通信学会技術報告 ICD2008-108, pp. 39-42, 2008.12. ICD
- [8] 荒賀 佑樹, 橋田 拓志, 永田 真, ” オンチップモニタの最簡搭載とチップ内環境の観測,” 電子情報通信学会技術報告 ICD2010-22, pp. 5-9, 2010.07. ICD
- [9] 荒賀 佑樹, 橋田 拓志, 上山 晋一郎, 永田 真, ” オンチップ環境擾乱に対するアナログ IP コアの診断テストベンチの提案,” 電子情報通信学会技術報告 ICD2011-29, pp. 79-84, 2011.07. ICD



神戸大学博士論文

「三次元集積回路におけるチップ間ノイズ結合のその場評価と解析手法に関する研究」

全113頁

提出日 2014年 2月27日

本博士論文が神戸大学機関リポジトリ **Kernel** にて掲載される場合、掲載登録日（公開日）はリポジトリの該当ページ上に掲載されます。

© 荒賀 佑樹

本論文の内容の一部あるいは全部を無断で複製・転載・翻訳することを禁じます。