



三次元集積回路におけるチップ間ノイズ結合のその場評価と解析手法に関する研究

荒賀, 佑樹

(Degree)

博士 (工学)

(Date of Degree)

2014-03-25

(Date of Publication)

2016-03-25

(Resource Type)

doctoral thesis

(Report Number)

甲第6099号

(URL)

<https://hdl.handle.net/20.500.14094/D1006099>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



論文内容の要旨

氏 名 荒賀 佑樹

専 攻 システム情報学研究科情報科学専攻

論文題目 (外国語の場合は、その和訳を併記すること。)

三次元集積回路におけるチップ間ノイズ結合の

その場評価と解析手法に関する研究

指導教員 永田 真

最先端の製品技術の将来的要求を満たすために、さらなる半導体技術の発展が求められている。高性能・低消費電力な携帯端末を実現するためのメモリ・CPU 間接続の高速化や、多機能・高信頼性な運転システムを実現するためのセンサー・プロセッサ・通信インタフェースの高度な融合が求められている。

それら要求への答えとして複数のテクノロジーを TSV(Through Silicon Via、シリコン貫通電極)を用いた三次元チップ積層技術により結合することが挙げられる。

TSV により積層されたシステムでは、チップの任意の位置でシステムのブロックを接続可能である。それにより、ブロック間の入出力経路の短縮・入出力数の増加・I/O バッファの削減が期待でき、システム全体の速度の改善と消費電力低減の両立が期待される。また、異なるプロセスで製造されたチップ同士を接続することにより、これまでミックストシグナル SoC(System on a Chip)で行われてきたアナログ・デジタル混載回路をより低コストかつ高い結合度で実現可能である。さらには、物理的な寸法も縮小するため、昨今の携帯端末が求める小型軽量化もより一層進めることができる。

TSV を用いたこれまでにない集積度とコストが期待される三次元積層であるが、立体的なフロアプランニング、複数の PDN(Power Delivery Network)及びシリコン基板を一つのシステムで所有するなど、設計の複雑さも増しているといえる。特に雑音結合に関しては、ブロック間の物理的な距離が縮小することでより注意を要する課題である。TSV がブロック間の結合を密にすると同時に、シリコン基板を伝わるノイズを別のシリコン基板上のシステムに伝える懸念があるためである。

これらの現象を詳細に解析する際に実測評価を交えた雑音伝播の検証が不可欠である。積層されたチップでは外部に露出している部分しかプロービングで接続することができず、I/O まで配線を伸ばす場合周辺回路からの雑音結合の影響を受けやすいため、データをオンチップで取得・処理することが望ましい。よって、3 次元積層されたシステムにおいてはオンチップ測定技術が益々その重要性を増している。

本研究では、3 次元実装 LSI におけるノイズ伝播を観測するために、オンチップ評価手法であるオンチップモニタシステムを提案する。本研究で用いるオンチップモニタシステムは、小面積オーバーヘッドと高い線形性を確保でき、アルゴリズム最適化による波形取得高速化が行われている。

(氏名： 荒賀 佑樹 NO. 2)

提案するオンチップモニタシステムを2.5 V 65 nm TSMCのプラナーCMOSプロセスにて試作、PFE(Probing Front-End)は高電圧0.28 μm プロセス相当のCMOSで設計され、55 μm x 138 μm のサイズに収まっている。また、チップ外からの正弦波注入およびPFEを用いた波形取得による動的線形性評価の結果、SNDR(Signal to Noise and Distortion Ratio)で56.07 dB(有効ビット数9.0 bit相当)、SFDR(Spurious Free Dynamic Range)で60.07 dBの性能を確認し、アルゴリズムにより電圧探索は総当り法に比べ99.34%効率化されている。本モニタシステムにおいて動作モデルを作成し、動作シミュレーションを行った結果、線形性および波形取得効率において高い一致度を示している。

提案する簡易構成のオンチップモニタシステムを元に、3次元実装LSIの層内評価のためのモニタシステム構成と評価システムを提案、3次元実装されたシステムでの実評価を行った。提案するシステムにより広い電圧範囲の波形取得を可能にし、PCとの通信機会最小化による波形取得速度向上を実現している。提案する構成と評価システムによる3次元積層LSI評価を行い、正弦波を注入した層から別の層に伝わった伝播波形の取得を実現した。

3次元積層環境における雑音伝播評価のために、上層および下層に雑音源・PFEを搭載したチップを試作した。波形取得システムを構築し、ノイズの層内伝播と層間伝播を評価した結果、層内を伝播するノイズと層間を跨ぐノイズの周波数特性に有意な差異を確認できた。また、それら実測により得られたデータを検証するためにシリコン基板結合・TSVを含む垂直結合を考慮したモデルを作成した。提案するモデル化手法はシリコン基板抵抗ネットワークとTSV、オフチップインピーダンスといった最小限の要素から構成されており、これらの要素が3次元積層環境におけるノイズ伝播を表現できることを示した。モデルを用いた解析結果より、TSVの配置、合計容量等から層内及び層間ノイズ結合の強度と主要なノイズ経路を単純な数式で表現でき、3次元積層LSIの設計戦略を示すことができた。

| | | | |
|--|---------------------------------------|----|-------|
| 氏名 | 荒賀 佑樹 | | |
| 論文題目 | 三次元集積回路におけるチップ間ノイズ結合のその場評価と解析手法に関する研究 | | |
| 審査委員 | 区分 | 職名 | 氏名 |
| | 主査 | 教授 | 大川 剛直 |
| | 副査 | 教授 | 的場 修 |
| | 副査 | 教授 | 永田 真 |
| | 副査 | | |
| 印 | | | |
| 要 旨 | | | |
| <p>VLSIチップの三次元積層構造は、メモリとプロセッサの高バンド幅接続によるデジタルシステムの高性能化、あるいはアナログ処理とデジタル処理を高度に連結したミックスドシグナルシステムの高機能化、を強力に推進する新世代のハードウェア構築技術である。ナノメータ領域に到達する超微細トランジスタの開発に多くの技術的・経済的な困難さが伴う中、三次元積層構造による半導体デバイスは、異種技術の集積によるシステムレベルの高機能と高性能を実現する技術開発の要として、電子工学分野における学際的な期待が高まっている。しかしながら三次元集積回路には、従来の二次元構造とは異なる動作環境において、通常の集積回路と同等以上の高信頼性を持ちながら機能や性能を発現することが求められる。三次元集積回路の電源供給システムに着目すると、平面と立体の両方向に配置される電源配線やシリコンチップ間のノイズ結合について、低減もしくは増大の可能性がある、その物理構造やノイズ物性に対する依存性の理解が不可欠である。そこで本研究では、三次元集積回路におけるチップ間ノイズ結合のその場評価と解析手法に関し、これを具体化するための三次元積層テストデバイスを世界に先駆けて開発し、工学的な解決法を与えるとともに実証データに基づく事例を提供することを目的とした。</p> <p>本論文では、三次元集積回路におけるチップ間ノイズ結合のその場評価と解析手法に関して、三次元積層構造に適したオンチップのノイズ観測手段を具体化し、三次元積層テストチップによるノイズ結合の実測データを収集するとともに、三次元積層化した電源ネットワークのモデリング手法の確立と評価について研究成果をまとめている。本論文に論じられている研究成果の一部は、世界最先端の半導体デバイス技術に関する卓越した国際的な研究センターであるIMEC(ベルギー)の三次元積層技術研究グループとの国際連携により、社会的要請への学術貢献および実用性を意識した工学成果であることに特徴がある。</p> <p>本論文では、三次元集積回路におけるチップ間ノイズ結合のその場評価と解析手法に関して、以下の3つの研究課題について論じている。すなわち、</p> <ol style="list-style-type: none"> (1) オンチップモニタによるチップ内ノイズ観測の性能決定要因の解析とモデリング (2) 三次元積層構造に適したオンチップモニタの構成法と評価 (3) 三次元積層テストデバイスによるチップ間ノイズ結合の評価と解析モデルの導出 <p>である。</p> <p>三次元集積回路におけるチップ間ノイズ結合のその場評価と解析手法に関して、前項(1)では、チップ内の電圧変動をコンパクトに検出・離散化するオンチップモニタ回路について、ノイズ波形の観測に要求されるダイナミック特性(ダイナミックレンジや信号対雑音比)の決定要因を、モニタ回路の構成、離散化アルゴリズム、基準電圧およびサンプルタイミングにおけるばらつき、について解析するとともに、機能記述によるモデリング手法を開発した。テストチップの実測評価によるオンチップモニタのダイナミッ</p> | | | |

氏名 荒賀 佑樹

ク特性を、ばらつきを主要因として説明できることを明らかにした。前項(2)では、オンチップモニタ機構を三次元積層構造に搭載するにあたり、シリコン貫通ビア(TSV)による層間の信号配線歩留りに対する冗長性、オンチップとオンボードの機能分担、多層化による評価対象の増加に対する波形取得の効率化、の観点から適切な構成法を明らかにするとともに、テストデバイスによる実証データを取得した。前項(3)では、オンチップモニタとノイズ発生回路を搭載した二層構造の三次元積層テストデバイスを開発した。また、このテストデバイスを用いて、上層の回路動作による下層への層間シリコン基板結合ノイズ、および下層の回路動作による層内シリコン基板結合ノイズ、に関する周波数依存性の測定データを収集した。さらに、三次元積層デバイスにおける電源供給系およびシリコン基板バイアス供給系のコンパクトなインピーダンス・ネットワークモデルの生成法を見出し、前記の測定データを定量的に説明できることを明らかにした。

いずれの課題においても、三次元積層構造に適したオンチップモニタの開発と、三次元積層構造における基板ノイズ結合を評価するためのテストデバイスの開発を行い、実測データによる実証を重視した研究を進めている。三次元積層チップに関して、世界的にシミュレーションを中心とした研究が多いのが実情であるが、三次元積層に固有の問題、とりわけ TSV を介するチップ間のノイズ結合など、物理構造に起因するパラメタが強く影響する事象については、シミュレーションでは結果の正当性を議論できない。本研究は、三次元積層テストデバイスの設計・試作・評価・解析を IMEC と神戸大学の密接な連携により実施し、実証データに基づく解析的な知見を与えている点で、本論文における成果の工学的な価値は高いと考えられる。

本論文の構成は以下のとおりである。

第一章では、研究の背景と動機について述べている。三次元積層構造を用いた VLSI システムの技術動向について簡潔に述べると共に、ノイズモニタ技術や電源供給系のシミュレーション技術に関する先行研究をまとめ、本研究による発展的な内容の位置づけを明らかにしている。

第二章では、三次元積層構造に用いるオンチップモニタに関して、チップ内ノイズ観測の性能決定要因を解析し、オンチップモニタの動作記述モデルの構築ならびにシミュレーションと実測による評価について論じている。

第三章では、三次元積層構造に用いるオンチップモニタに関して、チップ間ノイズ結合の測定評価に適した測定評価システムの構成法について論じている。

第四章では、三次元積層構造におけるチップ間ノイズ結合に関して、オンチップモニタとノイズ発生回路を搭載した三次元積層テストデバイスの構成と、チップ間ノイズ結合の実測データ、ならびにコンパクトなノイズ結合系のシミュレーションモデルの構築と評価について論じている。

第五章では、まとめと今後の展望を述べている。

以上のように、本研究は三次元集積回路におけるチップ間ノイズ結合のその場評価と解析手法に関して、テストデバイスの開発と評価による実証的な知見を得ている。今後の研究展開として、三次元積層 VLSI システムの設計技術を確立するべく、多層構造の電源供給系・基板バイアス系に関する三次元結合インピーダンス・ネットワークモデル生成とシミュレーション応用が期待できる。本研究の成果は、査読付き学術論文 2 件 (うち一件は条件付採録)、および国際会議論文 3 件に報告されている。

このように本研究は、三次元集積回路におけるチップ間ノイズ結合のその場評価と解析手法に関して、テストデバイスにより実践的な理解を導き、またシミュレーションを実現するための工学的手段を与える成果であり、価値ある集積であると認める。提出された論文はシステム情報学研究科学位論文評価基準を満たしており、学位申請者の荒賀 佑樹は、博士 (工学) の学位を得る資格があると認める。