



# VLSIシステムの動作と電磁環境の相互干渉に関する研究

吉川, 薫平

---

(Degree)

博士 (工学)

(Date of Degree)

2014-03-25

(Date of Publication)

2015-03-01

(Resource Type)

doctoral thesis

(Report Number)

甲第6100号

(URL)

<https://hdl.handle.net/20.500.14094/D1006100>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博 士 論 文

VLSIシステムの動作と電磁環境の  
相互干渉に関する研究

平成26年1月

神戸大学大学院システム情報学研究科

吉川 薫平



# 要旨

---

我々の周りに存在する様々な製品、例えば家電製品、携帯電話、医療機器から自動車に至るまで、これら全てはLSIによりその動作をコントロールされている。これらの製品に搭載されているLSIは、プロセス技術の発達により、18～24箇月で集積密度が倍になるというムーアの法則に則った形で継続して高集積化が進んでいる。それによる恩恵で、LSIの性能は飛躍的に高まっているが、同時に電流密度の増大が要因となりLSIを取り巻くノイズ環境は極度に悪化している。このためLSIは常に誤動作の危険と隣合わせの状況を抱えている。

ひとたび医療機器や自動車に搭載されたLSIが誤動作し、製品が動作不良状態となれば人命に関わる事故につながる危険があり、取り返しのつかない事象の発生が懸念される。このような危険を防止するため、LSIやLSIを搭載した製品・機器に十分な耐ノイズ性能を持たせる規制として電磁環境両立性(EMC)規格が存在する。

電磁環境両立性は、機器から発生するノイズ量を規制値以下に抑えるエミッション(EMI)と、周囲の機器がある程度のノイズを発生させても自身が誤動作しないノイズ耐性を持たせるイミュニティ(EMS)、これら2つの指標を両立させる製品開発を行うための指標である。

一般に製品の設計・製造においては、実際に製品を製造し、これを対象とするEMC試験を行うタイミングにおいて初めてEMC性能の評価が行われている。この段階においてEMC規制値を満足しない場合は設計変更が必要であり、電子部品の追加や部品配置箇所の修正などで問題が解決しない場合、LSIからの再設計が必要な事態も考えられる。設計・製造フローの後戻りによるコストの増大や開発期間の延長は、製品の競争力低下を招くため望ましくない。さらに、近年は車載機器向けLSIなど、過酷なノイズ環境において完全な動作を求められる設計事案が増加しており、設計段階でのEMC対策は重要性を増している。

このような背景により、製品の設計段階においてEMC性能の評価を可能とする解析技術が求められている。

LSIシステムは、一般にLSI、パッケージ、プリント基板、そしてプリント基板上に配置される様々な電子部品で構成される。LSIシステムで発生するノイズの根源は、LSIの動作に起因する電荷の移動、つまり消費電流である。消費電流はシステムに存在する抵抗やインダクタンスに作用して電源ノイズを発

生させ、LSIの電源電圧の変動を引き起こす。また、電流はLSIの外に漏洩し、パッケージやプリント基板上の配線に流れ込むことでこれらがアンテナの役割を果たし、周囲の空間に電磁ノイズを放射する。これらのエミッションに対して適切な対策や効果的な対策を行うためには、設計段階においてLSI動作に起因するエミッションの解析を行い、定量化した後にノイズ対策を行うことが必要である。

本論文で提案する電源ノイズ解析モデルは、LSI・ボンディングワイヤ・パッケージ・プリント基板、電子部品に対してそれぞれ個別にモデル作成を行い、得られた個々のモデルを統合することでLSIシステムを構成する要素全てを含んだ電源ノイズ解析・EMC性能評価を実現している。提案モデルを用いることで、LSI動作時の電源電圧変動量やLSI外に漏洩する電流成分値などの定量化、エミッション解析が可能である。加えて、提案モデルはLSIシステムの電源ネットワークを詳細にモデル化するため、システムにおける電源ノイズの伝播経路や伝搬量を解析可能である。このため、エミッション解析に用いる同一のモデルでイミュニティ解析についても実施可能である。

さらに、提案モデルによるEMC解析の精度評価を目的としてLSIの試作を行い、実チップによる解析精度評価を行った。この評価結果についても本論文で報告する。

それぞれ製造プロセスや回路構造、回路規模が異なるデジタル回路を搭載した2つのテストLSIの試作を行った。これらに搭載されたデジタル回路は、単一のシフトレジスタセルをアレイ状に敷き詰めたループシフトレジスタアレイ回路と、32bitマイクロプロセッサである。ループシフトレジスタアレイ回路は、発生する電源ノイズに含まれる成分やノイズ強度を自由に設定可能なため、提案する解析モデルに対する精度評価のためのリファレンスノイズ生成回路として使用する。一方32bitマイクロプロセッサは、実際の製品において使用されるLSIを想定した評価対象である。

エミッション解析結果の比較対象となるノイズ測定については、オンチップ電圧とオンボード電流の2つの異なるノイズ評価項目についてそれぞれ測定評価を行った。オンチップ電圧測定は、電源電圧変動をチップ内観測可能な機能を持つオンチップモニタ回路を評価対象回路と同一LSI内に搭載することで行った。一方で、プリント基板に漏洩するオンボード電流の測定方法として、LSIのエミッション測定手法として国際電気標準会議 (International Electrotechnical Commission, IEC) によって標準化されている磁界プローブ法を用いた。

オンチップ・オンボード電源ノイズ測定結果とモデルを用いた解析結果を比較評価することで、提案する電源ノイズ解析モデルがデジタル回路の動作起因でLSIシステムにおいて発生するエミッションの定量化・見積もりについて有

用であることを示した。

電磁環境両立性を満たすためにはエミッションだけでなくイミュニティについても同時に考慮した設計が必要である。本論文では、試作 LSI に搭載したインバーターチェーン回路を対象とし、実際の製品に搭載された LSI が受けるノイズを模擬した評価系においてイミュニティ評価を行った。

LSI の動作に影響を与えるノイズの侵入プロセスとして 2 通りの経路が考えられる。1 つ目は周囲の電子機器で発生したノイズが LSI へと入射する経路である。このような LSI 外部から LSI へと入射するノイズを模擬したイミュニティ評価方法として直接電力注入法が IEC で標準化されている。この評価方法を用いて電源ノイズがインバーターチェーン回路に与える影響を評価した。

2 つ目の経路は、評価対象回路と同一の LSI 内に搭載されたデジタル回路から発生する電源ノイズが LSI 内の電源ネットワークを伝搬して評価回路の動作に影響を与えることが考えられる。この問題は LSI 内のイントラ EMC、自家中毒として知られ高集積化が進む LSI において問題となっている。本論文では、イントラ EMC の評価を目的としてインバーターチェーン回路とともにリファレンスノイズ生成回路を同一 LSI に搭載し、ノイズ生成回路により生じた電源ノイズが LSI 内でインバーターチェーン回路に伝搬し、インバーターチェーン回路の動作に影響を与える様子を評価した。

インバーターチェーン回路におけるイミュニティ評価指標としては信号の遷移タイミングの変動であるジッタ量により定量化を行った。高速信号を扱う回路ではジッタの影響により誤動作が発生する危険があることが一般的に知られている。

このジッタ量の実測評価とともに提案解析モデルを用いた電源ノイズの伝播解析を行い外部擾乱やデジタル回路動作により発生する電源ノイズがインバーターチェーン回路へ与える影響を、解析を通して電源電圧変動量として定量的に評価可能であることを示した。さらに、得られた電圧変動情報を用いたジッタ量の算出手法を考案することにより、ノイズ発生から最終的な回路動作への影響を含む、EMC の総合的な評価における実用性を実証した。

本論文は、LSI システムにおいて発生する様々な電磁環境問題について、試作した LSI を対象として実測・解析評価を行い、提案解析モデルの精度評価や、LSI システムにおいて発生する電源ノイズの特性を考察した。これらの研究成果より、提案する解析モデルや評価手法がエミッション、イミュニティ、そしてイントラ EMC と、様々な電磁環境性能について定量化可能であることを示すと同時に、LSI システム設計時における EMC 性能の向上に役立てることが示された。



# 目次

---

<b>1</b>	<b>緒論</b>	<b>1</b>
1.1	研究の背景	1
1.2	LSIのEMC問題	2
1.2.1	LSIのエミッション	2
1.2.2	LSIのイミュニティ	3
1.2.3	LSIのイントラEMC	4
1.3	EMC規制・EMC規格の概要	4
1.3.1	LSIデバイスを対象としたEMC規格	5
1.3.2	情報処理装置を対象としたEMC規格	8
1.3.3	車載機器を対象としたEMC規格	11
1.3.4	EMC性能向上のための設計技術	13
1.4	既存研究	13
1.4.1	オンチップ電源ノイズモニタリング技術	14
1.4.2	LSIシステムにおける電源ノイズ解析モデル	15
1.5	本論文の構成	20
1.5.1	リファレンスノイズ生成回路のエミッション評価	20
1.5.2	32bitマイクロプロセッサのエミッション評価	20
1.5.3	インバーターチェーン回路のイミュニティ・イントラEMC 評価	21
<b>2</b>	<b>リファレンスノイズ生成回路のエミッション評価</b>	<b>22</b>
2.1	緒言	22
2.2	評価対象システム	22
2.2.1	ループシフトレジスタアレイ回路	23
2.3	電源ノイズ評価手法	25
2.3.1	オンチップ電源ノイズ評価手法	25
2.3.2	オンボード電源ノイズ評価手法	27
2.4	電源ノイズ解析モデル	29
2.4.1	チップのノイズ源(電流)モデル	29
2.4.2	デジタル回路の容量充電モデル作成フロー	31
2.4.3	チップのPDNモデル	32

2.4.4	ボンディングワイヤモデル . . . . .	34
2.4.5	プリント基板のPDNモデル . . . . .	36
2.4.6	LSIチップ・パッケージ・ボードを統合した電源ノイズ解析モデル . . . . .	36
2.5	電源ノイズ評価結果 . . . . .	37
2.5.1	チップ実装パターンとPDNインピーダンス . . . . .	37
2.5.2	各実装パターンにおけるオンチップ電源ノイズ評価結果 . . . . .	40
2.5.3	オンボード電源ノイズ評価結果 . . . . .	46
2.6	結言 . . . . .	46
<b>3</b>	<b>32bit マイクロプロセッサのエミッション評価</b> . . . . .	<b>48</b>
3.1	緒言 . . . . .	48
3.2	システム概要 . . . . .	48
3.2.1	評価対象チップ・プリント基板概要 . . . . .	48
3.2.2	評価対象チップ構造 . . . . .	49
3.2.3	プロセッサコアの特徴 . . . . .	51
3.3	プロセッサで発生する電源ノイズ測定手法 . . . . .	52
3.3.1	電流モード・リアルタイムオンチップモニタ回路 . . . . .	53
3.3.2	オンボード電源ノイズ測定手法 . . . . .	55
3.4	電源ノイズ解析モデル . . . . .	55
3.4.1	大規模デジタル設計回路向け容量充電モデル作成フロー . . . . .	55
3.4.2	SRAMマクロセルのノイズ源モデル作成 . . . . .	55
3.5	電源ノイズ評価結果 . . . . .	56
3.5.1	インピーダンス評価 . . . . .	58
3.5.2	オンチップ電源ノイズ評価 . . . . .	59
3.5.3	電源ピン数と電源ノイズの関係 . . . . .	61
3.5.4	オンボード電源ノイズ評価結果 . . . . .	63
3.5.5	動的周波数制御と電源ノイズ . . . . .	64
3.5.6	実行命令と電源ノイズ . . . . .	66
3.6	結言 . . . . .	69
<b>4</b>	<b>インバーターチェーン回路のイミュニティ・イントラ EMC 評価</b> . . . . .	<b>70</b>
4.1	緒論 . . . . .	70
4.2	電源ノイズ起因のジッタ評価手法 . . . . .	71
4.3	評価システム . . . . .	76
4.3.1	評価対象チップ . . . . .	76
4.3.2	DPI法を用いたLSIへの直接電力注入 . . . . .	77

---

4.4	電源ノイズ解析モデルによるイミュニティ解析手法 . . . . .	79
4.5	DPI 法によるイミュニティ評価結果 . . . . .	81
4.6	ノイズ源デジタル回路で発生する電源ノイズによるイントラ EMC 評価 . . . . .	87
4.6.1	ノイズ源デジタル回路で発生する電源ノイズの評価 . . . . .	87
4.6.2	イントラ EMC におけるジッタの評価 . . . . .	89
4.7	結言 . . . . .	89
<b>5</b>	<b>結論</b> . . . . .	<b>92</b>
	<b>謝辞</b> . . . . .	<b>95</b>
	<b>参考文献</b> . . . . .	<b>97</b>
	<b>発表論文一覧</b> . . . . .	<b>108</b>
	本研究に関する発表論文 . . . . .	108
	学術雑誌 . . . . .	108
	国際会議 . . . . .	108
	学術講演 . . . . .	109
	その他の発表論文 . . . . .	109
	学術雑誌 . . . . .	109
	国際会議 . . . . .	110
	学術講演 . . . . .	111
	口頭発表 . . . . .	111
	受賞 . . . . .	112



# 第1章

---

## 緒論

### 1.1 研究の背景

我々の周りに存在する様々な製品，例えば Fig. 1.1 に示すように家電製品，携帯電話から自動車，航空機に至るまで，これら全ては LSI によりその動作をコントロールされている．例えば自動車には一台あたり数十個から数百個におよぶ LSI が搭載されており，ECU (Electronic Control Unit) による電子制御や，5.8 GHz 帯の無線通信を使用する ETC，HV (Hybrid Vehicle) におけるインバータ回路を用いたモーター制御など，信号処理から無線通信，エネルギー制御まで様々な機能が LSI によって管理・提供されている．これらの製品に搭載されている LSI は，プロセス技術の発達により，18～24 箇月で集積密度が倍になるというムーアの法則に則った形で継続して高集積化が進んでいる．それによる恩恵で，LSI の性能は飛躍的に高まっているが，同時に電流密度の増大が要因となり LSI を取り巻くノイズ環境は極度に悪化している．このため LSI は常に誤動作の危険と隣合わせの状況を抱えている．

ひとたび医療機器や自動車に搭載された LSI が誤動作し，製品が動作不良状態となれば人命に関わる事故につながる危険があり，取り返しのつかない事象の発生が懸念される．このような危険を防止するため，LSI や LSI を搭載した製品・機器に十分な耐ノイズ性能を持たせることが必要とされる．では，一体どのような基準によって電子機器が十分なノイズ耐性を持つと言えるのであろうか．この問題を解決するために，電磁環境両立性 (EMC) 規格が存在する．電磁環境両立性は，機器から発生するノイズ量を規制値以下に抑えるエミッション (EMI) と，周囲の機器がある程度のノイズを発生させても自身が誤動作しないノイズ耐性を持たせるイミュニティ (EMS)，これら 2 つの指標を両立させるような製品を開発するための規格である．EMC 規制の認証を受けたり，自己適合宣言を行うことで，製品が十分なノイズ対策設計を行われ，高い EMC 性能を有することが保証される．

LSI を搭載する全ての製品は，販売する国や地域が定めた EMC 規格を満足する必要がある．一般に製品の設計・製造においては，実際に製品のプロトタイプを製造し，これを対象とする EMC 試験を行うタイミングにおいて初めて



Figure 1.1: LSIとその搭載機器

EMC性能の評価が行われている。この段階において EMC 規制値を満足しない場合は設計変更が必要である。一般に、EMC 対策はパッケージやプリント基板の設計変更や、電子部品の追加、部品配置箇所の修正などで問題を解決していたが、今後ますます深刻化する電源ノイズ問題においては LSI レベルからの再設計が必要な事態も考えられる。設計・製造フローの後戻りによるコストの増大や開発期間の延長は、製品の競争力低下を招くため望ましくない。さらに、近年は車載機器向け LSI など、過酷なノイズ環境において完全な動作を求められる設計事案が増加しており、設計段階での EMC 対策は重要性を増している。

このような背景により、製品の設計段階において EMC 性能の評価が可能となるような技術開発が求められている。

## 1.2 LSIのEMC問題

### 1.2.1 LSIのエミッション

エミッションとは、先に述べたとおり LSI を搭載したシステムから発生する電磁ノイズのことである。LSI を搭載したシステムは、一般に LSI、パッケー

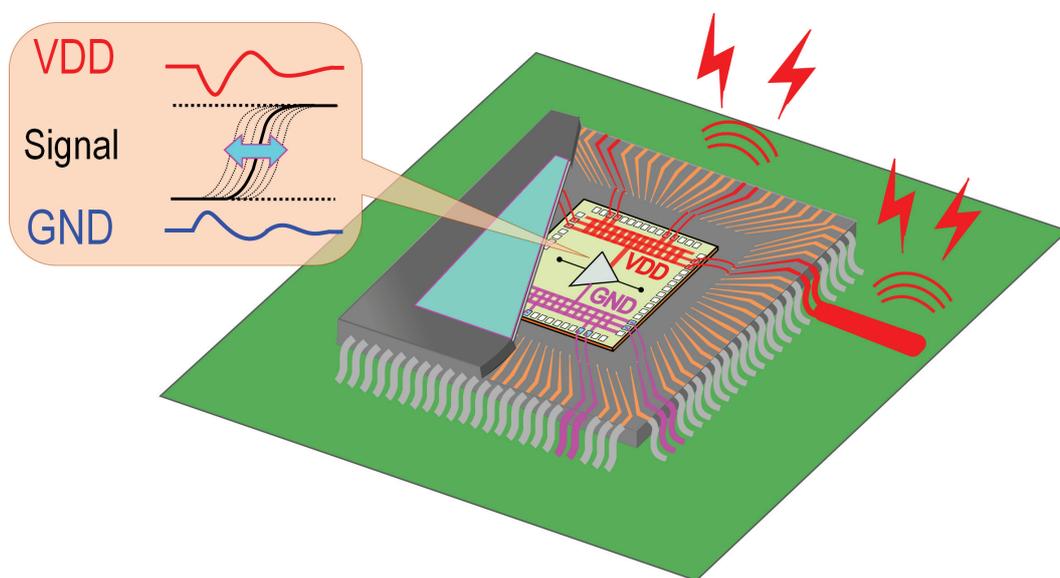


Figure 1.2: LSIシステムで発生する電源ノイズ問題

ジ、プリント基板、そしてプリント基板上に配置されるデカップリングコンデンサを始めとする様々な電子部品で構成される。LSIシステムで発生するノイズの根源は、LSIの動作に起因する電荷の移動、つまり消費電流である。搭載されたLSIが動作することにより、システムの様々な場所において電荷の移動、つまり電流が流れ、電磁ノイズが発生する。つまり、LSIの動作が周囲の電磁環境に影響を及ぼしていると表現できる。消費電流はシステムに存在する抵抗やインダクタンスに作用してFig. 1.2に示すようなLSIの電源・グラウンド電圧の変動を引き起こす。また、LSIの動作に必要な電流は様々な位置に搭載されたデカップリングコンデンサから供給される。このため、動作電流の一部はパッケージやプリント基板に搭載されたコンデンサから引き抜く形となり、動作電流がLSI外に漏洩する。漏洩電流がパッケージやプリント基板上の配線を流れることでこれらがアンテナの役割を果たし、周囲の空間に電磁ノイズを放射する。

### 1.2.2 LSIのイミュニティ

周囲の電子機器で発生する電磁ノイズの影響を受け、LSIシステムが誤動作する可能性が存在する。このような事態を防ぐために、LSIの設計においてノイズ耐性、つまりイミュニティ性能を高めることが必要とされる。

システムに搭載されたLSIに誤動作を引き起こす可能性がある電磁ノイズの

発生源と伝達経路の分類は、大きく2つに分けられる。1つ目は、LSIシステムの周囲に存在する大きなノイズを発生させる機器、例えば大電力を扱うパワーモジュールなどから発生する大きな電磁ノイズ放射をシステムが取り込み、この結果発生する電源電圧変動に起因する誤動作である。あらゆる機器に無線通信機能が搭載されるようになってきているほか、リアクティブ素子のサイズを削減する目的でインバータ回路の動作の高周波化も進んでおり、広帯域なイミュニティ評価が必要とされている。

### 1.2.3 LSIのイントラ EMC

LSIが誤動作をするような電磁ノイズの発生源と伝達経路の分類の2つ目は、単一のシステム内でノイズ発生源とそのノイズの影響を受ける部分が同居している場合が考えられる。この問題はシステム内、LSI内のイントラ EMC、自家中毒として知られ高集積化が進む LSI システムにおいて問題となっている。例えばシステムを構成する LSI のうち、特に大きなノイズを放出する LSI(クロックドライバやスイッチング電源など)から発生したノイズがプリント基板上を伝わり、一般にノイズ耐性の低い LSI(高速信号系を扱う LSI など)へとノイズが伝わることで発生する誤動作が挙げられる。その他にも、よりローカルな問題としてアナログ・デジタル混載 LSI などにおいて、同一の LSI 内に搭載されたデジタル回路から発生する電源ノイズが LSI 内の電源ネットワークを伝搬して近傍のアナログ回路の動作や性能に影響を与える事態が懸念される。これは単一 LSI におけるイントラ EMC 問題と考えられる。

## 1.3 EMC 規制・EMC 規格の概要

このようなエミッション、イミュニティ、イントラ EMC の影響を抑えるために、EMC 規制や EMC 規格が電子機器を搭載するあらゆる製品に対して制定されている。例を挙げると自動車や航空機、無線通信機器、テレビ、産業機器など家庭で使用される製品から工業分野で使用される製品まで、様々な製品分野において細分化された EMC 規制が行われている。

EMC 規格における具体的な評価方法や規制値は、国際電気標準会議 (IEC)[1] や国際無線障害特別委員会 (CISPR)[2]、国際標準化機構 (ISO)[3] において国際規格の制定がなされている。各国や地域が自国での製品の販売許可において求めるノイズ規制値や EMC 評価方法は一般にこれらの国際規格を参照している。国際規格の例として CISPR 規格のうち本論文に関連の深い規格について Table 1.1 にまとめた。情報技術装置や車両、車載モジュールにおけるエミッションや

Table 1.1: CISPR 規格の概要

規格ナンバー	評価対象・手法
CISPR 12	車両からの妨害波の許容値及び測定法
CISPR 16	無線妨害波及びイミュニティの測定装置及び測定法
CISPR 22	情報技術装置からの妨害波の許容値と測定法
CISPR 24	情報技術装置のイミュニティ特性の許容値及び測定法
CISPR 25	車載受信機保護のための妨害波の許容値と測定法

イミュニティの許容値や測定手法が規定されている。

本節では、あらゆる製品の EMC 性能の基本となる LSI デバイス単体レベル、LSI を搭載する代表的な電子機器デバイスとしての情報処理装置、電子化が進み近年特に EMC 対策設計が注目を浴びている車載モジュール、これらそれぞれに関する EMC 規制と EMC 規格の概要について述べる。

### 1.3.1 LSI デバイスを対象とした EMC 規格

LSI デバイスを対象とした EMC 規制は行われておらず、一般には LSI を搭載した最終製品やモジュールレベルでの規制が行われている。しかし、最終製品やモジュールレベルで十分な EMC 性能を実現するためにはエミッションの主たる発生源となり、イミュニティ試験時における誤作動の原因ともなるデバイスレベルにおいて十分な EMC 性能実現することが重要である。このように、EMC は製品開発において非常に重要な項目であり、LSI の EMC に関する様々な研究が 1960 年代よりなされている [4]。このような観点から LSI デバイスレベルに対する EMC 評価手法が IEC により国際規格として標準化されている。

初めに、LSI デバイスを対象としたエミッション評価手法について述べる。評価手法は IEC 61967 [5] で規定されており、Table 1.2 に示す通り、現在策定中の規格や技術仕様書として発行されているものも含めて IEC 61967-2 から IEC 61967-8 までの 7 種類のエミッション評価手法が規定されている。

IEC 61967-2 [6] で規定される TEM セル法は、TEM セルと呼ばれる内部に電界を発生できるセルを用いるエミッション評価手法である。TEM セル自体が電波を遮蔽する構造をしており、試験を行うにあたりシールドルームが必要ない。このため大規模な設備投資を行うことなく EMC 試験が可能であるという利点を持つ。また、TEM セルの測定可能周波数を高周波に拡張した GTEM セル (Gigahertz TEM) も市販されており、最大 20 GHz 程度までの EMC 試験が可能である。さらに、TEM セルを用いたイミュニティ評価手法 [7] もエミッションと同様に標準化されている。

Table 1.2: LSIのエミッション評価規格：IEC 61967 概要

規格ナンバー	評価手法	評価対象
IEC 61967-1	一般条件及び定義	-
IEC 61967-2	TEMセル法	放射性エミッション
IEC 61967-3	表面走査法	伝導性エミッション
IEC 61967-4	1 $\Omega$ /150 $\Omega$ 法	伝導性エミッション
IEC 61967-5	ワークベンチファラデーケージ法	伝導性エミッション
IEC 61967-6	磁界プローブ法	伝導性エミッション
IEC 61967-7	残響室法	放射性エミッション
IEC 61967-8	IC ストリップライン法	放射性エミッション

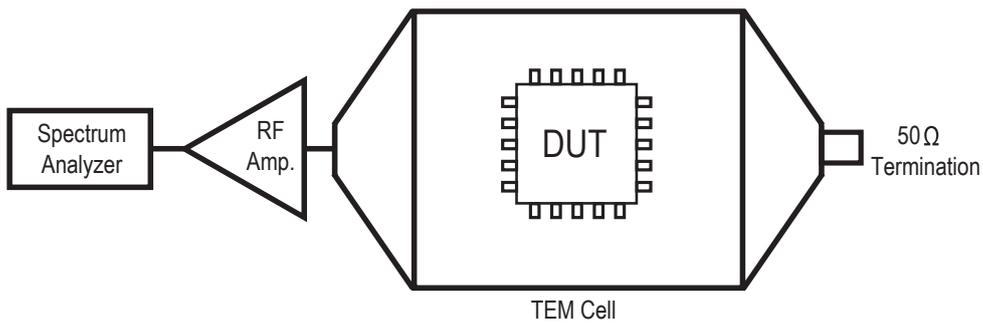


Figure 1.3: TEMセル法を用いたエミッション評価システム

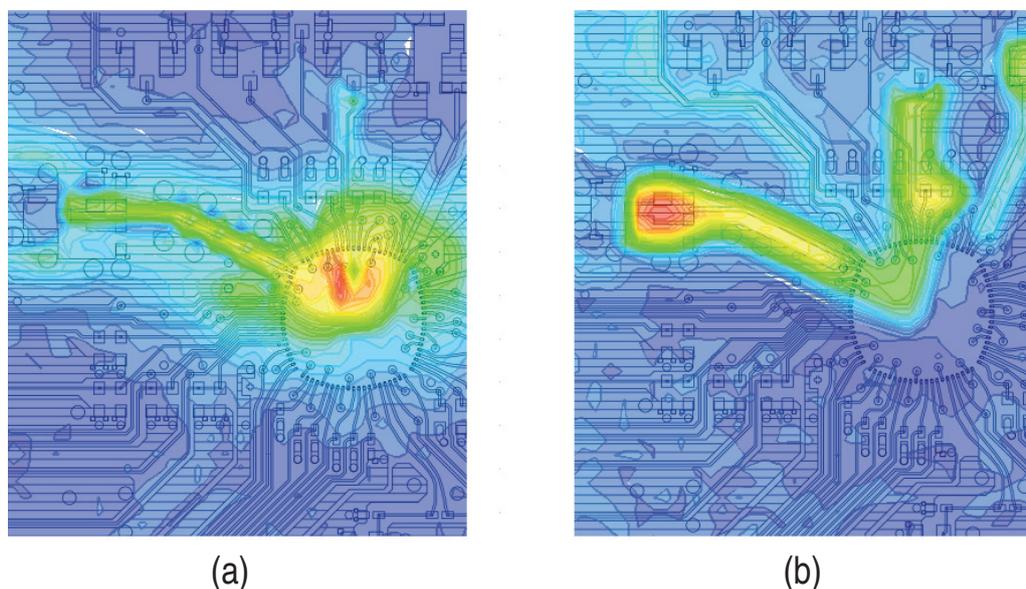


Figure 1.4: 表面走査法による電磁界測定 (a) 磁界測定, (b) 電界測定

技術仕様書である IEC/TS 61967-3 [8] で規定される表面走査法は、電磁界プローブを用いて評価対象プリント基板の表面を走査し、電流や電圧の相対的な強度分布を測定する手法である。LSI を搭載したプリント基板上をプローブ走査して電磁界マッピングを行った評価例を Fig. 1.4 に示す。Fig. 1.4(a) は磁界分布測定結果、Fig. 1.4(b) は電界分布測定結果である。これにより、プリント基板上の電流集中箇所やノイズの伝搬経路などの視覚化が可能となる。

次に、LSI デバイスレベルにおけるイミュニティ評価手法について述べる。評価手法は IEC 62132 [9] で規定されており、Table 1.3 に示す 7 種類のイミュニティ評価手法が示されている。このうち、LIHA 法と残響室法は現在策定中であり 2014 年 1 月現在未発行である。

IEC 62132-3 [10] で規定されるバルク電流注入法は、ワイヤハーネスに接続される LSI デバイスに対するイミュニティ評価手法であり、放射ノイズ起因の伝導ノイズに対するイミュニティ評価手法である。電流プローブを用いてワイヤハーネスに妨害信号を注入し、これに対する LSI の誤動作の有無を評価する。バルク電流注入法は主に車載 LSI のイミュニティ試験に用いられる。IEC 62132-4 [11] で規定される直接 RF 電力注入法は、LSI の評価対象ポートに信号発生装置から直接 RF 電力を注入するイミュニティ評価方法である。このように、国際規格である IEC 61967 と IEC 62132 は、150 kHz から 1 GHz までの周波数範囲における LSI デバイスを対象としたエミッション・イミュニティ評価手法を規

Table 1.3: LSIデバイスのイミュニティ評価規格：IEC 62132 概要

規格ナンバー	評価手法	評価対象
IEC 62132-1	一般条件及び定義	-
IEC 62132-2	TEMセル法	放射性イミュニティ
IEC 62132-3	バルク電流注入 (BCI) 法	伝導性イミュニティ
IEC 62132-4	直接 RF 電力注入法	伝導性イミュニティ
IEC 62132-5	ワークベンチファラデーケージ法	伝導性イミュニティ
IEC 62132-6	LIHA 法	放射性イミュニティ
IEC 62132-7	残響室法	放射性イミュニティ
IEC 62132-8	IC ストリップライン法	放射性イミュニティ

定している。

これらの規格に加えて、LSIデバイスレベルの静電気放電 (ESD) に対する耐性評価の手法が標準化されている。これは LSI の製造工程における静電気放電耐性の目安を規定しており、ヒューマンボディモデル (HBM) を用いて静電気放電耐性の評価を行う。Fig. 1.6 に示す HBM による評価手法は、半導体に関連する信頼性試験の規格策定を行っている JEDEC [12] が発行する JESD22-A114 規格 [13] など策定されている。ESD 試験では、容量  $C_s$  に充電した電荷を放電抵抗  $R_d$  を介して被検査デバイスに印加する。HBM の場合、充電容量値は 100 pF、放電抵抗値は 330  $\Omega$  と規定されている。

LSI デバイスレベルの EMC 評価手法として、これまで述べた手法に加えてインパルスノイズに対するイミュニティ評価手法 IEC 62215 の策定が進められており、技術仕様書などが発行されている。例えば、IEC/TS 62215-2 [14] では、鋭い立ち上り時間特性を持つインパルス信号について、振幅や時間長などのパラメータを様々に変更して IC の動作と同期するタイミングで印加する試験方法が規定されている。

### 1.3.2 情報処理装置を対象とした EMC 規格

LSI を搭載する代表的な機器として、コンピュータやテレビに代表される情報処理装置が挙げられる。情報処理装置を対象とした EMC 規制は全世界的に行われており、規格の代表的な例としては、アメリカ合衆国の FCC 規格、ヨーロッパ連合加盟諸国の EMC 指令 2004/108/EC、日本の VCCI 規格が挙げられる。このうち、FCC 規格と VCCI 規格は情報処理装置からのエミッション測定手法とその限度値を規定したものである。一方で EMC 指令 2004/108/EC はエミッション規制に加えてイミュニティ測定手法とその限度値に関しても規定し

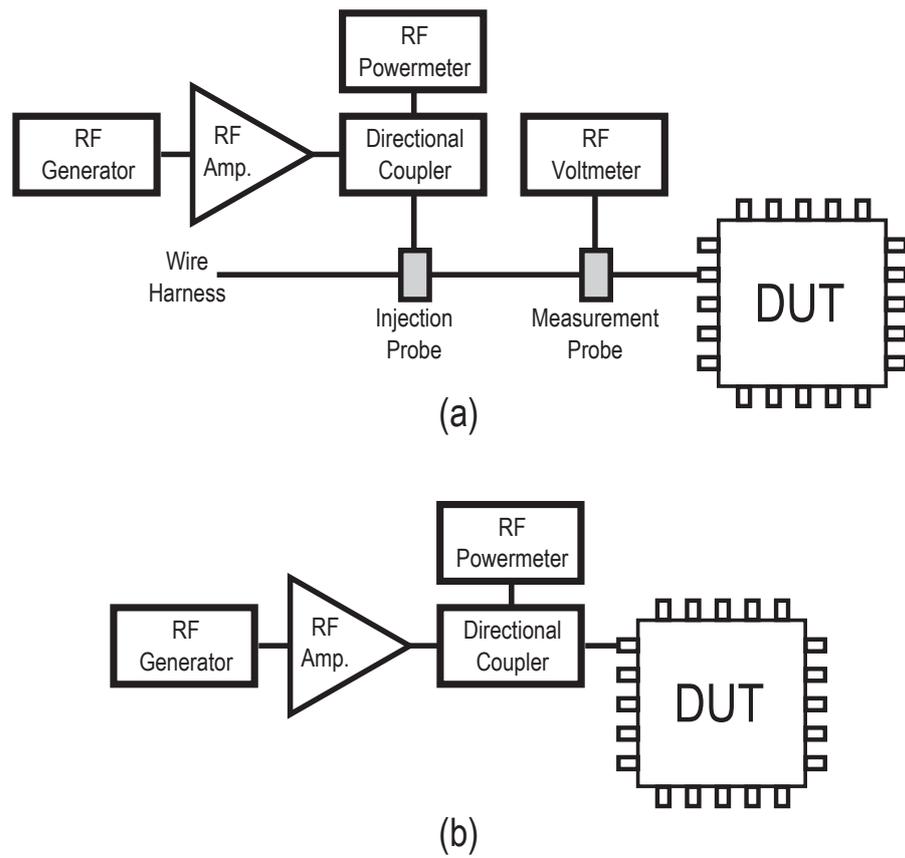


Figure 1.5: LSIのイミュニティ評価システム (a) バルク電流注入法, (b) 直接RF電力注入法

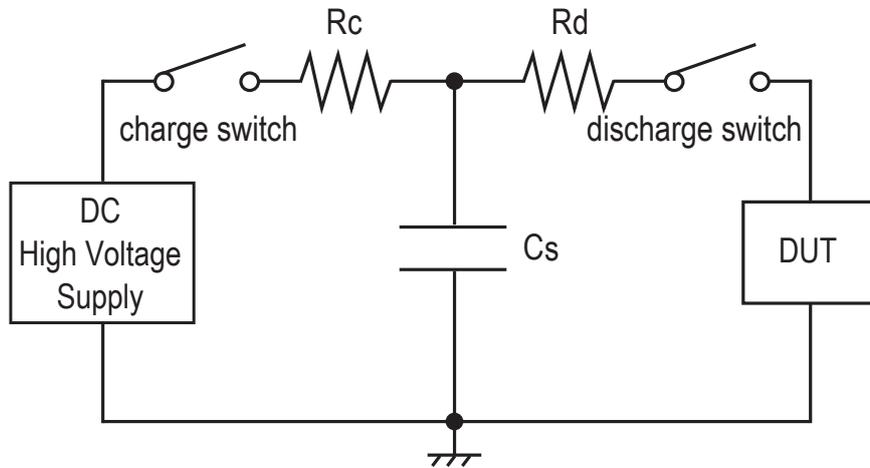


Figure 1.6: 静電気放電評価システム

ていることが大きな特徴である。

FCC規格はアメリカ合衆国において周波数帯域の割り当てなどを行う機関である連邦通信委員会 [15] が管轄する規格であり，連邦規則集第 47 編 (CFR Title47) の EMC 規制に基づいたエミッション規制を行っている。評価方法や規制値は CISPR16 と CISPR22 に基づいている。情報処理装置を対象とした FCC 規格は，FCC Part15 が該当する。FCC Part15 の Subpart B では電磁放射を目的としない電子機器を対象とした規制を定めており，これにはコンピュータやテレビが該当する。また，FCC Part15 の Subpart C では電磁放射を目的とする電子機器を対象とした規制を定めており，こちらには無線 LAN 装置などが該当する。それぞれの対象に対して伝導妨害波に対する規制値と放射妨害波に対する規制値が定められており，伝導妨害波では準尖頭値と平均値，放射妨害波では電界強度の限界値が規定されている。

日本の VCCI 規格は，業界団体である情報処理装置等電波障害自主規制協議会 [16] が策定した EMC 規制であり，加入している企業は規格を順守する責任がある。評価方法や規制値は FCC 規格と同じく CISPR16 と CISPR22 に基づいている。

EU の EMC 指令 2004/108/EC は，欧州連合の機関である欧州委員会 [17] の策定する EMC 規制である。CISPR16 及び CISPR22 に基づいたエミッション規制を行っている点では FCC 規格や VCCI 規格と同じであるが，これに加えて CISPR24 に基づいたイミュニティ規制を行っている。CISPR24 では Table 1.4 に示す，IEC 61000 [18] に定められたイミュニティ評価手法を参照している。

LSI デバイスを対象とした評価と同様に，IEC61000-4-2 [19] において静電気

Table 1.4: イミュニティ評価規格：IEC 61000 概要

規格ナンバー	評価手法
IEC 61000-2	静電気放電
IEC 61000-3	ALSE 法
IEC 61000-4	ファストトランジェント/バースト
IEC 61000-5	サージ
IEC 61000-6	RF 伝導妨害
IEC 61000-8	電源周波数磁界
IEC 61000-11	電圧ディップ・瞬停及び電圧変化

放電に対する試験が規定されている。ここでの静電気放電試験方法はデバイスが対象試験で用いた HBM ではなく、デバイスを搭載したシステムを対象とした試験になっている。このため、試験時に発生する電圧や電流は、HBM と比較すると非常に大きな値となっている。

これらの規格に対して認証や自己適合宣言を受けた機器に対しては FCC 規格では FCC マーク、VCCI 規格では VCCI マーク、EMC 指令 2004/108/EC については、これを含めた複数の安全規格を満たすことで機器への CE マークの表示が認められる。

### 1.3.3 車載機器を対象とした EMC 規格

車載機器の EMC 規格に関しては、自動車における EMC 対策の重要性の高まりに合わせてエミッションとイミュニティの両方で様々な EMC 規制がなされている。車載モジュールを対象とした EMC 評価手法や基準値を定めた国際規格として、エミッション評価については CISPR25、イミュニティ評価については ISO 11452 [20] や ISO 7637 [21]、ESD 評価は ISO 10605 [22] が挙げられる。車載機器を対象とした各国・地域の EMC 規制はこれらの国際規格に則って決定されている。

国際的に多くの国・地域で用いられている車両及び車載モジュールを対象とした EMC 規制として国際連合欧州経済委員会 (ECE)[23] の下部組織である自動車基準調和世界フォーラムが制定する ECE Regulation 10(ECE-R10) [24] が挙げられる。車両及び車載モジュールに対する EMC 規制について定めた ECE-R10 はヨーロッパ諸国だけでなく規格の相互認定協定に参加している日本を始めとする様々な国での車載モジュールの EMC 規制となっている。ECE-R10 規格は IEC, CISPR, ISO それぞれの規格を参照しており、各項目における測定の実施方法や限度値はこれらの国際規格を参照して規定されている。ECE-R10 Rev.03

Table 1.5: 自動車 EMC 評価規格 : ECE-R10 Rev.03 概要

項目	評価手法	参照規格	対象
Annex 4	広帯域放射エミッション	CISPR12	車両
Annex 5	狭帯域放射エミッション	CISPR12	
Annex 6	ALSE 法 バルク電流注入 (BCI) 法	ISO 11451-2 ISO 11451-4	
Annex 7		CISPR25	車載機器
Annex 8		CISPR25	
Annex 9	ALSE 法	ISO 11452-2	
	TEM セル法	ISO 11452-3	
	バルク電流注入 (BCI) 法 ストリップライン法	ISO 11452-4 ISO 11452-5	
Annex 10	過渡サージ試験	ISO 7637-2	

Table 1.6: 自動車 EMC 評価規格 : ECE-R10 Rev.04 追加規格

項目	評価手法	参照規格	対象
Annex 11	高調波電流エミッション (16 A 以下)	IEC 61000-3-2	車両
	高調波電流エミッション (16 - 75 A)	IEC 61000-3-12	
Annex 12	電源系統における電圧変動	IEC 61000-3-3	
	瞬時電圧変動	IEC 61000-3-11	
Annex 13	AC/DC 電源への RF 伝導	CISPR16-2-1	
Annex 14	信号線への RF 伝導	CISPR22	
Annex 15	ファストトランジェント/バースト	IEC 61000-4-4	
Annex 16	サージイミュニティ	IEC 61000-4-5	

までは Table 1.5 で示す車両と車載機器に対する EMC 評価手法が規定されていた。最新版の ECE-R10 Rev.04 においては Rev.03 での規制に加え、電気自動車 (EV) やプラグインハイブリッドカー (PHV) に対する EMC 規制へと拡張され、Table 1.6 に示した商用電源インフラ網に接続してバッテリー充電を行うことを想定した EMC 規制項目が新たに追加された。

地域ごとに定められた規格としてはアメリカ合衆国の SAE 規格やオーストラリアの ADR 規格が挙げられる。SAE 規格は、アメリカ合衆国の技術者団体である Society of Automotive Engineers(SAE) [25] が定める規格であり、SAE J1113 規格 [26] において車載機器を対象とした様々なエミッション・イミュニティ評価手法と規制値が定められている。SAE 規格は ECE-R10 をベースとし

て規定されているため、両規格における評価手法や規制値は整合したものになっている。

また、車両メーカーでは自社の製品に搭載する車載機器に対する EMC 性能の社内規格を規定している。例としてはゼネラル・モーターズ社の GMW3097 規格 [27] や GMW3103 規格 [28]、フォード社の EMC-CS-2009 規格 [29] がある。このうちフォード社は自社の EMC 規格を一般に公開している。これらの社内規格も一般的に IEC や CISPR, ISO の国際規格を参照して作成されている。

### 1.3.4 EMC 性能向上のための設計技術

これまで述べたとおり、LSI システムにおいてはエミッション、イミュニティ、イントラ EMC の電源ノイズ問題が存在し、これらのノイズ問題に対処することを求める EMC 規制が存在する。EMC 性能向上のためには、設計段階においてこれらのノイズ問題を考慮した製品設計を行う必要がある。このためには、実際に設計した製品でどのような EMC 問題が発生しているかを定量化する測定手法が必要である。これについて、先に述べた様々なエミッション、イミュニティ評価手法が規格化されているが、重要な評価項目の 1 つであり、誤動作の直接の要因となる LSI の電源電圧変動の測定手法はこれに含まれていない。LSI の誤動作のメカニズムを明らかにするためには、高精度かつ広帯域なオンチップの電源ノイズ測定手法の確立が必要である。また、効果的な EMC 設計を行うためには電源ノイズ解析技術の確立が欠かせない。解析モデルは、システムの動作や構成する部品の実態をよく表現したものである必要があり、エミッション、イミュニティなど複数の項目において実際の製品設計プロセスで使用可能な解析精度を有していることを示されねばならない。

これら、オンチップの電源ノイズ評価手法および電源ノイズ解析モデルについての既存研究を次節にまとめた。

## 1.4 既存研究

近年の設計における電源ノイズ対策、EMC 対策の重要性の高まりにより様々な電源ノイズ測定手法や、モデリング技術が報告されている。ここでは電源ノイズのオンチップでのモニタリング技術、及び電源ノイズ解析モデルの先行研究について述べる。

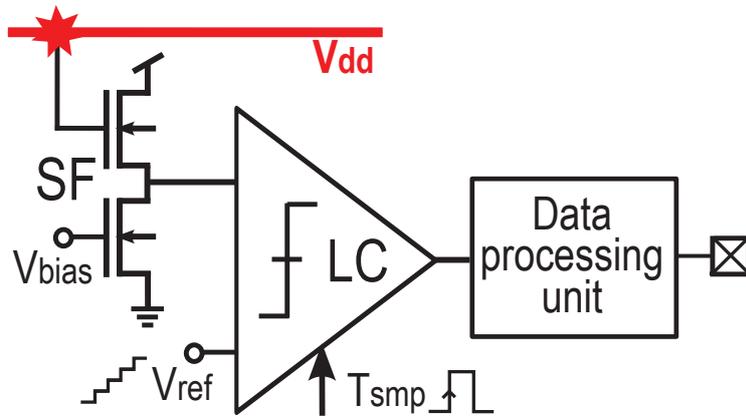


Figure 1.7: サンプル型ノイズモニタ回路

#### 1.4.1 オンチップ電源ノイズモニタリング技術

システムで発生する電源ノイズを定量的に評価するためには、高精度な電源ノイズ測定手法の開発が必要である。パッケージやプリント基板を対象とした電源ノイズ測定手法は EMI 規格で定められた方法を始めとして様々な方法があるが、LSI 内部電圧を対象とした測定手法は研究段階であり、様々な方法が提案されている。ここでは、初めに本研究で用いた2種類の電源ノイズモニタリング手法の概要を述べ、次に他の研究グループが報告しているモニタリング手法を紹介する。

本研究で用いた電源ノイズモニタリング手法を示す。2章および4章における研究で、オンチップ電源ノイズ測定に用いた手法は、Fig. 1.7に示す高精度な電源ノイズ波形取得を可能とするサンプリング型のノイズモニタ回路をLSIに搭載する手法である[30], [31]。この回路は、測定対象点の電圧値をLSI内に設けたコンパレータ回路でデジタル値に変換し、チップ外に出力する機能を有している。このため測定結果はデータ出力時にノイズの影響を受けにくく、高精度な測定が可能となる。

3章で報告する研究では、長周期の電源ノイズ波形取得を目的としたリアルタイム型のノイズモニタ回路を用いて電源ノイズ測定を行った[32], [33]。この回路は、測定対象点の電圧値をチップ内で電流に変換し、チップ外に電流モードで出力する機構を有している。これにより、パッケージやプリント基板の信号ラインに寄生する容量素子の信号に対する影響を低減する仕組みとなっている。出力された電流は、最終的にプリント基板上に設けられた終端抵抗で電圧に再変換され、オシロスコープを用いて波形測定がなされる。

電源ノイズ測定を行う機構として、本研究で使用した手法以外にも様々な報

告がなされている [34]-[39]. 文献 [35] は, リングオシレータの発振周波数の変動により対象電源電圧を測定する手法で, 電源電圧のその場評価を目的とした面積コストの小さな測定手法である. しかし, 本研究の 3 章の手法と比較すると常にデジタル信号で IO 回路を駆動し続けるため, これにより発生する電源ノイズの影響が懸念される. 文献 [38] は, サンプリング機構と A/D 変換機構を組み合わせた手法であり, チップ内でデジタル値化して評価する点で本研究の 2 章および 4 章の手法と似通っている. デジタル値変換には電圧制御発振器を用いている.

文献 [40], [41] で用いられている回路は, 構成は異なるが共にチップ内の電圧バッファを介してチップ外にアナログ電圧出力する方法であり, 周囲のノイズ環境の測定精度への影響が懸念される. 文献 [40] はインバータ回路の出力をチップ外で観測する手法である. 電源電圧変動を観測する場合は P 型の MOS トランジスタを, グラウンド電圧変動を観測する場合は N 型の MOS トランジスタをそれぞれオン状態に固定する. 文献 [41] で用いられている回路は, 対象電圧をサンプリングした後アンプで増幅を行った信号を直接チップ外に出力する方法をとっている.

### 1.4.2 LSI システムにおける電源ノイズ解析モデル

システムの電源ノイズを解析するためには, LSI チップ・パッケージ・プリント基板を統合した電源ノイズの解析モデルが必要である. これは, これらのシステムを構成する電源供給ネットワーク (Power Delivery Network, PDN) のインピーダンスや共振の特性が, 発生する電源ノイズの特性に大きな影響を与えるためである [42]-[47]. 例えば, 文献 [44] では LSI の電源の内部ノードから見たシステムのインピーダンス共振特性と発生する電源ノイズとの関係を SPICE での解析結果により予測している. また, 文献 [47] では, システムの反共振特性と発生する電源ノイズを測定と解析の両面で考察している.

本節では, LSI のモデル化に関する先行研究について述べる. LSI のモデルは, 一般に LSI の動作電流を表現するモデルと, PDN を表現するモデルで構成される.

LSI の電源ノイズ解析モデルとして様々なモデルが, 研究ベースや商業ベースで提案されている. LSI のモデル化手法に共通して言えることは, LSI の動作電流を表現するモデルと PDN を表現するモデルの 2 つで構成されていることである. 近年発表されているモデルについて, 企業での採用実績や, まとまった研究成果のあるモデルについて紹介を行う.

初めに, 本研究を通して使用した電源ノイズモデルである, Fig. 1.8 で示す容量充電モデルについて述べる. このモデルは, 既存研究で一般的であった動

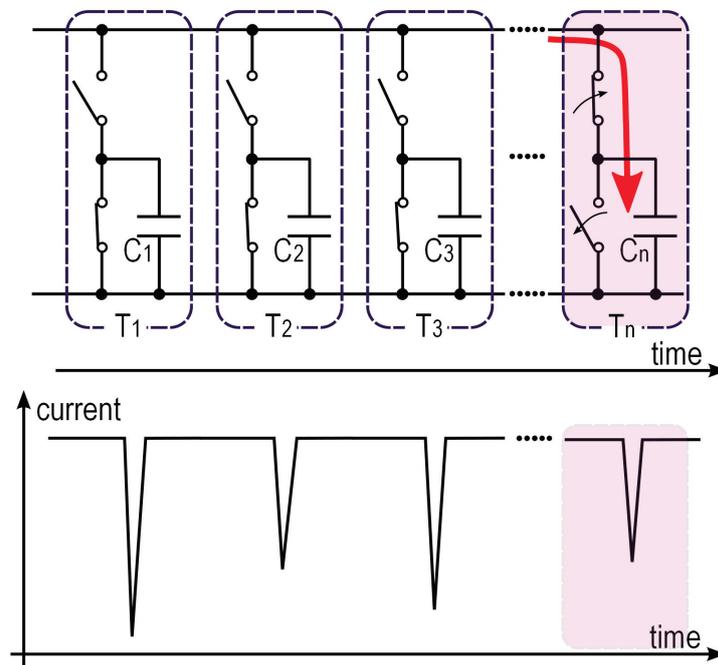


Figure 1.8: 容量充電モデル

作電流を PWL の電流源素子で表現するモデルとは異なり，動作電流が発生するタイミングにおいて対応するスイッチを閉じることで，スイッチに接続された容量を充電するための電流が流れる．この電流によりチップの動作電流を表現している．このモデルを用いた研究成果が [48]-[50] において報告されている．

電源ノイズ解析のための電流モデル・PDN 等価回路モデルを提供する商用ツールとして Chip Power Model(CPM) が挙げられる [51]-[53]．このモデルは，LSI の動作電流を SPICE シミュレータの Piece Wise Linear(PWL) 形式の電流源素子で表現し，LSI の PDN の等価回路モデルはシリコン基板を含めて，RLC の集中定数による等価回路モデルで記述する．LSI のレイアウト情報や実際の動作ベクタなどの設計データを元にした詳細なモデル化が可能である．高精度な解析結果が期待できるが，サインオフツールとしての性格が強く設計の様々な段階における解析には向いていない．また，導入済みの企業は多いが解析事例の発表は少なく，文献 [52] は，SPICE でのゲートレベル解析結果と CPM の解析結果を比較しており，EMC の実測評価との比較は行われていない．

EMC 評価を主眼としたモデルとしては Integrated Circuit Electromagnetic Model(ICEM) が挙げられる [54]-[61]．ICEM の概要を Fig. 1.9 に示す．LSI の動作電流については，CPM と同じく SPICE の電流源で表現される．PDN モ

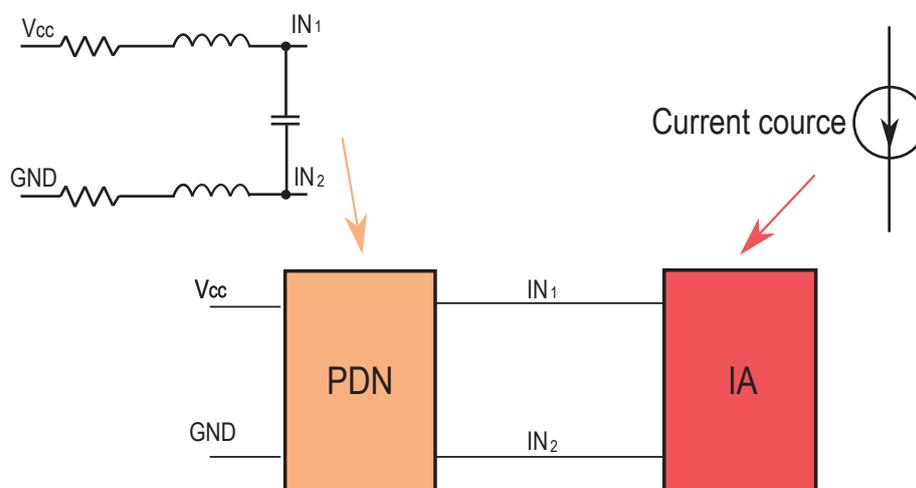


Figure 1.9: ICEM 概要 [60]

デルに関しては、モデル化対象となるチップのPDNのインピーダンス特性をネットワークアナライザを用いて測定し、それをもとにしてLCRの等価回路作成を行う。PDN表現のみ実測ベースでのモデル化フローとなっている。これは、ICEMがEMC解析を用途とするモデルであり、LSIをコンデンサなどと同じく実装部品の一つとして取り扱っているためである。このため、LSIに関して設計データに基づいたモデル作成はできず、LSI設計時に使用できるモデルではない。解析成果としては、PLLのジッタ評価[54]や、マイクロコントローラのエミッション評価[55]、単一LSI内部の複数の異なる回路ブロックを、それぞれ複数のICEMで表現し解析した評価結果[59]が報告されている。

また、ICEMはIECにおいてEMC評価モデルとして規格化作業がIEC 62433[62]として行われている。伝導エミッションのモデル規格[63]が発行されており、この他にも放射エミッション、伝導イミューニティ、放射イミューニティ、インパルスイミューニティ、イントラEMCのそれぞれのEMC評価に合わせたモデルの規格が現在議論されている。

ICEMと同様に、EMI解析を提供するEMCマクロモデルとしてFig. 1.10に示すLECCS-coreモデル[64]-[71]が挙げられる。モデルの特徴としては、動作電流とPDN特性の両方のモデルが実測結果に基づいたモデル作成フローが提案されている点にある。EMI解析事例が報告されているが、LECCS-coreモデルも実測データベースのモデル化のため、LSI設計時における電源ノイズ対策やノイズマージンの最適化において使用することはできない。モデルによる評価は市販のLSIを用いた結果が報告されており、文献[64]では32bitマイクロ

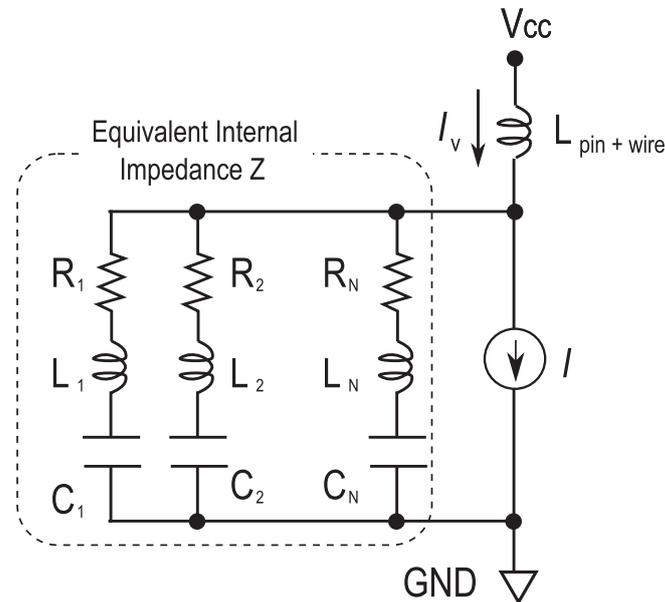


Figure 1.10: LECCS-core モデル概要 [64]

プロセッサを対象とした，文献 [65] では，車載機器のイミュニティ評価手法として標準化されている手法の1つである BCI(Bulk Current Injection) での評価を行っている。

この他にノイズ解析用途で一般に広く使用されているモデルとして I/O Buffer Information Specification (IBIS) モデル [72]-[76] が挙げられる。IBIS は Intel 社が提唱した IO の信号入力部の電気的特性を記述したモデルであり，セット側のモデルと組み合わせることにより，高速ドライバ・レシーバ回路のシグナルインテグリティ(SI) 解析用途に広く使用されている。IBIS は EIA(Electronic Industries Alliance) が標準モデルフォーマットを策定している。また，高速シリアルチャネルの SI 解析にかかる時間を削減するための拡張である IBIS-AMI(Algorithmic Modeling Interface) も公開されている。しかし，IBIS モデルの保有する情報は入出力部分の特性のみに限られるため，モデルを用いた電源ノイズや EMC 解析で得られる情報は限定的である。しかし，内部デザイン情報をブラックボックス化できること，解析時間やコストが小さく解析が容易な点から様々な企業が製品の IBIS モデルを提供している。

これらの他にも様々な電源ノイズ解析モデル及びその結果が報告されている。文献 [77]-[79] は，上記の一般的なモデルと同じく電流源モデルと LCR の PDN モデルで電源ノイズを表現している。文献 [77] は，グラウンド配線の抵抗値やデカップリングコンデンサの等価直列抵抗値をパラメータとして変更した時の

電源ノイズ振幅の振る舞いを解析によって評価している。文献 [78] はプリント基板上を流れる電流値を電流プローブによって測定し、解析結果と比較評価を行っている。文献 [79] は、プロセッサコアの動作モードが省電力動作からハイパワー動作へと切り替わる瞬間に大きな電源ノイズが発生することを解析結果で示している。

文献 [80] は、システムの PDN モデルに電流のステップ応答を与えて共振させ、発生した電源ノイズの振幅値と設定したノイズマージンとを比較している。文献 [81] は、電圧制御型抵抗素子を用いてスイッチング電流とリーク電流を表現している。

また、LSI システムにおけるイミュニティ評価に関しても、様々な測定・解析事例が報告されている。代表的な例としては、オンチップノイズ測定とイミュニティ解析モデルを用いた評価・解析結果が文献 [82], [83] で報告されている。これらの論文で用いられているノイズセンサ回路は、サンプルホールド回路を用いて任意のタイミングにおける観測対象の電圧値を取り出す機構を有している。また、イミュニティ評価手法として外部から電力を LSI の電源に直接入射する直接電力注入法を用いている。解析において使用する LSI モデルは ICEM を使用しており、インピーダンス実測結果から LCR 等価回路モデルとして構築している。同じく、直接電力注入法を用いたイミュニティ評価・解析結果が文献 [84], [85] で報告されている。

このように、これまで様々な解析モデルの提案や LSI のエミッションやイミュニティの評価がなされてきている。しかし、紹介したモデル化技術とその評価結果を見ると、EMC 研究の分野においては LSI の内部の設計情報までは立ち入らず、一般的に LSI 外部から測定器を用いてインピーダンスを初めとする電気特性によってモデル化する手法が取られていることが分かる。このため、LSI を設計データに基づいて詳細にモデル化を行う例は少なく、誤動作する LSI の内部で実際にはどのような現象が発生しているかという点での理解は進んでいない。

このような傾向から、設計段階において真に有用な EMC 評価モデル構築を目的として、LSI を含めたシステムを構成する要素をそのデザインデータからモデル作成を行い、作成したモデルや、オンチップ・オンボードの電源ノイズ測定手法を組み合わせたエミッションとイミュニティ、イントラ EMC を含む総合的な LSI の EMC 評価・解析を行う必要がある。

## 1.5 本論文の構成

本節では、本論文の構成と2章から4章についての研究結果の内容を記述する。本研究では、これまでの容量充電モデルを用いた電源ノイズ解析の研究をさらに進めて、LSIチップだけでなくプリント基板やパッケージ、ボンディングワイヤなどのオフチップ要素の詳細なモデル化を行い、システム全体のモデル化およびその評価という枠組みで研究に取り組んだ。また、これまで行われていたシステムで発生する電源ノイズによるエミッション評価だけでなくイミュニティ評価やイントラEMCの評価も行い、モデルの用途をシステムのEMCにおける総合的な性能評価へと拡張した。以下に、本論文の構成を示す。

### 1.5.1 リファレンスノイズ生成回路のエミッション評価

LSI・パッケージ・プリント基板を統合した電源ノイズ解析モデルを提案する上で、初めに単純な回路構造を有し、さらに動作により発生する電源ノイズの周波数成分やノイズ強度を比較的自由に設定できる回路を対象としたエミッション評価を行い、モデルの提供できる基本的な機能や精度の評価を行った。

2章では、デジタル回路で発生する電源ノイズを模擬するループシフトレジスタアレイ回路を対象とし、エミッション評価と解析を行った。オンチップの電源ノイズ測定にはサンプリング型のオンチップモニタ回路を、オンボードの電源ノイズ測定にはLSIのエミッション測定手法としてIECで標準化されている磁界プローブ法を用いた。これらの手法を用いることで、対象のオンチップ・オンボードの総合的なエミッション評価を行った。回路の動作を様々に変化させ、これらの実測評価結果とモデルによる解析結果を比較評価することで提案モデルがシステムで発生するオンチップ・オンボードそれぞれの電源ノイズを精度よく解析可能であることを示した。

また、EMC対策設計技術としてプリント基板上のデカップリングコンデンサの搭載位置の変更を想定し、デカップリングコンデンサ搭載位置とシステムで発生する電源ノイズの関係を明らかにするとともに、デカップリングコンデンサの搭載位置の変更による電源ノイズの変化を提案解析モデルが表現可能であることを明らかにした。

### 1.5.2 32bit マイクロプロセッサのエミッション評価

2章の評価対象であるループシフトレジスタアレイ回路は、解析モデルの精度評価に用いるリファレンスノイズ生成回路としては有効な回路構造であったが、極めて均一な回路構造を持つ、動作に論理的な意味を持たない、発生する

ノイズの周期性が極めて強いなどの点において、実際のシステムで使用されているチップの動作とは異なる点がある。このため、より実際のシステムで使用される LSI の動作に近い対象の電源ノイズ評価解析に取り組んだ。

3章では、32bit のマイクロプロセッサを対象とし、電源ノイズの動作周波数依存性や実行する命令依存性について、数百クロックサイクルにわたる長周期の解析を行い提案モデルの評価を行った。また、セルの遷移情報を Verilog 解析により得ることでデジタル回路設計フローへの組み込みを可能とした。

### 1.5.3 インバーターチェーン回路のイミュニティ・イントラ EMC 評価

2章および3章の評価はそれぞれ提案モデルによるエミッションの解析についてであったが、EMC の総合的な評価への拡張を目指し、4章では提案モデルを用いたイミュニティ・イントラ EMC 評価を行った。

イミュニティ指標について、インバーターチェーン回路を対象としたジッタ量として定量的な評価を行った。イミュニティ評価に関しては、LSI を搭載したプリント基板の電源端子に、外部機器から直接 RF 電力を注入し、LSI 内部の電源電圧を正弦波に揺らすことにより意図的にジッタを発生させる手法を用いた。このときの電源電圧の変動値について解析モデルを用いて算出し、算出値を動的な電源電圧変動を考慮したジッタ計算手法と組み合わせることでジッタ量の算出を行った。さらに、算出したジッタ量を実測値と比較することで、提案モデルのイミュニティ評価への有効性を検証した。

また、チップ内部のデジタル回路が動作することで発生する電源ノイズに対してもデジタル回路で発生する電源ノイズを解析で算出し、同様のジッタ解析・評価を行うことで提案モデルのイントラ EMC 評価・解析に対する有効性を評価した。

これらの結果より2章および3章の内容と合わせて、提案モデルはエミッション、イミュニティ、イントラ EMC という様々な異なる要因による LSI 動作と電磁環境に関する問題に対し、その発生と影響を予測する上で有用な技術であることを示し、また、設計段階における EMC 性能の評価が可能であることが示された。

## 第2章

---

# リファレンスノイズ生成回路のエミッション評価

## 2.1 緒言

本章では、LSIシステムの設計段階における EMC 性能評価手法の確立を目的とした LSI・パッケージ・プリント基板を統合した電源ノイズ解析モデルの提案及び解析精度評価を行う。モデル化及びエミッション解析の評価対象となる回路は、単一のシフトレジスタ回路で構成されるループシフトレジスタアレイ回路であり、電源ノイズ評価におけるリファレンス電源ノイズ生成回路という位置づけである。回路の特徴は、回路動作により発生する電源ノイズに含まれる周波数成分や発生する電源ノイズ量を自由に設定できることである。この回路を用いて多様な電源ノイズを発生させ、提案する電源ノイズ解析モデルが各動作において発生する電源ノイズを正確に表現可能であることを確認する。

## 2.2 評価対象システム

LSIに搭載されたデジタル回路において発生する電源ノイズ評価を目的として試作したテストチップの写真を Fig. 2.1(a)に示す。評価対象チップは 65 nm の CMOS トリプルウェルプロセスで設計されており、チップサイズは 2.1 mm × 2.1 mm、配線は 7 層構造、ピン数は 84 である。デジタル回路の電源電圧は 1.2 V、I/O 回路などに使用される高耐圧トランジスタの電源電圧は 3.3 V となっている。

評価チップを搭載するプリント基板の写真を Fig. 2.1(b)に示す。本プリント基板は FR-4 の 4 層構成であり、基板のサイズは、縦 15.0 cm × 横 8.0 cm、基板の厚みは 1.6 mm である。電源ノイズ評価対象であるデジタル回路のプリント基板における電源ラインは、2 本の異なる構造のラインにより電源供給が可能である。2 本の電源ラインのうち 1 本は、後述する磁界プローブにより AC 電源電流測定に対応した構造になっており、オンボードでの電源ノイズ評価が可能である。

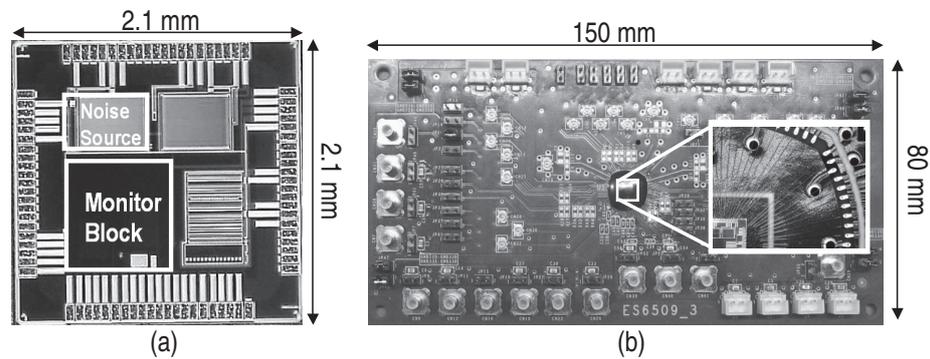


Figure 2.1: 評価チップと評価基板

### 2.2.1 ループシフトレジスタアレイ回路

評価対象となる電源ノイズを発生させる回路として、ループシフトレジスタアレイ回路が搭載されている。チップにおけるループシフトレジスタアレイ回路の搭載位置は Fig. 2.1(a) の Noise Source で示されている。回路の構造を Fig. 2.2 に示す。

本回路は、Fig. 2.2(b) に示すような D フリップフロップ (DFF) を 32 個縦続接続したものを 1 つのシフトレジスタ列とし、この列を Fig. 2.2(a) に示すように 512 個アレイ状に配置した構造となっており、合計で 16384 個の DFF を敷き詰めた構造となっている。それぞれのシフトレジスタ列について、最終ビットである bit31 の DFF の出力端子は先頭ビット bit0 の DFF の入力端子に接続されており、データのループパスを構成している。最大 16384 個の DFF が単一のクロック信号により、同一の遷移クロックタイミングにおいて動作するため、非常に大きな消費電流、すなわち電源ノイズが発生する。

ループシフトレジスタアレイ回路の動作における特徴としては、シフトレジスタ列にセットする 32 ビットのビットパターンや動作させる列数、動作周波数を変更することで様々な振幅や周波数特性を持つ電源ノイズの発生が可能な点である。また、シフトレジスタ列のビットパターンの並びは一定数のクロック入力によりループするため、周期性の強い電源ノイズが発生する。本回路ブロックは論理深さが最小のロジック回路となっており、一般的なデジタル回路ブロックにおいて発生する電源ノイズを模擬することを目的として設計・搭載されている。ここでは発生する電源ノイズに対する解析モデルの追従性評価を行う。

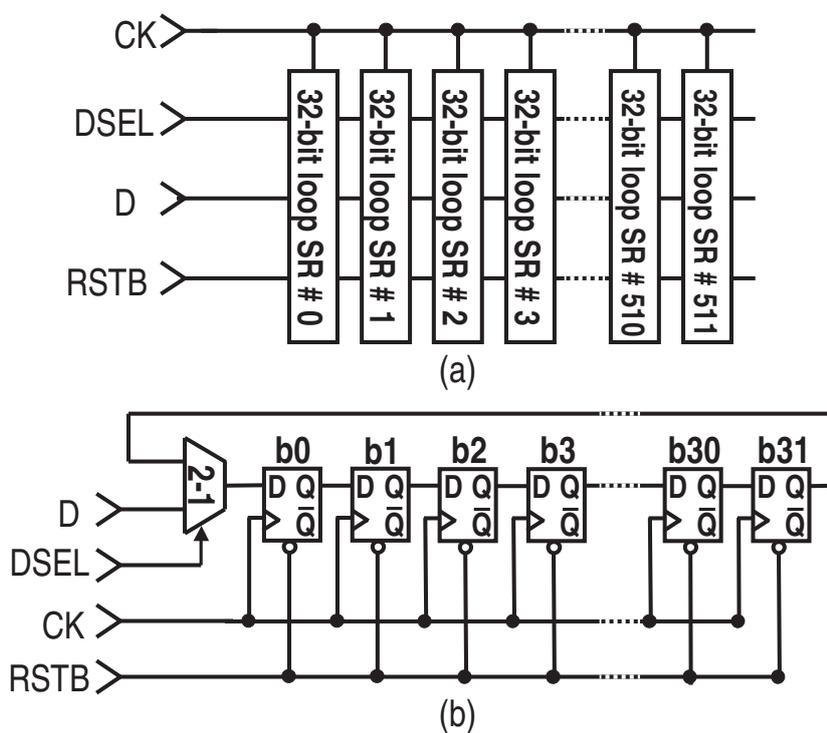


Figure 2.2: ループシフトレジスタ回路の構造 (a) 回路の全体図, (b) 32bit ループシフトレジスタ

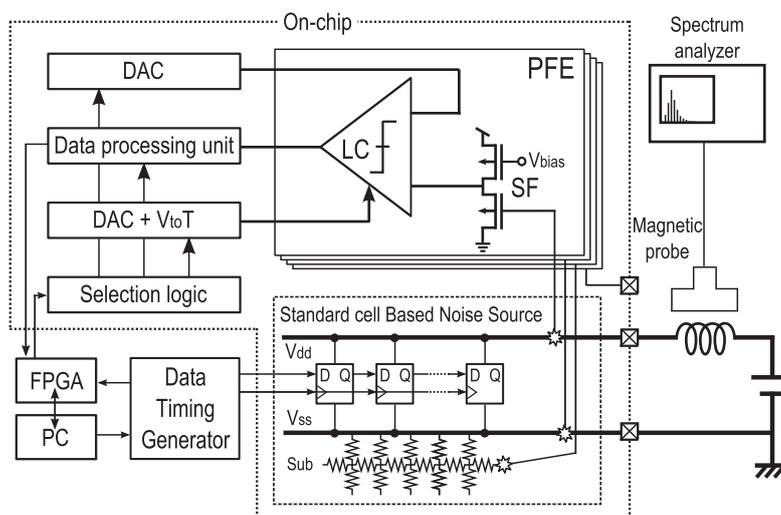


Figure 2.3: 電源ノイズ評価系の全体図

## 2.3 電源ノイズ評価手法

電源ノイズの測定手法について述べる。テストシステムは、オンチップ電源ノイズ測定及びオンボード電源ノイズ測定のシステムにおける観測位置や観測対象の異なる2通りの方法を用いて電源ノイズ測定が可能である。電源ノイズ評価システムの概要を Fig. 2.3 に示す。

オンチップノイズモニタ回路を用いたチップ内部の電源電圧変動を測定するとともに、プリント基板上の電源ラインを流れる電流について磁界プローブを用いて測定することで、LSIシステムにおいて発生する電源ノイズの総合的な評価が可能である。

### 2.3.1 オンチップ電源ノイズ評価手法

初めに、オンチップ電源ノイズ測定手法である Fig. 2.4 に示すサンプリング型オンチップノイズモニタ回路の構造について述べる。モニタ回路は、主に2つの回路ブロックで構成されている。1つ目は観測対象点の電圧変動を検出するプロービングフロントエンド (PFE) である。PFE はソースフォロア回路で構成されており、観測対象点電圧値のバッファリング・レベルシフトを行う。2つ目の回路ブロックは PFE で検出した電圧をデジタル値化するためのラッチコンパレータ回路、及びその周辺回路である。チップ内で観測対象電圧をデジタル値化し、チップ外部にデジタル信号として出力することにより、アナログ

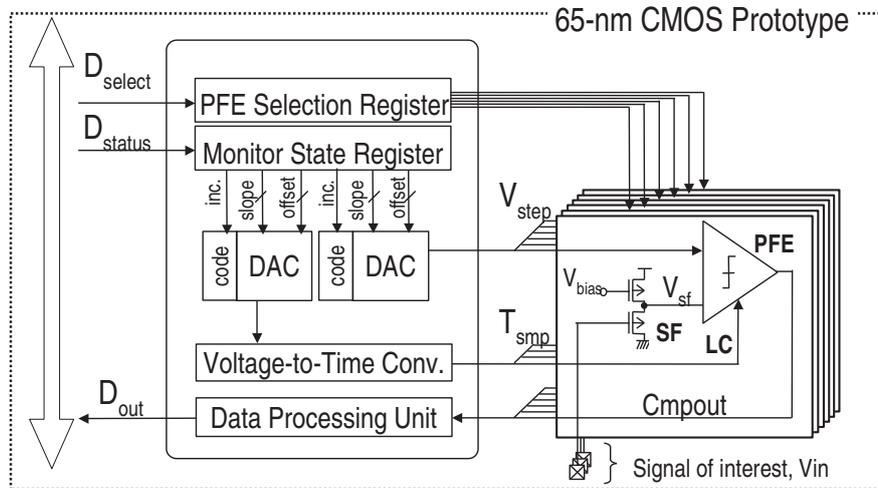


Figure 2.4: サンプルング型ノイズモニタ回路

信号をチップ外部に出力した場合に考えられるノイズや寄生容量による信号減衰の影響を低減でき、高精度なノイズ評価が可能となる。

コンパレータ回路でのデジタル値化において、参照電圧生成回路としてデジタル-アナログ変換回路 (DAC) を用い、コンパレータ回路における比較参照電圧を生成する。サンプルングタイミング生成回路 (DAC+ $V_{to}T$ ) は、コンパレータ回路における比較動作のタイミングを作成する。

モニタ回路の電圧分解能と時間分解能はそれぞれ  $100 \mu\text{V}$  と  $10 \text{ ps}$  であり、サンプルング周波数は  $100 \text{ GHz}$  程度と非常に高速なサンプルングを実現している。このため、GHzレンジの高周波電源ノイズの観測も理論上可能である。また、観測対象のノイズ波形の振幅や周波数に応じてこれらの値は容易に設定変更できる。本モニタ回路を用いることで、ループシフトレジスタアレイ回路動作時の、モニタ回路の観測対象点の任意タイミングにおける電源電圧値を測定可能である。本モニタ回路の試作チップ上の搭載位置は Fig. 2.1(a) の Monitor Block で示されている。

また、モニタ回路には様々な電源ノイズ対策が施されている。モニタ回路の周囲はPウェルとDeep Nウェルのガードリングで囲われており、ノイズ源デジタル回路からのシリコン基板を介したノイズの侵入を防止する措置がとられている。また、電源・グラウンド配線はデジタル回路ブロックから配線上で分離されており、アナログ電源・アナロググランドピンからそれぞれ供給されている。このように、デジタル回路動作時において、モニタ回路の電源電圧やグラウンド電圧がデジタル回路の動作の影響で電圧的に変動することが無いよう

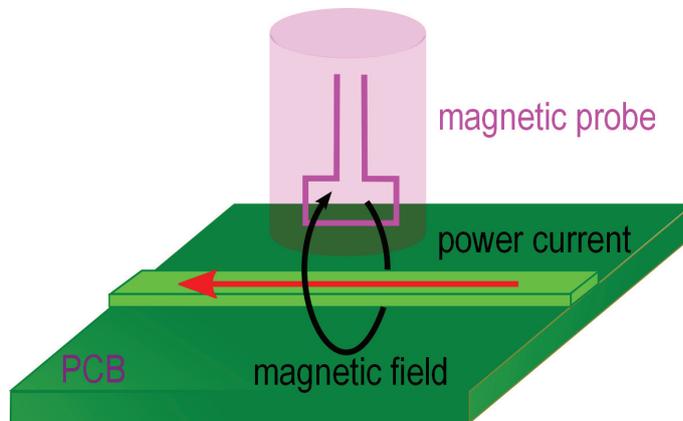


Figure 2.5: 磁界プローブによるオンボード電源ノイズ測定

にチップ設計がなされている。

### 2.3.2 オンボード電源ノイズ評価手法

次に、オンボード電源ノイズ測定手法である磁界プローブ法について述べる。これは、プリント基板上の電源ラインを流れる高周波電流成分を磁界プローブと呼ばれる機器を用いて非接触で測定する手法であり、IECで国際標準化されている半導体のエミッション評価手法である。

Fig. 2.5は、磁界プローブを用いた電流測定のイメージ図である。磁界プローブは、プローブヘッド先端にループアンテナを搭載しており、プリント基板の電源ライン近傍に設置することで測定を行う。電源ラインに電流が流れると近傍磁場が変化し、その影響によりループアンテナに起電力が発生する。この起電力値をスペクトルアナライザで観測し、プローブの校正係数で電流値に変換することで、対象の電源ラインを流れる高周波電流値を測定する。磁界プローブ法はLSIのEMI評価手法としてIECで標準化されている[86]。磁界プローブで電流測定を行う際のプリント基板の電源ラインパターンは規定されており、Fig. 2.6で示すような、それぞれ $10\ \mu\text{F}$ と、 $0.1\ \mu\text{F}$ のデカップリングコンデンサをプリント基板上に実装し、回路動作に必要な電流をこれらのデカップリングコンデンサから供給する形をとっている。

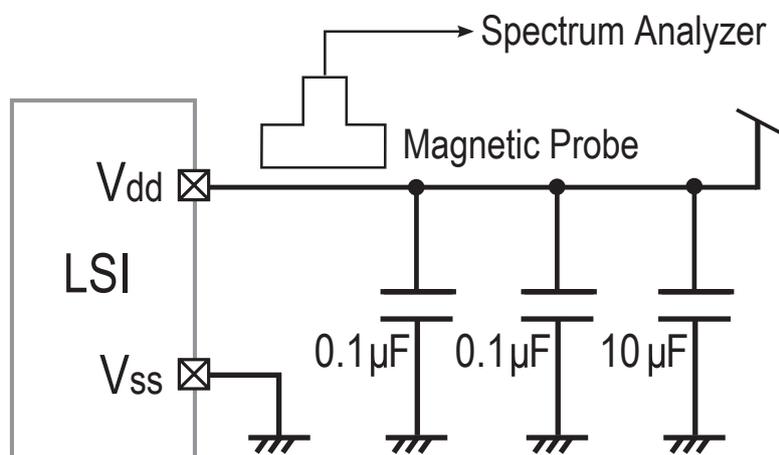


Figure 2.6: 磁界プローブによる測定対象ラインの標準構造

## 2.4 電源ノイズ解析モデル

本項目では、LSIを搭載したシステムを対象とした、LSIチップ・パッケージ・ボードを統合した電源ノイズ解析モデルの作成手法について述べる。モデルの概要図を Fig. 2.7 に示す。このモデルは大きく以下の4つのモデリング要素に分割される。

- チップの電流(ノイズ源)モデル
- チップの電源供給ネットワーク(PDN)モデル
- ボンディングワイヤモデル
- プリント基板の電源供給ネットワーク(PDN)モデル

今回の評価対象に限っては、パッケージを用いずにチップのパッドと基板のランドを直接ボンディングワイヤで接続する CoB(Chip on Board) 実装を採用しているため、パッケージのモデル化の必要はない。これらのモデリング要素は個別にモデル作成され、最終的にそれぞれを接続することで統合電源ノイズ解析モデルとなる。それぞれのモデリング要素のモデル作成手法についての説明を行う。

### 2.4.1 チップのノイズ源(電流)モデル

電源ノイズ解析において、チップ動作時に発生する電源電流をモデル化して解析に組み込む必要がある。これは、一般に回路設計時に使用される SPICE のトランジスタモデルを用いて電源電流を表現した場合、対象の回路規模によっては計算にかかる時間コストが膨大になることや、モデルを他の企業に提供する際に回路の設計データを秘匿するという点において問題があるためである。このような点から、計算コストがかからず、回路の設計データを秘匿できるような電源電流モデルが望ましい。

このようなモデル化手法として容量充電モデル (Capacitor charging model) が提案されている。容量充電モデルの構造を Fig. 2.8 に示す。モデルは SPICE のネットリスト形式で記述され、2つのスイッチと1つのキャパシタからなるユニットを最小の構成単位としている。スイッチは電圧制御型抵抗で記述され、スイッチがオン状態の抵抗値は、モデル化対象となる MOSFET グループの等価的なオン抵抗を表現している。一方で容量は、動作する MOSFET に寄生する容量成分を表現している。容量充電モデルは回路動作時に発生する動作電源電流をこれらスイッチとキャパシタの直列接続で表現したものである。

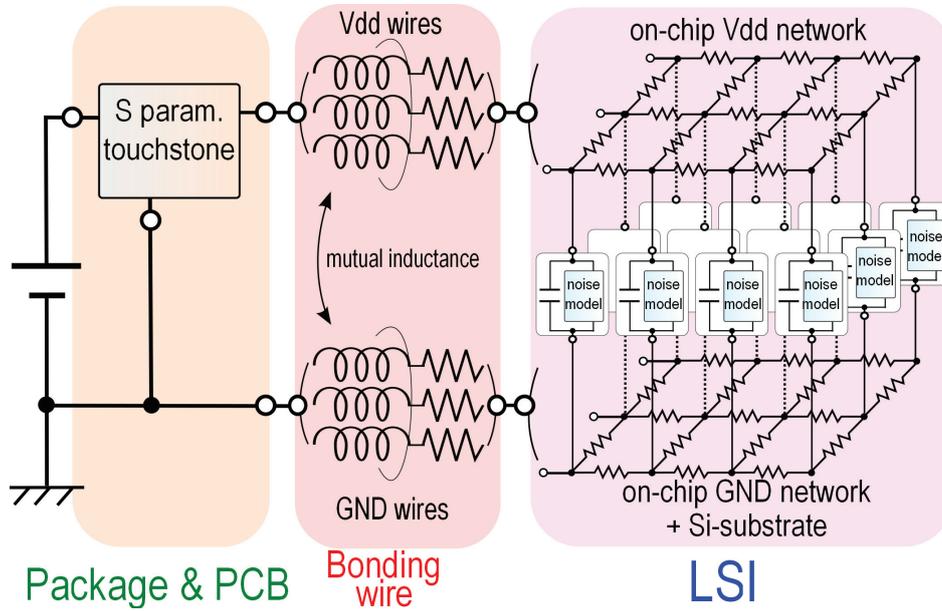


Figure 2.7: LSIチップ・パッケージ・プリント基板統合電源ノイズ解析モデル

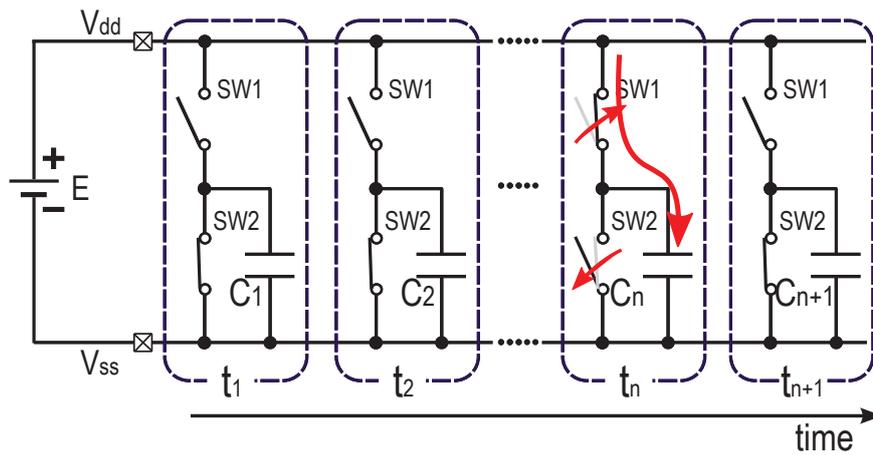


Figure 2.8: 容量充電モデル

Fig. 2.8のスイッチ SW1が閉じると、そのスイッチに接続された容量  $C_n$  を充電するための電流が電源端子から流れる。この電流が、時間  $t_n$  における回路動作により発生した電源電流を表している。

次に、容量充電モデルの容量値と抵抗値の決定方法を説明する。モデル化対象回路の動作時に流れる電源電流波形を、SPICEなどの回路シミュレータを用いたゲートレベルの解析により解析する。例として、1倍駆動バッファセルのHSPICEを用いた電源電流解析結果を Fig. 2.9に示す。この電源電流波形は、発生する電流量の総和と電流ピーク値により特徴づけられる。容量  $C_n$  の充電は、RC直列回路の充電過程として式 2.1のように計算できる。

$$I(n) = \frac{E}{R_n} \exp\left(-\frac{t}{C_n R_n}\right) \quad (2.1)$$

ここで、 $E$ はモデルが接続される電源ドメインの電源電圧(V)を表す。この式より、容量充電モデルにより表現される電源電流のピーク値は  $E/R$  で表されることが分かる。これにより、モデル化対象回路動作時のピーク電流値から、モデルに含まれるスイッチのオン抵抗値  $R_n$  が決定される。一方で、電流量の総和は、式 2.1の時間積分で求められる

$$\begin{aligned} Q(n) &= \int \frac{E}{R_n} \exp\left(-\frac{t}{C_n R_n}\right) dt \\ &= C_n E \end{aligned} \quad (2.2)$$

電流量の総和  $Q$  と電源電圧  $E$  は既知の値のため、式 2.2 より容量充電モデルの容量値  $C_n$  が決定される。

### 2.4.2 デジタル回路の容量充電モデル作成フロー

デジタル回路の電流モデル作成について、本章の評価対象となるループシフトレジスタアレイ回路を例として説明する。説明するモデル化フローは、一般的なデジタル回路全般に適用可能である。

一般に、デジタル回路は、スタンダードセルと呼ばれる回路ブロックの集合体の構造を取る。これらのスタンダードセルは、インバータやNANDなど、各スタンダードセルが1つの論理的な機能を提供する。

モデル作成フローの初めとして、ループシフトレジスタアレイ回路を構成しているスタンダードセルに対して、全ての論理動作について容量充電モデルのRCパラメータを決定する。例えば、インバータ回路の場合入力信号の立ち上がり立ち下りのそれぞれの論理動作に対して電源電流解析を行い容量充電モデルのRCパラメータの算出を行う。

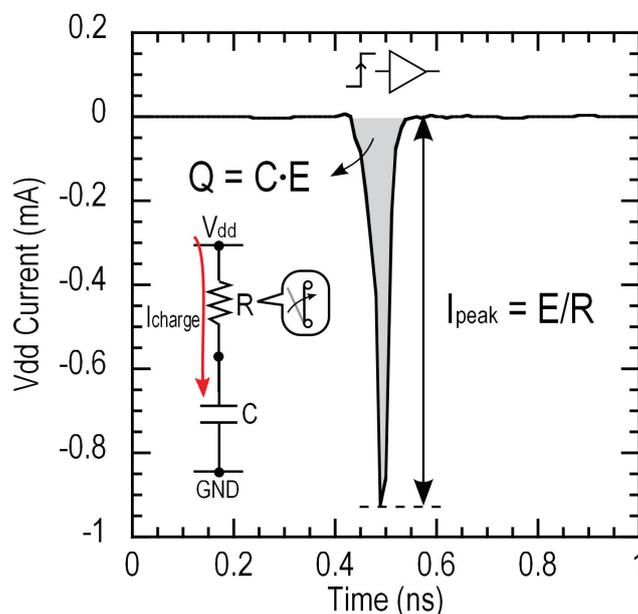


Figure 2.9: 容量充電モデルにおけるRC値の決定

これらの容量値を Fig. 2.10 に示すように、それぞれのスタンダードセルの動作タイミングに合わせて、そのタイミングで動作する全てのセルの容量値と抵抗値の並列接続値を算出する。並列に動作するセルが増えるほどモデルにおける等価的な容量値は増加し、消費電流値は増加する。一方で等価的な抵抗値は減少し、電流ピーク値は増加する。

回路を構成するセルの動作タイミングはクロックツリーのレイアウト寄生素子抽出を行ったネットリストを SPICE などの回路シミュレータで解析することで求められる。

### 2.4.3 チップのPDNモデル

チップのPDN等価回路モデルの詳細について説明する。チップのPDNでノイズ解析においてモデル化が必要なものは、チップ内の電源配線・グラウンド配線で構成される電源配線ネットワークと、回路素子に寄生するスタティックな容量成分である。

PDNの各要素のモデルについて説明を行う。電源配線・グラウンド配線は、等方的な抵抗メッシュネットワークでモデル化を行う。配線間に発生する寄生容量は、スタティックな寄生容量モデルに含まれるので配線モデルには含めない。また、インダクタンス値はチップのPDNにおけるループ面積がパッケージや

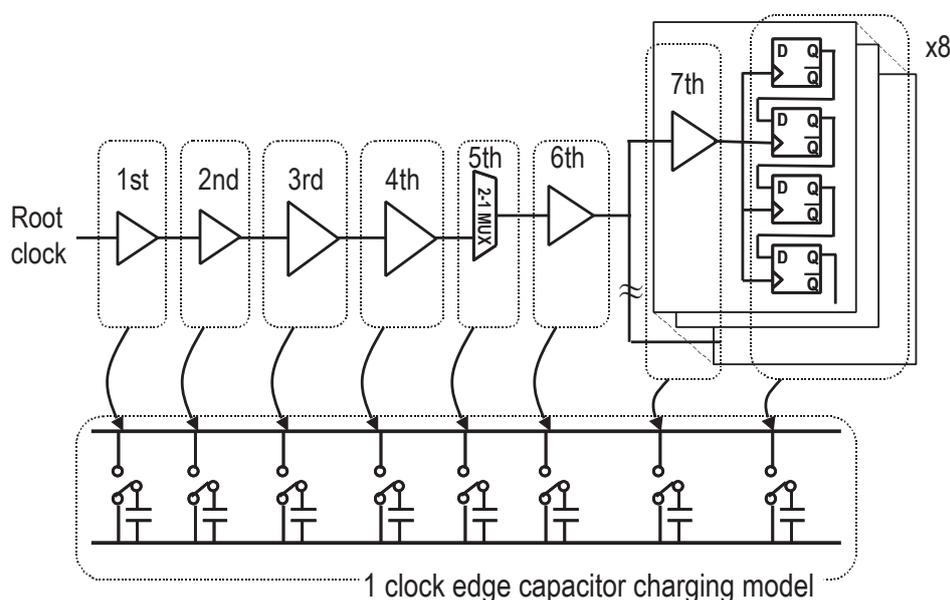


Figure 2.10: ループシフトレジスタアレイ回路の容量充電モデル作成

プリント基板などのチップ以外の要素において発生するループ面積と比較して非常に小さいため、モデル化対象の周波数帯域も考慮してここでは無視する。回路に寄生するスタティックな容量  $C_{die}$  には以下の容量が含まれる。

- MOSFET デバイスの容量
- 電源配線・信号配線の容量
- 基板のウェル容量

1つめの MOSFET デバイスの容量は、Fig. 2.11(b) に示すような MOS デバイスのゲート・ソース間やゲート・ドレイン間など、デバイス端子間に発生する寄生容量である。

2つめの電源配線・信号配線の容量は、Fig. 2.11(b) の配線間の容量  $C_{vg}$  が該当する。Fig. 2.11(a) のような対象回路のレイアウトに対してレイアウト寄生素子抽出を行うことで、これらの寄生容量を含んだネットリストが得られる。このネットリストをインピーダンス解析することでデバイス、電源配線・信号配線に寄生する容量値の算出が可能である。

3つめの基板のウェル容量は、Fig. 2.11(c) に示すような、N ウェル-P ウェル間や、N ウェル-P 基板間など、ドーピングの異なるウェル間に発生する寄生ダイオードによる接合容量を示している。ドーピングの異なるウェル間に空乏層

が発生し、これが寄生接合容量として電源・グラウンド間に見える。この容量はウェルの面積や周囲長、ドーピング濃度に比例し、ウェル間にかかる電圧と反比例する。電源電圧をかけた状態の基板寄生容量は、電源電圧をかけないゼロバイアス状態での容量値よりも小さくなる。このため、デバイス動作時の適切なバイアス下におけるウェル容量の算出が必要である。基板ウェル容量値は、ツインウェル構造の MOS においては Nwell-Pwell 間、Nwell-Sub 間の容量をスタティック容量モデルに含める必要があり、トリプルウェル構造の MOS では、ツインウェル構造で発生する容量に加えて DeepNwell-Pwell、DeepNwell-Sub 間の容量を含める必要がある。

#### 2.4.4 ボンディングワイヤモデル

次に、ボンディングワイヤのモデル化について述べる。ボンディングワイヤのインピーダンス特性は、一般に抵抗素子 R とインダクタンス素子 L の直列接続等価回路で近似される。ボンディングワイヤの特徴量として重要なものは電源・グラウンドのボンディングワイヤペアが構成するループインダクタンスであり、PDN の共振周波数特性を決定する上で重要な要素となる。ボンディングワイヤペアのループインダクタンス値は市販の 3 次元の電磁界ソルバにより与えられる。また、ループインダクタンス値  $L_{bw}$  は、ボンディングワイヤの形状より以下の式 2.3 でも与えられる [87], [88]。

$$L_{bw} = \frac{\mu l}{\pi} \left( \ln\left(\frac{2l}{r}\right) - \ln\left(\frac{2l}{s}\right) - \frac{s}{l} + 0.25 \right) [H] \quad (2.3)$$

ここで、 $l$  はボンディングワイヤ長 (m)、 $r$  はボンディングワイヤ半径 (m)、 $s$  はボンディングワイヤペア間の距離 (m)、 $\mu$  は空気の透磁率である。

評価対象の実装で使用しているボンディングワイヤペアのループインダクタンス値について、3次元の電磁界ソルバでの解析値は 5.89 nH、上記の式 2.3 での計算値は 5.91 nH となり、これら 2つの異なる方法によって求めた結果が極めて近い値を出すことを確認した。

これらの方法により算出したループインダクタンスの値を自己インダクタンスと相互インダクタンスの集中定数モデルで表現し、解析モデルに含める。自己インダクタンス値は、ボンディングワイヤの長さから算出する。一般に、1 nH/mm という値が使われている。また、ボンディングワイヤの抵抗値の算出方法は、ワイヤの素材から決まる抵抗率  $\rho$  とワイヤ断面積  $S$ 、ワイヤ長  $l$  から式 2.4 で求められる。

$$R = \rho \frac{l}{S} \quad (2.4)$$

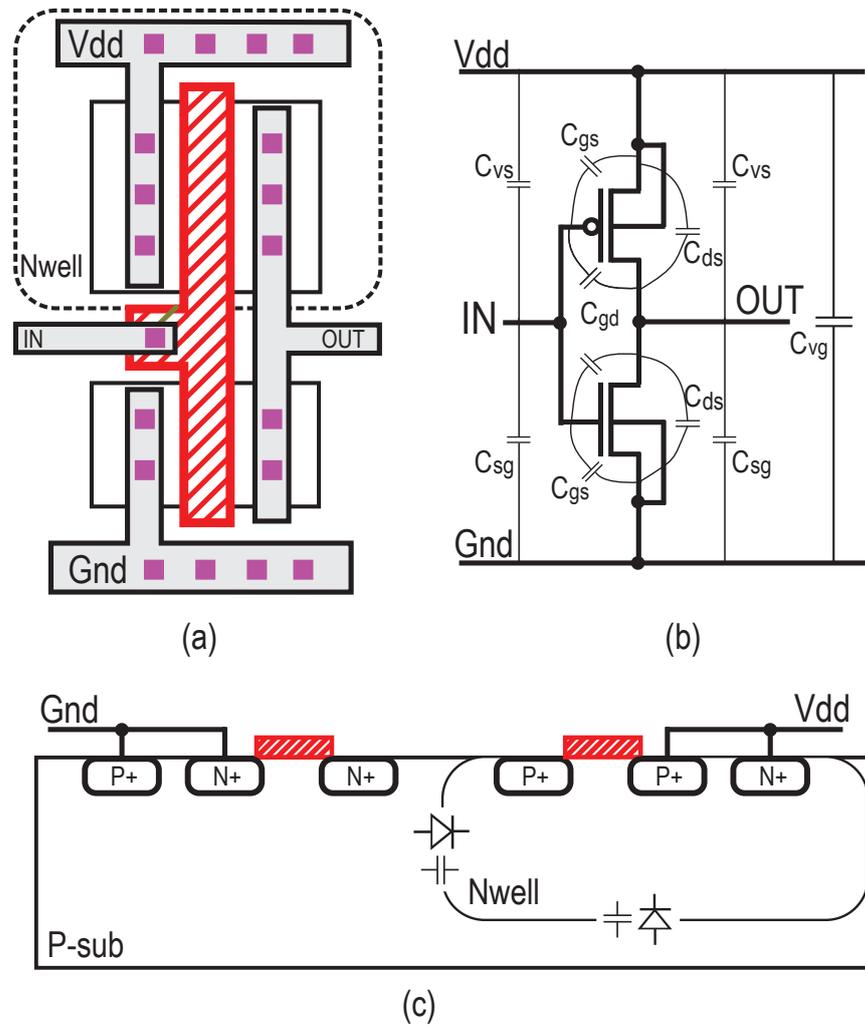


Figure 2.11: LSI デバイスに存在する寄生容量 (a) 標準的なインバータ回路のレイアウト, (b) インバータに寄生するデバイス容量と配線容量, (c) シリコン基板に寄生する容量

算出された抵抗値，自己・相互インダクタンス値を SPICE の R, L, K 素子それぞれで記述することでボンディングワイヤのモデルが作成される．また，パッケージを用いた実装を行った場合においても，パッケージのリードフレームに対してボンディングワイヤモデル化時のフローの適用により同様にモデル化可能である．

#### 2.4.5 プリント基板の PDN モデル

プリント基板の PDN モデル作成には，3次元電磁界ソルバを用いる．評価ボードのレイアウト CAD データをソルバにインポートし，電磁界解析を行うことで対象電源ラインの多ポート S パラメータを求める．広帯域のノイズ評価を行う場合，十分な周波数帯域をもつ S パラメータモデルを作成することが必要となる．このとき，プリント基板を構成する誘電体の複素誘電率は周波数依存性をもつため，誘電率の周波数依存性を表現するデバイモデル [89] などを用いる必要がある．

こうして求めた S パラメータの解析結果を SPICE で読み込み可能なファイル形式，例えばタッチストーン形式や RCLG の等価回路モデルで出力する．

また，プリント基板上に搭載されているデカップリングコンデンサのインピーダンス特性は容量成分 C と等価直列インダクタンス (ESL)，等価直列抵抗 (ESR) の 3 つの成分の直列接続で表現する．一般に，コンデンサは自己共振周波数を持ち，この共振周波数より低い側の帯域においてのみコンデンサとして動作する．モデル化に必要な ESL, ESR の値はメーカーのデータシートから容易に入手可能である．

#### 2.4.6 LSI チップ・パッケージ・ボードを統合した電源ノイズ解析モデル

これまで説明をしたチップの電流モデル，PDN モデル，ボンディングワイヤモデル，プリント基板，そして実装形態によってはパッケージのモデルを接続し，統合することで Fig. 2.7 に示した LSI チップ・パッケージ・ボードを統合した電源ノイズ解析モデルが完成する．このモデルを用いることにより，対象回路ブロック動作時における LSI 内部の電源配線・グラウンド配線の電位変動を解析できる．また，オンチップ電源解析だけでなく，オフチップの電源雑音解析，すなわち回路動作にプリント基板やボンディングワイヤを流れる電流の解析も同時に可能である．

## 2.5 電源ノイズ評価結果

### 2.5.1 チップ実装パターンとPDNインピーダンス

LSIシステム設計におけるEMC対策手法として最も一般的な方法は回路動作に必要な電荷を供給するデカップリングコンデンサをプリント基板上やチップ内に配置し、電荷を局所的に供給することで電流の描くループ面積を最小化する手法である。

これまでに、プリント基板上のデカップリングコンデンサの個数や配置箇所の最適化に関する研究や [90]-[92]、オンチップのデカップリングコンデンサの効果範囲やモデル化についての研究が報告されている [93], [94]。

本章における評価においても、デカップリングコンデンサとオンチップで発生する電源ノイズの関係性について、オンチップノイズモニタ回路とノイズ解析モデルを用いて実測と解析の両面から明らかにした。

初めに、チップの実装パターンとPDNインピーダンスについて述べる。LSIシステムにおいて発生する電源ノイズ成分はPDNの共振周波数との関連が深い。電源ノイズを発生させるループシフトレジスタアレイ回路は、プリント基板上に形状の異なる2本の電源ラインを持っており、それぞれのラインを個々に安定化電源に接続できる構造になっている。また、2本の電源ラインそれぞれにデカップリングコンデンサを搭載する事ができる。電源供給ラインやデカップリングコンデンサ搭載位置の組み合わせを5通り用意する。それぞれの組み合わせは以下のとおりである。

- 実装パターン#1: 電源ライン#2から電源供給し、磁界プローブラインのデカップリングコンデンサ#3のみを搭載
- 実装パターン#2: 電源ライン#2から電源供給し、磁界プローブラインのデカップリングコンデンサ#3と電源ライン#1のチップ近傍のデカップリングコンデンサ#2を搭載
- 実装パターン#3: 電源ライン#1から電源供給し、チップ近傍のデカップリングコンデンサ#2を搭載
- 実装パターン#4: 電源ライン#1から電源供給し、チップから離れた場所にデカップリングコンデンサ#1を搭載して
- 実装パターン#5: 電源ライン#2から電源供給し、デカップリングコンデンサを全く搭載しない

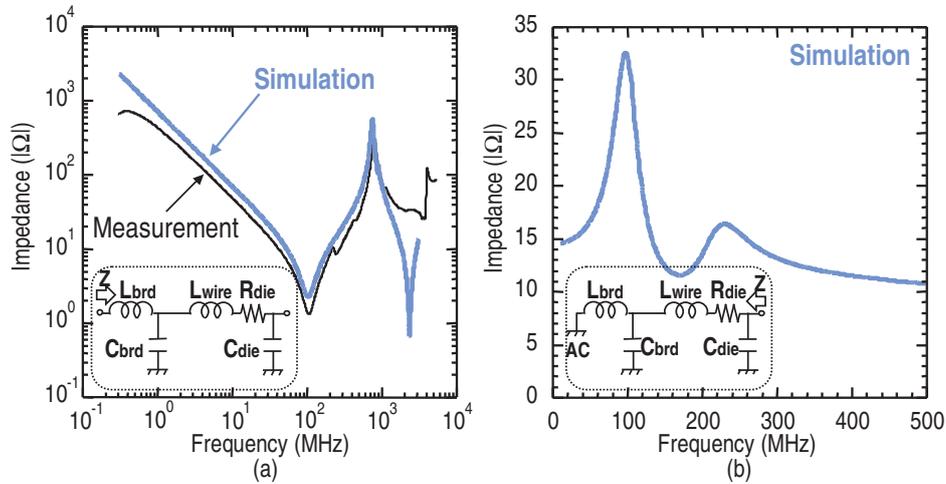


Figure 2.12: 実装パターン#1におけるインピーダンス評価結果 (a)プリント基板の電源端子からみたインピーダンス, (b)チップ内部の電源ノードからみたインピーダンス

ここで、実装パターン#1と実装パターン#2の場合におけるインピーダンスの実測・解析結果の比較をそれぞれ Fig. 2.12と Fig. 2.13に示す。それぞれ図中の (a) は電源端子からみたインピーダンスであり、図中の (b) はチップ内部の電源ノードからみたインピーダンスである。これを見ると、実装パターン#2のチップノードから見たインピーダンス特性は、実装パターン#1よりも並列共振周波数が高周波側にシフトしていることが分かる。これは、実装パターン#2がデカップリングコンデンサの搭載数が多く、等価的なインダクタンス値が実装パターン#1よりも小さくなっているためである。

それぞれの実装パターンの概要と、各実装パターンにおけるノイズ源回路から見たPDNインピーダンスの共振周波数及びQ値の解析結果を Fig. 2.14に示す。

これら5つの実装パターンにおける共振周波数とQ値を見ると、電荷を供給するデカップリングコンデンサがチップ近傍に存在するほど共振周波数が高くなっていると同時に共振のQ値も低くなっていることが分かる。インピーダンス解析をすることで、各実装パターンにおいて発生する電源ノイズは、例えばパターン#2で最も高周波でリングングし、早く収束する一方で、実装パターン#1や#4では#2の実装よりも低い周波数でリングングし収束にかかる時間も長いなどのある程度の予測が立てられる。また、デカップリングコンデンサを搭載しない#5については共振のQ値が非常に大きく、電源ノイズによる電

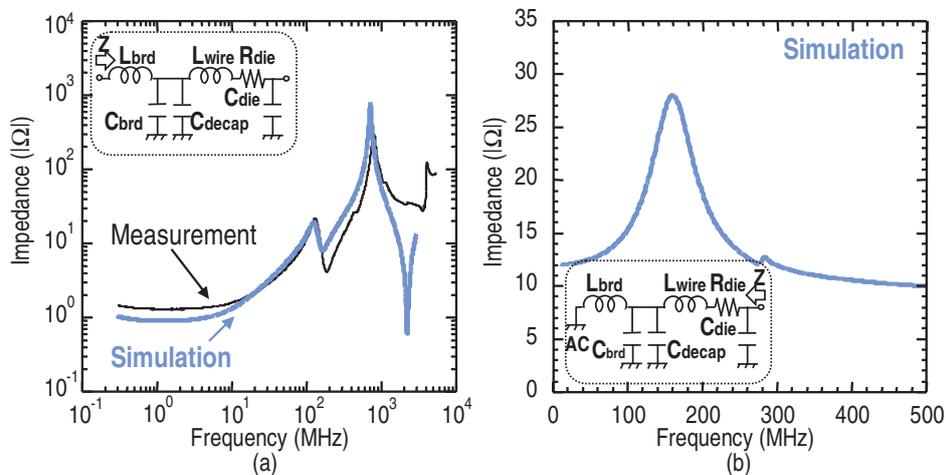


Figure 2.13: 実装パターン#2におけるインピーダンス評価結果 (a)プリント基板の電源端子からみたインピーダンス, (b)チップ内部の電源ノードからみたインピーダンス

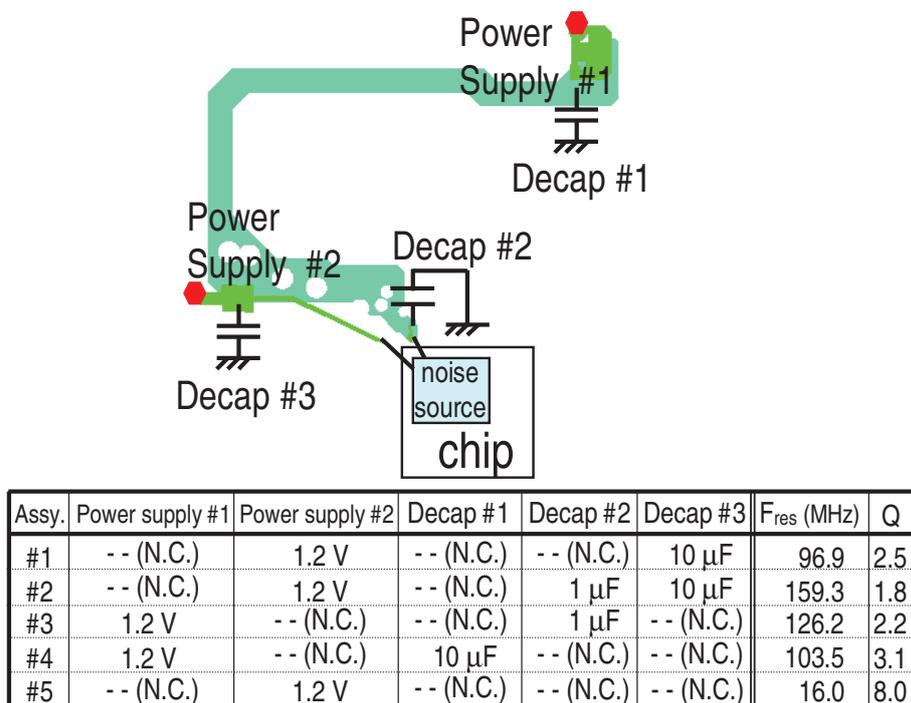


Figure 2.14: 実装パターンとそれぞれにおけるデカップリングコンデンサの搭載位置

源電圧変動のため回路が安定動作しないことが予想される。

一般に、チップ内部から見たインピーダンスプロファイルの実測は困難であるため、発生するノイズ成分の予測のためにはノイズ解析モデルが必要となる。

## 2.5.2 各実装パターンにおけるオンチップ電源ノイズ評価結果

各実装パターンにおいて発生するオンチップ電源ノイズ評価結果を示す。

各実装パターンにおいて発生する電源ノイズ波形をオンチップノイズモニタ回路を用いて取得し、各実装に対応するオフチップモデルを使用したノイズ解析モデルによる電源ノイズ解析結果との比較を行った。それぞれの実装における実測と解析の比較結果を Fig. 2.15 に示す。(a), (b), (c) はそれぞれ、Fig. 2.14 中の表の実装パターン #1, #2, #3 に対応する。これらの波形はそれぞれ約 100 MHz, 160 MHz, 120 MHz でリングングしており、リングング周波数が Fig. 2.14 で示したそれぞれの実装パターンにおける PDN の共振周波数と一致することが確認された。また、リングング収束にかかる時間もパターン #1 から #3 の間では #2 が一番短い。この結果は Fig. 2.14 の表中の Q 値の解析結果の傾向と一致する。これにより、対象回路の動作により発生する電源ノイズの傾向は、モデルのインピーダンス解析により大まかな傾向が得られるといえる。

Fig. 2.15 の実測・解析各波形をフーリエ変換し、周波数軸で評価した結果が Fig. 2.16 である。それぞれの実装におけるインピーダンスプロファイルもグラフ中に図示している。この結果からも電源ノイズ成分の分布とインピーダンスプロファイルには強い相関があることが分かる。これは、回路の寄生容量と電荷供給点(デカップリングコンデンサ)までの寄生インダクタンスが励振源から見てインピーダンス的に並列共振回路を構成しており、回路動作時にはこの並列共振回路が動作電流により励振されているためである。

次に、それぞれの実装パターンにおいて、ノイズ源回路の動作周波数を変え、それぞれの動作周波数において発生する電源ノイズの振幅を評価した結果を Fig. 2.17 に示す。これまでの評価結果と同様に、実装パターン #1, #2, #3 を選択している。これらの結果を見ると、実装パターン #1 は 50 MHz, #2 は 80 MHz, #3 は 70 MHz 付近にノイズ振幅が最大となる点が現れる事がわかる。これらの周波数は、Fig. 2.14 中の表に示した共振周波数の 1/2 になっている。これは、ループシフトレジスタ回路がクロックの立ち上がりと立ち下り時に動作電流が流れるため、結果として動作周波数の 2 倍の周波数、つまり共振周波数の近傍の周波数で PDN の共振系を励振しているためである。このように、電源ノイズ振幅は回路の動作周波数に大きく依存するため、製品設計において回路の動作周波数と PDN の共振周波数を注意深く設定することが必要とされる。

次に、デジタル回路の動作周波数をそれぞれ 10 MHz, 100 MHz, 200 MHz,

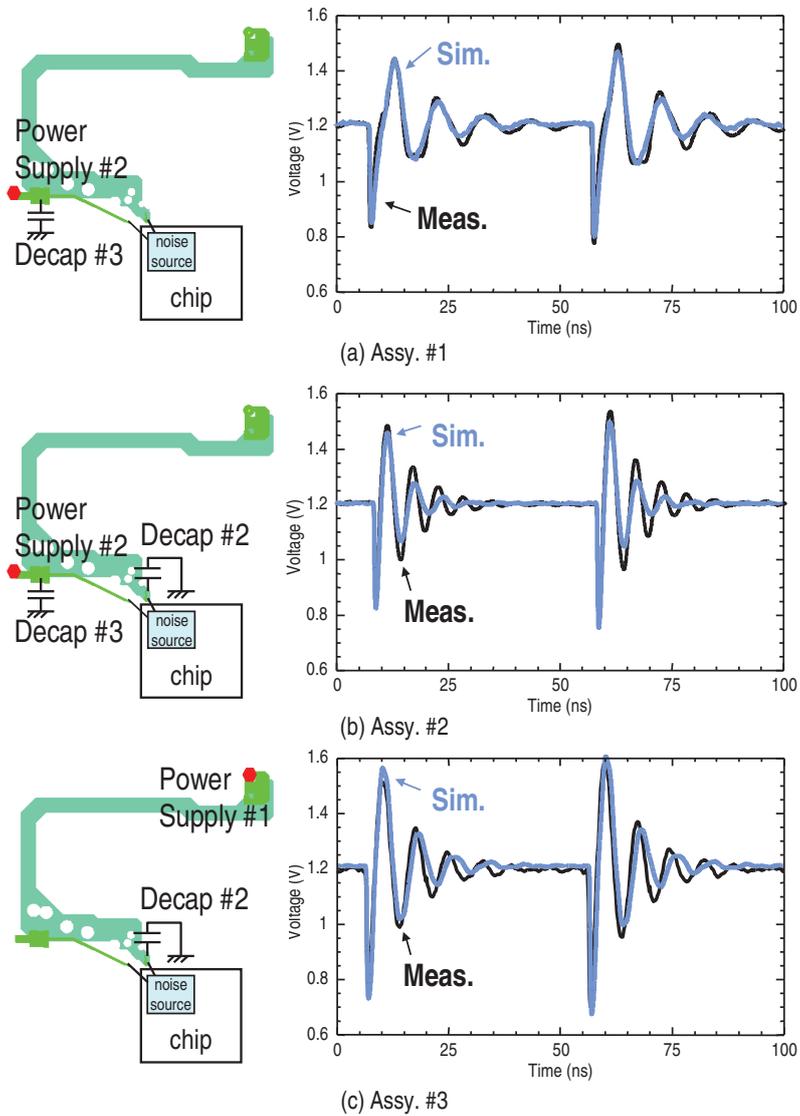


Figure 2.15: デカップリングコンデンサの搭載位置と電源ノイズリングング波形 (a) 実装パターン#1, (b) 実装パターン#2, (c) 実装パターン#3

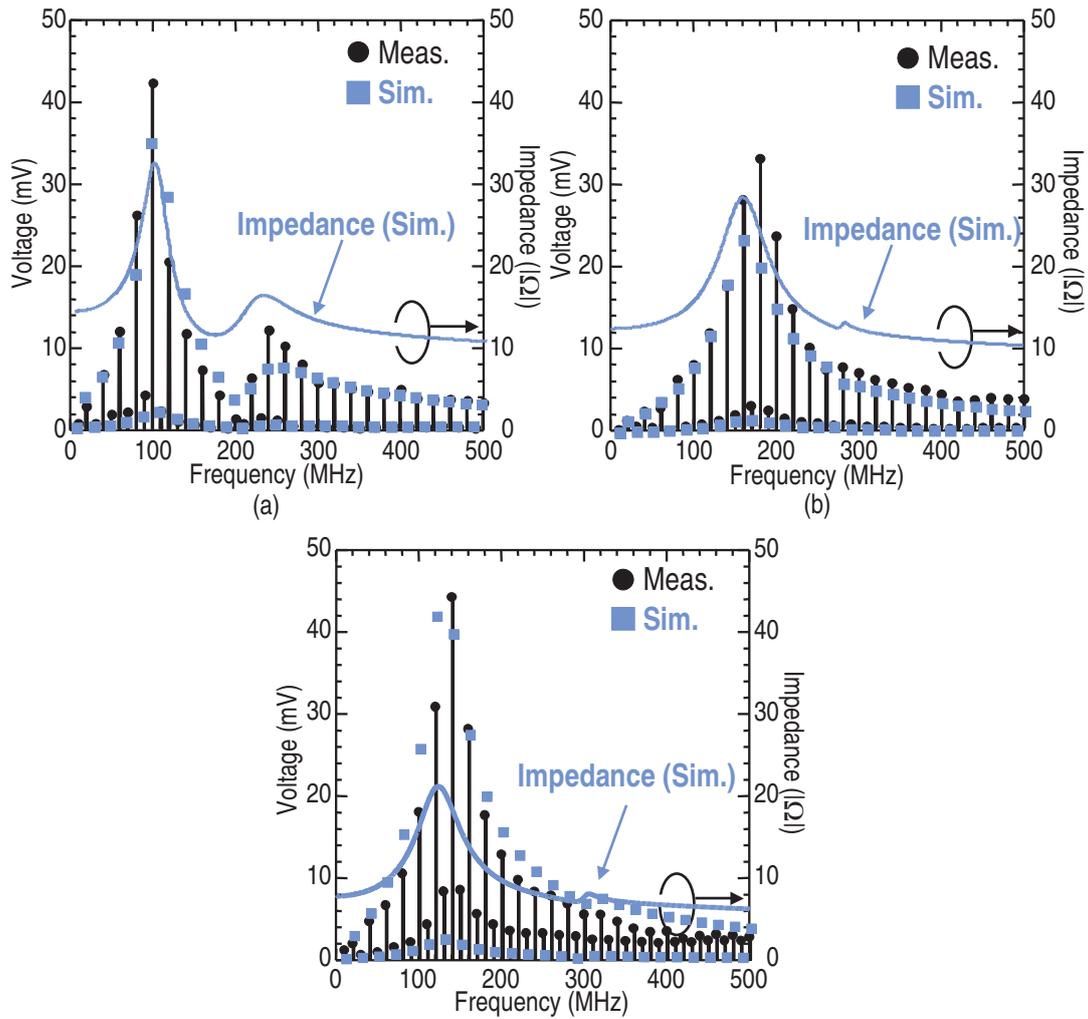


Figure 2.16: 電源ノイズ成分とインピーダンスの関係 (a) 実装パターン#1, (b) 実装パターン#2, (c) 実装パターン#3

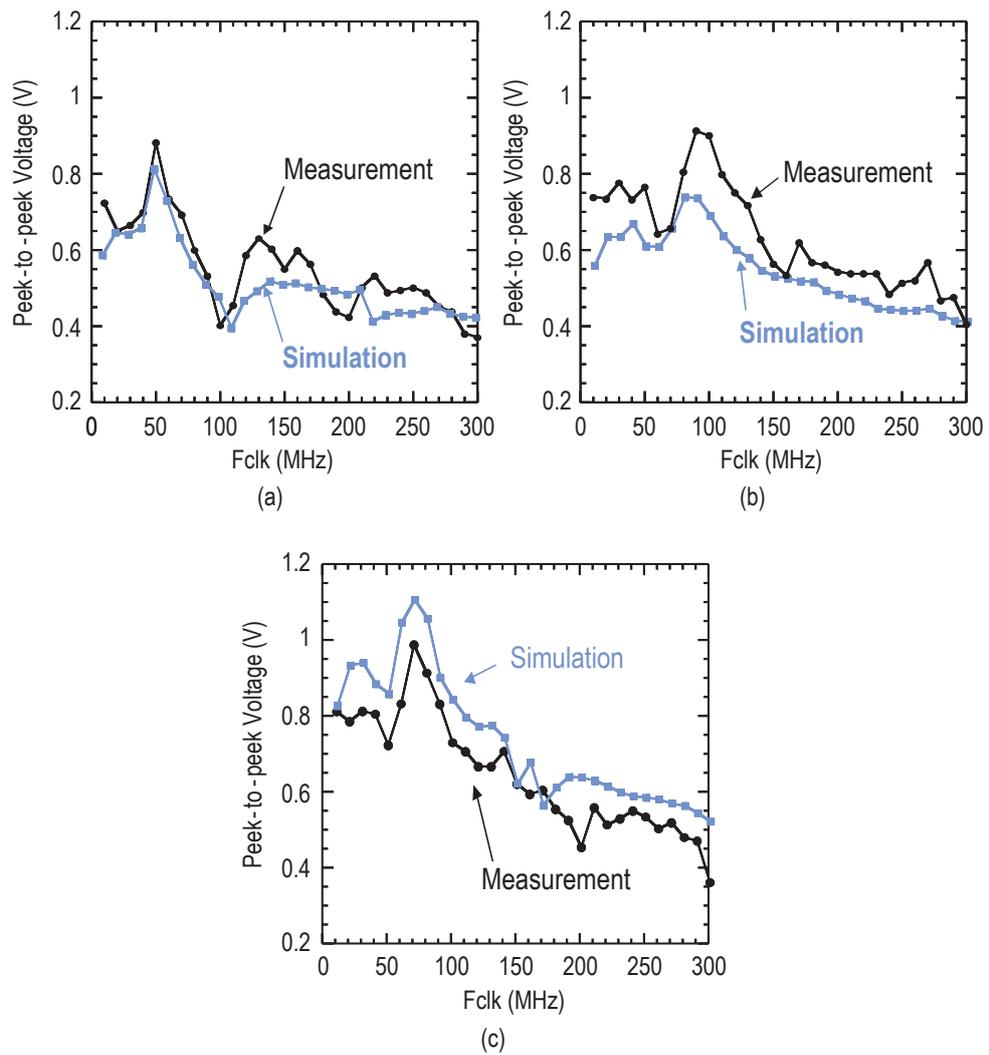


Figure 2.17: 電源ノイズ振幅評価結果 (a) 実装パターン#1, (b) 実装パターン#2, (c) 実装パターン#3

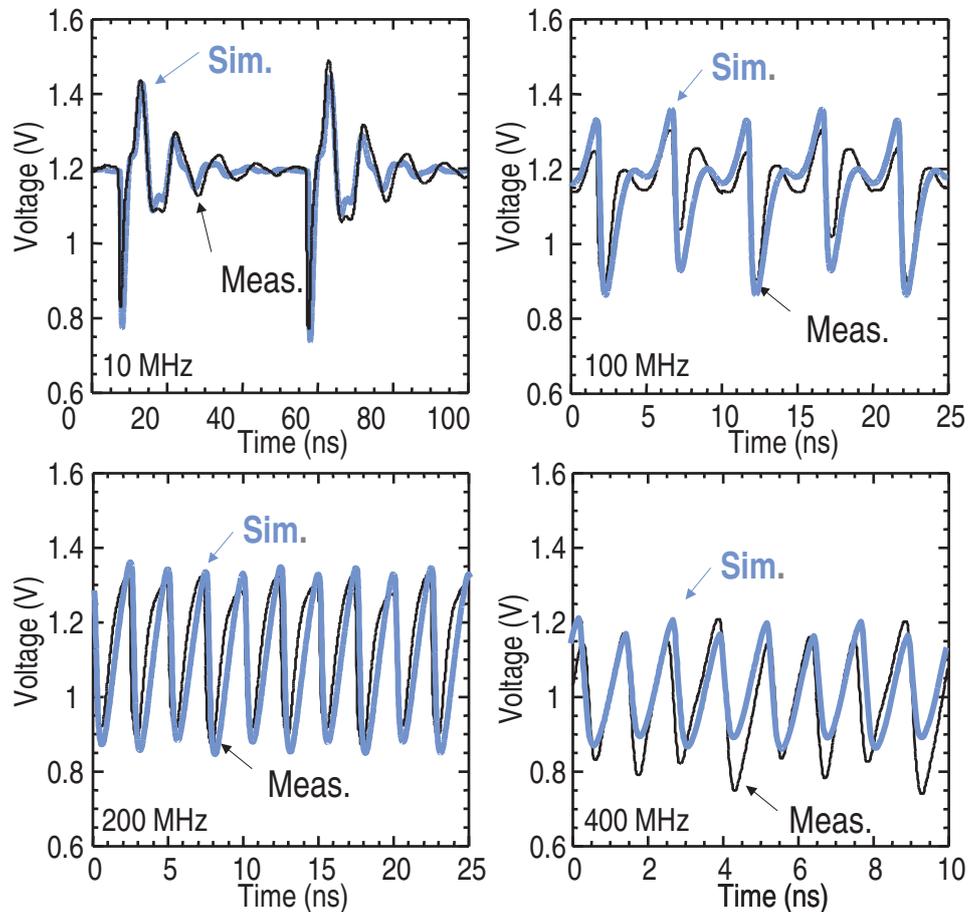


Figure 2.18: 電源ノイズ波形評価 実装パターン#1

400 MHz と設定した際に発生する電源ノイズ波形の実測と解析の比較結果を示す。実測・解析時の実装パターンは、Fig. 2.18が#1, Fig. 2.19が#2である。この結果を見ると、実測結果と解析結果は 400 MHz 動作時においても振幅やノイズ波形に含まれる成分がよく一致しており、提案モデルがデジタル回路で発生する電源ノイズ成分を広い動作周波数レンジにおいて精度よく表現していることが分かる。これまで挙げた結果により、提案する電源ノイズ解析モデルは、実装形態の変更や広い周波数レンジにおいて、LSIにおいて発生する電源ノイズを精度よく解析できることが確認できた。

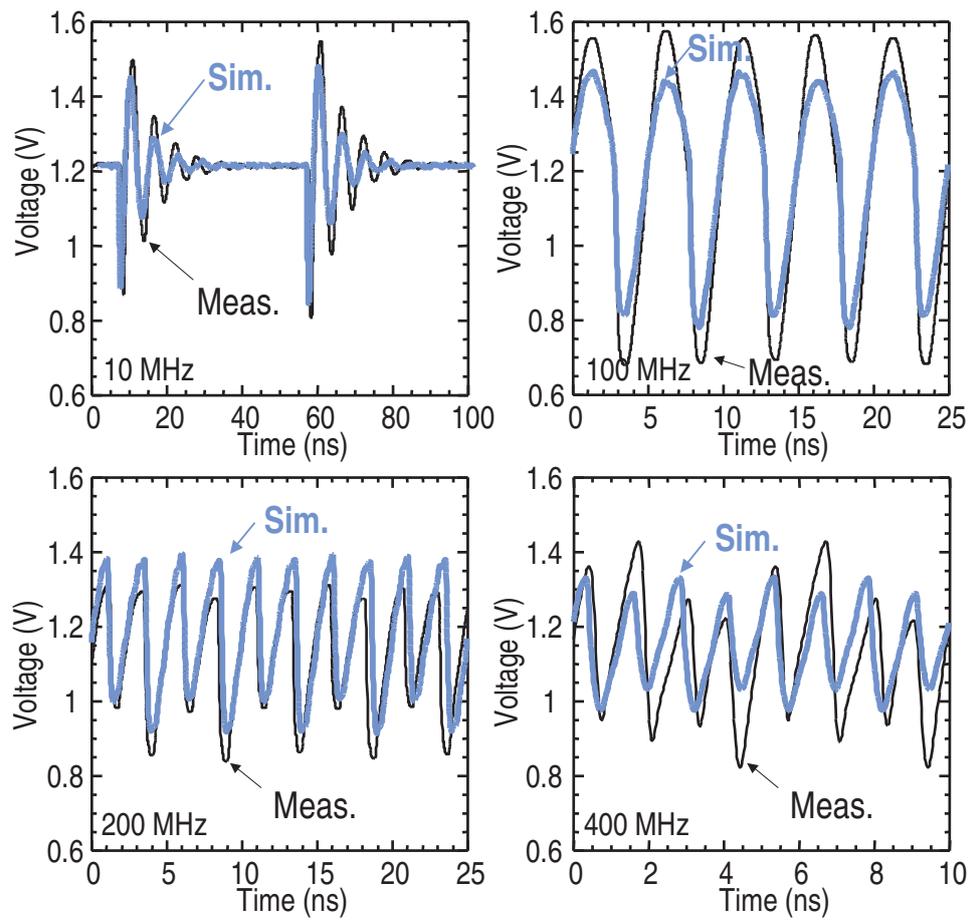


Figure 2.19: 電源ノイズ波形評価 実装パターン#2

### 2.5.3 オンボード電源ノイズ評価結果

デジタル回路動作時に発生する電源電流成分の評価・解析結果を示す。初めに、回路動作の消費電流値の評価結果を Fig. 2.20(a) に示す。消費電流量は、デジタル回路の動作周波数に比例して増加するが、解析結果も実測結果の傾きを精度よく表していることが確認できる。提案モデルの作成フローにおいて、消費電流量から電流モデルの容量値を決定していたが、このように決定した容量値を用いた容量充電モデルにより様々な周波数における回路動作時の消費電流値を正しく見積もることが可能であることが示された。

次に、プリント基板の電源ラインを流れるノイズ電流の評価結果を Fig. 2.20(b) および (c) に示す。ここで、Fig. 2.20(b) は実装パターン#1、(c) は実装パターン#2となっている。電流成分の実測には磁界プローブを用いた。これらの結果は、発生する電源電流ノイズの周波数成分のピーク成分値をノイズ源回路の各動作周波数毎に求めてグラフ化したものである。そのため、グラフの x 軸は動作周波数  $F_{clk}$  となっている。Fig. 2.16 のオンチップ電源ノイズ成分評価の場合と同様に、動作周波数が PDN の共振周波数の 1/2 の場合に発生するノイズピーク成分が最大となることが分かる。

## 2.6 結言

本章では、容量充電モデルをノイズ源モデルとして使用し、これと LSI システムの PDN モデルを組み合わせた LSI・パッケージ・ボード統合電源ノイズ解析モデルの提案および解析精度評価を行った。モデルを用いた解析精度を評価するため、周波数やノイズ量などを自由に設定可能なデジタル回路とオンチップでの電源ノイズ測定が可能な電源ノイズモニタ回路を搭載したチップを試作した。プリント基板における電源供給ラインやデカップリングコンデンサの搭載位置を変えることで様々な実装パターンを発生させ、各実装に対応するモデルによる電源ノイズ解析を行った。この結果により、システムで発生する電源ノイズの特性を決定するインピーダンス要素を明らかにし、さらに提案モデルは、様々な実装形態のシステムに対して適用可能であるということが示された。また、モデルによる解析結果は、磁界プローブを用いたオンボード電源ノイズ実測結果ともノイズ成分量や周波数特性がよく一致し、提案モデルがシステムの電源ノイズ推定において有効性であると示された。

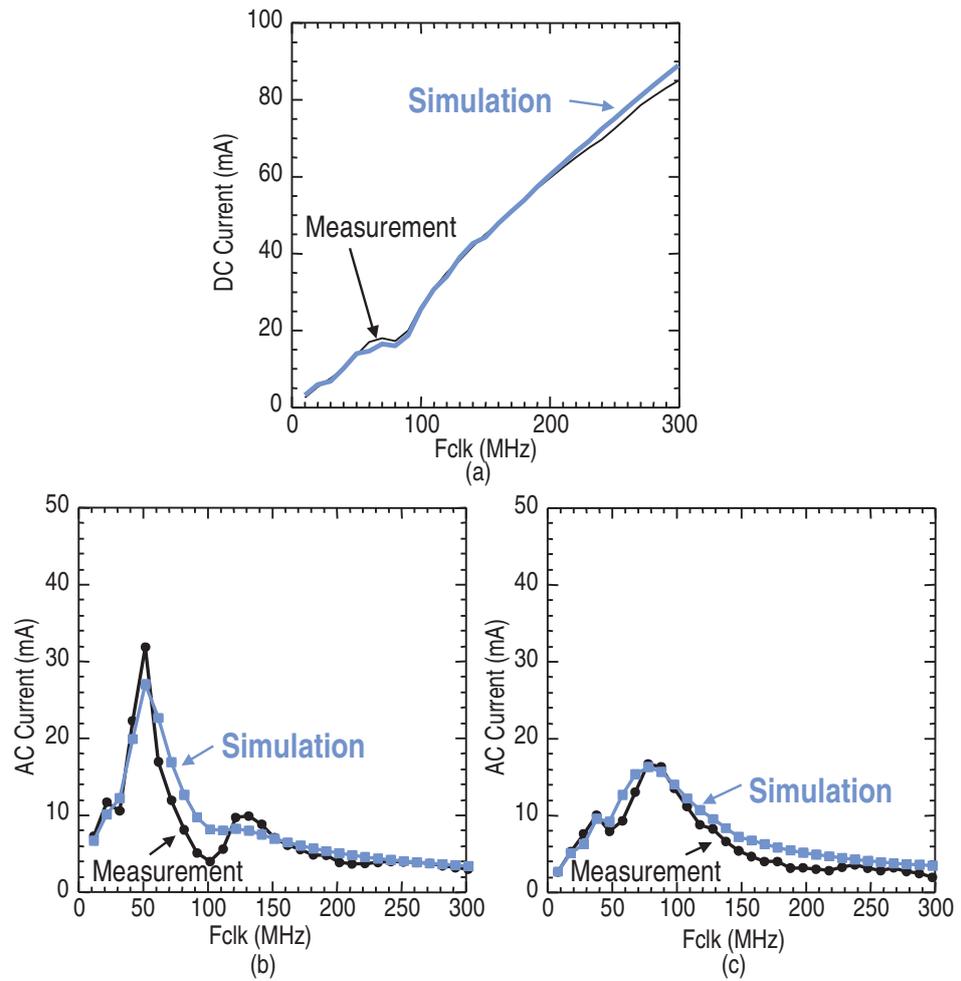


Figure 2.20: 電流評価結果 (a) 平均消費電流, (b) 実装パターン#1における動作周波数とピーク電流成分, (c) 実装パターン#2における動作周波数とピーク電流成分

## 第3章

---

# 32bit マイクロプロセッサのエミッション評価

### 3.1 緒言

本論文の2章において評価対象としたリファレンス電源ノイズ生成回路は、単一のシフトレジスタで構成される極めて均一な回路構造を有するとともにノイズ周波数成分やノイズ量が自由に設定できるという特徴を持ち、提案する LSI・パッケージ・プリント基板を統合した電源ノイズ解析モデルの初期精度評価対象としては適した回路である。しかし、実際の製品・機器に搭載されている LSI はその動作に論理的な意味付けを持つため、2章における評価結果では、リファレンス電源ノイズ生成回路を対象とした評価で提案モデルの一定の精度は確認されたが、提案モデルが実際の製品設計において有用であるかは実証されていない。

本章では 32bit マイクロプロセッサを対象とした電源ノイズの評価を行う。マイクロプロセッサは、様々な電子機器の制御を行う頭脳としての役割を果たす重要な部品であり、実際の製品に搭載される LSI を想定した評価としては最適な対象であると言える。

### 3.2 システム概要

本章での電源ノイズ評価対象となるシステムの概要について述べる。評価対象チップや評価対象基板について説明し、チップに搭載されている回路ブロックの説明や、本章で採用したオンチップ電源ノイズ測定手法を詳しく述べる。

#### 3.2.1 評価対象チップ・プリント基板概要

本章において評価対象となるチップおよびプリント基板の写真を Fig. 3.1 に示す。チップはトリプルウェル構造の 90 nm CMOS プロセスで試作され、チップサイズは 2.5 mm 角、コア電源電圧は 1.0 V、配線レイヤー数は 6 層である。

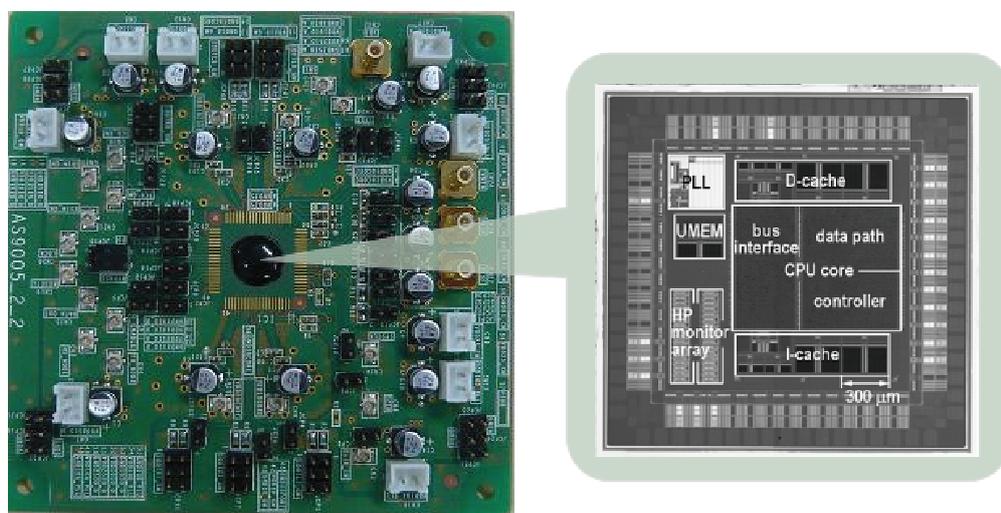


Figure 3.1: 評価チップ・プリント基板

プリント基板はFR-4規格の4層構造のボードで10 cm角、厚さは1.6 mmである。プリント基板には評価対象チップの他に、チップ動作時の電荷供給の役割を果たすデカップリングコンデンサや、定電圧を供給する安定化電源装置や外部信号発生装置との接続を行うための各種コネクタが実装されている。

### 3.2.2 評価対象チップ構造

Fig. 3.2に示す評価チップの構造、およびそれぞれの回路ブロックの説明を行う。本チップは、CPUコア、データキャッシュメモリ(D-cache)、命令キャッシュメモリ(I-cache)、ユーザーメモリとそのコントローラ(MC)、位相同期発振回路(PLL)、および電源ノイズ測定を目的とするノイズモニタ回路(NM)アレイと、ノイズモニタ回路の測定値をチップ外部に電流出力する電流バッファ回路(CM)で構成されている。

それぞれのSRAMメモリのサイズは、プログラムメモリが2 Kbyte、データ・命令キャッシュメモリがそれぞれ8 Kbyteである。

CPUコアの電源・グラウンド電圧は4組の電源ピンから供給されており、アレイ状に構成・配置されたノイズ検出回路(NM)はCPUコアの電源・グラウンド電圧をチップ全体で合計120点観測可能な構造となっている。

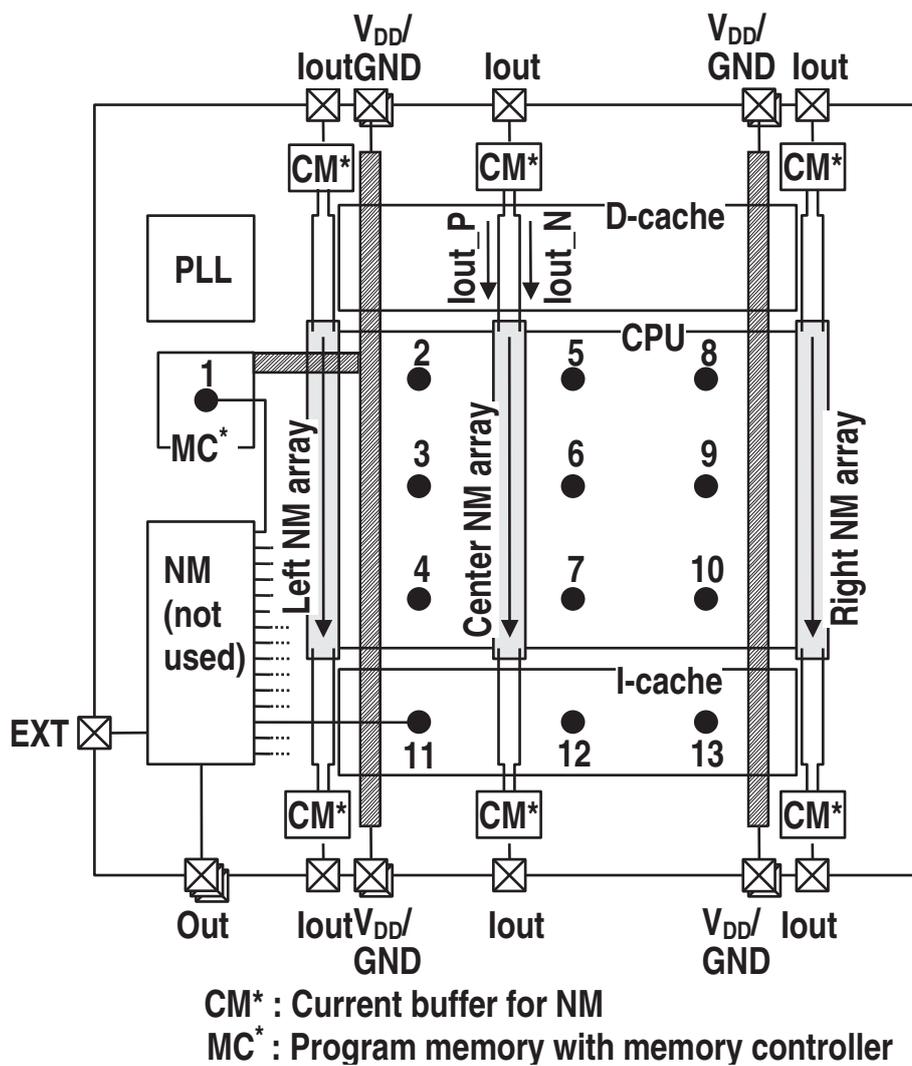


Figure 3.2: 評価チップ構成

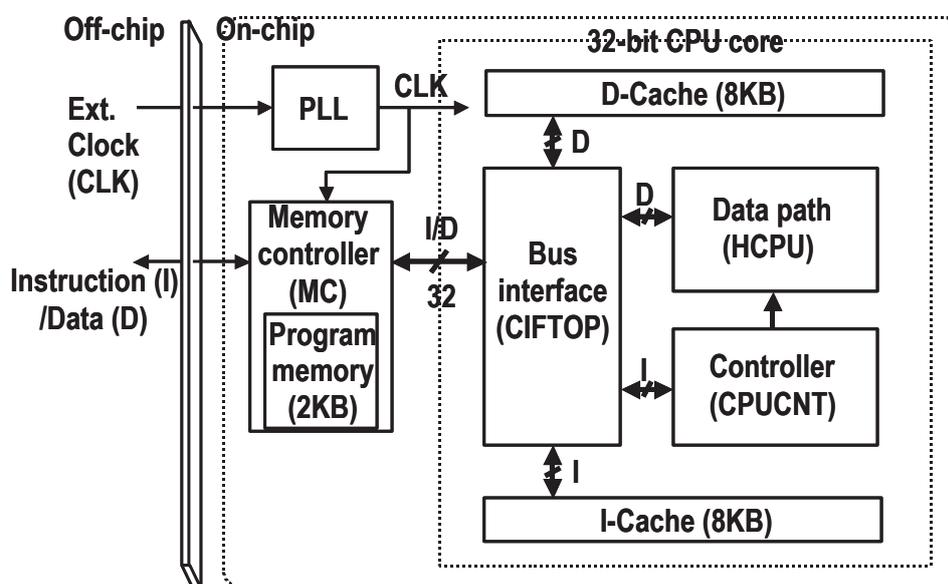


Figure 3.3: マイクロプロセッサ構成

### 3.2.3 プロセッサコアの特徴

本チップに搭載されているマイクロプロセッサとその周辺回路を Fig. 3.3 に示す。マイクロプロセッサは、32bitCPU、プログラム内蔵メモリ、メモリコントローラ及びシリアル転送コントローラからなる。このプロセッサの特徴は、プログラムメモリに書き込んだ命令とデータに応じてCPUコアが動作可能なことである。このため、CPUコア動作に必要な外部信号はクロック信号のみとなり、外部との通信を最小限に抑えることができる。これにより、信号がI/Oバッファを駆動することで発生するI/Oセルの電源ノイズを抑制でき、CPUコアで発生する電源ノイズにフォーカスして評価できる。

一般に、I/O回路の電源ドメインはメインの回路ブロックの電源電圧よりも高く設定される。これは、I/O回路がチップ外部に信号を送信する際に、パッケージやプリント基板に寄生する容量成分を駆動する必要があり、I/O回路に一定の駆動力が求められるためである。また、この駆動力を実現するために、一般のデジタル回路で使用されるトランジスタサイズよりもはるかに巨大なトランジスタでI/O回路は構成されている。

対象チップにおいても、CPUコアとその周辺回路の電源電圧は1.0Vであるが、他方I/O回路の電源電圧は2.5Vと高く設定されている。これらの要因のため、I/O回路がクロック信号やデータ信号で駆動されると、高い電源電圧と巨大なトランジスタによる電源電流が発生し、これが大きな電源ノイズを発生

させる。

このI/O回路で発生した大きな電源ノイズは、容量結合を介してコア領域へと漏洩し、コア電源電圧の変動として観測される。この漏洩は、容量結合を介しているため高周波成分として現れるのがその特徴であり、一般に電圧のスパイク状の変動となる。このような電源電圧の瞬時的な変動は、例えばレジスタで保持している情報の消失などにより、回路の動作に影響を与える危険があるため設計時の対策が必要となる場合がある。しかし、影響を与える電圧変動が瞬間的に発生するため原因の特定は困難である。

本チップにおいては、コアの動作に起因する電源ノイズの評価に焦点を当てるといふ目的で、CPUコア動作時のI/O回路の駆動を最小限に抑える回路構造を採用している。また、I/O回路で発生する電源ノイズを含んだノイズ評価・解析が必要な場合においても、本稿において提案するノイズ解析手法は有効である。これは、I/O回路とコア部分の容量結合はPDNの等価回路モデルで表現可能であり、I/O回路で発生する電源電流は提案ノイズモデルである容量充電モデルを用いてモデル化可能なためである。

次に、CPUコアの動作フローについて説明を行う。32bitCPUはプログラム内蔵メモリに格納された命令を読み込み実行する。内蔵メモリに外部からプログラムデータを書き込む機構は、メモリへのデータのシリアル入力を可能にするシリアル転送コントローラを搭載した。さらにプログラムメモリとシリアル転送コントローラ、CPU間のデータ転送を制御するメモリコントローラを搭載した。

シリアル転送コントローラは、外部の入出力とプログラム内蔵メモリのデータ通信を行う。メモリへのデータ書き込み時にはデータのシリアル-パラレル変換を行い、メモリからのデータ読み出し時にはパラレル-シリアル変換を行う。メモリコントローラは、シリアル転送モードとプロセッサコア転送モードを持つ。シリアル転送モードは、外部の入出力とプログラム内蔵メモリのデータ転送を行うモードであり、プロセッサコア転送モードはプロセッサが内蔵メモリに格納されたプログラムやデータを読み込み、実行している状態である。

プロセッサコアの動作フローとしては、初めにシリアル転送モードで外部からプログラムを内蔵メモリに書き込む。次にプロセッサコア転送モードでプロセッサが内蔵メモリに格納されたプログラム及びデータを読み込み処理を行う。

### 3.3 プロセッサで発生する電源ノイズ測定手法

本節では、プロセッサで発生する電源ノイズをオンチップ及びオンボードで測定する技術についての説明を行う。オンチップ電源ノイズ、つまり電源電圧

の変動は電流モード・リアルタイムオンチップモニタ回路を用いて測定される。一方で、オンボード電源ノイズ，すなわちプリント基板の電源ラインを流れる高周波電流成分は既存技術であり，IECの標準化手法である磁界プローブを用いて測定される。

### 3.3.1 電流モード・リアルタイムオンチップモニタ回路

本章でのプロセッサ動作時の電源ノイズ測定に対しては，2章での評価で使用したサンプリング型のモニタ回路は適していない。2章でのノイズ評価対象は，クロックサイクル毎に繰り返し同じ電源ノイズを発生するような周期的な動作を行う回路であり，クロック1周期の電源ノイズ波形取得をすればノイズ特性の把握が可能な回路構造であった。

一方で本章のノイズ評価対象であるプロセッサは，実行する命令や計算で扱うデータの違いによって発生するノイズの大きさが異なる上に，実際の回路動作においては複数の命令を組み合わせた演算を行うことが普通である。このため，電源ノイズ評価においても長周期のクロックサイクルに対する電源ノイズ測定が必要となる。また，サンプリング型のモニタ回路は，測定に必要な信号をチップ内で発生させる回路を一式搭載する場合，タイミング発生回路や参照電圧発生回路のチップに占める面積が問題となる。プロセッサのような大規模な回路と共に搭載するには面積的な制約が大きい。このため，長時間のノイズ測定に適し，なおかつ省面積なノイズ測定回路を設計する必要がある。このような電源ノイズ測定に必要な機能を実現した測定手法として，電流モード・リアルタイムオンチップモニタ回路が提案されている。

今回の試作チップに搭載したオンチップモニタ回路の構造及び特徴を述べる。

この回路は，Fig. 3.4に示した回路図の通り2段のMOSで構成されており，被測定信号の電圧値を1段目のソースフォロワ回路でバッファリング・レベルシフトを行う。ソースフォロワ回路の目的は，電源電圧という回路内で極めて扱いづらい電圧値をレベルシフトにより下げることで後段の回路における信号の取り扱いを容易にすることにある。 $V_{\text{sfb}}$ はソースフォロワ回路のバイアス電圧で，設計値は0.5Vである。この電圧はチップ外部から安定化電源や電源ICを用いて供給される。また，この回路はSEL信号による動作のオン・オフの切り替えが可能である。これにより，測定に使用するモニタ回路のみを選択的に使用可能であり，使用しない全てのモニタ回路の動作をカットオフすることでモニタ回路動作による消費電流の増加を最小限に抑えている。

レベルシフト後の電圧は，2段目のMOSFETで電流変換される。電流変換された信号は，電流バッファ回路(CM)を介してチップ外へと出力される。チップ外への出力に電流モードを用いることで，パッケージやプリント基板などの

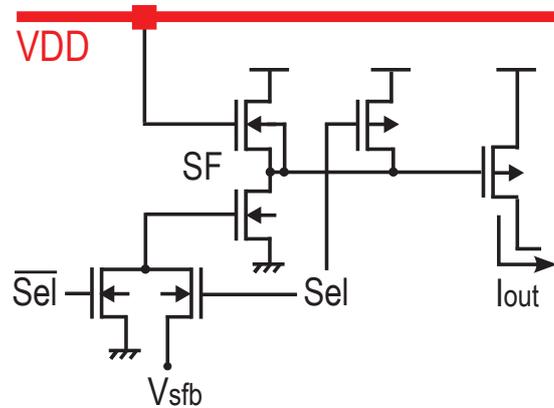


Figure 3.4: リアルタイム電源ノイズ観測

オフチップ配線における寄生容量の信号への影響を低減できる。チップ外へ電流出力された信号はプリント基板上に搭載した  $50\Omega$  の抵抗終端で電圧へと再変換される。終端抵抗の両端子間をオシロスコープで測定することで電源ノイズ波形取得を行う。この回路の動作コンセプトは、被測定信号のコピーをプリント基板上の終端抵抗器に作り出すことである。

モニタ回路のサイズは  $30.0\ \mu\text{m} \times 12.7\ \mu\text{m}$  である。これはプロセッサを構成するスタンダードセルと同規模のサイズであり、スタンダードセルと並べる形でレイアウト上に配置可能である。いわばモニタ回路をプロセッサの内部に埋め込む形になる。このためノイズ観測点の直近にモニタ回路を埋め込み配置することが可能であり、ごく短いプローブ配線で被観測点とモニタ回路の入力を結ぶことができる。これにより、プローブ配線に寄生する容量成分を最小限に抑えることができ、寄生容量による信号劣化や帯域制限を削減できる。

モニタ回路の消費電流値は、1段めのソースフォロア回路が  $2\ \text{mA}$ 、後段の電流出力部分が  $8\ \text{mA}$  となっている。電流出力部分の消費電流値は、プリント基板上の  $50\ \Omega$  の終端抵抗の駆動時である。

本モニタ回路はリアルタイムでのノイズ観測が可能であるため、ノイズ測定にかかる時間は対象となる波形取得時間のレンジに依存しない。このため長い時間スパンを対象としたノイズ測定が可能であり、対象回路動作時のノイズ波形を大局的に観測・評価できる。この点は、対象回路の数百クロックサイクルにわたる長時間動作時のノイズ波形の遷移を観測したい場合や、電源ノイズ波形をフーリエ変換し、周波数レンジでのノイズスペクトル評価を行う際に役に立つ。

### 3.3.2 オンボード電源ノイズ測定手法

2章での磁界プローブを用いたオンボードでの電源ノイズ測定を、本章の評価対象であるプロセッサに対しても実施した。プロセッサコアに電源を供給するプリント基板上の4本の電源ラインは、それぞれ Fig. 2.6 で示した磁界プローブでの電流測定の規定構造となっている。磁界プローブを用いることで、プロセッサ動作時においてプリント基板上の電源ラインを流れる高周波電流成分を測定可能である。

## 3.4 電源ノイズ解析モデル

### 3.4.1 大規模デジタル設計回路向け容量充電モデル作成フロー

ノイズモニタ回路をプロセッサの電源ノイズ測定用に改良したのと同じく、ノイズ源モデルである容量充電モデルの作成フローも評価対象回路の大規模化に則した改良を行った。

使用するノイズ源モデルは、Fig. 2.8の容量充電モデルであり、プロセッサに使用されている各スタンダードセルのモデル化を行う点、および容量充電モデルの  $C_n$ 、 $R_n$  の決定方法は2章で述べた手法と同等である。

モデル化フローの概念図を Fig. 3.5 に示す。デジタル回路は、多数のスタンダードセルで構成される。デジタル回路で発生するノイズは、各クロック遷移タイミングにおいて、どのセルがどのようなスイッチング動作を行うかの情報の合計として表される。デジタル回路の動作に伴い発生する電源ノイズ成分は、対象回路の動作クロック周波数と動作ベクタに依存する。このため、これらの情報を取り入れた容量充電モデル作成フローを提案する。任意ベクタ入力時におけるデジタル回路の動作を模擬するノイズ源モデル作成のために、モデル化対象回路の各クロック遷移タイミングにおいて、回路を構成する各セルのうちどのセルにおいて入出力遷移が発生しているのかを知る必要がある。この機能は Verilog プログラムを拡張することで実現される。これにより得られたセル遷移情報と各スタンダードセルの容量充電モデル RC パラメータ値のデータベースとにより、モデル化対象回路の任意ベクタ入力時の容量充電モデルが作成される。

### 3.4.2 SRAM マクロセルのノイズ源モデル作成

プロセッサを構成する要素として、スタンダードセルに加えて SRAM マクロセルが挙げられる。これは、SRAM という機能を持った回路ブロックとしてレ

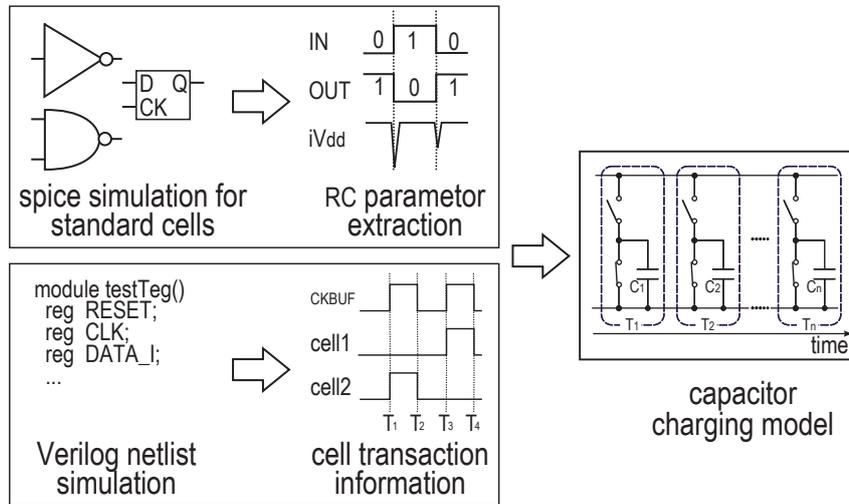


Figure 3.5: 容量充電モデル作成フロー

イアウトデータやネットリストが提供されるブロックで、プロセッサをスタンダードセルに機能的に分解したように、下位の回路ブロックへと分解するのは困難である。このような回路ブロックのノイズ源モデル作成は、ブロック全体を一つのノイズ源モデルとして作成を行う。

作成手順はスタンダードセルのモデル化と同じく、ゲートレベルの SPICE ネットリストの電源電流解析を行い、その結果から容量充電モデルのパラメータである  $C_n$ ,  $R_n$  の値を決定する。実際に、キャッシュメモリとして搭載されている SRAM マクロセルの電源電流解析結果、およびそれを元に作成した容量充電モデルによる電源電流解析結果を Fig. 3.6 に示す。Fig. 3.6(a) が SPICE によるゲートレベルのネットリストの電流解析結果であり、Fig. 3.6(b) は作成した容量充電モデルの電流解析結果である。このように、SRAM マクロセルに対しても容量充電モデル作成フローは適用可能であり、作成した容量充電モデルを用いた電流解析結果が、ゲートレベルネットリストを用いた解析結果と比較して十分に精度の良い結果を得られることが示された。

### 3.5 電源ノイズ評価結果

本章の評価対象である 32bit のマイクロプロセッサ動作時に発生する電源ノイズ成分の評価・解析結果を示す。

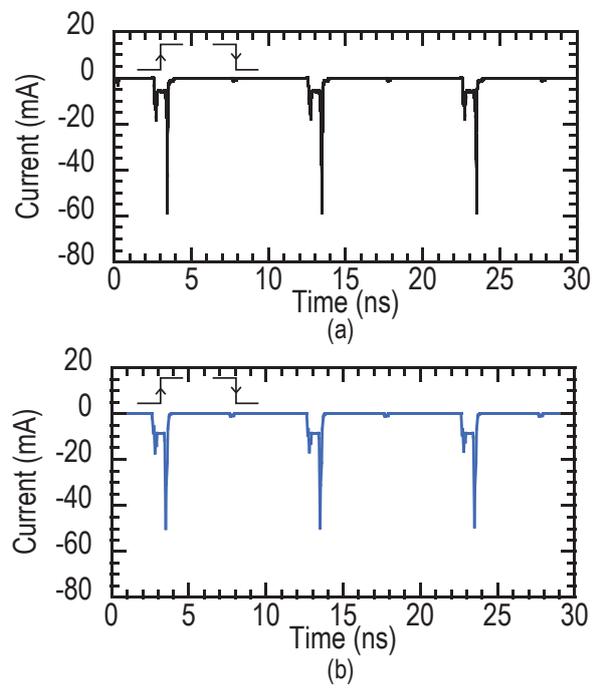


Figure 3.6: SRAM マクロモデルの解析結果 (a) ゲートレベルネットリスト解析, (b) 容量充電モデル解析

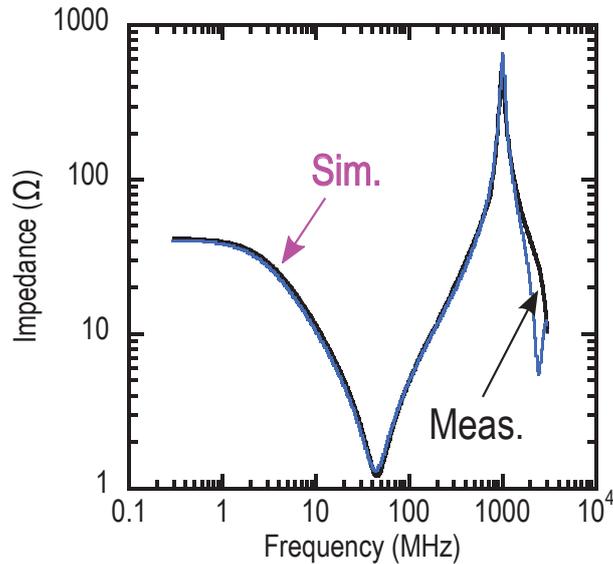


Figure 3.7: システムのインピーダンス評価結果

### 3.5.1 インピーダンス評価

本項においては、プロセッサを対象とした電源ノイズの評価結果を示す。

初めに、作成した LSI・パッケージ・ボード 統合ノイズ解析モデルにおけるインピーダンス評価結果を示す。ネットワーク・アナライザを用いてプリント基板の電源端子からみた 1 ポート S パラメータ  $S_{11}$  を測定し、Z パラメータへの変換を行いインピーダンス実測値とする。この時、回路の電源電圧はバイアスティーを介して与えられており、プリント基板上のデカップリングコンデンサは全て取り外した状態を想定している。実測値とモデルでの解析結果とを比較した結果を Fig. 3.7 に示す。それぞれの結果において、40 MHz 付近において直列共振によりインピーダンスが極小となる点があり、一方で 1 GHz 付近に並列共振によりインピーダンスが極大になる点がある。前者の極小点は、プリント基板およびボンディングワイヤのインダクタンス成分と、チップ自身もつキャパシタンス成分との直列共振である。後者の極大点は、プリント基板のキャパシタンス成分と、プリント基板およびボンディングワイヤのインダクタンス成分との並列共振である。実測結果と解析結果は 1.5 GHz までの周波数範囲において最大で 2.74 dB の差を持ち、良い精度で整合することが示された。これにより、電源ノイズの解析においても、1.5 GHz までの帯域において、解析結果が実測結果と精度よく一致することが期待される。

### 3.5.2 オンチップ電源ノイズ評価

次に、解析モデルを用いた電源ノイズの時間領域および周波数領域における解析結果と、オンチップノイズ測定結果との比較結果を示す。電源はプリント基板上に4箇所存在する電源ラインのうちの1箇所のみから給電されている状態である。プロセッサの動作は、単一の演算命令、ここでは XOR 演算を繰り返すものである。オンチップモニタ回路による電源ノイズ測定のイメージ図およびプロセッサの動作周波数が 10 MHz と 200 MHz の場合の電源ノイズ波形の評価結果をそれぞれ Fig. 3.8, Fig. 3.9 に示す。

Fig. 3.9 を見ると、(a) のプロセッサの動作周波数が 10 MHz の場合は、電源ノイズ波形にリングングが発生している。一方で、(b) のプロセッサの動作周波数が 200 MHz の場合についてノイズ波形のリングングは確認できない。また、定常動作時において、10 MHz 動作時の方が 200 MHz 動作時に比べて最大電圧ドロップ量は大きいことなどが確認できる。これらの観測された電源ノイズの傾向を、モデルを用いた解析結果はよく表しており、リングング周波数やノイズ量の点から見てもモデルによる解析結果は、実際のプロセッサ動作で発生する電源ノイズを十分に精度よく予測出来ると結論づけられる。

この解析・実測両波形をフーリエ変換し、含まれる周波数成分の分布を示したものが Fig. 3.10 となる。これを見ると、プロセッサの動作周波数が 10 MHz の時は 40 MHz にノイズ成分のピークが発生している。これは、時間波形に見えるリングングの周波数が 40 MHz のためである。この周波数は、一般にチップの寄生容量  $C_{\text{die}}$  と、動作回路から主要な電荷供給点までのインダクタンス値で決定される。

一方、動作周波数が 200 MHz の場合、ノイズ成分のピークは 400 MHz に存在している。これは、プロセッサコアが、クロックの立ち上りと立ち下り時に電流を消費しているため、つまりクロックの 1 周期に 2 回の電流消費が発生しているため、クロック周波数の 2 倍の周波数にピークが立っている。このように、デジタル回路においては、低周波動作時、一般に PDN 共振周波数の  $1/2$  よりも低いクロック周波数における動作時は PDN のインピーダンス特性で決定されるノイズのリングング成分が主要成分として現れる。また、高周波動作時、つまり PDN 共振周波数の  $1/2$  より高い周波数における動作時はクロック周波数の 2 倍の成分が主要成分として見える。これは、クロック同期するデジタル回路全般に当てはまる電源ノイズ周波数特性である。

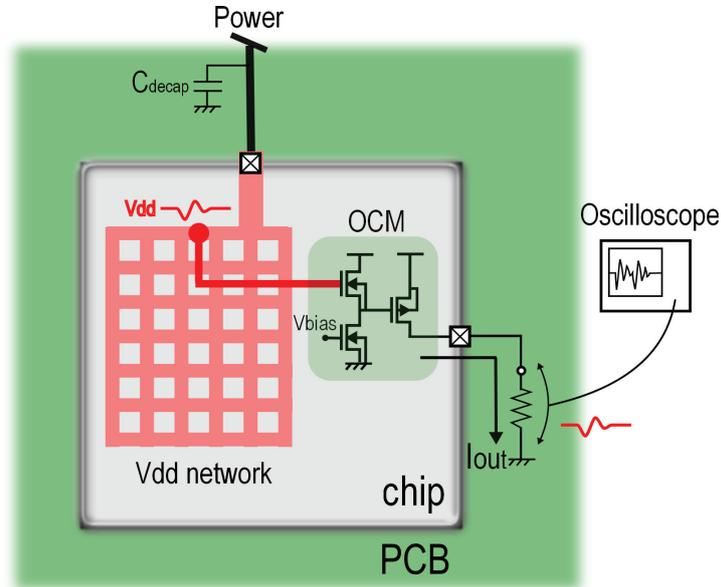
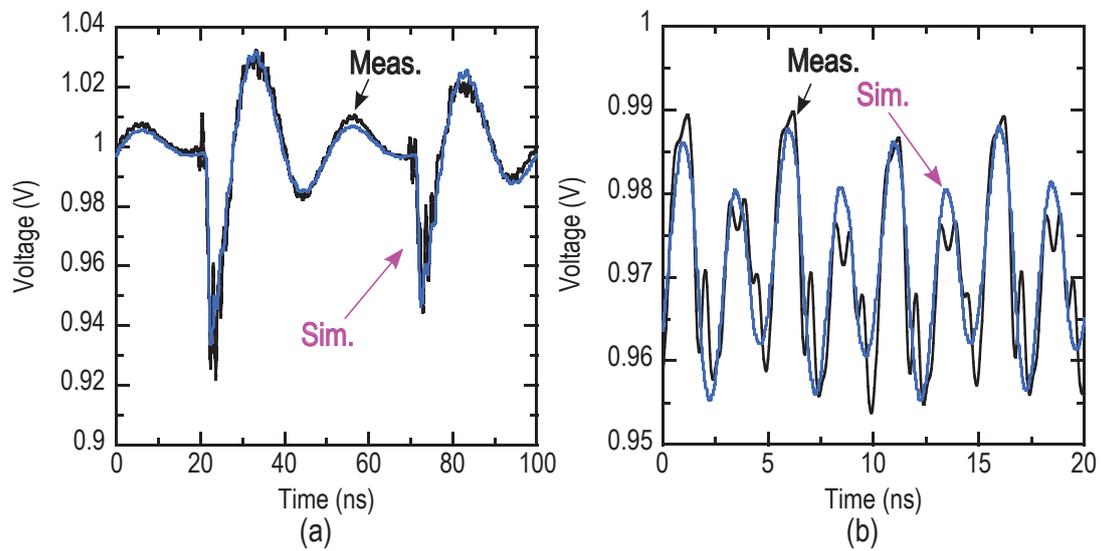


Figure 3.8: 電源ノイズオンチップ評価イメージ図

Figure 3.9: 電源ノイズ波形評価結果 (a)  $F_{\text{clk}} = 10 \text{ MHz}$ , (b)  $F_{\text{clk}} = 200 \text{ MHz}$

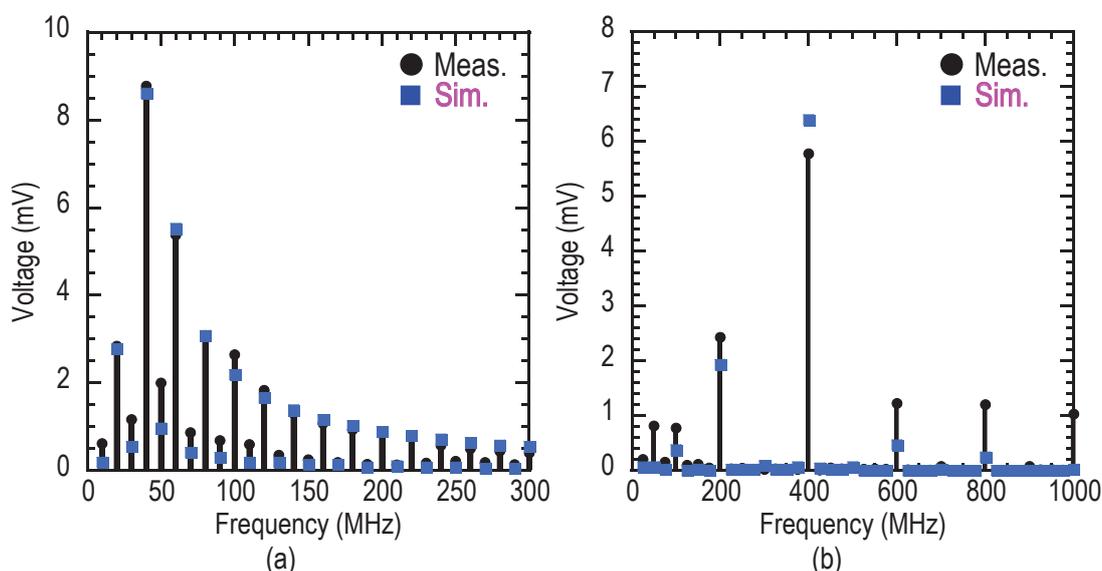


Figure 3.10: 電源ノイズ成分評価結果 (Fig. 3.9 の FFT 結果) (a)  $F_{\text{clk}} = 10 \text{ MHz}$ , (b)  $F_{\text{clk}} = 200 \text{ MHz}$

### 3.5.3 電源ピン数と電源ノイズの関係

次に、プロセッサの実装形態が変更された場合を模擬したノイズ評価結果を示す。Fig. 3.9, Fig. 3.10における実測および解析の結果はプリント基板上の4箇所からの電源ラインのうち1箇所からのみ電源供給を行った場合であった。設計時に行われる電源ノイズ対策として最も一般的な方法の1つに、チップの電源・グラウンドピンの数を増やすという対策が挙げられる。これは、チップ・ボンディングワイヤ・パッケージ・プリント基板に渡る電源やグラウンド配線の並列数を増加させることで等価的なインダクタンス値を減少させ、電流変動時に発生する電源ノイズを抑制するためである。このような電源ノイズ対策の有効性を、電源供給ピン数を Fig. 3.11 に示すように、1箇所から4箇所へと増加させることで確認を行った。また、ノイズ解析モデルがこのような設計の変更を正しく反映できるかの検証も同時に行った。

はじめに、4箇所給電へと変更した場合のPDNインピーダンスの変化を解析した。解析に用いたモデルの変更について述べる。チップ内部やボンディングワイヤのモデルは変わらず、変更する必要があるのはプリント基板のモデルのみである。Fig. 3.12は、給電系の設計変更にもなうPDNインピーダンスプロファイルの変化を解析したものである。それぞれ、(a)はプリント基板の電源供給点からチップを見たインピーダンスプロファイルであり、(b)はチップ

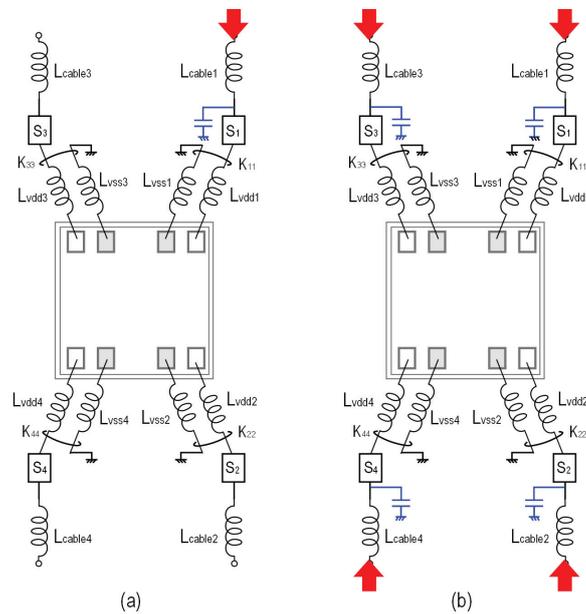


Figure 3.11: 電源ライン数の変更

内部の電源ノードからオフチップ要素を見たインピーダンスプロファイルである。これによると、(a)(b)ともに給電数の変化によるインピーダンス特性の変化が観測できる。(b)のグラフはチップ内部から見たインピーダンスであり、システムで発生する電源ノイズ成分の特性を示している。これをみるとインピーダンスの並列共振点が1給電時の40 MHzから4給電時に80 MHzに変化している。それと共に、共振のQ値が給電数を増やすことで低下していることが分かる。これらのことより、システムで発生する電源ノイズは、給電数が増えることでリングング周波数が高くなり、ノイズ成分分布としては1給電よりも4給電の場合のほうが全周波数帯域に渡り小さくなることが期待される。

これらの結果により、給電数を増やすことは、ノイズ成分を抑える効果が期待できることがインピーダンス解析から明らかになった。

次に、電源ピン数の増加と電源ノイズ量の抑制について実際にノイズモニタ回路によるノイズ測定を行い、ノイズ抑制効果の確認を行った。

4箇所給電時の電源ノイズ波形の実測と解析の結果を Fig. 3.13 に示す。評価時のプロセッサの動作パターンは、Fig. 3.9 における動作と同じ XOR 単一命令の繰り返し動作である。

Fig. 3.13(a) の実測結果や過渡解析結果においては、Fig. 3.12 のインピーダンス解析結果から予測されたリングング周波数の変化を正しく反映したのものとなっている。また、Fig. 3.13(b) の周波数成分分布においても、Fig. 3.10(a) の

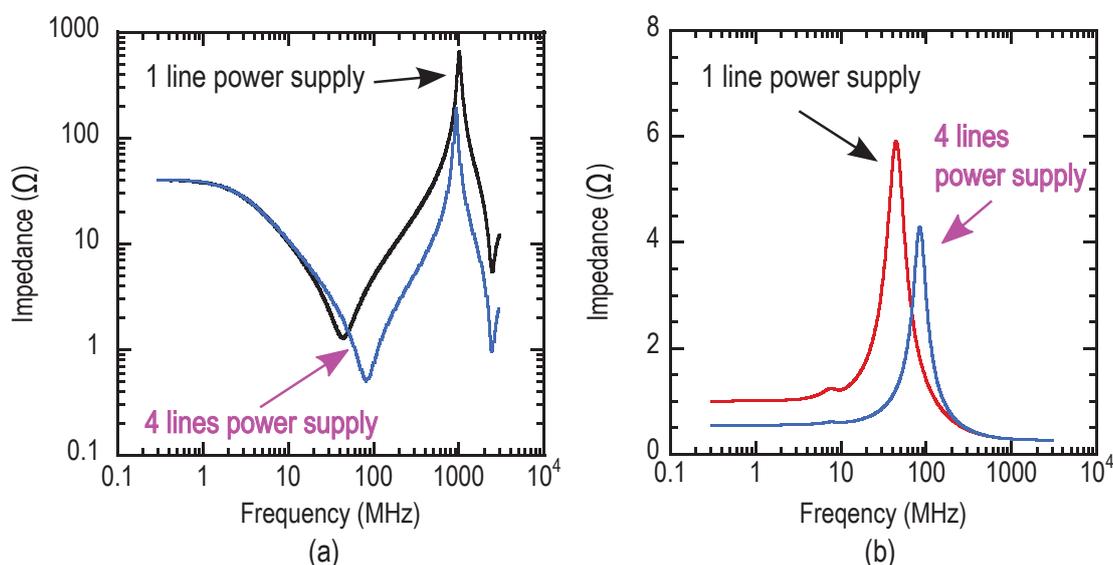


Figure 3.12: システムのインピーダンスと電源ライン数の関係 (a) プリント基板の電源供給点からチップを見たインピーダンスプロファイル, (b) チップ内部の電源ノードからオフチップ要素を見たインピーダンスプロファイル

1 給電時と比較してノイズ成分の全周波数帯域における減少が確認された。これらの結果より、提案するモデルによる解析結果から得られる電源ノイズが実際に発生する電源ノイズの成分変化を精度よく解析できることが確認された。

インピーダンス解析及びノイズ波形の過渡解析結果とを組み合わせることで、目的のノイズ抑制量の達成に最適な電源・グラウンドピンの数を解析的に明らかにでき、ノイズ対策として過不足のない電源・グラウンドピン数の設定が可能になると期待される。

### 3.5.4 オンボード電源ノイズ評価結果

次に、磁界プローブを用いたオンボード電源ノイズ評価結果について示す。Fig. 3.14は、オンチップ電源ノイズの測定のイメージ図であり、プロセッサコアのプリント基板上の電源ラインに磁界プローブをあて、測定値をスペクトルアナライザで読み取っていることが分かる。

Fig. 3.15にオンボード電源ノイズ測定結果を示す。Fig. 3.15(a)はプロセッサのクロック周波数が10 MHzの場合、Fig. 3.15(b)は200 MHzの場合であり、これらの結果は、オンチップ電源ノイズ測定結果、Fig. 3.10の(a), (b)にそれぞれ対応する。

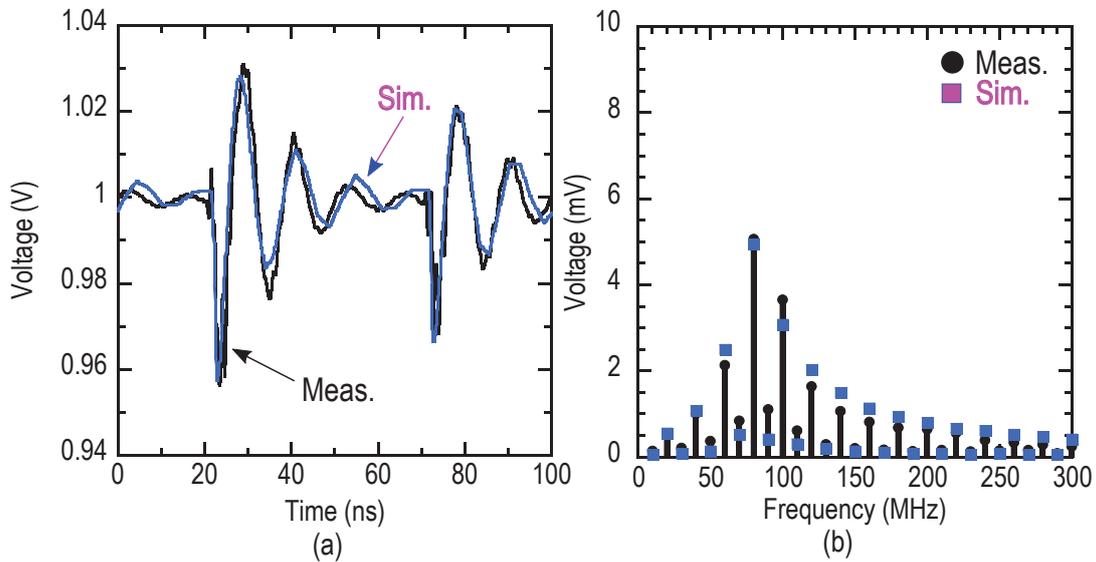


Figure 3.13: 4 並列給電時の電源ノイズ評価結果 ( $F_{\text{clk}} = 10$  MHz) (a) 電源ノイズ波形, (b) 電源ノイズ成分

ノイズに含まれる成分やその強度の傾向は、Fig. 3.10 と Fig. 3.15 で等しいことが分かる。これは、オンチップ電源ノイズとオンボード電源ノイズはそれぞれオフチップのインダクタンス成分によって関連付けられるためである。これにより、モデルの解析により、プロセッサ動作時にどのような電流成分がボード上に発生するのかの特定が可能であることが示された。今後は、この電流成分情報と電磁界解析を組み合わせることで、プリント基板から放射する電磁ノイズの解析を行うことが可能になると期待される。これにより、電子機器設計時の電源ノイズの定量化や予測が容易になり、実際に製造される電子機器の EMC 性能の向上が期待できる。

### 3.5.5 動的周波数制御と電源ノイズ

近年、プロセッサが様々なモバイル機器に搭載される様になり、限られたバッテリー容量で長時間動作を実現することが強く求められている。このような要求を満たすためのデジタル回路における消費電力削減技術として、動的電源電圧・周波数制御 (Dynamic Voltage and Frequency Scaling, DVFS) が広く使われている。これは、プロセッサが行う演算の重要度や負荷に対応して電源電圧や動作周波数を最適に制御することで性能を著しく劣化させることなく消費電力を削減する手法である。

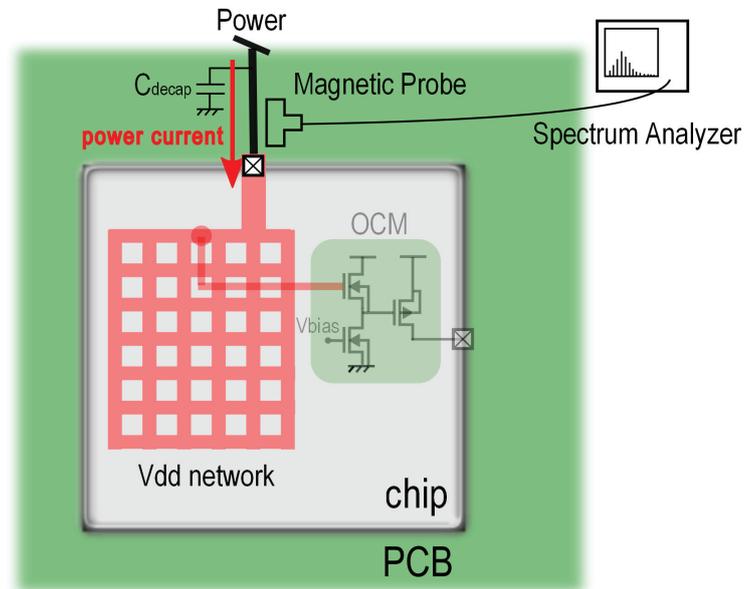
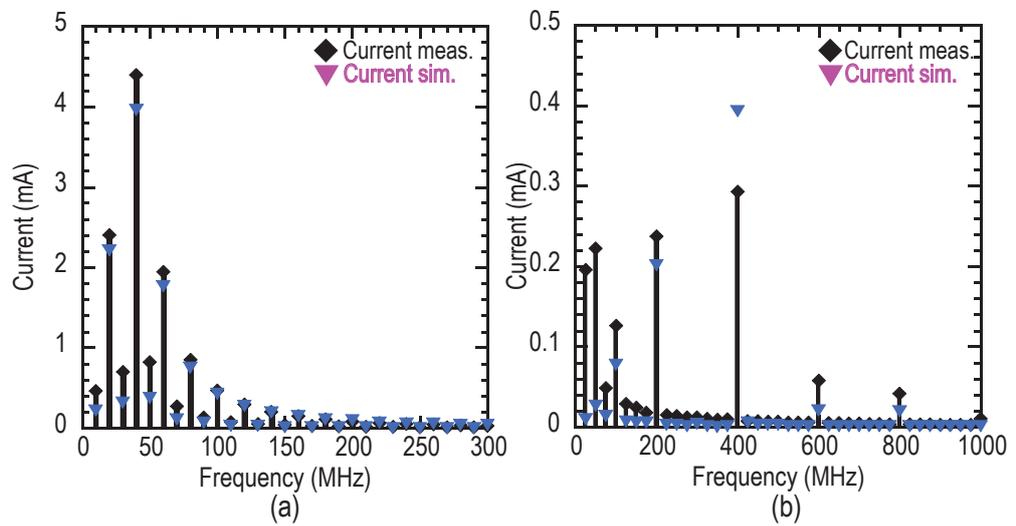


Figure 3.14: 電源ノイズオンボード評価イメージ図

Figure 3.15: 電源ノイズ電流成分評価結果 (a)  $F_{clk} = 10$  MHz, (b)  $F_{clk} = 200$  MHz

DVFSは、電源ノイズの観点から見ると、電源電圧の変化はノイズマージンの低下やノイズ電流値の変化を引き起こす。また、動作周波数の変化は、発生するノイズ成分の変化や、周波数遷移時の過渡的なノイズ成分の増大を引き起こすことが考えられる。このような動的な動作変化時にどのような電源ノイズが発生するか、及び電源ノイズの過渡的な変化の様子を提案モデルが精度よく表現できるかを評価対象プロセッサを用いて検証した結果を示す。

Fig. 3.16は、クロック周波数を70 MHzから175 MHz (2.5倍)に動的に変更した瞬間の前後における電源ノイズ波形の過渡的な変化を観測した結果である。Fig. 3.16(a)はノイズモニタ回路による実測結果であり、Fig. 3.16(b)はモデルによる解析結果である。これをみると、ノイズによる電源ドロップ量はある周波数から別の周波数に遷移する時に最大になっていることが分かる。この瞬間にノイズマージン量は最低となっており、誤動作の発生する危険性もそれにつれて高くなっている。このように、動的な動作制御を行う回路が解析対象となる場合、ある一定の周波数で動作している場合の電源ノイズ波形の評価・解析のみでは不十分であり、動的な動作変更を行った際のノイズの評価・解析が必要であることが示された。また、提案モデルは、動作周波数が動的に変動した、過渡期における電源ノイズの振る舞いを精度よく表現できることが示された。

### 3.5.6 実行命令と電源ノイズ

最後に、プロセッサの演算内容と電源ノイズの関係についての評価結果を示す。プロセッサは、実行する命令や、命令で扱うデータによって活性化するスタンダードセルの数が増えるため、動作電流値が増え、それに伴って発生する電源ノイズ量も増える。このような電源ノイズの命令・データ依存性について、評価対象プロセッサを用いて検証した。

Fig. 3.17は、数十クロックサイクル毎にプロセッサコアで実行する命令を変更した時に観測される電源ノイズ波形の評価結果である。Fig. 3.17(a)はオンチップモニタ回路による実測結果であり、Fig. 3.17(b)は対応するモデルを用いた解析結果である。

プロセッサで実行した命令は、それぞれ単純な掛け算計算を行う MUL 命令 (MULTiply)、演算を行わない NOP 命令 (No Operation)、それぞれメモリアクセスを伴うメモリへの演算結果の格納を行う Store 命令、メモリからレジスタへとデータを読み出す Load 命令の4種類である。また、このときのプロセッサの動作周波数は300 MHzである。

各命令サイクルにおける実測・解析の電源ノイズ波形を見ると、電源ノイズは実行している命令の影響を受け、ノイズ振幅や、ノイズに含まれる主要な周波数成分が命令に応じて変化することが分かる。また、設計時において電源ノ

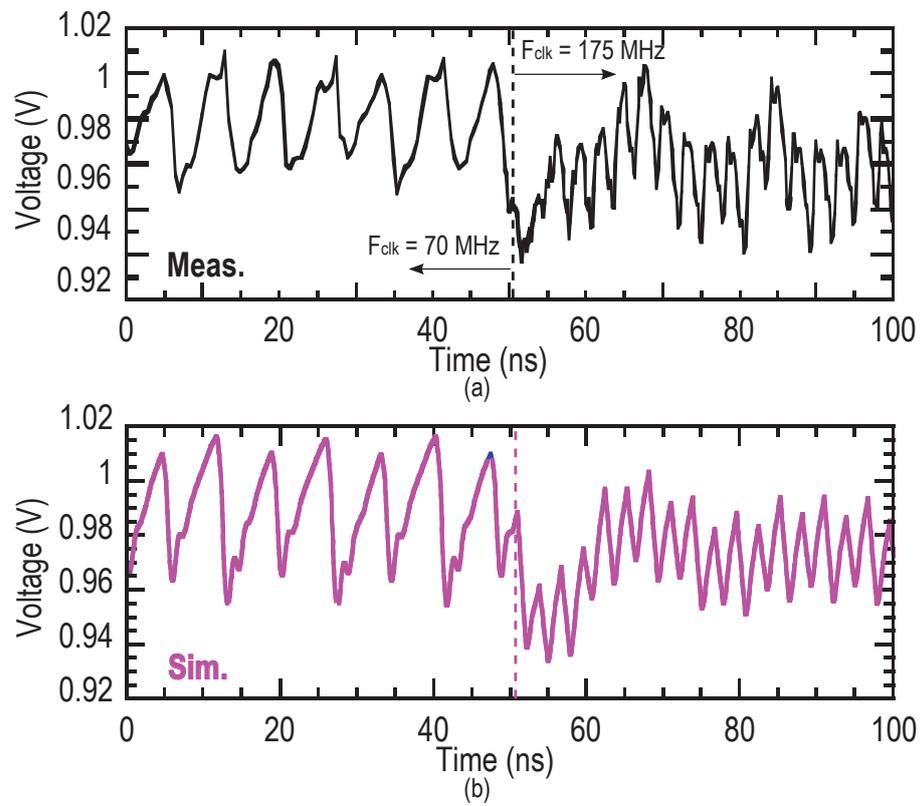


Figure 3.16: 周波数遷移時の電源ノイズ評価 (a) オンチップ実測結果, (b) 解析結果

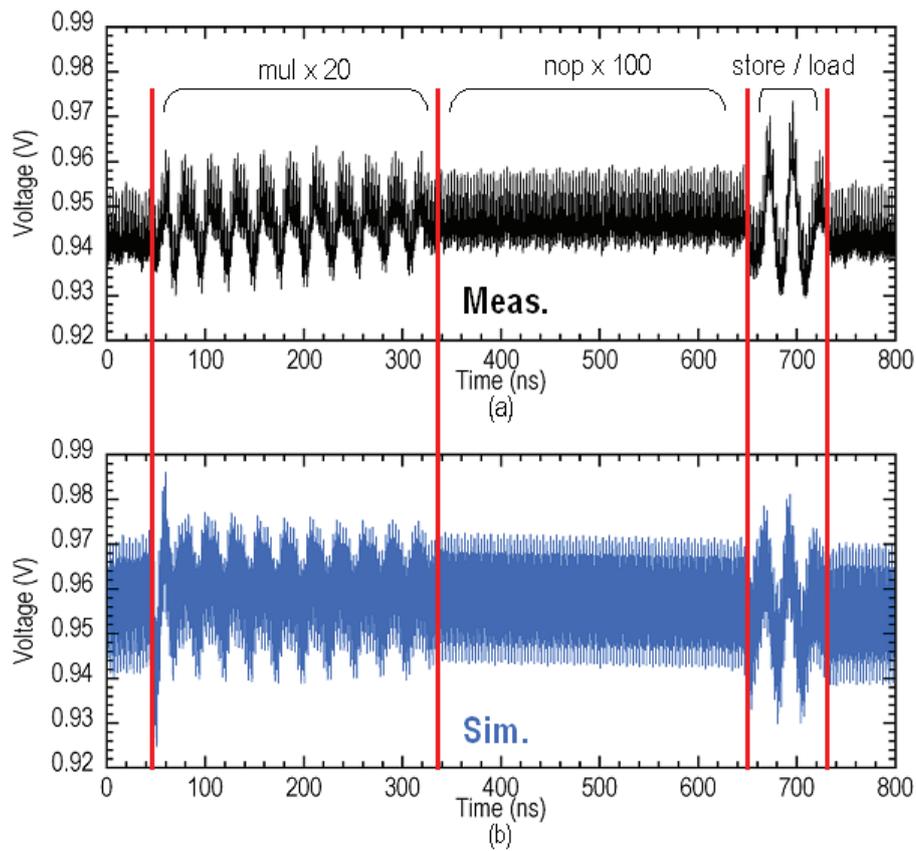


Figure 3.17: 実行命令と電源ノイズの関係性の評価結果  $F_{\text{clk}} = 300 \text{ MHz}$  (a) オンチップ実測結果, (b) 解析結果

イズのワーストケースを決定する際に、命令による電源ノイズ量・電源ノイズ成分の評価を考慮する必要があることが確認された。

Fig. 3.17の結果より、それぞれの命令に対応する電源波形の実測と解析の傾向は一致していることが確認できる。これにより、提案モデルはプロセッサを対象とした、命令に依存する複雑な動作を有し、発生する電源ノイズに含まれる成分が実行する命令に依存するような回路ブロックにおける電源ノイズ発生の高精度なモデル化が可能であると示された。

## 3.6 結言

本章では、2章で行ったデジタル回路を対象とした電源ノイズ解析技術の大規模な回路への適用を行った。評価の対象をノイズ模擬回路からより実際的な対象である32bitのマイクロプロセッサとし、電源ノイズの実測・解析を行った。32bitマイクロプロセッサを搭載したテストチップを対象とし、ノイズ源モデルとして容量充電モデルを用い、PDNモデルと統合した電源ノイズ解析モデルの構築を行った。また、オンチップモニタ回路を用いたオンチップ電源ノイズ評価、及び磁界プローブを用いたオンボード電源ノイズ評価、それぞれの測定結果と比較評価した。解析結果とオンチップ・オンボード測定結果との比較結果より、提案した電源ノイズ解析モデルは高精度で実際に発生する電源ノイズを表現できることが示された。提案モデルが実際の製品開発において、設計段階における電源ノイズ量の見積りや、電源ノイズ対策に有効であると示された。

## 第4章

---

# インバーターチェーン回路のイミュニティ・イントラEMC評価

### 4.1 緒論

2, 3章では, LSIシステムから発生するエミッションの評価・解析を行った. 電子機器の設計時の電源ノイズ対策において, 搭載したデジタル回路ブロックが, どの程度の電源ノイズを発生させるかを解析モデルにより明らかにすることは大変重要性が高い. これと同時に周辺の電子機器やモジュールで発生する電源ノイズや, LSIの他の回路ブロックで発生する電源ノイズに対して, 設計した回路ブロックがどの程度のノイズ耐性を持っているのかを定量的に明らかにするイミュニティ評価もまた重要である.

例えば, ヨーロッパ連合 (EU) 加盟国における情報機器の EMC 規制においては, 機器から発生するエミッションの評価方法や規制量が規定されているだけでなく周囲の機器から発生するノイズに対して十分なノイズ耐性を持たせることを目的としたイミュニティ規制も行っている. また, 長いハーネスにより接続されているため電磁ノイズの影響を受けやすく, 誤動作が重大につながる危険性がある自動車や航空機, これらに搭載される電子機器についてもイミュニティ規制が一般的に行われている.

しかし, 一般的なイミュニティ規制における評価指標としてはイミュニティ試験中や試験後に機器が正常動作するかという定性的な評価基準にとどまっており, 何が原因で誤動作が発生し, それはどのようなメカニズムで発生するのか, などの詳細な原因追求は求められていない. このため, イミュニティ対策技術と実際に得られるイミュニティ耐量の相互理解が進んでおらず, 製品設計で行われるノイズ対策についても確固たる理由付けがないままに経験則に基づく対策がいまだに一般的に行われているのが現状である.

本論文では, 評価対象 LSI における誤動作の発生メカニズムを明らかにする第一歩としてインバーターチェーン回路を対象とし, イミュニティ試験時の LSI の電源電圧への影響をオンチップモニタ回路を用いて評価を行った. また, イミュニティ試験時におけるインバーターチェーン回路で発生するジッタ量によ

りイミュニティ試験の影響の定量化を行った。さらに、電源ノイズの発生方法や伝達経路の異なる2通りの方法でインバーターチェーン回路に電源ノイズを印加させることで、イミュニティに加えて単一LSIにおけるイントラEMCの評価も同一の評価対象で行った。これにより、電源ノイズとそれにより引き起こされる誤動作の問題を多角的な見地から評価可能となる。

評価対象回路ブロックの電源ラインに対して電源ノイズを発生させるLSIイミュニティ評価手法はいくつか標準化されている手法が存在するが、ここでは外部信号発生機器で生成された高周波電力をLSIの電源端子へと直接注入し、インバーターチェーン回路の電源電圧を強制的に変動させる手法を用いた。この手法は、DPI法(Direct Power Injection Method)と呼ばれ、LSIを対象としたイミュニティ評価手法としてIECで国際標準化されている。

電源ノイズ発生 の2つ目の方法は、評価対象であるインバーターチェーン回路と電源・グラウンド領域を共有するノイズ発生用のデジタル回路を動作させることで回路内部で電源ノイズを発生させる方法である。これにより、LSI内部にノイズ発生源とそのノイズを受ける回路が同時に存在する単一LSI内におけるイントラEMCの評価が可能である。このようなイントラEMC評価に関して従来のイミュニティ評価手法により誤動作原因を追求することは困難であり、解析的な手法を用いて誤動作のメカニズムを解明する必要がある。

本章では、これら2種類の発生源や伝達経路が異なる電源ノイズ量を、LSIチップ・パッケージ・プリント基板を統合した電源ノイズの解析モデルを用いて算出を行うとともに、これらの電源ノイズが回路の動作にどのような影響を与えるかを明らかにするためにインバーターチェーン回路の信号遷移タイミングのばらつき、すなわちジッタ量を評価指標として定量的なイミュニティ評価を行った。

電源ノイズが原因となりLSIで発生するジッタに関する研究はこれまで様々なされているが[95]-[97]、実システムに対してイミュニティ、イントラEMC的な評価を行い、さらに電源ノイズ解析モデルを用いた解析評価を行った研究は無い。

## 4.2 電源ノイズ起因のジッタ評価手法

電源ノイズによりインバーターチェーン回路においてジッタが発生するメカニズムを図4.1に示す。本章の評価対象は一对のNMOS・PMOSトランジスタで構成されるインバータ回路を縦続接続したインバーターチェーン回路である。インバーターチェーン回路の電源電圧が変動すると、電源電圧変動値に依存して、出力信号が遷移するタイミングが入力信号の遷移タイミングに対して時間軸上

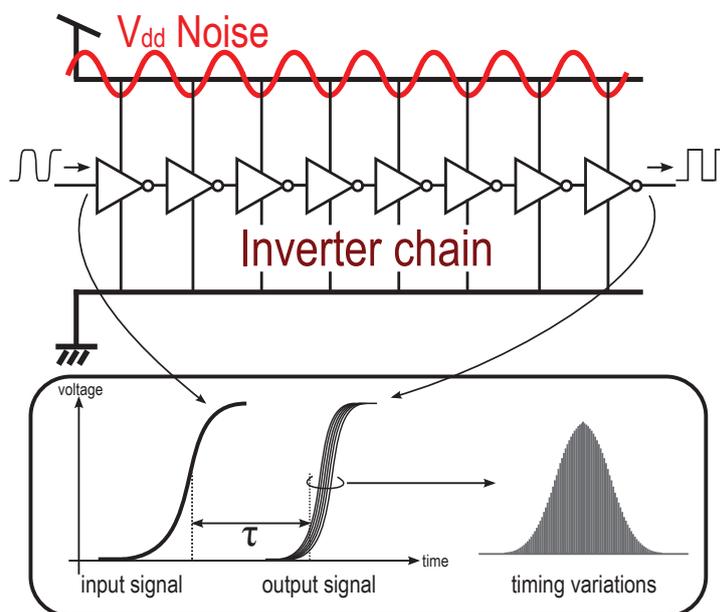


Figure 4.1: 電源ノイズによるジッタの発生

において相対的に変動する。この出力信号遷移タイミングのばらつきをジッタと呼ぶ。

一般に、出力信号遷移タイミングは Fig. 4.1 中のヒストグラムのような確率分布で表現され、ジッタ量は遅延時間変動値の確率分布の標準偏差値として表される。

次に、ジッタ量の計算手法について述べる。Fig. 4.2 に示すように、電源ノイズの影響により電源電圧が周波数  $f_m$  で正弦波的に変動する場合を考える。インバータチェーンに入力されるクロック信号は、外部の高精度な信号発生器から出力される周波数  $f_{clk}$  のクロック信号であり、信号発生器から出力される信号間の回路入力時点における相対的なタイミングばらつきは無視できる程度微量である。このため、オシロスコープによるジッタ測定時におけるタイミングトリガ信号とインバータチェーンへの入力クロック信号とのタイミングばらつきは無視でき、ジッタ評価結果には影響しない。

この信号がインバータチェーンを通過するのにかかる、標準電源電圧時における遅延時間を  $\tau_0$  とする。k 段のインバータ回路で構成されるインバータチェーン回路の場合、インバータ回路一段あたりの標準遅延量は  $\tau_0/k$  となる。電源電圧が標準電源電圧より高い場合にはインバータチェーン回路の遅延時間は  $\tau_0$  よりも短くなり、早いタイミングで出力信号が遷移する。一方で電源電圧が標準電源電圧より低い場合にはインバータチェーン回路の遅延時間は  $\tau_0$

よりも長くなり、遅いタイミングで出力信号が遷移する。これは、電源電圧の変動によりインバーター回路の負荷駆動能力が変動し、それに伴いインバーター回路間における信号の伝達速度が変動するためである。

ジッタ量は、インバーターチェーン回路で発生する実際の遅延時間が標準遅延時間  $\tau_0$  からどれだけ変動したかで決定される。実際の遅延時間は、信号がインバーターチェーンを通過する間における電源電圧の変動特性により決定される。

単純化のため、電源電圧の変動値  $\Delta V_{dd}$  と遅延量の変動値  $\Delta\tau$  が、Fig. 4.3 のように係数  $\beta$  で関連付けられるような線形な関係にあると仮定する。ここで、Fig. 4.2(a) に示された 3 クロック分の信号を例として考えると、1 サイクル目の信号入出力間において、電源電圧が標準電圧よりも高くなっている時間の方が、低くなっている時間よりも長いため、結果として実際の遅延時間は標準遅延時間  $\tau_0$  よりも短い時間になると考えられる。一方、2 サイクル目は電源電圧が標準電圧よりも低くなっている時間が長いため、遅延時間は  $\tau_0$  よりも長くなると考えられる。このように、遅延時間は信号の入力タイミングを時間起点として、電源電圧変動を時間  $\tau_0$  で積分した値と相関関係があると考えられる。すなわち、積分値がプラスの値になっている場合は実際の遅延時間は標準遅延時間と比較してマイナスの値を示し、積分値がマイナスの値の場合、実際の遅延時間は標準遅延時間と比較してプラスの値を示す。それぞれのインバータ段において発生する遅延量を  $\tau_i$  とし、電源電圧が電源ノイズの影響を受け周波数  $f_m$ 、振幅  $V_{chip}$  の正弦波で振動している場合、 $k$  段のインバーターチェーン回路で発生する遅延量の合計は式 4.1 で表現される。

$$\begin{aligned}\tau &= \sum_{i=1}^k \tau_i \\ &= \sum_{i=1}^k (\tau_0/k + \Delta\tau_i) \\ &= \tau_0 + \int_{n/f_{clk}}^{\tau_0+n/f_{clk}} \beta \cdot V_{chip} \cdot \sin(2\pi f_m t + \alpha) dt\end{aligned}\quad (4.1)$$

式 4.1 より得られる計算結果は、入力信号 1 サイクルにおいてインバーターチェーン回路で発生する実際の遅延時間となる。これより、隣接クロックサイクル間の遅延量  $\tau(n)$  の変動値  $J_p(n)$  は式 4.2 となる。

$$J_p(n) = \tau(n) - \tau(n-1)\quad (4.2)$$

ピリオドジッタは、クロックサイクル間の遅延時間の差分  $J_p$  の標準偏差として表現されるため、式 4.3 で算出される。

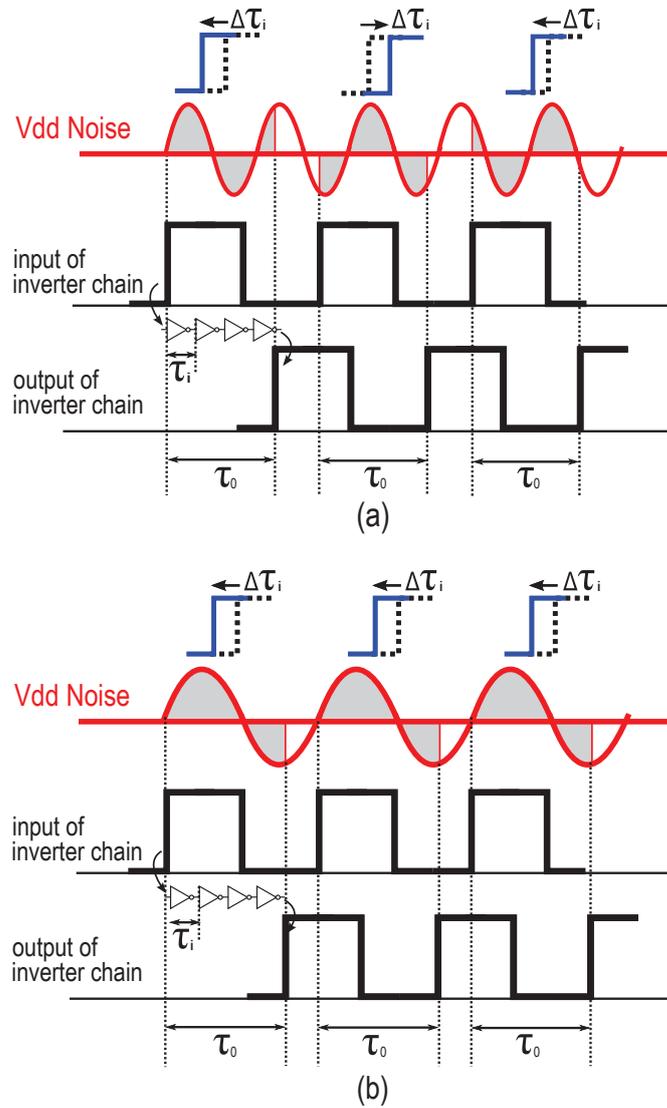


Figure 4.2: ジッタの発生原因概要 (a) ジッタが発生する場合, (b) ジッタが発生しない場合

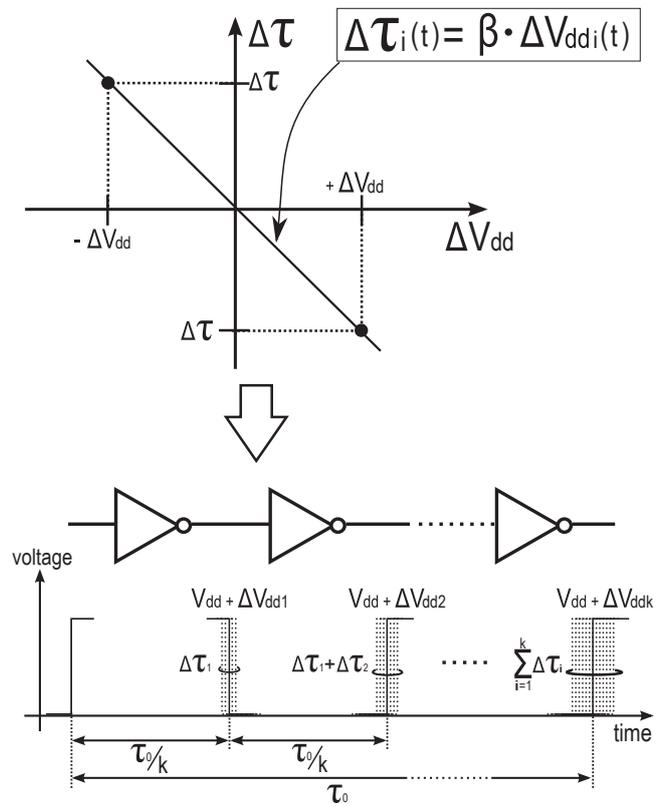


Figure 4.3: 電源電圧とジッタの関係

$$\sigma = \sqrt{\frac{\sum_{n=0}^s (J_p(n) - \bar{J}_p)^2}{s-1}} \quad (4.3)$$

式 4.3 中の合計サンプル数である変数  $s$  について、数千クロックサイクルにおける遅延量の変動から標準偏差を算出することで電源ノイズとクロック信号の位相差による遅延時間の偏りを無視できるようになり、正確なジッタ計算が可能となる。

また、インバーターチェーンに入力されるクロック信号の周波数  $f_{\text{clk}}$  と、正弦波ノイズの周波数  $f_m$  が同一の周波数の場合、これらの信号の関係は Fig. 4.2(b) に示すように正弦波ノイズとクロック信号の位相差が固定される。このため、各クロックサイクルにおける実際の遅延時間は常にほぼ一定の値となり、クロックサイクル間の遅延時間のばらつきは極めて小さな値になる。このため、 $f_{\text{clk}}$  と  $f_m$  が同一の周波数の場合、ジッタの値は 0 となり、出力信号のタイミングばらつきは発生しないと考えられる。

## 4.3 評価システム

### 4.3.1 評価対象チップ

評価対象としたチップの写真を Fig. 4.4 に示す。チップは 65 nm CMOS プロセスで試作されており、チップサイズは 3 mm × 4 mm である。チップには、ジッタ評価対象となるインバーターチェーン回路、オンチップのノイズ発生源となるループシフトレジスタアレイ回路、オンチップの電源ノイズ測定のためのサンプリング型オンチップモニタ回路が搭載されている。ループシフトレジスタ回路及びサンプリング型オンチップモニタ回路は、2章の評価で用いた同名の回路と同じ回路構造を有している。インバーターチェーン回路やループシフトレジスタアレイ回路の電源電圧は 1.2 V、I/O 回路の電源電圧は 2.5 V である。

評価対象となるインバーターチェーンの構造を Fig. 4.5 に示す。この回路の構造上の特徴は、インバーターチェーンの段数や各段のインバーター回路の出力に接続されている負荷インバータの数を調整することで回路の標準遅延時間  $\tau_0$  を特定の値となるように設定した点にある。実際に試作チップに搭載したインバーターチェーン回路におけるインバーター回路の段数と負荷インバータ数を Table 4.1 に示す。縦続接続するインバータ回路の段数により標準遅延時間を目的の値に設定したものが 3 種類、負荷インバータ回路の数により標準遅延時間を設定したものが 3 種類搭載されている。これらのインバーターチェーン

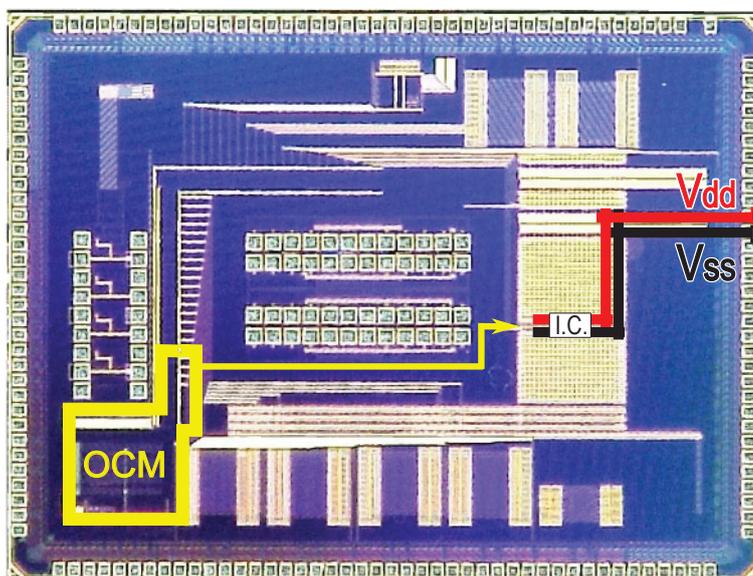


Figure 4.4: 評価対象チップ写真

回路は、標準遅延時間がそれぞれ設計値で 2.5 ns, 5.0 ns, 10.0 ns になるように設計されている。inv. #1 と inv. #4 は標準遅延時間が 2.5 ns, inv. #2 と inv. #5 は 5.0 ns, inv. #3 と inv. #6 は 10.0 ns である。

#### 4.3.2 DPI 法を用いた LSI への直接電力注入

次に、電源ノイズの外部注入手法として使用する DPI 法について説明する。DPI 法は、LSI のイミュニティ評価手法として IEC で標準化されている手法であり [11], 外部から評価対象回路の電源ラインに正弦波 RF 電力を注入し、電

Table 4.1: 搭載したインバーターチェーン回路の構造

Name	# of driving inv.	# of loading inv.	Delay time $\tau_0$ (ns)
inv. #1	94	0	2.5
inv. #2	182	0	5
inv. #3	364	0	10
inv. #4	4	40	2.5
inv. #5	4	72	5
inv. #6	4	168	10

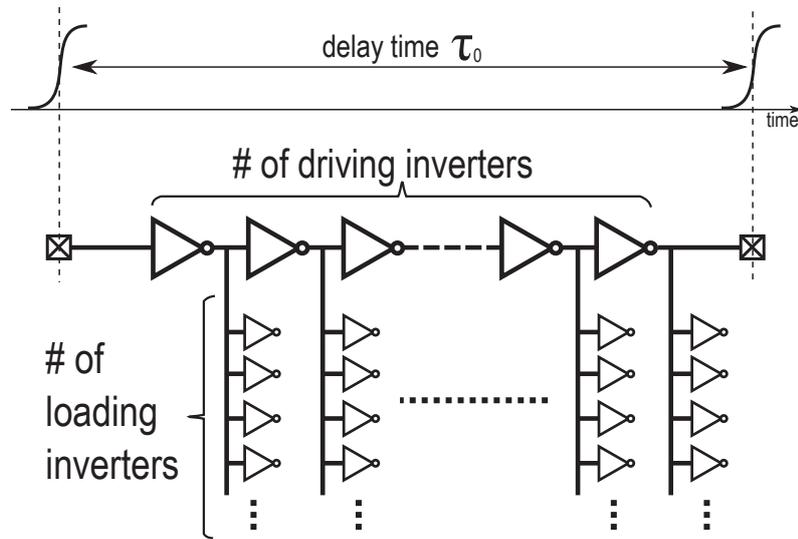


Figure 4.5: インバータチェーン回路の構造

源電圧値を強制的に変動させることで、イミュニティ耐性の低い回路において、誤動作を誘発することを目的としている。

Fig. 4.6に DPI 法を用いたイミュニティ評価系を示す。評価対象システムに、外部の信号発生装置から周波数  $f_m$ 、進行波電力量  $P_{FWD}$  の正弦波電力が入射される。進行波電力  $P_{FWD}$  の一部は LSI システムの電源ラインにおける特性インピーダンス  $Z_0$  からのインピーダンス不整合により反射して反射波電力  $P_{REF}$  として信号発生器側へと戻ってくる。システムに実際に入射した電力量とイミュニティ耐性との関係を明らかにするため、実際に LSI システムに入射した電力値  $P_{NET}$  の測定が必要である。入射波電力  $P_{NET}$  は、ディレクショナルカップラで進行波電力  $P_{FWD}$  と反射波電力  $P_{REF}$  を分離し、それぞれの電力値をパワーメーターを用いて測定することで式 4.4 より求められる。

$$P_{NET} = P_{FWD} - P_{REF} \quad (4.4)$$

DPI 法による評価では、一般にはシステムに印加した電力量  $P_{FWD}$  と実際にシステムに入射した電力量  $P_{NET}$  でのみノイズ量の定量化が可能である。一方で、本チップにはチップ内部の電源電圧の変動を観測するためのサンプリング型オンチップモニタ回路が搭載されている。これを用いることで、電力量  $P_{FWD}$  と  $P_{NET}$  に加え、DPI 法を用いて外部から入射した電力によって引き起こされるチップ内部の電源電圧変動値としてシステムに印加された電源ノイズを定量化できる。

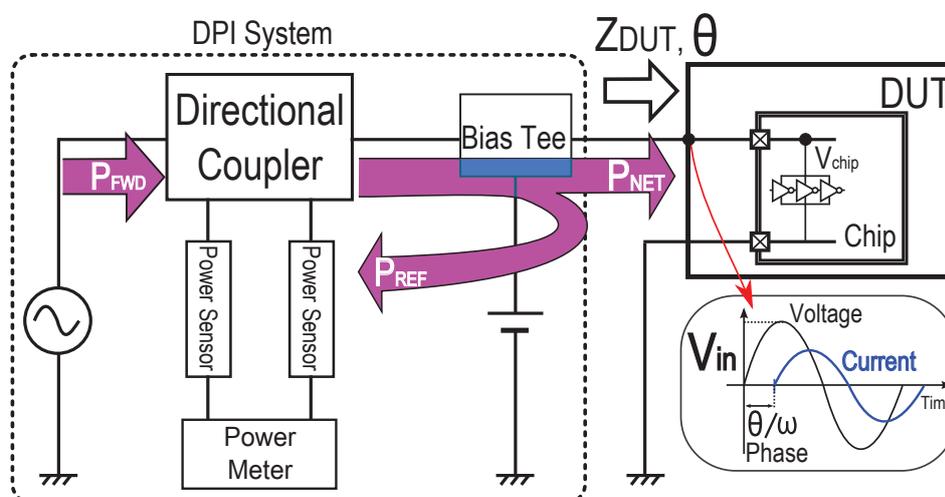


Figure 4.6: DPI 評価手法

試作した LSI を用いたイミュニティ・ジッタ評価系の概要を Fig. 4.7 に示す。チップには、インバータチェーン回路と電源電圧測定を行うオンチップモニタ回路 (OCM) が搭載されている。DPI 法を用いてインバータチェーン回路の電源ラインに正弦波 RF 電力を注入し、これによりインバータチェーン回路の電源電圧を強制的に変動させ、出力信号にジッタを発生させる。発生したジッタはプリント基板上の観測点においてオシロスコープにより測定される。

また、注入した電力により発生する電源電圧変動はオンチップモニタ回路によって測定され、LSI 内部電源電圧の変動値として定量化される。

## 4.4 電源ノイズ解析モデルによるイミュニティ解析手法

2, 3 章で LSI システムのエミッション解析を行った LSI・パッケージ・プリント基板を統合した電源ノイズ解析モデルを用いたイミュニティ解析手法を述べる。

Fig. 4.8 に示すように LSI の電源・グラウンド配線、ボンディングワイヤ、パッケージリードフレーム、プリント基板の電源パターンで構成されている。提案ノイズ解析モデルは、このようなシステムの電源ネットワークをレイアウトデータに基いて詳細にモデル化している。このため、提案解析モデルを用いることで、DPI 法によるイミュニティ評価時において外部から印加したノイズ

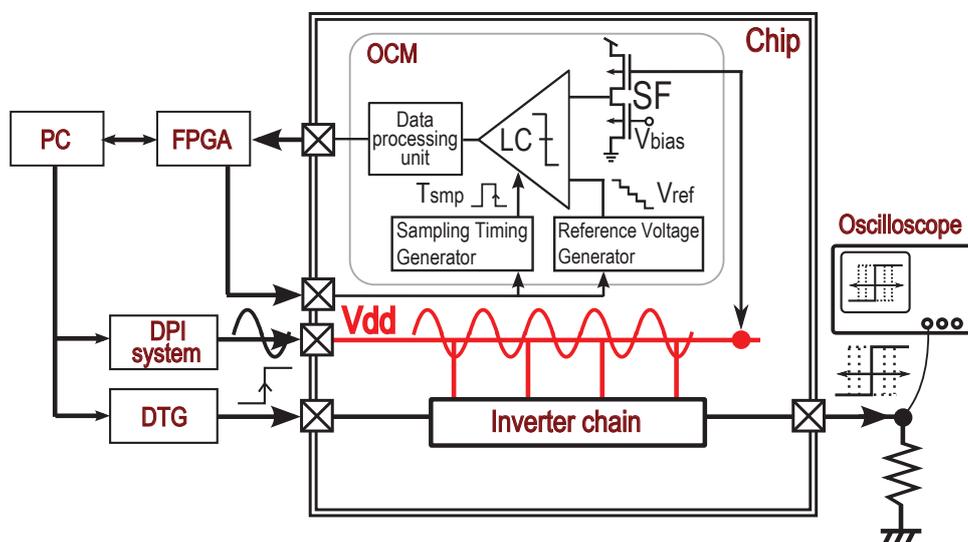


Figure 4.7: テストチップを用いた外部入射ノイズによる EMI 評価系

電力が電源ネットワークを伝わり LSI へと流れこむ過程を精度よく解析できると期待される。

DPI 法は、LSI システムの評価対象となる回路ブロックの電源ラインに電力を印加する評価手法であるが、これを回路シミュレータで解析する場合、印加電力値  $P_{\text{NET}}$  をそのまま解析における入力信号値として用いることはできない。これは、本研究において使用する回路シミュレータである HSPICE は電力入力素子を持たないことが原因である。このため、DPI 評価系のノイズ伝搬解析を行うにあたり入射電力を入力電圧へと変換する必要がある。今、評価系の入力インピーダンスを  $Z_{\text{in}}$ 、入力インピーダンスの位相を  $\theta$ 、特性インピーダンスを  $Z_0$  とおく。入力インピーダンス  $Z_{\text{in}}$  と S パラメータの反射特性との関係は式 4.5 で表される。

$$Z_{\text{in}} = Z_0 \frac{1 + S_{11}}{1 - S_{11}} \quad (4.5)$$

システムに印加される電力  $P_{\text{FWD}}$  と入力電圧、入力インピーダンスの関係および  $P_{\text{FWD}}$  と  $P_{\text{NET}}$  の関係はそれぞれ以下の式で表現される。

$$P_{\text{FWD}} = \frac{V_{\text{NET}}^2 \cos \theta}{Z_{\text{in}}} \quad (4.6)$$

$$P_{\text{NET}} = (1 - S_{11}^2) P_{\text{FWD}} \quad (4.7)$$

式 4.7 に式 4.5, 4.6 をそれぞれ代入することで入射電力  $P_{\text{NET}}$  と入力電圧  $V_{\text{in}}$  の関係は次式で表される.

$$V_{\text{in}} = \sqrt{\frac{Z_0 + Z_{\text{in}}}{4Z_0 \cos\theta} P_{\text{NET}}} \quad (4.8)$$

式中の  $Z_{\text{in}}$ ,  $\theta$  は評価対象 LSI システムの電源ネットワーク等価回路に対して実評価において電力を印加する端子を入力ポートと設定したインピーダンス解析により求められる. DPI 評価を行う周波数範囲の各周波数における  $Z_{\text{in}}$ ,  $\theta$  を上記の式 4.8 に代入し, 印加電力値を入力電圧値へと変換する.

DPI 法では, 入射電力波形は単一周波数の正弦波である. このため, 求めた入力電圧振幅  $V_{\text{in}}$  とチップ内の観測点における電源電圧振幅との関係は, 入力端子と観測点をそれぞれ解析ポートとした AC ゲイン解析で求められる.

作成したモデルにおける入力インピーダンスとその位相の解析結果を Fig. 4.9(a), (b) に, 入力端子から観測点までの AC ゲイン解析結果を Fig. 4.9(c) に示す. Fig. 4.9(a) のインピーダンスの解析結果において, 低周波域でインピーダンス値が小さくなっているのはプリント基板上に搭載されているデカップリングコンデンサの影響である. また, 式 4.8 において, 分母に  $\cos\theta$  の項が存在し,  $\theta$  が 90 度や -90 度になった場合, 入力電圧値が無限大となることが考えられる. これは対象のシステムが完全に容量性, もしくは誘導性のインピーダンス特性を示す場合に相当するが, 現実存在するシステムではそのような特性を持つ負荷は存在しない. 実際に本評価システムの位相特性解析結果である Fig. 4.9(b) を見ても入力電圧値が無限大にはならないことが分かる.

モデルから得られたこれらの解析結果より, 最終的に外部から RF 電力注入を行った際のチップ内部の電源電圧変動は, 式 4.8 を用いて  $P_{\text{NET}}$  から計算した  $V_{\text{in}}$  の値と入力端子と観測点のポート間の AC ゲイン解析値の掛け算で計算される.

## 4.5 DPI法によるイミュニティ評価結果

初めに, オンチップモニタ回路で測定したチップ内部の電源電圧変動波形を Fig. 4.10 に示す. Fig. 4.10(a) は, DPI 法により LSI システムの外部からインバーターチェーン回路の電源配線へと電力注入を行った際の電源電圧の変動を示す波形である. このときの LSI への入射電力  $P_{\text{NET}}$  は 0 dBm であり, 周波数は 100 MHz である. 観測波形より, システムに入射した電力がチップ内部では標準の電源電圧 1.2 V を中心電圧とした, 振幅が 100 mV 程度の正弦波の電圧変動として観測されることが確認できる.

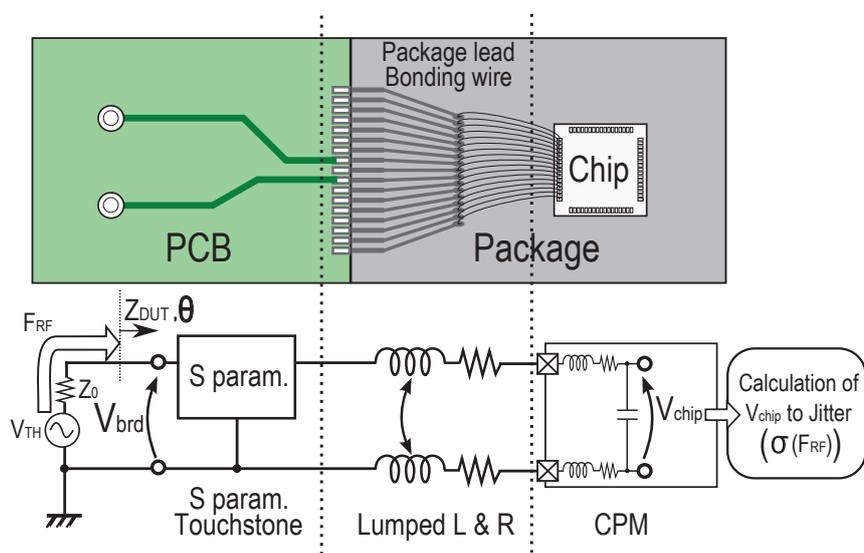


Figure 4.8: ノイズ伝搬解析モデル

一方、Fig. 4.10(b)はインバータチェーン回路の動作に起因する電源電圧変動を Fig. 4.10(a)と同様にオンチップモニタ回路を用いて測定した結果である。ここで、Fig. 4.10(a)と(b)それぞれの測定におけるモニタ回路の観測点は同一である。インバータチェーン回路動作により発生する電源ノイズは、最大ドロップ量において5 mV程度の微小な変動であり、Fig. 4.10(a)の外部からの電力注入により発生する100 mV程度の電圧変動と比較して十分小さいことが分かる。

これらの観測結果より、インバータチェーン回路のジッタ評価を行う際には、評価対象であるインバータチェーン回路の動作により発生する電源ノイズは無視でき、外部注入ノイズのみを観測対象として捉えて問題ないことが示された。

次に、静的な電源電圧変動に対するインバータチェーン回路の遅延量変動についての評価・解析結果を示す。Fig. 4.11は、1.2 Vを標準電圧とした電圧変動の相対量 $\Delta V_{dd}$ とインバータチェーン回路の遅延量について、標準電圧時からの変動量 $\Delta\tau$ の関係を示したグラフである。Fig. 4.11(a)は94段の縦続接続構造を持つinv. #1、(b)はinv. #4についての評価結果であり、それぞれオシロスコープを用いた遅延量の実測結果と、レイアウト規制抽出(LPE)を行ったゲートレベルネットリストのSPICE解析を行うことで得られた値を比較している。このグラフの結果から回帰直線を求めることで電源電圧変動値と遅延量を関連付ける関数 $\beta$ を得る。この関数 $\beta$ を式4.1に代入することで、任意の

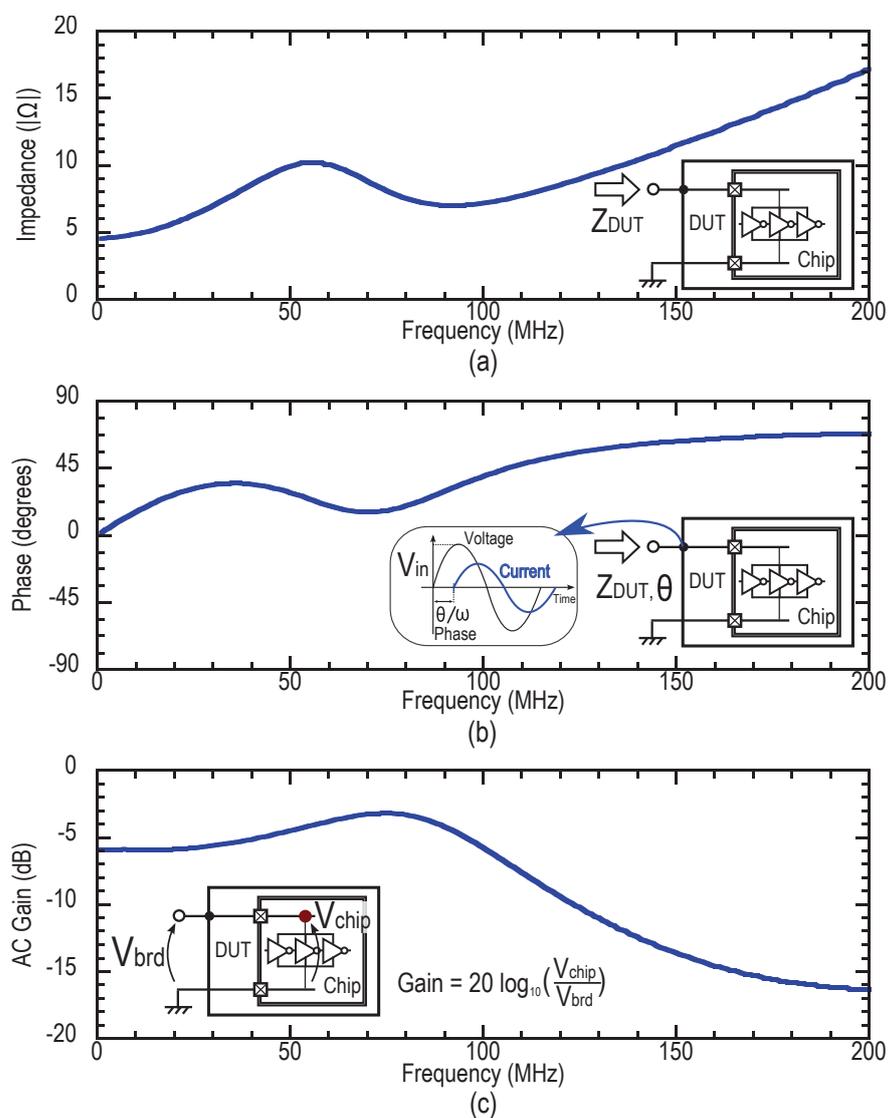


Figure 4.9: インピーダンス・ACゲイン評価結果 (a) インピーダンス絶対値, (b) インピーダンス位相, (c) ACゲイン

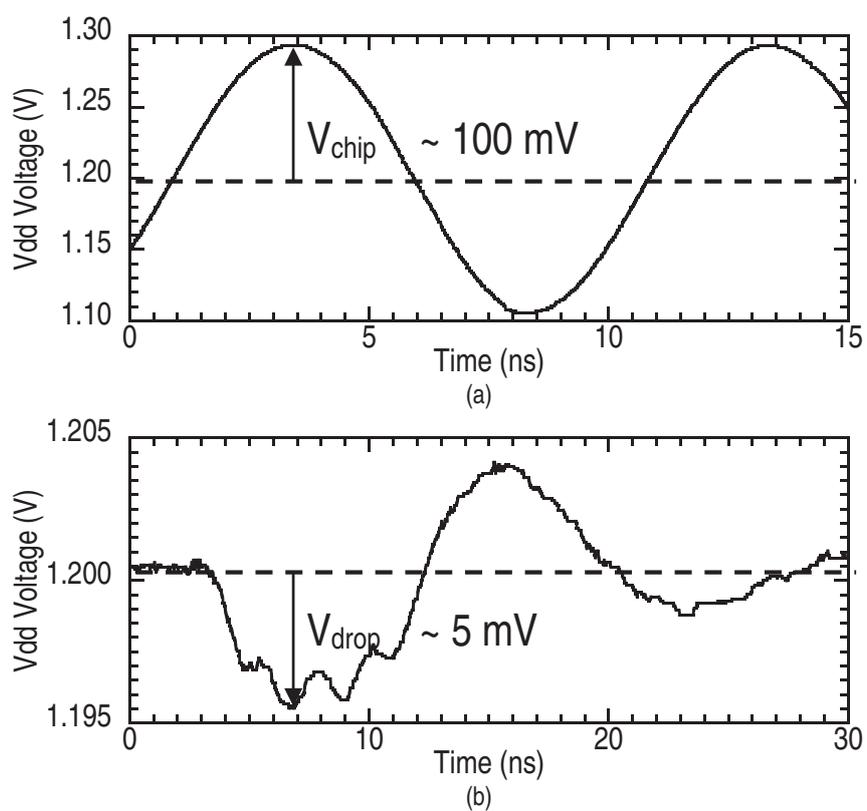


Figure 4.10: 電源ノイズ波形 (a) 外部注入ノイズによる電源電圧変動, (b) インバーターチェーン回路の動作による電源電圧変動

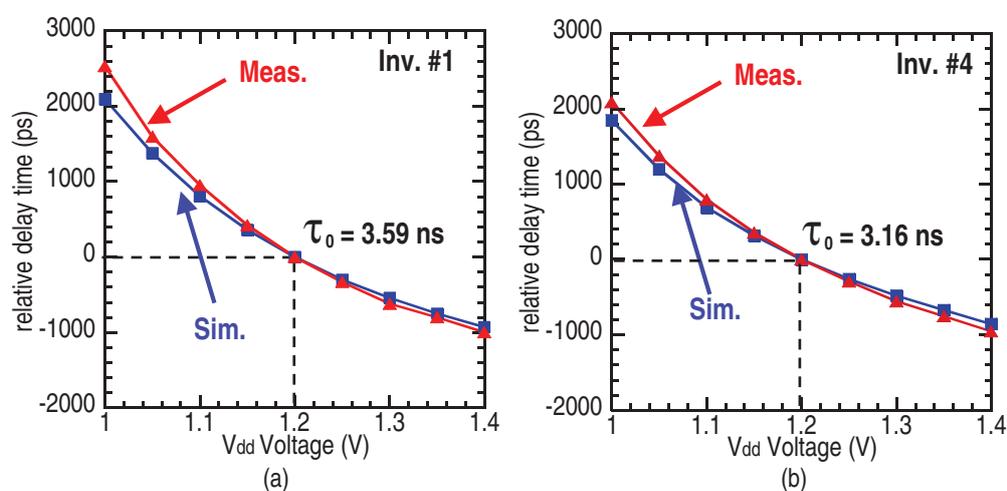


Figure 4.11: 電源電圧値と遅延時間変動量 (a)inv. #1, (b)inv. #4

正弦波電源ノイズ発生時において対象のインバーターチェーン回路で発生するジッタ量の計算が可能となる。

次に、提案モデルを用いた DPI 評価結果を示す。評価系に入射する電力量は、 $P_{NET} = 0$  dBm として評価を行う。DPI 評価時におけるインバーターチェーン回路の電源電圧振幅の評価結果を Fig. 4.12 に示す。これは、ノイズ解析モデルを用いたチップ内部電圧振幅の解析値と、オンチップモニタ回路を用いて測定した DPI 評価時のチップ内部電圧振幅の比較結果である。オンチップモニタ回路のプロブ点はインバーターチェーン回路近傍の電源配線である。入力電力の周波数が 200 MHz までの範囲において、インバーターチェーン回路の電源電圧振幅についてオンチップモニタ回路を用いた実測結果と PDN ネットワークモデルを用いた解析結果が精度よく一致することが確認された。これにより、任意の電力がシステムに入射した場合における対象回路の電源電圧振幅値の推定が可能となった。この結果を用いてインバーターチェーン回路で発生するジッタ量の算出を行う。

Fig. 4.13 は、最終的に得られたインバーターチェーン回路で発生するジッタ量の評価結果である。オシロスコープによる実測結果と、提案手法を用いた計算結果が比較されている。Fig. 4.13(a) は、インバーターチェーン回路に 50 MHz のクロック信号を入力した場合に発生するジッタの評価結果であり、Fig. 4.13(b) クロック信号の周波数が 100 MHz の場合の評価結果である。これらの結果を見ると、ジッタの絶対値や注入ノイズ周波数による傾向などが一致しており、提案ジッタ解析手法は精度よく LSI で発生するジッタ量の見積りが可能

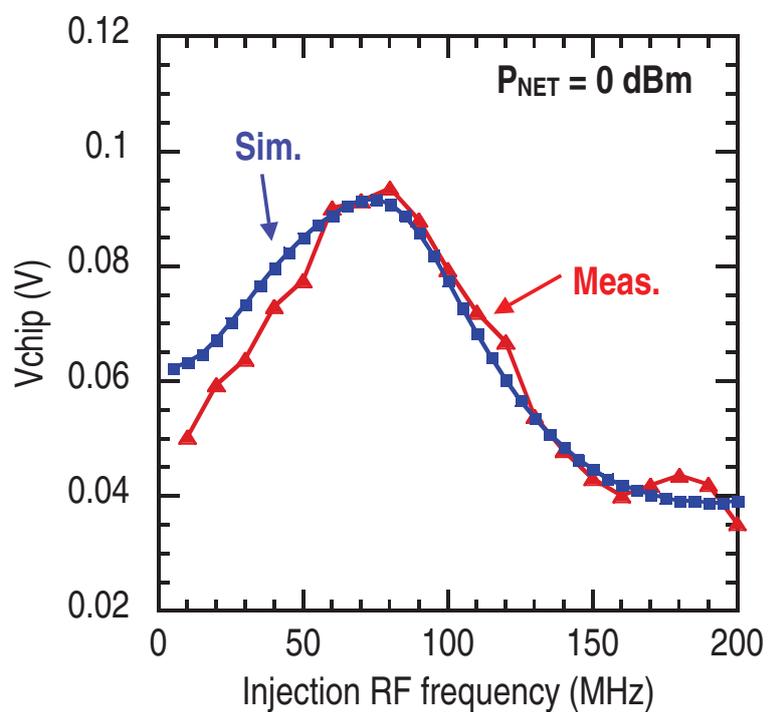


Figure 4.12: 外部注入ノイズにより引き起こされるチップ内電源電圧変動の振幅値評価

であることを示している。

## 4.6 ノイズ源デジタル回路で発生する電源ノイズによるイントラ EMC 評価

次に、LSI 内のノイズ源デジタル回路の動作により発生する電源ノイズがインバーターチェーン回路の電源ラインに伝搬することで引き起こされるジッタの評価を行う。これは回路が発生させる電源ノイズの影響で同一 LSI 内の他の回路ブロックが影響を受け、これにより性能劣化や誤作動が発生する事象であり、単一 LSI におけるイントラ EMC 評価と位置づけられる。

単一 LSI におけるイントラ EMC の問題は、LSI の高集積化が進み、デジタル回路ブロックの動作により発生するスイッチングノイズが、ノイズの影響を受けやすいアナログ回路や高速信号系回路の安定動作に影響を与える傾向が顕著になるにつれ大きな問題となっている。LSI 設計においては、LSI 内におけるスイッチングノイズの伝播経路や伝播量を明らかにし、すべての搭載回路の性能劣化を最小限にとどめ、安定動作することの検証が重要である。

### 4.6.1 ノイズ源デジタル回路で発生する電源ノイズの評価

試作チップを用いたイントラ EMC 評価のイメージ図を Fig. 4.14 に示す。図中のノイズ源回路 (Noise Source) で発生した電源ノイズが電源ネットワークを伝搬してインバーターチェーン回路に伝わりジッタを発生させる。ここで、ノイズ源デジタル回路とインバーターチェーン回路は電源・グラウンド領域を共有しており、ノイズ源デジタル回路にて発生したスイッチングノイズは電源・グラウンド配線を介して直接インバーターチェーン回路に到達する。DPI 法を用いて発生させた電源ノイズと異なる点は電源配線に加え、グラウンド配線にもデジタル回路動作起因のノイズが発生することが挙げられる。回路の電圧リファレンスとなるグラウンド配線の電圧が 0 V から変動するため、インバーターチェーン回路の電源電圧とグラウンド電圧の差分値として回路に供給される電源電圧値を算出する必要がある。さらにデジタル回路動作により発生するノイズは AC 成分とともに IR ドロップに依る電源電圧のスタティックな低下およびグラウンド電圧のスタティックな上昇が発生する。これは標準電源電圧を中心として正弦波で振動するノイズが発生する DPI 法での評価には見られないノイズ特性である。

評価対象システムにおけるイントラ EMC 評価においては、ノイズ源回路動作時に発生する電源ノイズ・グラウンドノイズの高精度な解析が必要である。ノ

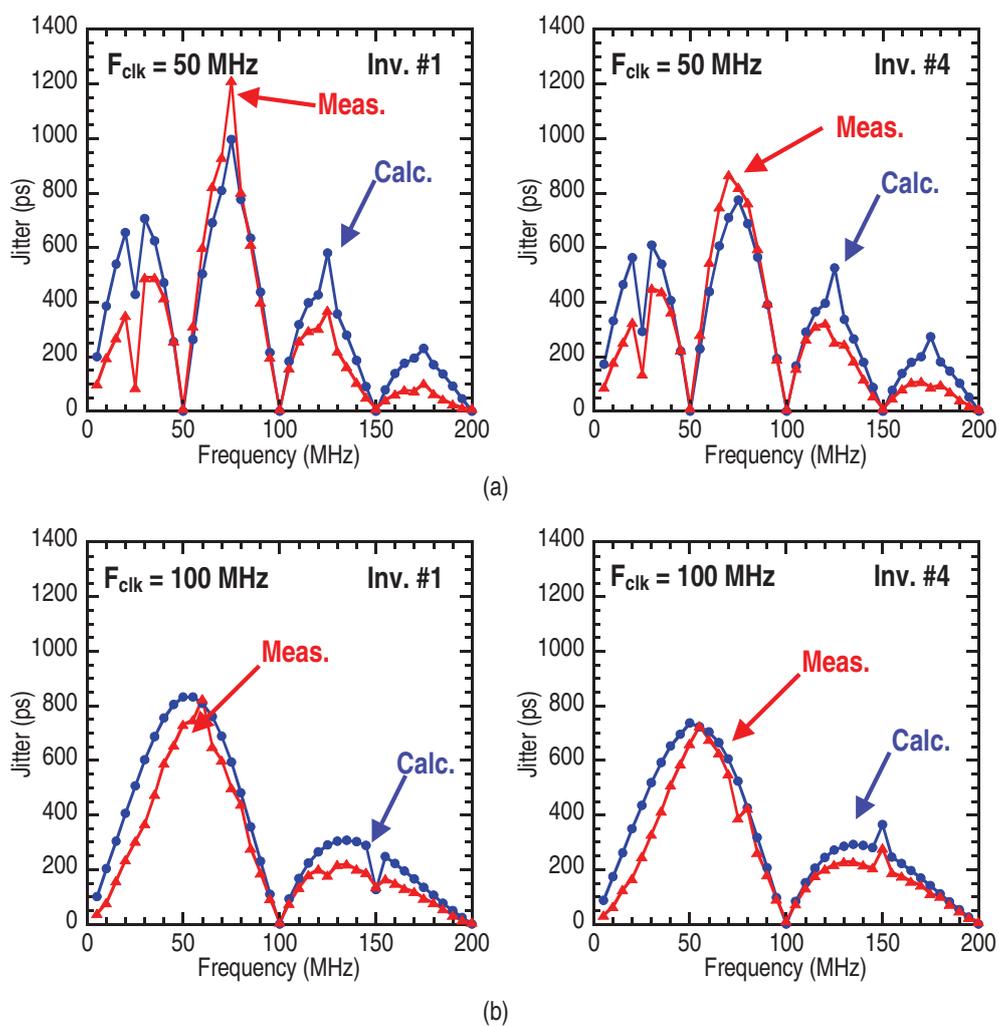


Figure 4.13: inv. #1 と inv. #4 において印加ノイズにより引き起こされるジッタの評価結果 (a)  $F_{clk} = 50\text{ MHz}$ , (b)  $F_{clk} = 100\text{ MHz}$

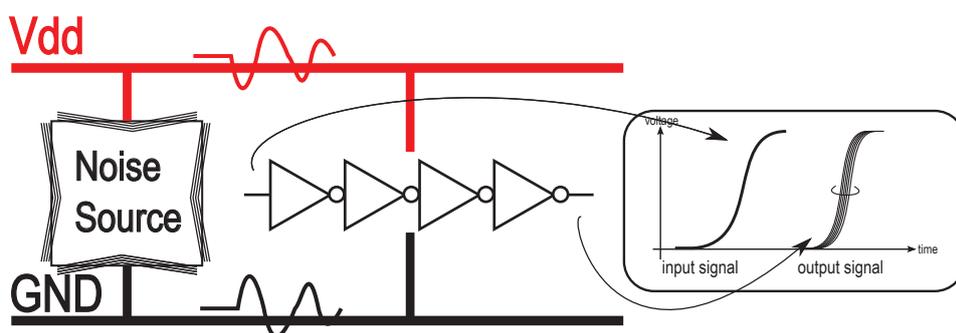


Figure 4.14: イントラ EMC 評価

イズ源回路は 2 章でエミッション評価対象を行ったループシフトレジスタアレイ回路を用いている。このため、2 章で示したリファレンスノイズ生成回路を評価対象とした電源ノイズ解析モデル作成フローを本章における評価チップにおいても同様に適用できる。

#### 4.6.2 イントラ EMC におけるジッタの評価

ノイズ源回路の電源ノイズ解析で得られた電源ノイズ波形を、実際の遅延時間の算出方法を示した式 4.1 の正弦波ノイズと置き換えることで、ノイズ源デジタル回路動作時のインバーターチェーン回路において発生するジッタ量の算出が可能となる。

ノイズ源デジタル回路動作時にインバーターチェーン回路で発生するジッタ量の評価結果を Fig. 4.15 に示す。横軸はノイズ源デジタル回路の動作周波数である。動作しているノイズ源デジタル回路は 2 章におけるループシフトレジスタアレイ回路であり、シフトレジスタ列に設定されているビット列は”0101...”, 動作列数は 256 列である。インバーターチェーン回路を駆動するクロックの周波数は、Fig. 4.15(a) は 50 MHz, Fig. 4.15(b) は 100 MHz である。デジタル回路の動作に伴う電源ノイズの発生によりインバーターチェーン回路にジッタが発生していることが実測と計算のそれぞれの結果から分かる。

### 4.7 結言

本章では、LSI・パッケージ・プリント基板を統合した電源ノイズ解析モデルを用いたイミュニティ評価およびイントラ EMC 評価を行った。

インバーターチェーン回路を対象としたジッタを評価指標とし、システムの

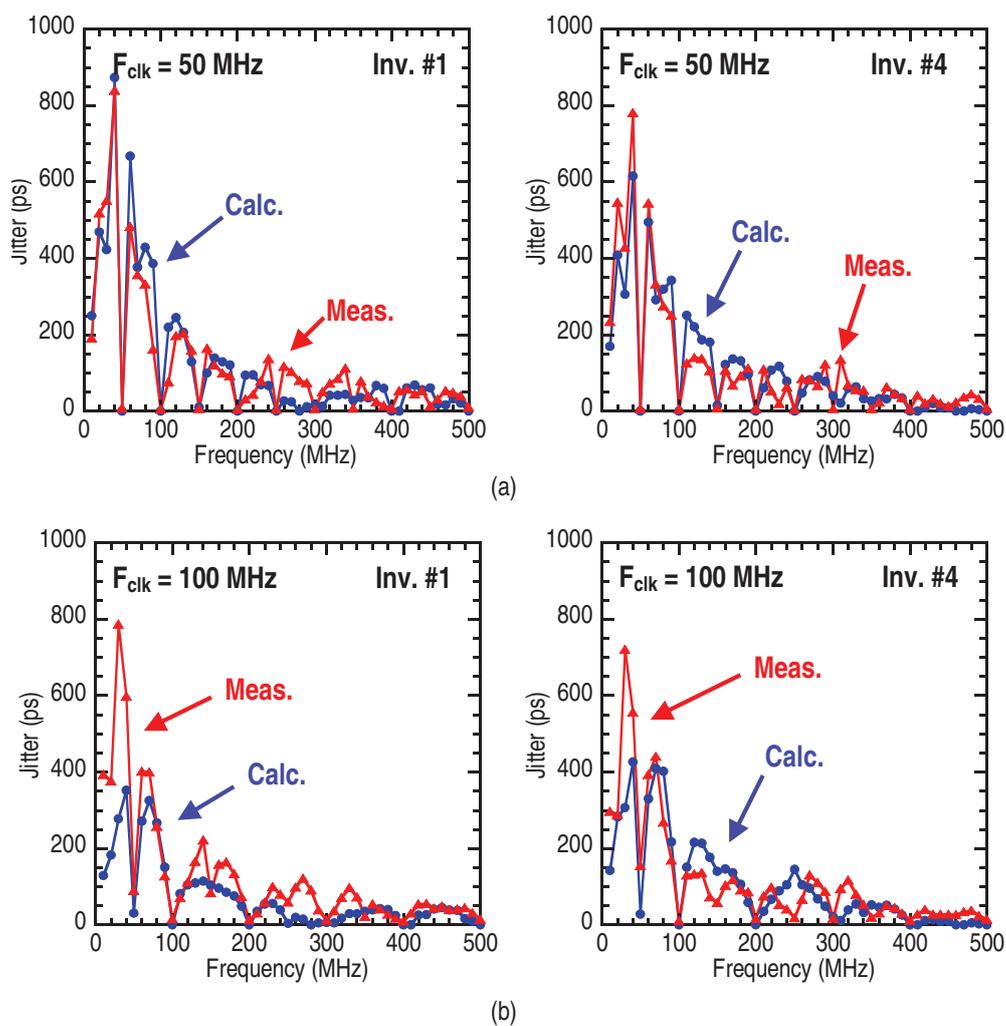


Figure 4.15: inv. #1 と inv. #4 においてデジタル回路で発生する電源ノイズにより引き起こされるジッタの評価結果 (a)  $F_{\text{clk}} = 50 \text{ MHz}$ , (b)  $F_{\text{clk}} = 100 \text{ MHz}$

外部から注入したノイズと回路内部で発生したノイズ，これら2種類の性質の異なる電源ノイズにより引き起こされるジッタを精度よく解析可能であることを示した。

これにより，提案する解析モデルはエミッション評価に限らず，イミュニティ評価やイントラ EMC 評価にも適用可能であり，システムの包括的な EMC 評価に適用可能であることが示された。

## 第5章

---

### 結論

本稿では、LSIシステムのEMC評価を目的とし、システムの構成要素であるLSIチップ・パッケージ・プリント基板を統合した電源ノイズ解析モデルの提案を行った。さらに提案モデルを用いたEMC評価事例として3つのテストチップをそれぞれ試作し、評価を行った。

本論文の2章では、65 nm CMOSプロセスで試作されたループシフトレジスタアレイ回路を対象としたエミッション評価を報告した。この回路は単一のシフトレジスタセルで構成された極めて均質な回路構造を持ち、発生する電源ノイズに含まれる周波数成分やノイズ量のある程度自由に調節できる機能を有する。このため、一般的なデジタル回路で発生する電源ノイズ特性を模擬する回路としての位置づけられる。

本論文では提案するノイズ解析モデルの精度評価を目的としたリファレンス電源ノイズ生成回路としてループシフトレジスタアレイ回路を使用した。さらに、ノイズ源回路とともにサンプリング型のオンチップモニタ回路を同一のテストチップ内に搭載した。オンチップモニタ回路は、チップ内部の電源電圧の変動として観測される電源ノイズをチップ内部で測定しデジタル化してチップ外部に出力する機能を有している。これによりデジタル回路動作時に発生する電源ノイズ波形の高精度な取得や、電源ノイズに含まれる周波数成分を広帯域に評価可能となる。オンチップモニタ回路を用いた電源ノイズのオンチップ測定結果と提案する解析モデルを用いた電源ノイズ解析結果を比較評価し、提案モデルがLSI動作時にチップ内で発生する電源ノイズを高精度に解析可能であることを定量的に示した。

また、評価対象LSIを実装したプリント基板上に配置されたデカップリングコンデンサの搭載位置や搭載個数を様々に変更することでシステムで発生する電源ノイズの周波数特性や大きさが変化することをオンチップモニタ回路で明らかにし、提案モデルによるノイズ成分解析やインピーダンス解析の結果よりシステムで発生する電源ノイズ成分がインピーダンス特性により特徴づけられることを明らかにした。

オンチップモニタ回路は電源ノイズ、EMC評価を行うにあたり非常に有効な手段となるが、一般的なEMC評価で用いられている評価手法ではない。そ

ここで、一般的な LSI のエミッション評価で用いられる測定手法として IEC で標準化されている磁界プローブ法を用いたオンボード高周波電流成分測定を行い、測定結果をモデルを用いた解析結果と比較評価することで一般的なエミッション評価で得られる結果との整合性を検証した。

3章では、32bit のマイクロプロセッサコアを対象としたエミッション評価を行った。これは、2章における評価対象回路であるループシフトレジスタアレイ回路は、演算やメモリとのデータのやり取りなどの動作を行わず、デジタル回路で発生する全ての機能を模擬できるとはいえないためである。このため、より実地的な回路に対する評価を行うことにより、提案ノイズ解析モデルの実際の製品開発プロセスにおける EMC 評価手法としての有用性を実証することを目的としている。

評価対象の LSI では、評価対象回路となるマイクロプロセッサコアに加えてリアルタイムで電源ノイズ検出が可能な構造を有するオンチップモニタ回路を搭載することで、オンチップ電源ノイズ測定を可能とした。また2章での評価と同じく、LSI を対象とした一般的に用いられているエミッション評価として、磁界プローブを用いたオンボード電源電流測定を行った。これらの測定結果とモデルを用いた解析結果との比較評価により、提案ノイズ解析モデルは実際の製品で一般に用いられる回路の動作により発生する電源ノイズに対しても、精度の良い解析が可能であることを示した。

特筆すべき評価結果としては、プロセッサの動作周波数を過渡的に変更する動作を行った際の電源ノイズの振る舞いを正しく解析可能であることを示した。また、プロセッサ動作で発生する電源ノイズ成分と実行する命令との関係性をモニタ回路を用いて明らかにし、提案ノイズ解析モデルは命令に依存した電源ノイズ成分を正しく解析可能であることを示した。さらに、提案モデルは数百クロックサイクルに及ぶ長時間の電源ノイズ解析を現実的な時間で可能であることを示した。

4章では、LSI システムのイミュニティ評価時における誤動作のメカニズム解明を最終的な目的とし、LSI システムへのノイズ注入時における評価対象回路のノイズに対する応答を実測と解析の両方の視点から明らかにした。インバーターチェーン回路を評価対象とし、回路にノイズ印加を行うことで発生する出力信号のジッタ量によりイミュニティ性能の定量化を行った。インバーターチェーン回路に対するノイズ印加には2種類の異なる方法を採用した。

1つ目の方法は IEC で LSI のイミュニティ試験方法として標準化されている直接 RF 電力注入法を用いることで、これにより LSI システムへの周囲環境からの電力入射に対する耐性評価が可能となる。

2つ目の方法は、イミュニティ評価対象回路が搭載されているものと同一の

LSI上にノイズデジタル回路を搭載し、これを動作させることで電源ノイズを発生させる方法である。これは、単一LSIチップにおけるイントラ EMC の評価を目的としている。

本論文での評価結果より、提案モデルはエミッション、イミュニティ、イントラ EMC という様々な異なる要因による LSI 動作と電磁環境に関する問題に対し、その発生と影響を予測する上で有用な技術であることを示し、また、設計段階における EMC 性能の評価が可能であることが示された。

今後の課題としては、詳細なデザインデータが手に入らない LSI を対象としたモデル化に関しては、先行研究で述べた、実測結果から電流モデル・PDN 等価回路モデルを作成する EMC 的な視点に立ったモデルを併用することが考えられる。もしくは、業界においてスタンダードとなるモデルと作成フローを決定する必要がある。

2点めは、イントラ EMC の評価について、本論文においてはノイズ源回路と評価対象回路が同一の電源ドメインに属していたが、通常はノイズ源回路とノイズの影響を受けやすい回路は一般に LSI 内で異なる電源ドメイン設計をするため、このような設計を行った場合におけるイントラ EMC の評価の必要性が挙げられる。これには、LSI のモデルがシリコン基板を介したノイズ伝搬を正確に表現可能であることが求められる。

また、これに加えてイミュニティ評価においては本論文において採用した直接 RF 電力注入法の他に様々なイミュニティ試験方法が規定されている。例えば静電気放電試験や電圧サージ、ワイヤハーネスへの電流注入や電磁波の放射などであり、LSI が搭載される製品の分類やテスト対象ピンの種類などで、これらのイミュニティ試験方法が様々な組み合わせられて試験が行われる。設計した LSI や、LSI を搭載した製品が十分なイミュニティ耐性があると結論付けるにはこれら様々な試験に対する LSI の応答解析が必要である。これらの試験方法についても評価・解析を行い、様々なイミュニティ試験に対して提案モデルを用いた解析フローの確立が必要である。

最後に、本論文における試作 LSI を用いた EMC 評価はプリント基板上に評価対象 LSI のみ搭載されている構造であったが、実際の製品ではプリント基板上に電源制御 IC や発振素子、クロックドライバ IC やマイクロプロセッサなど様々な LSI が搭載されている。このため、ノイズ源となる IC やその影響を受ける IC など LSI 間での電源ノイズの伝搬によるシステム性能への影響が発生しうる。これは、さらにスコープを広げてワイヤハーネスで接続された LSI システム間などでも同様に言えることである。このように、さらに実際の製品に近い設計や実装、システム設計を行った対象において電源ノイズ・EMC の評価を行うことが EMC 設計技術の向上のため必要である。

## 謝辞

---

本論文は、筆者が神戸大学大学院 システム情報学研究科 情報科学専攻 情報システム研究室において行った研究成果をまとめたものです。ここに御指導、御協力頂いた全ての方に謹んで感謝の意を表します。

本研究の機会を与えて頂き、研究のご指導を賜りました神戸大学大学院 システム情報学研究科 情報科学専攻・永田 真 教授に深く感謝致します。本研究の遂行にあたっては、研究機材の整備に御尽力頂くとともに、終始にわたって熱心かつ懇切なる御指導、御鞭撻を賜りました。心より感謝致します。

本論文をまとめるにあたり貴重な御助言、御指導を頂きましたシステム情報学研究科 情報科学専攻・吉本 雅彦 教授、計算科学専攻・横川 三津夫 教授、情報科学専攻・玉置 久 教授に深く感謝致します。

研究生活に関して御世話になり、また研究に限らず様々な視野から日々御議論頂きましたシステム情報学研究科 情報科学専攻・鎌田 十三郎 講師に深く感謝の意を表します。

適切な御指導、御助言を頂きました神戸大学大学院システム情報学研究科・三浦 典之 特命助教に深く感謝致します。

研究遂行にあたって事務手続きをはじめ、多くのご支援を頂いたシステム情報学研究科 情報科学専攻情報システム研究室 秘書 坪井 彩 氏に感謝致します。

本研究の一部は戦略的創造研究推進事業 (CREST) の研究課題「超高信頼性 VLSI システムのためのディペンダブルメモリ技術」の一部として実施されました。関係者各位に深く感謝致します。

共同研究を通じて多大なご指導、ご協力を頂きました株式会社デンソー 市川 浩二 氏、我妻 秀治 氏、村田 明隆 氏、津田 剛宏 氏、生駒 大策 氏、パナソニック株式会社 齊藤 義行 氏、武田 憲明 氏、奥本 健 氏、瓜生 一英 氏、末永 寛 氏、佐々木 智江 氏、東北大学大学院工学研究科電気エネルギーシステム専攻 山口 正洋 教授、遠藤 恭 准教授、室賀 翔 助教に感謝致します。

日々の議論を通じて研究に新たな知見、刺激を与えて頂きました小坂 大輔 氏 (現 エイアールテック)、深澤 光弥 氏 (現 ルネサスエレクトロニクス)、松野 哲郎 氏 (現 ルネサスエレクトロニクス)、橋田 拓志 氏 (現 富士通研究所)、坂東 要志 氏 (現 パナソニック)、荒賀 佑樹 氏、東 直矢 氏、高谷 聡 氏、藤本 大介 氏に感謝致します。

同じ研究グループとして本研究において様々な御協力を戴きました原田 祐二

氏, 林泰祐氏, 太田淳史氏, 澤田卓也氏(現メガチップス), 利川托氏(現パナソニック), 佐々木悠太氏(現パナソニック), 竹内祐二氏(現滋賀銀行)に感謝致します。

研究室での日常生活においてお世話になりましたシステム情報学研究科 情報科学専攻 情報システム研究室の皆様ならびに関係者方々に感謝申し上げます。

これまで筆者を支えてくれた友人, 恩師の皆様は深く感謝致します。最後に, 私をここまで育て, 温かく見守って頂いた家族に心より感謝を申し上げます。

## 参考文献

---

- [1] International Electrotechnical Commission, <http://www.iec.ch/>
- [2] Comite International Special des Perturbations Radioelectriques, [http://www.iec.ch/emc/iec\\_emc/iec\\_emc\\_players\\_cispr.htm](http://www.iec.ch/emc/iec_emc/iec_emc_players_cispr.htm)
- [3] International Organization for Standardization, <http://www.iso.org/>
- [4] M. Ramdani, E. Sicard, A. Boyer, S. Ben-Dhia, J. J. Whalen, T. H. Hubing, M. Coenen, and O. Wada, "The Electromagnetic Compatibility of Integrated Circuits Past, Present, and Future," *IEEE Transactions on Electromagnetic Compatibility*, Vol. 51, No. 1, pp. 78 – 100, Feb. 2009.
- [5] "Integrated Circuits, Measurement of Electromagnetic Emissions, 150 KHz to 1 GHz: General Conditions and Definitions," IEC 61967-1, 2002, International Electrotechnical Commission, Geneva, Switzerland.
- [6] "Integrated Circuits, Measurement of Electromagnetic Emissions, 150 kHz to 1 GHz - Part 2: Measurement of radiated emissions - TEM cell and wideband TEM cell method," IEC 61967-2, 2005, International Electrotechnical Commission, Geneva, Switzerland.
- [7] "Integrated Circuits, Measurement of Electromagnetic Immunity - Part 2: Measurement of Radiated Immunity - TEM Cell and Wideband TEM Cell Method," IEC 62132-2, 2010, International Electrotechnical Commission, Geneva, Switzerland.
- [8] "Integrated Circuits, Measurement of Electromagnetic Emissions, 150 kHz to 1 GHz - Part 3: Measurement of radiated emissions - Surface scan method," IEC/TS 61967-3, 2005, International Electrotechnical Commission, Geneva, Switzerland.
- [9] "Integrated Circuits, Measurement of Electromagnetic Immunity, 150 KHz to 1 GHz: General Conditions and Definitions," IEC 62132-1, 2007, International Electrotechnical Commission, Geneva, Switzerland.

- 
- [10] “*Integrated Circuits, Measurement of Electromagnetic Immunity, 150 kHz to 1 GHz - Part 3: Bulk current injection (BCI) method.*,” IEC 62132-3, 2007, International Electrotechnical Commission, Geneva, Switzerland.
- [11] “*Direct RF Power Injection to Measure the Immunity against Conducted RF-Disturbances of Integrated Circuits up to 1 GHz.*,” IEC 62132-4, 2003, International Electrotechnical Commission, Geneva, Switzerland.
- [12] JEDEC Solid State Technology Association, <http://www.jedec.org/>
- [13] “*ElectroStatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM)*,” JESD22-A114F, 2008, JEDEC, United States.
- [14] “*Integrated Circuits, Measurement of Impulse Immunity - Part 2: Synchronous Transient Injection Method.*,” IEC/TS 62215-2, 2007, International Electrotechnical Commission, Geneva, Switzerland.
- [15] Federal Communications Commission, <http://www.fcc.gov/>
- [16] VCCI, <http://www.vcci.jp/>
- [17] European Commission, <http://ec.europa.eu/enterprise/sectors/electrical/emc>
- [18] “*Electromagnetic compatibility (EMC) - Part 1: General - Section 1: Application and interpretation of fundamental definitions and terms.*,” IEC 61000-1-1, 1992, International Electrotechnical Commission, Geneva, Switzerland.
- [19] “*Electromagnetic compatibility (EMC) - Part 4-2: Testing and measurement techniques - Electrostatic discharge immunity test.*,” IEC 61000-4-2, 2008, International Electrotechnical Commission, Geneva, Switzerland.
- [20] “*Road vehicles - Vehicle test methods for electrical disturbances from narrowband radiated electromagnetic energy - Part 1: General principles and terminology.*,” ISO 11452-1, 2005, International Organization for Standardization, Geneva, Switzerland.
- [21] “*Road vehicles - Electrical disturbances from conduction and coupling - Part 1: Definitions and general considerations.*,” ISO 7637-1, 2002, International Organization for Standardization, Geneva, Switzerland.

- [22] “*Road vehicles – Test methods for electrical disturbances from electrostatic discharge.*,” ISO 10605, 2008, International Organization for Standardization, Geneva, Switzerland.
- [23] United Nations Economic Commission for Europe, <http://www.unece.org/>
- [24] “*Uniform provisions concerning the approval of vehicles with regard to electromagnetic compatibility.*,” Regulation No.10 Revision 4, 2011, United Nations.
- [25] Society of Automotive Engineers, <http://www.sae.org/>
- [26] “*Electromagnetic Compatibility Measurement Procedures and Limits for Components of Vehicles, Boats (up to 15 m), and Machines (Except Aircraft) (16.6 Hz to 18 GHz).*,” J1113/1, 2013, Society of Automotive Engineers, United States.
- [27] “*General Specification for Electrical/Electronic Components and Subsystems, Electromagnetic Compatibility.*,” 2012, General Motors Company.
- [28] “*General Specification for Electrical/Electronic Components and Subsystems, Electromagnetic Compatibility, Global EMC Component/Subsystem Validation Acceptance Process.*,” 2012, General Motors Company.
- [29] Ford EMC, <http://www.fordemc.com/>
- [30] K. Noguchi and M. Nagata, “On-chip multi-channel waveform monitoring for diagnostics of mixed-signal vlsi circuits,” in *Proceedings of the Design Automation and Test in Europe*, pp. 146–151, 2005.
- [31] Y. Araga, T. Hashida, and M. Nagata, “An on-chip waveform capturing technique pursuing minimum cost of integration,” in *Proceedings of the 2010 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 3557–3560, 2010.
- [32] M. Nagata, T. Okumoto, and K. Taki, “A built-in technique for probing power supply and ground noise distribution within large-scale digital integrated circuits,” *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 4, pp. 813–819, 2005.

- [33] M. Fukazawa, T. Matsuno, R. Akiyama, T. Kagemoto, H. Makino, H. Takata, and M. Nagata, “Fine-grained in-circuit continuous-time probing technique of dynamic supply variations in SoCs,” in *Dig. of Tech. Papers, Intl. Solid-State Circuits 2007*, pp. 288–289, 2007.
- [34] A. Muhtaroglu, G. Taylor, and T. Rahal-Arabi, “On-Die Droop Detector for Analog Sensing of Power Supply Noise,” *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 4, pp. 651 – 660, Apr. 2004.
- [35] Y. Kanno, and Y. Kondoh, T. Irita, K. Hirose, R. Mori, Y. Yasu, S. Komatsu, and H. Mizuno, “In-Situ Measurement of Supply-Noise Maps With Millivolt Accuracy and Nanosecond-Order Time Resolution,” *IEEE Journal of Solid-State Circuits*, Vol. 42, No. 4, pp. 784 – 789, Apr. 2007.
- [36] T. Sato, Y. Matsumoto, K. Hirakimoto, M. Komoda, and J. Mano, “A time-slicing ring oscillator for capturing instantaneous delay degradation and power supply voltage drop,” in *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 783–786, 2006.
- [37] K. Makie-Fukuda, T. Kikuchi, T. Matsuura, and M. Hotta, “Measurement of digital noise in mixed-signal integrated circuits,” *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 2, pp. 87–92, 1995.
- [38] E. Alon, V. Stojanovic, and M.A. Horowitz, “Circuits and Techniques for High-Resolution Measurement of On-Chip Power Supply Noise,” *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 4, pp. 820–828, Apr. 2005.
- [39] M. Takamiya, M. Mizuno, and K. Nakamura, “An on-chip 100 ghz-sampling rate 8-channel sampling oscilloscope with embedded sampling clock generator,” in *Dig. of Tech. Papers, Intl. Solid-State Circuits 2002*, pp. 182–458, 2002.
- [40] Y. Kobayashi, R. Kobayashi, T. Mido, G. Kudo, H. Otsuka, H. Fujii, and T. Sudo, “Power Supply Noise Suppression By Optimizing On-die PDN Impedance,” in *Proceedings of the IEEE CPMT Symposium Japan*, 19-3, Dec. 2012.
- [41] A. Boyer, S. Ben-Dhia, C. Lemoine and B. Vrignon, “An On-Chip Sensor for Time Domain Characterization of Electromagnetic Interferences,” in

- Proceedings of the 2011 8th Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, pp. 251 – 256, Nov. 2011.
- [42] J. Kim, W. Lee, Y. Shim, J. Shim, K. Kim, J.S. Pak, and J. Kim, “Chip-Package Hierarchical Power Distribution Network Modeling and Analysis Based on a Segmentation Method,” *IEEE Transactions on Advanced Packaging*, Vol. 33, No. 3, pp. 647 – 659, Aug. 2010.
- [43] X. Liu; Y. Liu, “The Extraction and Measurement of On-Die Impedance for Power Delivery Analysis,” *IEEE 18th Conference on Electrical Performance of Electronic Packaging and Systems, 2009. (EPEPS '09)*, pp. 195 – 198, 2009.
- [44] L. D. Smith, R. E. Anderson, and T. Roy, “Chip-Package Resonance in Core Power Supply Structures for a High Power Microprocessor,” in *Proceedings of the Pacific Rim ASME International Electronic Packaging Technical Conference and Exhibition (IPACK)*, 2001.
- [45] D.J. Harrell, and B. Beker, “Modeling of Power Distribution Systems for High-Performance Processors,” *IEEE Transactions on Advanced Packaging*, Vol. 22, No. 3, pp. 240–248, Aug. 2002.
- [46] H.H. Chen, and J.S. Neely, “Interconnect and Circuit Modeling Techniques for Full-Chip Power Supply Noise Analysis,” *IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B: Advanced Packaging*, Vol. 21, No. 3, pp. 209–215, Aug 1998.
- [47] R. Kobayashi, G. Kudo, H. Otsuka, T. Mido, Y. Kobayashi, H. Fujii, and T. Sudo, “Effects of Critically Damped Total PDN Impedance in Chip-Package-Board Co-Design,” in *Proceedings of the IEEE EMC Symposium*, pp. 538 – 543, Aug. 2012.
- [48] T. Matsuno, D. Kosaka, and M. Nagata, “Modeling of Power Noise Generation in Standard-Cell Based CMOS Digital Circuits,” *IEICE Transactions on Fundamentals*, Vol. E93-A, No. 2, pp. 440 – 447, Feb. 2010.
- [49] T. Matsuno, D. Kosaka, and M. Nagata, “Reference CMOS Circuits and Test Structure for Evaluation of Dynamic Noise in Power Delivery Networks,” *Japanese Journal of Applied Physics*, Vol. 49, No. 4, pp. 04DE01-1 – 04DE01-5, Apr. 2010.

- 
- [50] T. Matsuno, D. Kosaka, and M. Nagata, "A Reference CMOS Circuit Structure for Evaluation of Dynamic Voltage Variation in Power Delivery Networks," in *Extended Abstracts of the 2009 International Conference on Solid State Devices and Materials*, pp. 1068 – 1069, 2009.
- [51] Chip Power Model, <http://www.apache-da.co.jp/products/sentinel/chip-power-model>
- [52] E. Kulali, E. Wasserman, and Ji Zheng, "Chip Power Model - A New Methodology for System Power Integrity Analysis and Design," *IEEE Electrical Performance of Electronic Packaging*, pp. 259 – 262, Oct. 2007.
- [53] T. Steinecke, M. Gokcen, J. Kruppa, P. Ng, and N. Vialle, "Layout-based chip emission models using RedHawk," in *Proceedings of the 7th Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, 2009.
- [54] J. Levant, M. Ramdani, R. Perdriau, and M. Drissi, "EMC assessment at chip and PCB level: Use of the ICEM model for jitter analysis in an integrated PLL," *IEEE Transactions on Electromagnetic Compatibility*, Vol. 49, No. 1, pp. 182 – 191, Feb. 2007.
- [55] J. Levant, M. Ramdani, and R. Perdriau, "ICEM Modelling of Microcontroller Current Activity," *Microelectronics Journal*, Vol. 35, No. 6, pp. 501 – 507, June 2004.
- [56] K.R.A. Britto, R. Dhanasekaran, R. Vimala, and K. Baskaran, "EMC analysis of PCB using ICEM model," in *Proceedings of the 2010 IEEE International Conference on Communication Control and Computing Technologies*, pp. 270 – 275, Oct. 2010.
- [57] C. Lochot, and J. Levant, "ICEM: a new standard for EMC of IC definition and examples," in *Proceedings of the 2003 IEEE International Symposium on Electromagnetic Compatibility*, pp. 892 – 897, Aug. 2003.
- [58] M. Ramdani, J. Levant, and R. Perdriau, "ICEM model extraction: a case study," in *Proceedings of the 2004 IEEE International Symposium on Electromagnetic Compatibility*, pp. 969 – 973, Aug. 2004.

- [59] C. Labussiere-Dorgan, S. Ben-Dhia, E. Sicard, T. Junwu, H.J. Quaresma, C. Lochot, and B. Vrignon, "Modeling the Electromagnetic Emission of a Microcontroller Using a Single Model," *IEEE Transactions on Electromagnetic Compatibility*, Vol. 50, No. 1, pp. 22 – 34, Feb 2008.
- [60] N. Berbel, R. Fernandez-Garcia, I. Gil, B. Li, S. Ben-Dhia, and A. Boyer, "An alternative approach to model the Internal Activity of integrated circuits," in *Proceedings of the 2011 8th Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2011)*, pp. 88 – 92, Nov. 2011.
- [61] A. Boyer, and S. Ben-Dhia, "Characterization and Modeling of Electrical Stresses on Digital Integrated Circuits Power Integrity and Conducted Emission," in *Proceedings of the 9th International Workshop of Integrated Circuits (EMC Compo)*, pp. 190 – 195, Dec. 2013.
- [62] "EMC IC modelling - Part 1: General modelling framework.," IEC/TS 62433-1 ed1.0, 2011, International Electrotechnical Commission, Geneva, Switzerland.
- [63] "EMC IC modelling - Part 2: Models of integrated circuits for EMI behavioural simulation - Conducted emissions modelling (ICEM-CE).," IEC 62433-2 ed1.0, 2008, International Electrotechnical Commission, Geneva, Switzerland.
- [64] N. Funabiki, Y. Nomura, J. Kawashima, Y. Minamisawa, and O. Wada, "A LECCS model parameter optimization algorithm for EMC designs of IC/LSI systems," in *Proceedings of the IEEE 17th Intl. Zurich Symp. on Electromagnetic Compatibility*, pp. 304 – 307, Mar. 2006.
- [65] K. Ichikawa, M. Inagaki, Y. Sakurai, I. Iwase, M. Nagata, and O. Wada, "Simulation of integrated circuit immunity with leccs model," in *Proceedings of the IEEE 17th Intl. Zurich Symp. on Electromagnetic Compatibility*, pp. 308 – 311, Mar. 2006.
- [66] Y. Fukumoto, Y. Takahata, O. Wada, Y. Toyota, R. Koga, and T. Miyashita, "Power current model of LSI/IC containing equivalent internal impedance for EMI analysis of digital circuits," *IEICE Trans. Commun.*, Vol. E84-B, No. 11, pp. 3041 – 3049, Nov. 2001.

- [67] Y. Fukumoto, T. Matsuishi, T. Kinoshita, O. Wada, Y. Toyota, and R. Koga, "Power current model of LSI and parameter identification for EMI simulation of digital PCBs," in *Proceedings of the IEEE EMC Symp.*, pp. 1185 – 1190, Aug. 2001.
- [68] K. Takayama, T. Kinoshita, T. Matsuishi, S. Matsunaga, Z. L. Wang, Y. Toyota, O. Wada, R. Koga, Y. Fukumoto, and O. Shibata, "A simulation method for EM radiation from power/ground plane of PCB by using a power current model," *IEICE Trans. Commun.*, Vol. J84-B, No. 2, pp. 226 – 235, Feb. 2003.
- [69] K. Okamoto, T. Amano, K. Iokibe and Y. Toyota, "Identification of equivalent current source of cryptographic circuit based on impedance and current measurements at board level," in *Proceedings of the 2012 SICE Annual Conference*, pp. 73 – 78, Aug. 2012.
- [70] K. Ichikawa, T. Uno, M. Miyamoto, M. Inagaki, K. Nakamura, T. Matsui, Y. Mabuchi, A. Mishima, K. Kobayashi, A. Nakamura, and T. Hayashi, "EMI Analysis of a PCB for Automotive Equipment Using an LSI Power Current Model," in *Proceedings of the 4th International Workshop of Integrated Circuits (EMC Compo 04)*, pp. 38 – 42, Apr. 2004.
- [71] K. Iokibe, and Y. Toyota, "Estimation of Data-Dependent Power Voltage Variations of FPGA by Equivalent Circuit Modeling from On-Board Measurements," in *Proceedings of the 9th International Workshop of Integrated Circuits (EMC Compo)*, pp. 175 – 179, Dec. 2013.
- [72] "IBIS v6.0 : Electronic behavioral specifications of digital integrated circuits I/O buffer information specification," <http://www.vhdl.org/ibis/>
- [73] B. Ross, "IBIS and ICEM interaction," *Microelectronics Journal*, vol. 35, no. 6, pp. 497 – 500, June 2004.
- [74] J. Yuancheng, K. Mouthaan, and N.V. Venkatarayalu, "Simultaneous switching noise in IBIS models," in *Proceedings of the 2004 International Symposium on EMC*, pp. 1000 – 1004, Aug. 2004.
- [75] P. Pulici, A. Girardi, G. P. Vanalli, R. Izzi, G. Bernardi, G. Ripamonti, A.G.M. Strollo, and G. Campardo, "A Modified IBIS Model Aimed at

- Signal Integrity Analysis of Systems in Package,” *IEEE Transactions on Circuits and Systems I*, pp. 1921 – 1928, Aug. 2008.
- [76] J. Yuancheng, K. Mouthaan, and N.V. Venkatarayalu, “Analysis of IBIS model performance in simulation of simultaneous switching noise,” in *Proceedings of the 2011 Asia-Pacific Microwave Conference (APMC)*, pp. 1007 – 1010, Dec. 2011.
- [77] E. Salman, E.G. Friedman, R.M. Secareanu, and O.L. Hartin, “Worst Case Power/Ground Noise Estimation Using an Equivalent Transition Time for Resonance,” *IEEE Transactions on Circuits and Systems*, Vol. 56, No. 5, pp. 997 – 1004, May 2009.
- [78] H.H. Park, S. Song, S. Han, T. Jang, J. Jung, and H. Park, “Estimation of Power Switching Current by Chip-Package-PCB Cosimulation,” *IEEE Transactions on Electromagnetic Compatibility*, Vol. 52, No. 2, pp. 311 – 319, May 2010.
- [79] R. Panda, D. Blaauw, R. Chaudhry, V. Zolotov, B. Young, and R. Ramaraju, “Model and Analysis for Combined Package and On-Chip Power Grid Simulation,” in *Proceedings of the IEEE International Symposium on Low Power Electronics and Design*, pp. 179–184, Aug. 2000.
- [80] B. Garben, M.F. McAllister, W.D. Becker, and R. Frech, “Mid-Frequency Delta-I Noise Analysis of Complex Computer System Boards with Multi-processor Modules and Verification by Measurements,” *IEEE Transactions on Advanced Packaging*, Vol. 24, No. 3, pp. 294 – 303, Aug. 2001.
- [81] T. Zhou, T. Strach, and W.D. Becker, “On Chip Circuit Model for Accurate Mid-Frequency Simultaneous Switching Noise Prediction,” in *Proceedings of the IEEE Conference on Electrical Performance of Electronic Packaging*, pp. 275–278, Oct. 2005.
- [82] S. Ben-Dhia, A. Boyer, B. Vrignon and M. Deobarro, “IC Immunity Modeling Process Validation Using On-Chip Measurements,” in *Proceedings of the 2011 12th Latin American Test Workshop*, pp 1 – 6, 2011.
- [83] S. Ben-Dhia, A. Boyer, B. Vrignon, M. Deobarro, and T.V. Dinh, “On-Chip Noise Sensor for Integrated Circuit Susceptibility Investigations,”

- IEEE Transactions on Instrumentation and Measurement*, Vol. 61, No. 3, pp. 696–707, 2012.
- [84] A. Alaeldine, R. Perdriau, M. Ramdani, J.L. Levant, and M. Drissi, “A Direct Power Injection Model for Immunity Prediction in Integrated Circuits,” *IEEE Trans. Electromagnetic Compatibility*, Vol. 50, No. 1, pp. 52–62, 2008.
- [85] K. Ichikawa, Y. Takahashi, Y. Sakurai, T. Tsuda, I. Iwase, and M. Nagata, “Measurement-Based Analysis of Electromagnetic Immunity in LSI Circuit Operation,” *IEICE Transactions on Electronics*, Vol. 91, No. 6, pp. 936–944, 2008.
- [86] “*Integrated Circuits, Measurement of Electromagnetic Emissions, 150 KHz to 1 GHz - Part 6: Measurement of Conducted Emissions - Magnetic Probe Method.*,” IEC 61967-1, 2002, International Electrotechnical Commission, Geneva, Switzerland.
- [87] T.H. Lee, “The Design of CMOS Radio-Frequency Integrated Circuits,” Cambridge, U.K. : Cambridge Univ. Press, 1998.
- [88] X. Qi, C.P. Yue, T. Arnborg, H.T. Soh, H. Sakai, Z. Yu, and R.W. Dutton, “A Fast 3-D Modeling Approach to Electrical Parameters Extraction of Bonding Wires for RF Circuits,” *IEEE Trans. On Advanced Packaging*, Vol. 23, No. 3, pp. 480 – 488, Aug. 2000.
- [89] A.R. Djordjevic, R.M. Biljic, V.D. Likar-Smiljanic, and T.K. Sarkar, “Wideband Frequency-Domain Characterization of FR-4 and Time-Domain Causality,” *IEEE Transactions on Electromagnetic Compatibility*, Vol. 43, No. 4, pp. 662 – 667, Nov. 2001.
- [90] L.D. Smith, R.E. Anderson, D.W. Forehand, T.J. Pelc, and T. Roy, “Power distribution system design methodology and capacitor selection for modern CMOS technology,” *IEEE Transactions on Advanced Packaging*, Vol. 22, No. 3, pp. 284 – 291, Aug. 1999.
- [91] J. Fan, J.L. Drewniak, J.L. Knighten, N.W. Smith, A. Orlandi, T.P. Van Doren, T.H. Hubing, and R.E. DuBroff, “Quantifying SMT decoupling capacitor placement in dc power-bus design for multilayer PCBs,”

- 
- IEEE Transactions on Electromagnetic Compatibility*, Vol. 43, No. 4, pp. 588 – 599, Nov. 2001.
- [92] E. Wong, J.R. Minz, and S.K. Lum, “Decoupling-Capacitor Planning and Sizing for Noise and Leakage Reduction,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 26, No. 11, pp. 2023 – 2034, Nov. 2007.
- [93] M. Popovich, M. Sotman, A. Kolodny, and E.G. Friedman, “Effective Radii of On-Chip Decoupling Capacitors,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 16, No. 7, pp. 894 – 907, July 2008.
- [94] T. Charania, A. Opal, and M. Sachdev, “Analysis and Design of On-Chip Decoupling Capacitors,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 21, No. 4, pp. 648 – 658, Apr. 2013.
- [95] M.P. Robinson, K. Fischer, and I.D. Flintoft, “A simple model of emi-induced timing jitter in digital circuits, its statistical distribution and its effect on circuit performance,” *IEEE Transactions on Electromagnetic Compatibility*, Vol. 45, No. 3, pp. 513–519, 2003.
- [96] R. Saleh, S.Z. Hussain, S. Rochel, and D. Overhauser, “Clock Skew Verification in the Presence of IR-Drop in the Power Distribution Network,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 19, No. 6, pp. 635–644, June 2000.
- [97] M. Saint-Laurent, and M. Swaminathan “Impact of Power-Supply Noise on Timing in High-Frequency Microprocessors,” *IEEE Transactions on Advanced Packaging*, Vol. 27, No. 1, pp. 135–144, Feb. 2004.

## 発表論文一覧

---

### 本研究に関する発表論文

#### 学術雑誌

- [1] K. Yoshikawa, Y. Sasaki, K. Ichikawa, Y. Saito, and M. Nagata, “Co-simulation of On-Chip and On-Board AC Power Noise of CMOS Digital Circuits,” *IEICE Transactions on Fundamentals*, Vol. E95-A, No. 12, pp. 2284 – 2291, Dec. 2012.
- [2] K. Yoshikawa, K. Ichikawa, and M. Nagata, “AC Power Supply Noise Simulation of CMOS Microprocessor with LSI Chip-Package-Board Integrated Model,” *IEICE Transactions on Electronics*, Vol. E97-C, No. 4, Apr. 2014, to appear.

#### 国際会議

- [3] K. Yoshikawa, Y. Sasaki, K. Ichikawa, Y. Saito, and M. Nagata, “Measurements and Co-Simulation of On-Chip and On-Board AC Power Noise in Digital Integrated Circuits,” in *Proceedings of the 8th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2011)*, pp 76 – 81, Nov. 2011.
- [4] K. Yoshikawa, and M. Nagata, “Co-simulation of AC Power Noise of CMOS Microprocessor using Capacitor Charging Modeling,” in *Proceedings of the IEEE Components, Packaging and Manufacturing Technology (CPMT) Symposium Japan*, pp. 19-2-1 – 19-2-4, Dec. 2012.
- [5] K. Yoshikawa, Y. Harada, N. Miura, N. Takeda, Y. Saito, and M. Nagata, “Immunity Evaluation of Inverter Chains against RF Power on Power Delivery Network,” in *Proceedings of the 9th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2013)*, pp. 232 – 237, Dec. 2013.

## 学術講演

- [6] 吉川 薫平, 松本 大, 佐々木 悠太, 永田 真, “CMOS デジタル LSI における電源雑音の周波数成分評価,” 電子情報通信学会 信学技報 ICD2010-83, pp. 1-6, 2010 年 11 月.
- [7] 吉川 薫平, 佐々木 悠太, 市川 浩司, 齊藤 義行, 永田 真, “デジタル LSI におけるオンチップ・オンボード電源雑音の評価・協調解析手法,” 電子情報通信学会 信学技報 ICD2011-95, pp. 73-78, 2011 年 11 月.
- [8] 吉川 薫平, 佐々木 悠太, 市川 浩司, 永田 真, “デジタル LSI の電源ノイズに関するオンボードおよびオンチップ測定の統合評価,” 電子情報通信学会 信学技報 EMCJ2012-1, pp. 37-42, 2012 年 4 月.
- [9] 吉川 薫平, 佐々木 悠太, 市川 浩司, 齊藤 義行, 永田 真, “デジタル LSI における LSI チップ・パッケージ・ボードを統合した電源雑音協調評価,” 電子情報通信学会 信学技報 Vol. 112, No. 321, pp. 183-188, 2012 年 11 月.

## その他の発表論文

### 学術雑誌

- [10] S. Muroga, Y. Endo, W. Kodate, Y. Sasaki, K. Yoshikawa, Y. Sasaki, M. Nagata, and M. Yamaguchi, “Evaluation of Thin Film Noise Suppressor Applied to Noise Emulator Chip Implemented in 65nm CMOS Technology,” *IEEE Transactions on Magnetics*, Vol. 47, pp. 4485 – 4488, Oct. 2011.
- [11] T. Sawada, T. Toshikawa, K. Yoshikawa, H. Takata, K. Nii and M. Nagata, “Evaluation of SRAM-Core Susceptibility against Power Supply Voltage Variation,” *IEICE Transactions on Electronics*, Vol. E95-C, No. 4, pp. 586 – 593, Apr. 2012.
- [12] T. Okumoto, K. Yoshikawa, and M. Nagata, “Design of Effective Supply Voltage Monitor for Measuring Power Rails of Integrated Circuits,” *IEICE Transactions on Electronics*, Vol. E96-C, No. 4, pp. 538 – 545, Apr. 2013.
- [13] 永田 真, 吉川 薫平, 三浦 典之, “SRAM の電源ノイズとイミュニティ,” 日本信頼性学会誌, Vol. 35, No. 8, pp. 441, 2013 年 12 月.

## 国際会議

- [14] S. Muroga, Y. Endo, W. Kodate, Y. Sasaki, K. Yoshikawa, Y. Sasaki, and M. Nagata, and M. Yamaguchi, “Evaluation of Thin Film Noise Suppressor Applied to Noise Emulator Chip Implemented in 65nm CMOS Technology,” in *Proceedings of the IEEE International Magnetics Conference 2011 (INTERMAG2011)*, HH-03, Apr. 2011.
- [15] K. Yoshikawa, T Hashida, and M. Nagata, “An On-Chip Waveform Capturer for Diagnosing Off-Chip Power Delivery,” in *Proceedings of the International Conference on Integrated Circuit Design and Technology (ICICDT)*, Session C, May 2011.
- [16] M. Yamaguchi, S. Muroga, Y. Endo, W. Kodate, K. Yoshikawa, Y. Sasaki, and M. Nagata, “Performance of Integrated Magnetic Thin Film Noise Suppressor Applied to CMOS Noise Test Chips,” in *Proceedings of the 41st European Microwave Conference, EuMC03-3*, pp. 49 – 52, Oct. 2011.
- [17] T. Sawada, T. Toshikawa, K. Yoshikawa, H. Takata, K. Nii, and M. Nagata, “Immunity Evaluation of SRAM Core Using DPI with On-Chip Diagnosis Structures,” in *Proceedings of the 8th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2011)*, pp 65 - 70, Nov. 2011.
- [18] Y. Sasaki, K. Yoshikawa, K. Ichikawa, and M. Nagata, “Co-evaluation of Power Supply Noise of CMOS Microprocessor using On-Board Magnetic Probing and On-Chip Waveform Capturing Techniques,” in *Proceedings of the 2012 International Meeting for Future of Electron Devices, Kansai (IMFEDK)*, S-1, May 2012.
- [19] T. Okumoto, K. Yoshikawa, and M. Nagata, “Monitoring Effective Supply Voltage within Power Rails of Integrated Circuits,” in *Proceedings of the 2012 IEEE Asian Solid-State Circuits Conference (ASSCC)*, pp 113 – 116, Nov. 2012.
- [20] T. Sawada, K. Yoshikawa, H. Takata, K. Nii, and M. Nagata, “Measurements of SRAM Sensitivity against AC Power Noise with Effects of Device Variation,” in *Proceedings of the 2013 IEEE International Conference on Microelectronic Test Structures (ICMTS 2013)*, pp 77 – 80, Mar. 2013.

- [21] Y. Harada, K. Yoshikawa, N. Miura, A. Murata, S. Agatsuma, K. Ichikawa, and M. Nagata, “Power-Noise Measurements of Small-Scale Inverter Chains,” in *Proceedings of the 2013 International Meeting for Future of Electron Devices, Kansai (IMFEDK)*, pp 102 – 103, June 2013.
- [22] A. Murata, S. Agatsuma, D. Ikoma, K. Ichikawa, T. Tsuda, K. Yoshikawa, Y. Araga, Y. Harada, and M. Nagata, “Noise Analysis using On-chip Waveform Monitor in Bandgap Voltage References,” in *Proceedings of the 9th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2013)* , pp 226 – pp 231, Dec. 2013.
- [23] T. Hayashi, N. Miura, K. Yoshikawa, and M. Nagata, “A Passive Supply-Resonance Suppression Filter Utilizing Inductance-Enhanced Coupled Bonding-Wire Coils,” in *Proceedings of the 2014 International Symposium on VLSI Design, Automation and Test (2014 VLSI-DAT)* , Apr. 2014 to appear.

## 学術講演

- [24] 澤田 卓也, 利川 托, 吉川 薫平, 高田 英裕, 新居 浩二, 永田 真, “オンチップ診断機構と DPI を用いた SRAM コアのイミュニティ評価,” 電子情報通信学会 信学技報 ICD2011-97, pp. 85–90, 2011 年 11 月.

## 口頭発表

- [25] 吉川 薫平, 小坂 大輔, 永田 真, “LSI チップ電源配線網の等価回路表現と評価,” 2008 年電子情報通信学会エレクトロニクスソサイエティ大会, C-12-38, 2008 年 9 月.
- [26] 吉川 薫平, 永田 真, “LSI の EMC : チップとボードを統合した電源ノイズの評価・解析手法,” ポスター発表 電子情報通信学会 信学技報 ICD2008-109, pp. 43–46, 2008 年 12 月.
- [27] 佐々木 悠太, 吉川 薫平 , 永田 真, “デジタル LSI のオンボード電流ノイズおよび PDN インピーダンスの測定評価,” 2011 年電子情報通信学会エレクトロニクスソサイエティ大会, C-12-42, 2011 年 9 月.

- [28] 吉川 薫平, 佐々木 悠太, 永田 真, “デジタル LSI のオンチップ電源ノイズ測定と PDN インピーダンスモデリング,” 2011 年電子情報通信学会エレクトロニクスソサイエティ大会, C-12-43, 2011 年 9 月.
- [29] 室賀 翔, 遠藤 恭, 小舘 航, 佐々木 義明, 吉川 薫平, 佐々木 悠太, 永田 真, 山口 正洋, “IC チップに集積化した磁性薄膜電磁ノイズ抑制体のシールド効果,” 第 35 回日本磁気学会学術講演会, 28aF-3, 2011 年 9 月.
- [30] 室賀 翔, 遠藤 恭, 小舘 航, 佐々木 義明, 吉川 薫平, 佐々木 悠太, 永田 真, 山口 正洋, “IC チップ上の磁性膜によるシールド効果の厚膜・透過率依存性,” 平成 23 年スピニクス特別研究会, 11-4-16, 2011 年 11 月.
- [31] 佐々木 悠太, 吉川 薫平, 原田 祐二, 永田 真, “LSI チップ・パッケージ・ボード (LPB) 統合電源インピーダンスを考慮した電源雑音の測定と解析,” ポスター発表 LSI とシステムのワークショップ 2012, 2012 年 5 月.
- [32] 澤田 卓也, 吉川 薫平, 高田 英裕, 新居 浩二, 永田 真, “SRAM の AC 電源変動に対する不良応答と素子ばらつきの影響,” 2013 年 電子情報通信学会総合大会, C-12-52, エレクトロニクス講演論文集 2 pp. 80, 2013 年 3 月.
- [33] 佐々木 悠太, 竹内 祐二, 吉川 薫平, 永田 真, “バッテリー駆動型オンチップ電源雑音モニタシステムの構築,” 2013 年 電子情報通信学会総合大会, C-12-52, エレクトロニクス講演論文集 2 pp. 123, 2013 年 3 月.

## 受賞

- [34] 吉川 薫平, 永田 真, “LSI の EMC : チップとボードを統合した電源ノイズの評価・解析手法,” 電磁情報通信学会 集積回路研究会 12 月度学生・若手研究会 優秀若手研究ポスター賞, 2009 年 1 月.

神戸大学博士論文「VLSIシステムの動作と電磁環境の相互干渉に関する研究」全112頁  
提出日 2014年 1月24日

本博士論文が神戸大学機関リポジトリ **Kernel** にて掲載される場合、掲載登録日（公開日）はリポジトリの該当ページ上に掲載されます。

© 吉川 薫 平

本論文の内容の一部あるいは全部を無断で複製・転載・翻訳することを禁じます。