



LTE移動体通信システムにおけるICチップレベルのノイズ干渉の診断と解析に関する研究

東, 直矢

(Degree)

博士 (工学)

(Date of Degree)

2014-03-25

(Date of Publication)

2015-03-01

(Resource Type)

doctoral thesis

(Report Number)

甲第6101号

(URL)

<https://hdl.handle.net/20.500.14094/D1006101>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博 士 論 文

L T E移動体通信システムにおける
I Cチップレベルのノイズ干渉の診断と
解析に関する研究

平成26年1月

神戸大学大学院システム情報学研究科

東 直 矢

要旨

本研究は、高周波ミックスドシグナル LSI を使用した無線通信端末において、LSI チップからパッケージ・ボード、またそれらを含む通信システム全体を考慮に入れたノイズの影響の評価・解析手法を確立することを目的としている。スマートフォンなどに代表される高性能通信端末の増加と共に、無線によるデータ通信は大幅に上昇してきている。この状況に対応するために、より高速な通信を実現する第 3.9 世代の LTE (Long Term Evolution) や第 4 世代の LTE-Advanced といった通信方式が実用化されてきている。しかし、これらの規格は高速な通信を実現する一方で、各通信端末に対して高い性能を要求するものである。

近年の製造プロセス微細化の進展によって、LSI の小面積化、高速化、低消費電力化が可能になり、新しい通信規格を満たすことの出来る高性能な SoC (System on a Chip) の開発が行われるようになってきている。SoC 等のアナログ回路とデジタル回路が同一チップに配置される LSI において問題になる現象が、デジタル回路からアナログ回路に伝わるノイズである。デジタル回路の動作によって発生する急峻な電流消費で発生した電圧・電流変動が、様々な結合経路を通りアナログ回路に到達することでアナログ回路の性能を劣化させ、最終的にシステム性能の劣化につながると思われる。ノイズの結合経路には様々なものが考えられている。例えば、電流が発生させる磁気を通じた経路や、電圧変動がパッケージやボードに飛び出してからアンテナ等の信号配線に侵入する経路がある。それらの中で、特に高周波で影響が強くなると考えられるものが、LSI が形成されるシリコン基板の結合である。ある回路が発生したノイズが p-well や n-well 等を通り、他の回路に対し影響を与えることを基板クロストークという。この基板クロストークは SoC 等の同一基板に様々な回路が配置されるような LSI 特有の現象といえる。シリコン基板自体は基本的に抵抗と容量の結合で表現ができ、また、基板と各回路素子の結合は PN ジャンクション容量や基板と配線間の容量等であり容量性と言える。容量性の結合は、高い周波数ではインピーダンスが小さくなるため基板を通じた結合は強くなる。そのため、高周波領域を使用する LTE 等の無線通信では影響が大きくなると考えられる。高周波を利用する無線通信端末において基板クロストークは通信性能において、多大な影響を与えると予

想される。基板クロストークの影響に関しては多くの評価・解析手法が提案されているが、ノイズの発生と伝達はパッケージやボードといったLSI外のインピーダンスに大きく依存するため、LSI設計時に設計者が基板クロストークの影響に解析し、適切な改良を加えて製造するという設計プロセスは非常に困難であり、実際には設計者の経験に頼り設計を行い、製造後に評価し改良を加えるということがほとんどである。

本研究では、高周波無線通信用LSIに対する基板クロストーク解析に必要な基本データであるシリコン基板とシリコン基板-素子間の結合のモデリング手法を確立し、高周波アナログSoCでの基板クロストーク解析手法を提案する。また、基板クロストークの影響の通信システムレベルでの評価を行うためのシステムを提案する。実際にそのシステムを用い、デジタル回路のノイズによるシステムへの影響がどの程度あるのか、またどの程度のデジタル回路を載せるとシステムに影響があるのか評価する。

まず、解析のために必要となる基板結合の評価解析手法を確立するために、高周波でのシリコン基板及び基板と素子との結合を評価・解析を行う。測定では、シリコン基板-素子間の結合測定用のチップを65nmのCMOSプロセスで試作し測定を行った。このチップには2ポートのSパラメータ測定を行うための素子が搭載されており、抵抗・容量・インダクタ・NMOSのシリコン基板結合評価が行える。このチップに対して、高周波測定のためにGSG(Ground-Signal-Ground)プローブを用い、2ポートのネットワークアナライザで測定を行った。この実験で、測定結果を理解しやすくするために π 型等価回路モデル化を行い、どのような結合があるのかを具体的な抵抗値や容量値で評価出来る事を示した。解析では、解析モデルとして、シリコン基板、シリコン基板-素子間結合、および周囲環境をモデル化した。解析手法は、Sパラメータ解析を用い、2ポートネットワークアナライザの測定と同様の結果が得られるようにした。測定・解析結果の比較から、パッシブ素子で3dB以下、アクティブ素子で6dB以下の精度で解析が可能であることを示した。

次に、実装された状態のSoC上で、基板クロストークがどのような影響をRF回路を与えるのかを解析するためのフローの開発と実測との比較を行った。このSoCはRFアナログ受信回路(RX)と任意雑音発生回路(ANG: Arbitrary Noise Generator)とオンチップモニタ回路(OCM: On-Chip Monitor)が含まれている。このSoCのRXはLTE用の受信回路であり、入力された高周波受信信号を増幅・ダウンコンバートした後、アナログ信号として出力する。ANGから発生したノイズがRXの通信帯域

に侵入することで、アナログ回路への影響を評価することができる。さらに OCM を用いて基板上のノイズ波形を取得し、実際にノイズがどのように侵入しているのかを評価可能である。この SoC は BGA (Ball Grid Array) でパッケージングされ、ボード上に実装されている。この SoC のシリコンチップと BGA の配線、ボード上の配線の解析モデルを作成し解析を行った。基板上のノイズ波形の解析結果を OCM による測定と比較すると、電圧の Peak-to-peak 値で 19.2% 以内の誤差で解析が行えており、基板上のノイズ伝達は十分に解析が可能であると示した。さらに、回路素子直下のシリコン基板上のノイズ波形を解析で取得し、アナログ回路へ基板ノイズを入力することで実装を含んだ解析を可能とした。

最後に、通信システムへの基板ノイズの影響評価システムの開発を行い、実際にデジタル回路のノイズがシステムに与える影響を定量的に評価する手法を確立した。対象とした通信用 LSI は、前段で述べた SoC と同じものである。通信システムを評価するために、LTE 信号を送信する基地局や端末内でダウンコンバート後の信号を演算するベースバンドロジックを模擬可能なシステムレベルシミュレータを使用し、LTE 通信システム全体を模擬した。ANG のノイズを LTE 信号に重畳させ信号品質を劣化させた状態でシステム性能を測定することで、チップ内ノイズの影響を受けた通信システムの性能を評価することができる。その結果、ANG の発生するノイズ量の増加と共に、システムレベルの評価指標であるスループット (THP) が劣化する事が確認でき、通信システムレベルでのチップ内ノイズ耐性評価を実現した。また、この結果を用いることで、この通信システムに対して許される最大のデジタル回路動作を求められることを示した。

高性能な移動体通信端末の需要が増加すると共に、通信システム用 LSI の製造におけるノイズ評価・解析技術は今後さらに重要となって行くものと考えられる。本研究によって、通信システムレベルでのノイズ耐性評価や、試作前に実装段階のノイズ耐性性能を解析することが出来る。これらの技術を LSI 設計時に使用することで、チップの製造コストの低減やシステムレベルでの高性能化が期待できる。

目次

1	緒論	1
1.1	研究背景	1
1.2	従来研究	4
1.2.1	基板クロストーク	4
1.2.2	通信システムのノイズ耐性評価・解析手法	7
1.3	研究の概要と本論文の構成	8
2	シリコン基板-CMOS 素子間結合評価	11
2.1	緒言	11
2.2	シリコン基板-素子間結合測定	12
2.2.1	シリコン基板-素子間結合	12
2.2.2	測定の方針	12
2.2.3	測定手法	17
2.2.4	評価手法:測定結果の π 型等価回路モデルへの変換	21
2.3	シリコン基板-素子間結合モデリング手法	24
2.3.1	シリコン基板モデル	24
2.3.2	Ground シールドモデル	26
2.3.3	基板結合モデル	29
2.4	測定・解析結果	29
2.4.1	抵抗	29
2.4.2	容量とインダクタ	31
2.4.3	MOSFETs	32
2.5	結言	33
3	基板クロストークのボード・パッケージ・チップ統合解析技術	41
3.1	緒言	41
3.2	評価システム概要	42
3.2.1	評価システム全体像	42
3.2.2	RF 受信回路概要	43
3.2.3	ANG 回路概要	43

3.2.4	OCM回路概要	45
3.2.5	実装ボード	46
3.3	フルチップレベルのノイズ結合解析フレームワーク	46
3.3.1	解析フロー	46
3.3.2	ノイズ源からの基板ノイズ	47
3.3.3	アナログ回路へのノイズ	51
3.4	解析結果	52
3.4.1	基板ノイズ伝達解析	52
3.4.2	アナログ回路へ侵入するノイズの解析	53
3.5	結言	55
4	RF SoCのシステムレベルノイズ耐性診断技術	59
4.1	緒言	59
4.2	診断対象システム概要	60
4.2.1	システム全体の概要	60
4.2.2	SoCの要素回路概要	61
4.2.3	観測システム全体像	64
4.3	実験結果	66
4.3.1	OCMでの測定結果	66
4.3.2	ANGの動作設定(C.Code)について	66
4.3.3	THP測定結果	67
4.3.4	通信システムのノイズ耐性診断手法	68
4.4	結言	69
5	結論	75
	謝辞	77
	参考文献	79
	発表論文一覧	89
	本研究に関する発表論文	89
	学術雑誌	89
	国際会議	89
	学術講演	91

第1章

緒論

1.1 研究背景

現在，スマートフォン等の無線通信端末の普及によって，無線通信端末上での動画や音楽等の大容量コンテンツの視聴が一般的になってきており，それにもなつて無線通信のデータトラフィックが急増している．2013年現在の Cisco Visual Networking Index による予想では，全世界のモバイルデータトラフィックは，2012年時点での 0.9 EB に対し，2017年には 11.2 EB と約 12 倍にもなると予測されている (図 1.1)．

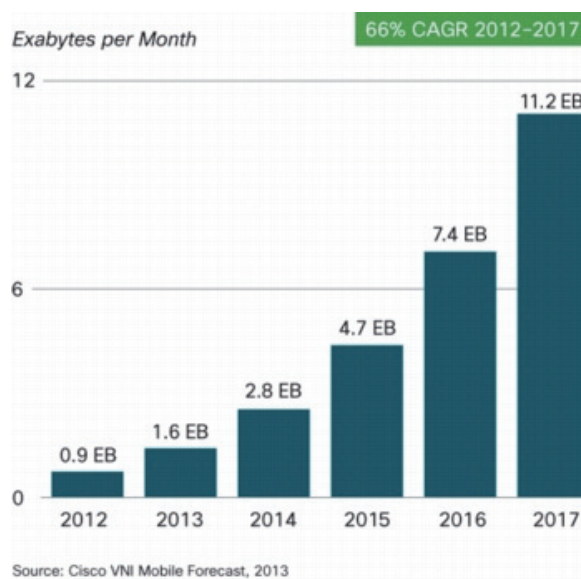


図 1.1: Cisco Visual Networking Index によるモバイル機器の通信トラフィックの変化予測 (2013年現在)[1]

これから起こる急激なデータトラフィックの増加に対応するために，第 3.9 世代の LTE (Long Term Evolution) や第 4 世代の LTE-Advanced といっ

た高速大容量な通信規格が 3rd Generation Partnership Project(3GPP)によって標準化され、実用化されている [2][3]. LTE の特徴として、通信周波数は高周波 (RF:Radio Frequency) 領域、通信帯域幅は 5MHz ~ 20MHz、通信方式は一次変調に位相偏移変調 (QPSK:Quadrature Phase Shift Keying) や直角位相振幅変調 (QAM:Quadrature Amplitude Modulation)、二次変調に直交周波数分割多重 (OFDM:Orthogonal Frequency-Division Multiplexing) といったデジタル変調方式を採用している (図 1.2(a)(b)). 図 1.2(a) は 64 QAM のイメージを示している. QPSK や QAM は対象のデジタルデータを I 信号と Q 信号によって表現する方式である. 図 1.2(b) は、OFDM 信号とその復調を示している. 周波数 f_0 毎に、QPSK や QAM 等で変調した信号を作成し、それらを合成することで複数のデータを持った OFDM 信号を作成する. ただし、この信号合成の図は模式的な図であり、実際の OFDM 信号生成は逆フーリエ変換を行うことで実現している. 復調では、受信された OFDM 信号をフーリエ変換し周波数毎に分離することで復調を行う. また、LTE では図 1.2(c) に示す MIMO(Multiple-Input and Multiple-Output) も採用している. MIMO は複数のアンテナから異なった信号を同時に送り、複数のアンテナでそれらを受信し通信の広帯域化を行うものである. これらの技術を使うことで、LTE の規格では通信のピークデータレートは下りで 300 Mbps 以上となっており、高速な通信が可能になっている. しかし、一方でシステムや端末の設計者から見れば非常に高度な設計技術を要するものとなっている. LTE では-100dBm という非常に小さなパワーの信号に対してスループット 95%以上の通信性能を保証しなければならないため、アナログ回路の高感度化は当然ながら、システム全体としての性能も考慮に入れなければならないという問題が発生する.

一般にデジタル回路から発生するノイズは、ノイズに弱いアナログ回路の性能に影響を与えることが知られている. そのため、デジタル回路が発生したノイズがアナログ回路に侵入し信号品質を劣化させるということが集積回路 (LSI:Large Scale Integration) の設計では常に問題となっている. そのような中で、先に述べた LTE に使用されている技術はいずれもデジタル回路規模を増大させるものとなっている. OFDM の変復調にはフーリエ変換・逆フーリエ変換といった大規模な演算回路が必要になり、一次変調方式も 128 QAM まで対応しているため、高速で高分解能なデジタル・アナログ変換器 (DAC:Digital to Analog Converter) やアナログ・デジタル変換器 (ADC:Analog to Digital Converter) が必要となる.

MIMO で 4×4 まで対応するが、MIMO は一つのアンテナで異なった信号を同時に受けるため、それらを分離するためのデジタル回路が必要になる。また、当然複数の送受信回路を制御するためのデジタル回路等も増加する。つまり、LTE は高速な通信システムではあるが、それに使用されるデジタル回路規模も増大するため、デジタル回路からアナログ回路へのノイズも増大すると考えられる。

LTE のシステムに使用される技術と LSI の関係を述べたが、スマートフォン等の無線通信端末に求められる品質として、小面積・高速・長時間動作・低コストが挙げられる。これらを実現するためには一般的に、SoC(System on a Chip) やミックスドシグナル LSI といった一つのチップで様々な機能を実現する LSI を用いることが多い。SoC やミックスドシグナル LSI は同一シリコン上にアナログ回路とデジタル回路が混在しシステムとしての機能を果たすため、チップ自体の小面積化や実装ボードの小面積化が期待できる。またチップ内で完結するため各回路間の配線インピーダンスが低くなり、相互の信号伝達が高速であるため高性能化が見込まれる。

現在の、集積回路の微細化技術の進展によって、大規模なデジタル回路と高感度な RF アナログ回路を同一チップ上に製造することが可能になってきている [4-9] が、アナログ回路とデジタル回路が同一シリコン基板上に配置されることは良いことだけではない。

アナログ回路とデジタル回路が同一シリコン基板という近傍に配置されるため、アナログ回路へのノイズの影響も大きくなる。デジタル回路におけるノイズ発生原理は、デジタル回路の動作によって発生する急峻な消費電流が配線インピーダンスを通ることによって、電源電圧降下を引き起こす電源ノイズである。ノイズの伝播経路には様々なものが有り、電流が磁場を発生させ磁界で結合をおこす磁界結合や、パッケージやボードから回りこむもの等がある。これらの伝播経路の中で、高い周波数になるほど影響が大きくなると考えられるのが基板ノイズである。基板ノイズはシリコン基板を通じて伝達するノイズのことであり、また、ある回路から発生したノイズが別の回路へ伝達しその回路に悪影響をおよぼすことを基板クロストークという。このシリコン基板は抵抗と容量でモデル化でき、シリコン基板と回路の結合は PN ジャンクション容量や基板とメタルの配線のような容量結合となっているため、高周波になるほどインピーダンスが減少する [10, 11]。そのため、シリコン基板は高周波の通信用アナログ回路を搭載した SoC では大きな影響をもつノイズの経路

だと考えることが出来る．この基板クロストークの影響の評価・解析については様々な研究が現在進められている．しかし，基板クロストーク等のノイズのアナログ回路への影響評価は広く行われているが，LTE等の通信規格ではスループットと言ったシステム性能で規格化がされているため，アナログ回路のみの評価だけでは不十分といえる．例えば，SoCの場合ならば，チップの評価を行うときにアナログ回路特性だけでなく，デジタル回路も同時に動作しノイズがアナログ回路へ侵入しているような状況で，システムレベルでの性能も考えて行わなければならない．そのため，LSIからシステムまでを包括的に評価・診断するための技術が必要となってくる．

そこで本論文では，SoCにおけるノイズ耐性診断・解析に注目し，実装状態にあるSoC上でのチップからシステムまでを含んだ基板ノイズの影響の評価・解析を論じる．

1.2 従来研究

この節では，従来研究として基板クロストークの評価・モデリング手法及び通信システムの性能評価手法について説明を行う．

1.2.1 基板クロストーク

1990年初め頃から基板クロストーク解析は注目されており [12, 13]，発生，伝播および影響という3つの面から論じられている [14-16]．ここでは，それらの3つの要素のモデリング手法を解説していく．また，無線通信回路へのノイズの影響の評価や，LSIチップ上での基板クロストークの影響の評価・解析はシステムレベルやチップレベルなど様々な段階で実施されており，それらの一部を紹介する．

1.2.1.1 発生:ノイズ発生源・モデリング手法

オンチップモニタ技術 デジタル回路の動作は一般的にはクロック周波数，動作電圧や消費電流等で評価がなされるが，ノイズの発生源として考えた時には，電源配線上のAC的な特性を評価・解析することが必要となる．また，外部からボード上配線の電圧変動測定を行うことも出来るが，ワイヤボンディングやパッケージ，ボードのインピーダンスの影響によって，チップ上の電圧変動とは異なるため，基板クロストークの解

析には用いることが出来ない。特にインダクタンスや容量の影響が大きくなる高周波帯域では外部インピーダンスの影響が顕著であるため全く異なった波形となる。そこで考案されたのが、チップ上の電圧を測定するためのオンチップモニタ (On-Chip Monitor) 技術である。

オンチップモニタは様々なものが考案されており、数例を説明する。まずひとつに、チップ内の電圧変動を電流に変換し外部に出力し測定を行う手法がある [17-19]。この手法では、測定対象の電圧は扱いやすい電圧に電圧シフトされた後、電圧を電流に変換しカレントミラー回路を用いミラーリング後、外部に出力される。その後ボード上の抵抗で電圧へ再変換され、オシロスコープ等で電圧として測定される。高い周波数になると配線インダクタンスの影響が大きくなり、電流値が変化したり、また、ワイヤボンディング等に外部からのノイズが印加されるなどの問題点もある。ノイズがリアルタイムで観測できることや、測定時間が短い等のメリットが挙げられる。

時間分解能が高いオンチップモニタとしては、周期的な電圧をラッチコンパレータで繰り返し比較することで、チップ内でデジタル化を行う手法がある [20-23]。この手法には周期的なノイズにしか対応出来ないことや、何度も比較を行うため測定時間が長くなると言ったデメリットはあるが、時間分解能が高いことや、何度も比較を行うため突発的なノイズの影響を無視できるというメリットもある。この手法は本研究でも主に使われている手法であり、第3,4章で詳細に説明する。

このように様々なオンチップでのノイズ測定技術が存在するが、各手法にはメリット・デメリットが存在するため、自分がどのようなノイズを評価したいのかを見極めて使用するべきである。

ノイズ源モデリング手法 デジタル回路から発生するノイズを解析する場合、ノイズ発生量はその演算に依存するため、それら解析する過渡解析が必要となる。また、各トランジスタに流れる電流値がノイズ量に関わってくるため、すべてのトランジスタレベルのモデルとして動作させるような解析が理想である。しかし、デジタル回路規模が大きい場合、トランジスタレベルですべて解析を行うようなノイズモデルは現実的ではない。その為、何らかの方法で抽象化されたノイズ源モデルを作成することになる。それらの手法を説明する。電源と GND 間にノイズの電流源と回路のインピーダンスモデルを挿入することでモデル化する方法が提案されている [24-27]。この手法は Apache 社の基板ノイズ解析ツール Totem のノイズ源モデリングでも取られている [28]。また、デジタル回路の電流消費を容

量の充電過程としてモデル化し、動作タイミング毎に容量値が変化する容量列を作成することで電流値を解析する、TSDPC(Time-Series Charging of Divided Parasitic Capacitance) モデルが提案されている [23, 29, 30].

1.2.1.2 伝播:シリコン基板モデリング手法

シリコン基板モデリング手法としては様々な手法が開発されている。チップの基板インピーダンスを計算する方法としてマクスウェル方程式から導く方法がよく使われている [16, 31–35] ほか、基板の抵抗値から直接求めるもの [36] が提案されている。単純な形状のモデルでは、対象となる2つのプローブ点の間を π 型のモデルとして結合しているもの [37] や、4つほどの少ないパラメータからモデルを作成するもの [38] が提案されている。PN ジャンクション結合を仮想的に p^+ にし2点間の距離が伸びた結合とみなしたモデリングも提案されている [39]。また、MOSのBulk端子や p^+ と n^+ のディフュージョンのプローブ点を単一のノードとして、2つの素子間の抵抗をモデル化している例もある [40–42]。素子近傍のモデリングでは、マルチフィンガーのMOSFET内の基板結合をモデル化するための手法も提案されている [43]。これらは単純なMOSFET素子と近傍の基板までのインピーダンスをモデル化しており、より一般的に解析を行うには回路を含む基板全体をモデル化する必要がある。チップレベルでの解析を行うために、基板全体を3次元のメッシュ構造としてモデル化する手法がある。これら3次元的なモデリング手法は高精度だが回路規模が大きいいため、回路の削減手法も同時に数多く提案されている。単純なものでは、チップの3次元メッシュの表層は薄い層にし、深くなるほど分厚い層にモデル化するもの [36] がある。また、基板ネットワークのノード数削減手法として、基板をメッシュ状に切り、F行列やアドミッタンス行列としてモデル化したり、行列演算を行うことで回路規模を縮小する手法 [24, 44–49] が提案されている。メッシュの切り方を非均一にし、基板インピーダンスモデルを作成する例もある [50–53]。

1.2.1.3 影響:回路へのノイズの影響の評価・解析手法

前節でシリコン基板のモデリング手法は様々あると説明したが、回路に対する基板ノイズの影響の評価はどのような研究がなされているのかを説明する。素子単体に対する解析として、MOSFET近傍の抵抗をモデル化しMOSFETの動作を電流源として解析を行っているもの [54] やMOSFETのSPICEモデルにシリコン基板モデルを接続して行っている

もの [40] が提案されている。また、受動素子単体としては素子面積が大きくシリコン基板の影響を受けやすいインダクタの基板を含んだモデリングが行われている [55, 56]。これらの研究ではシリコン基板とインダクタの間にある容量等をモデル化しシリコン基板モデルと接続することで解析を行っている。

機能を持った回路への影響としては、デジタル回路の出す電源ノイズが Phase Locked Loop(PLL) 回路に流れこむことで PLL にジッタを発生させ、その影響を解析している研究が有る [57]。PLL はクロックなどを生成する発振回路の発信周波数を安定させるための回路で、様々な LSI に用いられているの基本的な回路である。この例では、電源系について 3 種類ほど作成して評価し、PLL をトリプルウェル内に作成し p-type の基板から分離することが重要としている。また、アナログ回路への影響解析として、ノイズの発生と回路への影響解析を分離した解析手法も提案されている [58]。

アナログ回路への影響の解析として、周波数ドメインでの性能が重要な回路に対しては周波数ドメインでの解析が実施されている。デジタルのノイズ発生源をチップ上に作成し、そのノイズによって差動の Low Noise Amplifiers(LNA) の動作への影響を周波数領域で測定・解析を行うものや [59]、シリコン基板モデルを市販のツールを用いてモデル化し、周波数領域での結合として表現し解析した手法 [60] が提案されている。

1.2.2 通信システムのノイズ耐性評価・解析手法

1.2.2.1 通信システム性能の評価解析手法

通信システム全体の性能解析では一般的にシステムレベルシミュレータが使用されている。Agilent 社の ADS(Advanced Design System)[61] や System Vue [62] ではシステムコンポーネントのビヘイビアモデルを使用し、コンポーネントのパラメータを設定することで想定している通信システムの性能を評価することが可能になっている。なお、これらの中にトランジスタレベルの回路を取り込むことも可能となっており、設計した回路をシステム内に入れた時のシステム全体の性能解析も行うことが出来る。また、各機能を解析的なモデルとして表現し、解析を行っているものも多くある。増幅器の非線形性がシステムに与える影響を数値解析的に BER(Bit Error Ratio) で解析しているものがある [63]。

ある回路や端末を、システムに含んだ時の性能測定としては、最終的に

基地局を用い、実際に性能を計測する必要がある。しかし、設計時にはそのような大規模な実験は行うのは困難であり、それらを模擬するような評価手法が取られる。このような実際の機器の性能評価手法に、HILS(Hardware in the Loop Simulation)がある。HILSとは、解析環境の中に実際の機器を含む解析手法または、実評価環境の中に仮想環境を含む測定手法といえる。例えば、解析では演算量が膨大になってしまう部分の実機化や、評価で実環境を用意することが難しい部分を仮想環境として実現するなど、評価と解析のどちらにとっても有効な手段である [64]。自動車のエンジンの制御環境を仮想環境として用意し、実エンジンの評価を行っている例や [64]、高速に移動する端末に対する通信性能の評価を行うときに、高速に移動する環境を作成するのが困難であるため、端末が移動する伝播経路を仮想的に作成し、評価を行っているものがある [65]。

1.2.2.2 通信システムのノイズ耐性評価・解析

通信システムへのノイズの影響についても論じられており、それらは主に解析的な手法で行われている。例えば、OFDMの通信チャンネル内に Additive White Gaussian Noise(AWGN)を加えた時の、SN比に対する通信システム性能を BER を数値解析的に求めている例がある [66]。

1.3 研究の概要と本論文の構成

本節では本研究の概要と本論文における章構成を説明する。本論文の技術的内容は2章から4章の3つの章から成る。第2章では、基板ノイズ解析のためのシリコン基板モデルの作成手法とシリコン基板と素子との結合の評価・モデル化手法について論ずる。第3章では、実装された無線通信用 SoC での基板ノイズ解析手法について述べる。第4章では、LTEの SoC チップから通信システムを含んだ基板ノイズ評価システムについて述べる。

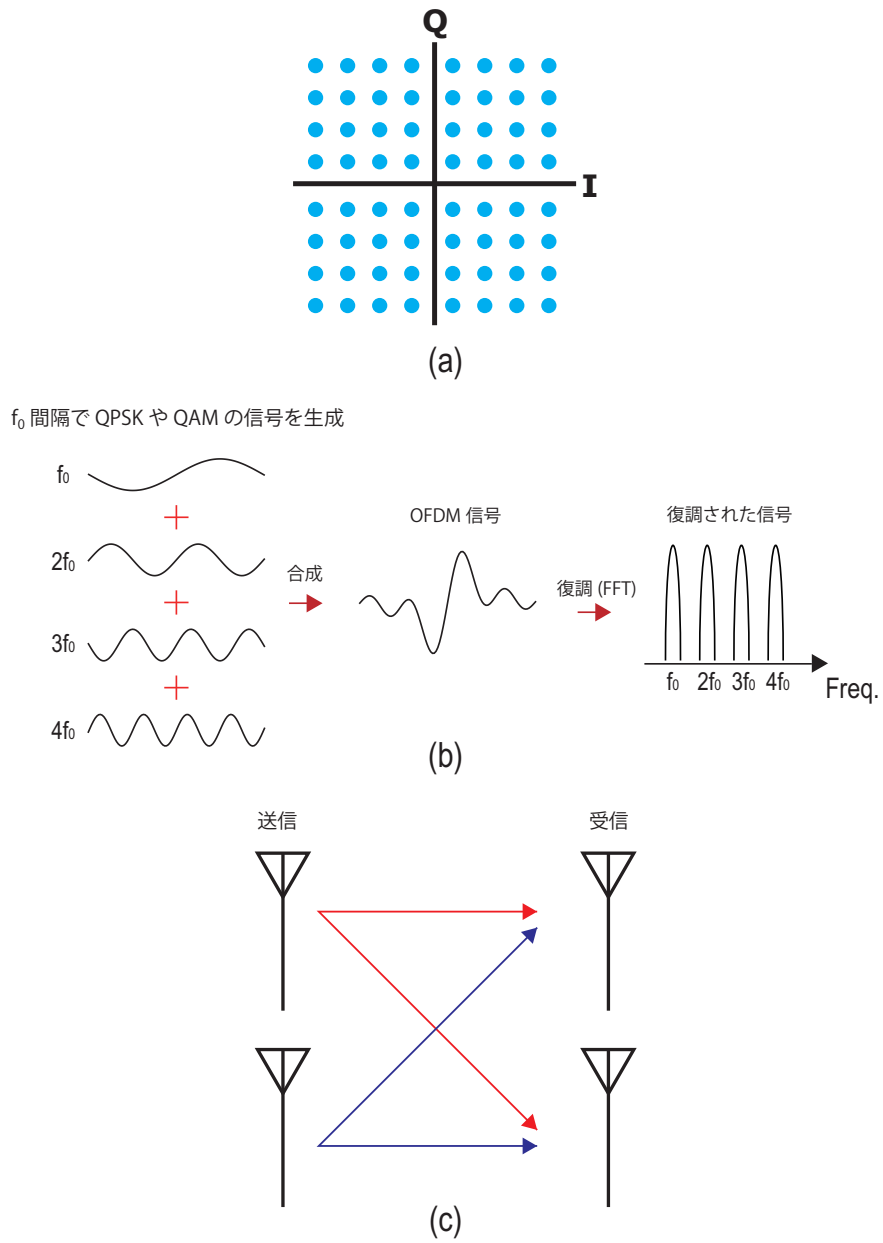


図 1.2: LTE に使われている技術のイメージ図 (a) 64QAM (b) OFDM (c) MIMO (2×2)

第2章

シリコン基板-CMOS素子間結合評価

2.1 緒言

近年の高機能な携帯端末やPC, 家電の普及によって, LSI(Large Scale Integrated Circuit:大規模集積回路)の多機能化, 小型化, 低消費電力化が求められている. それに伴い, CMOS LSIの微細化技術も飛躍的に向上し, 高集積化, 多機能化, 低電圧化等が可能になっている. また, SoC(System on a Chip)やRF回路やアナログ回路とデジタル回路が混載されているミックスシグナルLSIといった開発手法も行われており, 更なる高集積化, 高機能化がされると予想される. 高周波領域での通信を行う通信LSI内で, RFアナログ回路はアンテナで送受信する信号を処理するために使用されるため, 通信性能に大きく影響を与えることになる. 多くの異なった回路が同じ基板上に配置されるようなLSIでは, 他の回路の動作によって生じた電流が基板に漏れこみ, 基板を通じて他の回路の動作に影響を与える基板クロストークという現象が起こる. シリコン基板自体は一般的に抵抗と容量で表現ができる. それに対してPNジャンクション容量や, 基板-メタル配線間容量等が接続され, 回路同士が接続されることになる. 基板クロストーク解析を行うにあたって, 必要となるのは基板モデルと素子モデルであるが, 通常半導体製造業社から提供されるPDK(Process Design Kit)に含まれる素子モデルの基板端子は素子近傍までのモデルである. また基本的な用途として基板のバイアスを決定するために用いられるため, 高周波での挙動を保証しているとは言いがたい. そのため, 回路レベルでの基板クロストーク解析を行うためには, まずPDKで提供された素子モデルで基板クロストーク解析が可能なかどうかを評価する必要がある.

本章は, CMOS RFアナログ回路における基板-素子間結合の単体評価を行い, その結合モデルを作成・評価することを目的とする. アプロー

チとして、基板クロストーク評価用のチップを作成し、基板クロストークの測定評価、基板のモデル化、基板結合のモデル化、解析による評価を試みる。

2.2 シリコン基板-素子間結合測定

2.2.1 シリコン基板-素子間結合

図 2.1 にシリコン基板と素子との結合の例を示す。シリコン基板と各素子の間にはPN ジャンクションや基板-Poly Si 間結合や、基板-メタル間結合等が存在している。基本的にはこれらは容量性の結合となるため、高周波になるほどインピーダンスが減少し、結合強度としては強くなる。

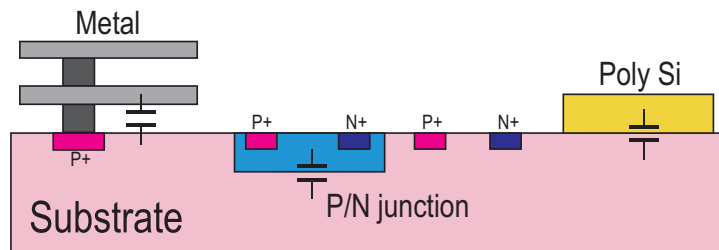


図 2.1: 基板と回路の間の結合のイメージ

2.2.2 測定の方針

評価帯域は 50 MHz ~ 8 GHz. 測定対象素子は抵抗, キャパシタ, インダクタ, n-MOSFET(n-type Metal Oxide Semiconductor Field Effect Transistor), ディープ N ウェル (DNW) を使用した NMOS トランジスタとする。各素子に対しサイズ差等の評価するため数種類のバリエーションを作成した。また測定距離差を評価するために、基板上の信号注入点を 3 つ用意する。

2.2.2.1 基本レイアウト

基本的なレイアウト構造を図 2.2 に示す。レイアウトのサイズは $769 \mu\text{m} \times 547 \mu\text{m}$, 測定素子を P 基板上に配置し、その周囲をメタルで囲み $10 \text{ k}\Omega$

の抵抗を通し GND へ接続し基板電位を 0 V に安定させる． 10 k Ω を通す理由は，素子の周囲をメタルで囲み直接 GND に繋ぐと，基板から GND へのパスのインピーダンスが低くなり，素子へ流れる電流が少なくなってしまう可能性があるからである． 左側に GSG の信号注入用の Pad を配置し，対象素子の測定したい端子へと繋ぐ． 右側に GSGSGSG の基板への信号注入用の Pad を配置し，基板上の各信号注入点へと繋ぐ． 基板への信号注入点は各レイアウト内に DUT から 20 μm ， 40 μm ， 120 μm の位置に取り，それぞれを観測点 (OBservation point) OB1, OB2, OB3 と定義した． 上下にはバイアス用とバイアス電圧測定用の Pad を用意し，各レイアウトの必要に応じて配線する． また，GND メッシュで配線しレイアウト全体を覆うこと (GND Shield Metal) により，可能なかぎり GND を安定化させるようにした． また，各信号 Pad，信号配線下層に GND メッシュを配線し，信号 Pad から基板へ直接電流が流れることが無いようにした． 次項から各測定対象素子のレイアウトを示してゆく．

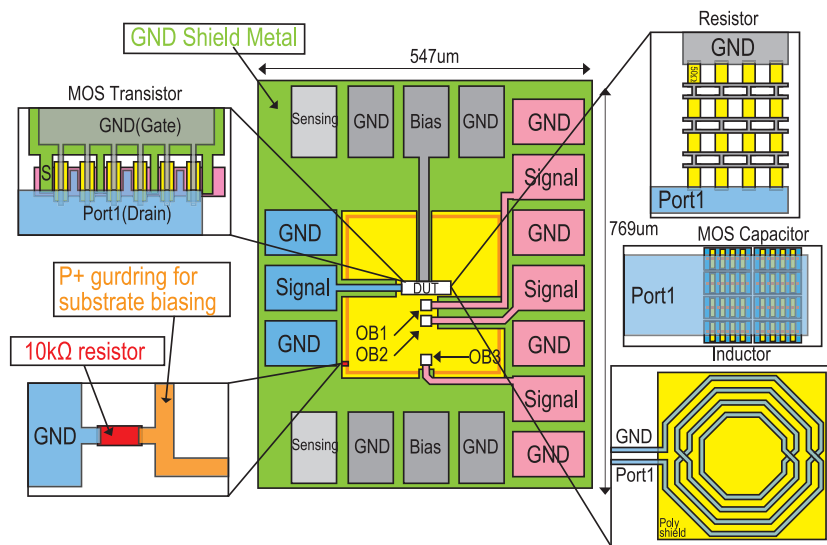


図 2.2: 評価レイアウト構造概要

2.2.2.2 抵抗

図 2.3 に抵抗の測定用レイアウトのイメージ図を示す． 抵抗は 50 Ω の抵抗を評価対象とした． また，基本となる 50 Ω 抵抗素子を作成し，図 2.3 のように単一の抵抗をアレイ上に配置することにより，抵抗値は同じだが

サイズが異なるレイアウトを作成した。配置する数は、 4×4 , 7×7 , 10×10 とし、レイアウト名をそれぞれ R50_16, R50_49, R50_100 とした。

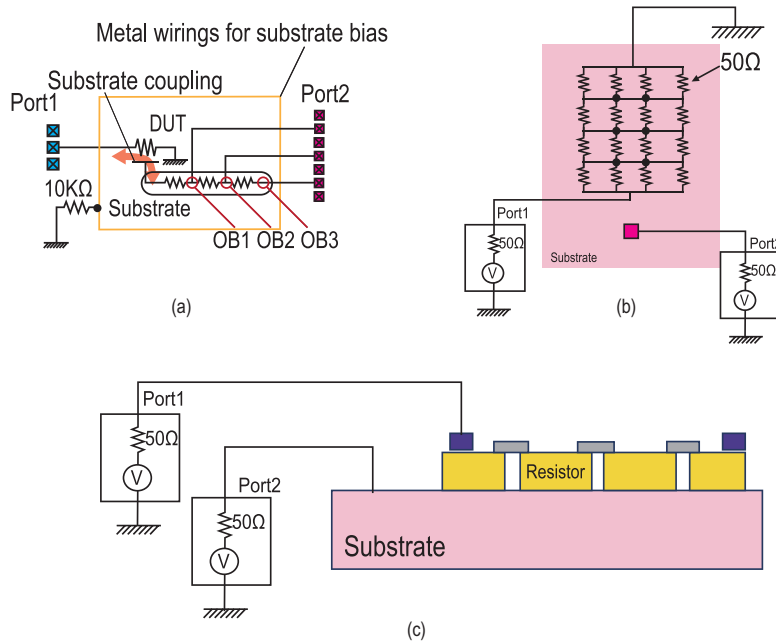


図 2.3: 抵抗の評価構造 (a) 構造イメージ (b) レイアウトのイメージ (c) レイアウト断面図

2.2.2.3 容量

図 2.4 に容量の測定用レイアウトのイメージ図を示す。容量には n-MOSFET Varactor を使用した。基準となる素子を用意し、それをアレイ状に並べることで容量値の設定を行っている。アレイの数は 2×4 , 3×6 , および 5×8 となっており、それぞれの素子の容量値は 2 pF, 5 pF, 10 pF となっている。この素子の本来の使い方としては、MOS の Gate 容量を使用するがこの実験では基板との結合のみを評価するために、Gate, Source および Drain はすべて短絡し、ポート 1 に接続している。そのため、この測定ではシリコン基板の P/N ジャンクション容量が測定できることになる。

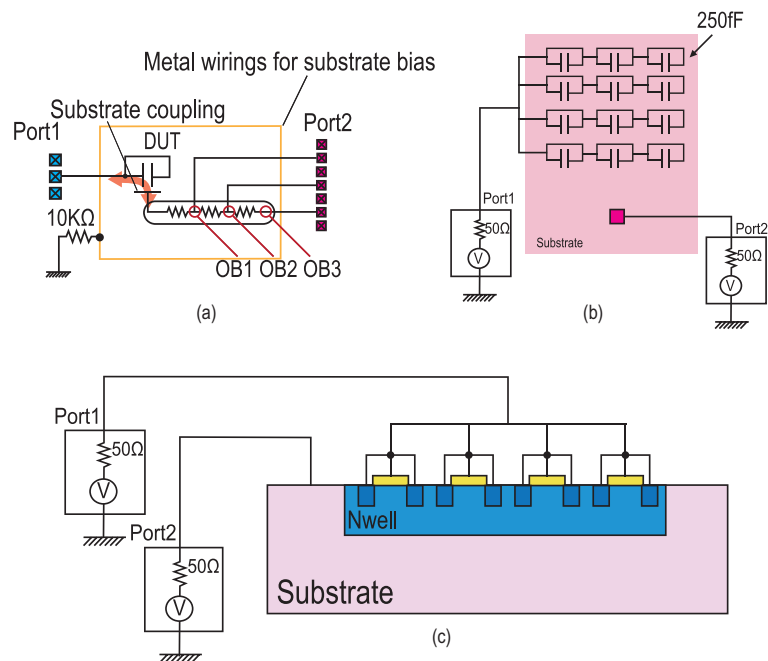


図 2.4: 容量の評価構造 (a) 構造イメージ (b) レイアウトのイメージ (c) レイアウト断面図

2.2.2.4 インダクタ

図 2.5 にインダクタの測定用レイアウトのイメージ図を示す. 10 nH のインダクタを対象とした. このインダクタの配線の下層には Poly Si のプレートが存在しており, 通常の用途では GND に短絡することで基板からのノイズを遮断する事ができるようになっている. しかし, 今回の実験でそのように GND へ電流を逃がすとポート 1, 2 間の結合が弱くなり測定が難しくなる. そこで, Poly Si と GND の間に 10 k Ω の抵抗を挿入することで, Poly Si の DC バイアスは安定させるが AC ではフローティング状態になるように設計を行った.

2.2.2.5 n-MOSFET

図 2.6 に n-MOSFET の測定用レイアウトのイメージ図を示す. n-MOSFET にはコモンゲート (CG:Common Gate) 構造とコモンソース (CS:Common Source) 構造の 2 種類の構造を用意した. 2 種類の構造はそれぞれ, Drain と Gate に対しての測定を行うレイアウトである.

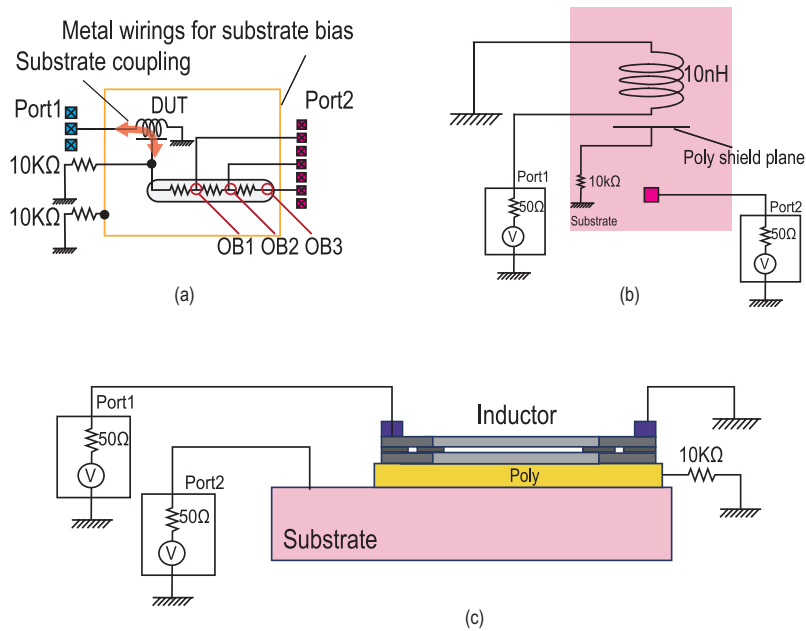


図 2.5: インダクタの評価構造 (a) 構造イメージ (b) レイアウトのイメージ (c) レイアウト断面図

まず、コモンゲート構造の説明を行う。測定のイメージと断面図はそれぞれ図 2.6(a)(b) に示される、コモンゲート構造では n-MOSFET の Drain と基板との結合を測定する。Gate と Source は GND に短絡することで、測定には現れないようにしている。この時、Gate 端子にはバイアスをかけなければならないため、プロービングを行い電圧をかけることになる。しかし、チップ外に取り出し電圧をかける場合、プローブやケーブルのインピーダンスによって Gate を理想的に GND にショートすることは困難である。そこで、チップ内で Gate 端子に対しチップ内で 10 pF の容量を接続し、チップ内でショートするレイアウトとしている。なお、図 2.6(b) の Gate 端子に接続しているバイアスティーと 50 Ω 抵抗はバイアス状態での測定時に共振が発生し、パッシブな結合が測定できなくなったため、その電流をチップ外に取り出し、50 Ω で消費し共振を抑制するためのものである。

図 2.6(c)(d) にコモンソース構造の測定イメージと断面図を示す。コモンソース構造では、Gate と基板の間を測定する。そのため、Drain と Source はチップ内で GND に短絡する。Drain に関しては、コモンゲート

構造の Gate 同様、チップ内で 10 pF の容量を介して短絡することで、外部からバイアスをかけられるようにしている。また、バイアスもコモンゲート構造同様、バイアステーと $50\ \Omega$ を用い共振を抑えるよう実験を行った。

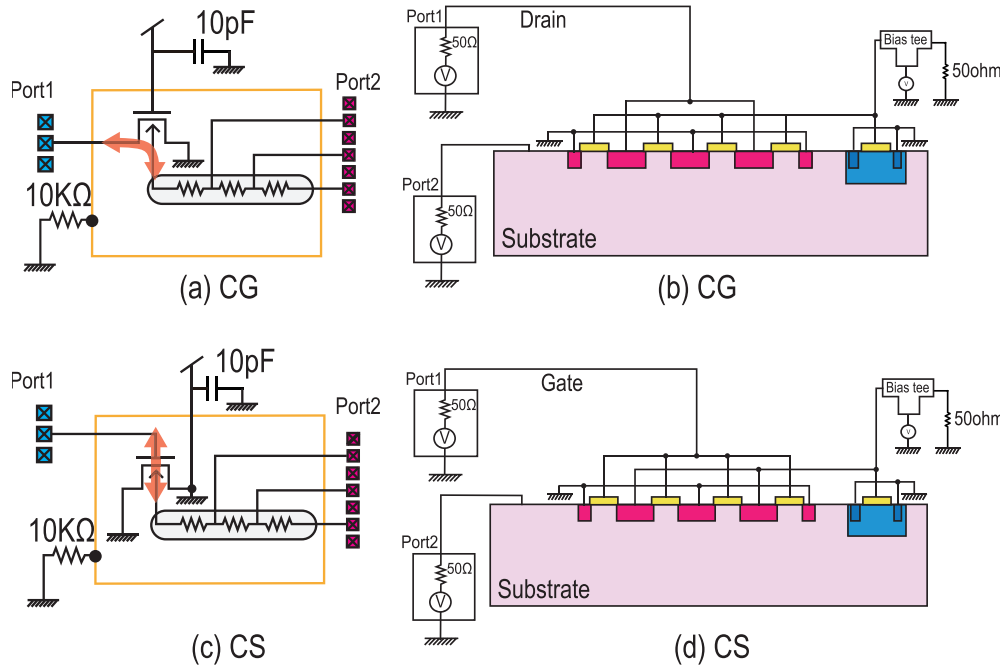


図 2.6: MOSFET の評価構造 (a)CG の構造イメージ (b) CG レイアウト断面図 (c) CS の構造イメージ (d) CS のレイアウト断面図

2.2.3 測定手法

2.2.3.1 測定環境と測定パラメータ

測定には Agilent 社製の 2 ポートネットワークアナライザ, N5230A を用いる。チップへのプローブは Cascade 社製の Infinity Probe の GSG パターンを使用した。測定の概要を図 2.7 に示す。2 ポートネットワークアナライザのポート 1 を測定対象の左側 Pad に、ポート 2 を右側の Pad に接続し、S パラメータの 2 ポート測定を行う。実際の測定風景を図 2.8 に示す。

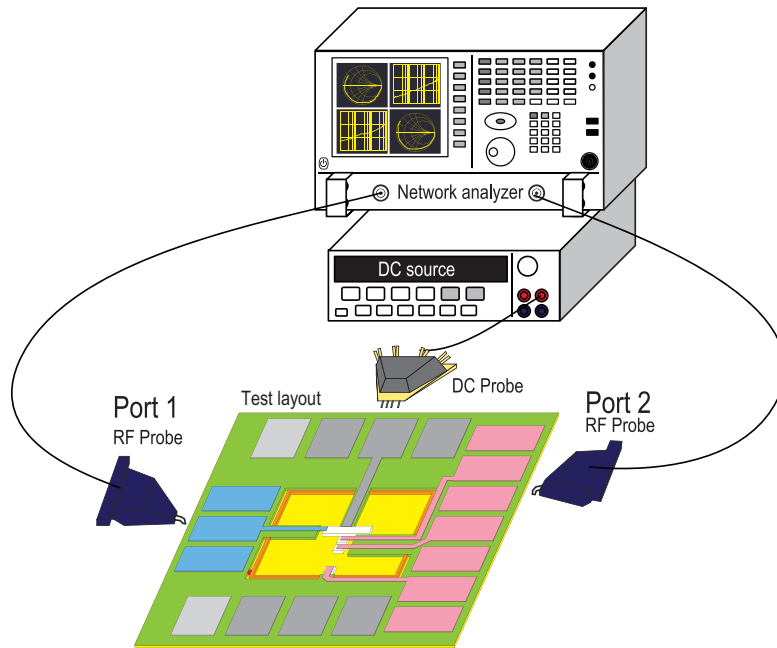


図 2.7: 測定環境概要

2.2.3.2 ディエンベディング

高周波特性は一般にネットワークアナライザを用いたSパラメータでの測定がよく行われている。高周波の測定はRFプローブを用いてオンウェハーで行うので、測定結果にプローブと接触している測定Padの寄生成分などの影響が含まれる(図 2.9)。そのため測定結果からオープンなどのダミーパターンを用いてPadなどの不要な成分を除去し、DUT単体の特性を抽出する。このことをディエンベディングと呼ぶ。この実験では、Open法を用いたディエンベディングを行う。

2.2.3.3 Open法

Open法は図 2.10 に示すような、Openパターンを使用して行うディエンベディング法である。Openパターンは測定したい対象を削除し、DUTに接続されていた配線端をフローティング状態にしたものである。Openパターンを測定することによって、DUTを除いた周囲の環境を測定することができる。そして、図 2.11 に示すように、周囲の環境を含んだDUTの測定結果(Total)から周囲の環境の測定結果(Open)の差を

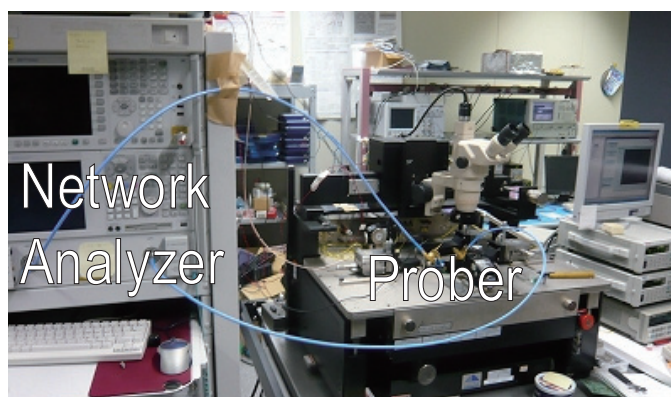


図 2.8: 実際の測定環境写真

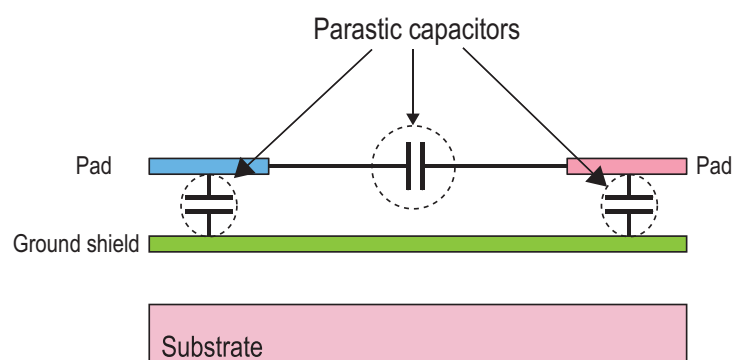


図 2.9: 測定されてしまう余分な寄生成分

とすることで、DUT のみの測定結果を得ることができる。具体的な計算方法を示す。図 2.11 に示すように、Open 法で取り除く不要な周囲環境は DUT に対して並列に接続されている。そのため、不要な部分を測定結果から除くためには、式 2.1 に示すように、Y パラメータとして差を取ればよい。なおこの式は行列である。

$$Y(Dut) = Y(Total) - Y(Open) \quad (2.1)$$

しかし、実際の測定では S パラメータとして結果が出るため、式 2.1 を行うには、S パラメータを Y パラメータに変換する必要がある。S パラメー

タから Y パラメータへの変換を式 2.2 に示す.

$$\hat{Y} = \frac{I - S}{I + S} \quad (2.2)$$

この式で求められた Y パラメータは S パラメータ測定の終端抵抗 (本研究では 50Ω) で正規化された結果であるため, 実際の値に変換するには 50Ω で割る必要がある.

$$Y = \frac{\hat{Y}}{50} \quad (2.3)$$

以上で Y パラメータへの変換が可能になるため, 式 2.1 を用いてディエンベディングを行う. さらに, 式 2.1 の計算結果から, 元のパラメータである S パラメータに戻す必要がある. Y パラメータを正規化するため, Y パラメータから S パラメータの変換は式 2.4, 2.5 になる.

$$\hat{Y} = 50Y \quad (2.4)$$

$$S = \frac{I - \hat{Y}}{I + \hat{Y}} \quad (2.5)$$

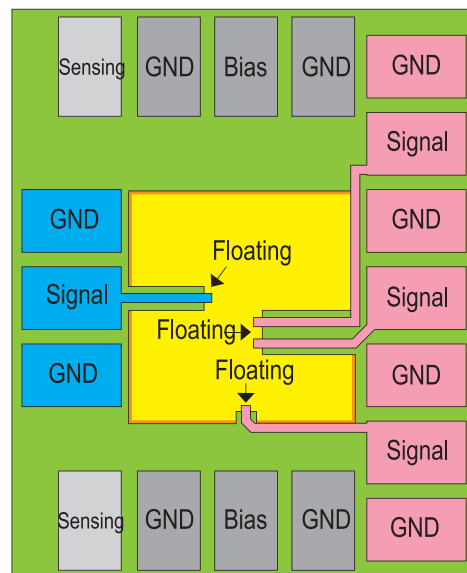


図 2.10: オープンパターン

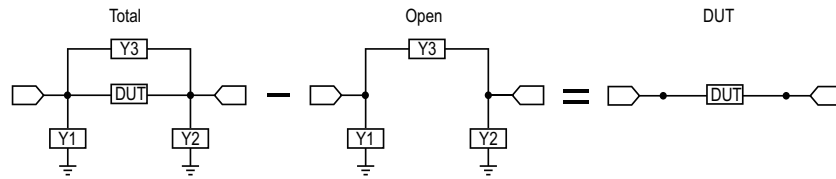


図 2.11: ディエンベッディング

2.2.3.4 ディエンベッディングの効果の評価

図 2.12 に R50_100 のポート 2 から基板への接続点を OB1 とした測定結果のディエンベッディングを行う前と後の S パラメータを示す。ディエンベッディング前を見ると、 S_{11} ではスミスチャートの中心付近にあり 50Ω 程度が測定されており、高周波になると容量性の結合が確認できる。また、 S_{12} 、 S_{21} では高周波になる程、ポート 1 からポート 2 への伝達が多くなっていっていると分かる。 S_{22} では GND への容量性の結合が確認できる、これはポート 2 の Pad とその下層に引いてある GND とのカップリングが要因だと考えられる。

ディエンベッディング後では S_{11} は容量性結合だったものが、配線等によるインダクタ成分が見えるようになっており、Pad から GND へのカップリングがディエンベッディングにより除去されている。 S_{12} 、 S_{21} では高周波での伝達がより多くなっている。これはポート 1、2 から GND へのカップリングが除去されたことにより、ポート 1、2 間へ流れる電力が増加したためと考えられる。 S_{22} では GND への容量性の結合が除去されていることが確認できる。ディエンベッディングを行うことで、周囲環境が除去され測定対象である抵抗と基板の特性がより明瞭に示されていることが分かる。これらの結果から、測定結果が妥当であり、またディエンベッディングが正しく行えていると確認できた。

2.2.4 評価手法:測定結果の π 型等価回路モデルへの変換

測定結果を理解しやすい形にするために、図 2.13 に示すような、 π 型の等価回路モデルに変換を行う。 π 型等価回路モデルは式 2.6～式 2.8 に

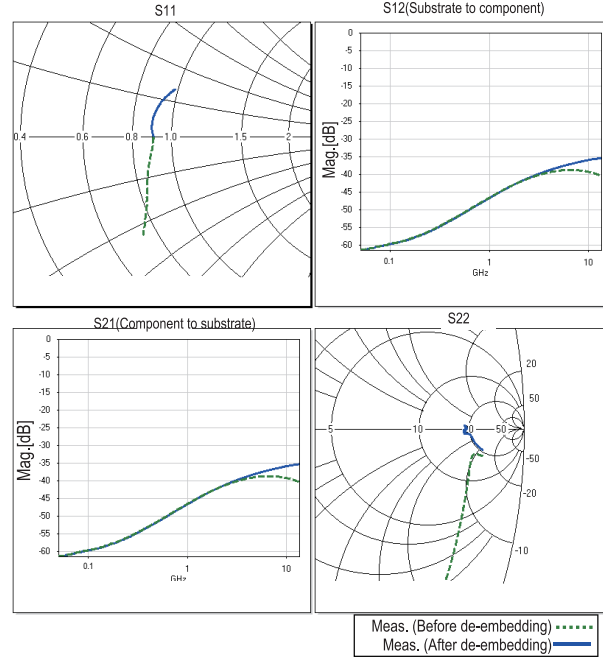


図 2.12: 抵抗でのディエンベディング例

示すように Y パラメータから変換することができる。

$$Y1 = y_{11} + y_{21} \quad (2.6)$$

$$Y2 = y_{21} = y_{12} \quad (2.7)$$

$$Y1 = y_{22} + y_{12} \quad (2.8)$$

ポート 1 からポート 2 への結合は Y_{12}, Y_{21} 両方から求めることができるが、パッシブな結合の場合、両者は一致する。図 2.14 に抵抗のレイアウトを π 型等価回路モデルに変換する場合の例を示す。 $1/Y_1$ の実数成分には配置した DUT である抵抗素子の 50Ω 、虚数成分には配線のインダクタや GND への容量成分等が現れている。 $1/Y_2$ の実数成分にはポート 2 側の注入点 OB1 から DUT への基板部分の抵抗が見られる。虚数成分は基板-素子間の容量成分を表している。 $1/Y_3$ では、ポート 2 から GND への結合が見られる。このように、S パラメータを π 型等価回路モデルに変換することによって、具体的な値を評価することが可能になり、容易に理解しやすくなる。ただし、このモデルはあくまで 2 ポートの S パラメータから作成したモデルであるため、単純な構造にしか適応が出来な

い. 例えば, この実験においてはn-MOSFETは端子数が多くなり π 型等価回路モデルではモデルのミスマッチが起こる. また, 周波数によっても無視出来る結合パス等が変わってくるため, 初めにレイアウト構造から正確にモデル構造を把握した後, モデル作成を行うべきである.

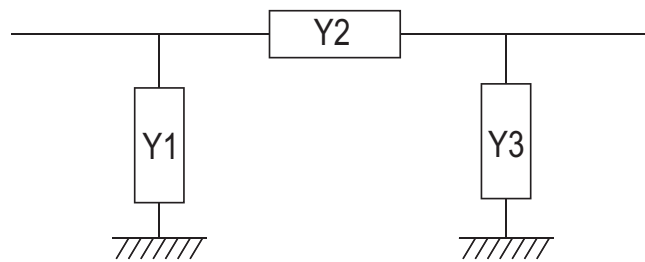


図 2.13: π 型等価回路モデル

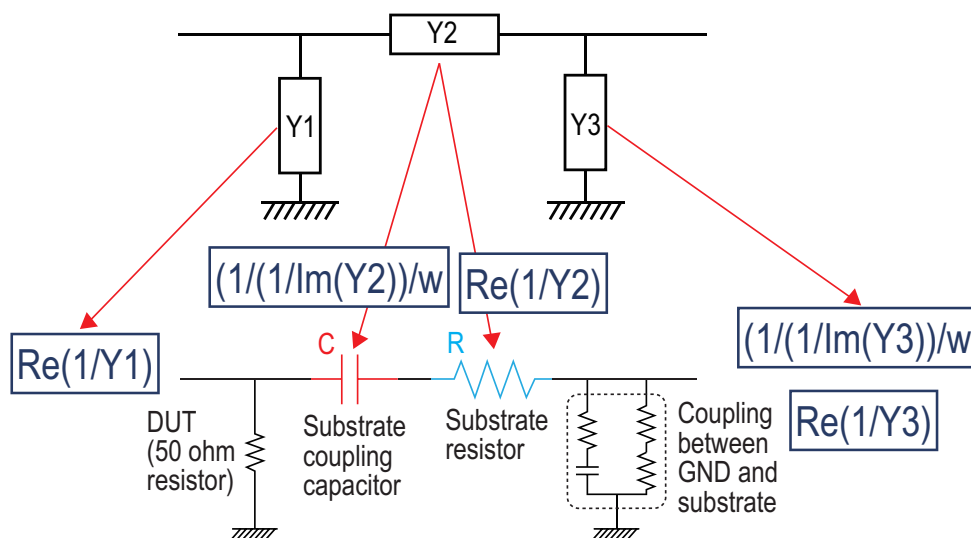


図 2.14: 抵抗のパターンを π 型等価回路に変換した例

2.3 シリコン基板-素子間結合モデリング手法

2.3.1 シリコン基板モデル

図 2.16 に示すように、p-well と P 基板のモデルは抵抗メッシュモデル (RMM: Resistor Mesh Model) で作成する [36]。このモデリングに関わる抵抗値等のパラメータは、プロセス固有の抵抗率等から求めたものである。また、モデルが対応できる周波数範囲は、この解析では 8 GHz までを対象としている。メッシュサイズが大きすぎると、異なる電位を持つ箇所を同一のノードとしてみなしてしまい、正しく解析が出来ない可能性や、小さすぎると解析に時間やメモリ使用量の増大等で、最悪解析が実行できない可能性もあるため、メッシュサイズの見積りは大変重要な要素であると言える。

まずは、広がり方向のメッシュサイズを決定する。このプロセスでは、基板表面に敷き詰められている p-well のシート抵抗が概ね 1 k Ω / \square であるため、メッシュのアスペクト比を 1 とすればどのメッシュサイズでも p-well は広がり方向に対しては 1 k Ω を持つ。一方で、メッシュサイズが変化すると、基板と素子の間の容量値が変化するため、時定数が変化することになる。抵抗値 R [Ω] と容量値 C [F] の積から求められる時定数 τ [s] は RC の直列回路における信号の応答時間を示している。つまり、R は一定だが接続される容量値が大きくなると、時定数が大きくなり信号に対する応答時間 τ が長くなる (図 2.15)。そのため、十分細かいメッシュサイズでなければ、高い周波数での解析にモデルが追随できないという事が起こる。別の言い方をすると、異なる電位を持つ箇所を同一のノードとしてみなしてしまうモデルエラーが発生する。

今回の実験では、メッシュサイズを見積もる方針として RC の時定数による簡易なやり方を用いた。RC の時定数から容量値を逆算すると、式 2.9 より、8 GHz を解析するためには一つのメッシュに対して接続されるべき容量値は 125 fF 以下となる今回の解析では解析精度とマージンを考え 10 fF とした。

$$\tau = RC \Rightarrow C = \frac{\tau}{R} = \frac{(1/8e+9)}{1e+3} = 125[fF] \quad (2.9)$$

作成したレイアウトで使用されている素子は概ね基板に対して、0.4 fF/ μm^2 以下の容量を持っている事がわかっている。つまり、メッシュサイズは

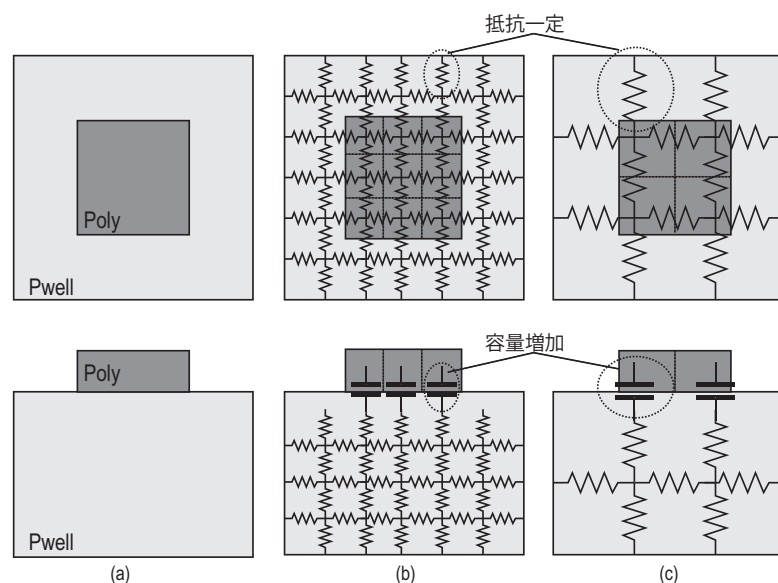


図 2.15: メッシュサイズの違いによるモデル化される抵抗値と容量値の変化のイメージ (a)Poly 抵抗のレイアウト例 (b) メッシュが小さい場合 (c) メッシュが大きい場合

$10/0.4 = 25\mu\text{m}^2$ の面積まで許容できる。そこで、アスペクト比が 1 となる $5\mu\text{m} \times 5\mu\text{m}$ を 1 メッシュのサイズとした。

なお、この評価用レイアウトの基板上の注入点は $2.2\mu\text{m} \times 2.2\mu\text{m}$ の Diffusion で作られている。 $5\mu\text{m}$ のメッシュではこの Diffusion の広がり抵抗を再現することが出来ないため、図 2.16 の Area of OBs のように、周囲のメッシュを Diffusion に合うように細かく分割し、広がり抵抗を再現している。

このモデルを用い、各レイアウトのポート 2 に DC 電圧を印加した場合の抵抗値の測定と解析の比較を行ったグラフを図 2.17 に示す。この測定では、主にシリコン基板を通ったあと周囲の DC バイアス安定用のメタル配線に流れ、 $10\text{ k}\Omega$ 抵抗を通過して GND へと流れるパスが見られる。 $10\text{ k}\Omega$ のオフセットを削除した場合の測定との比較で、最大で 14% の誤差で解析が出来ており、十分な精度で再現が行えていることが分かる。

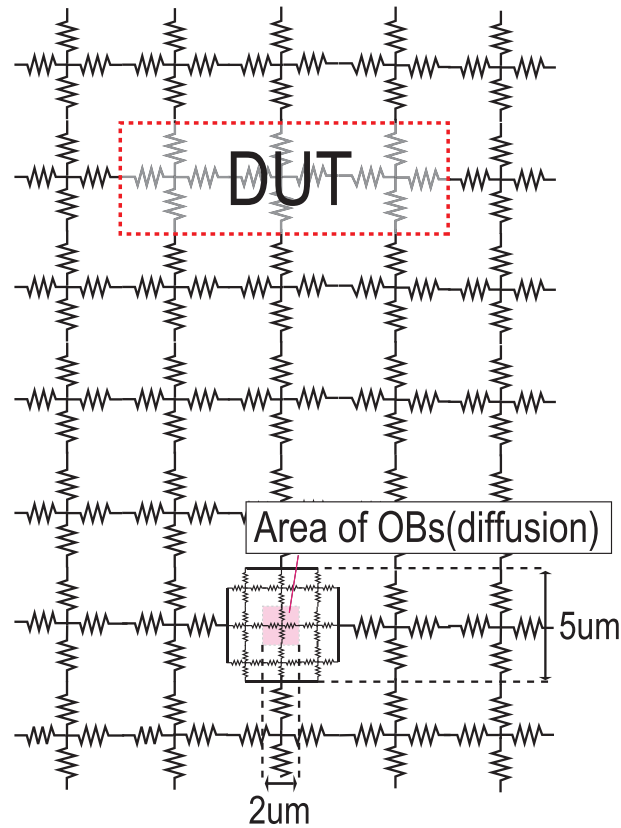


図 2.16: 抵抗メッシュモデル

2.3.2 Ground シールドモデル

図 2.18 に $Y3$ をインピーダンスに変換し虚部から容量として表示したものを示す。 $Y3$ は基板上の注入点から Ground へと繋がるパスをモデル化している。このグラフを見ると、低周波では 5 pF 程度の容量値が常に確認できる。これは、レイアウトの全体に敷いた Ground シールドと基板との間に容量が付いているからである。そのため、これをモデルに組み込む必要がある。この Ground シールドをモデル化したものを図 2.19 に示す。このモデルを入れた場合と入れない場合の S_{21} の解析結果を、図 2.20 に示す。測定範囲全体で両者が異なっており、大きいところでは 10 dB 以上の開きがある。つまり、高周波ではポート 1 から 2 へと流れる電力の約 9 割がこの Ground シールドに流れていると言え、このモデルは今回の測定レイアウトに対して非常に大きな影響をもつ部分であることが分かる。

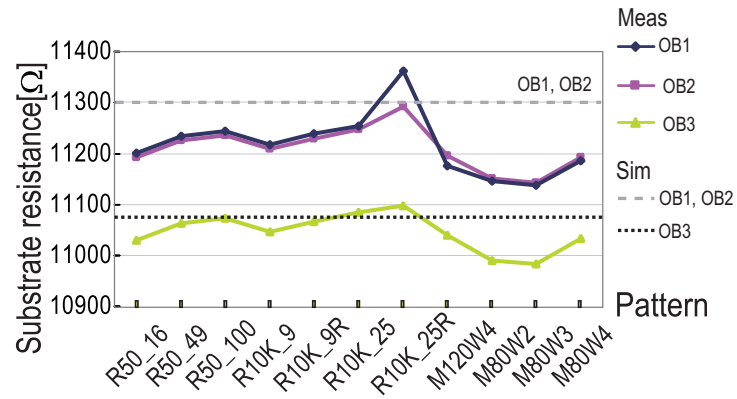


図 2.17: シリコン基板の DC 抵抗

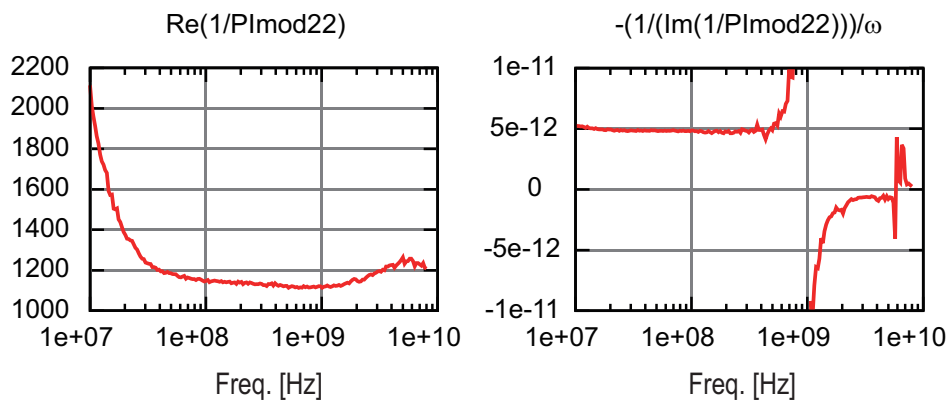


図 2.18: 測定結果の π 型等価回路の Y_3

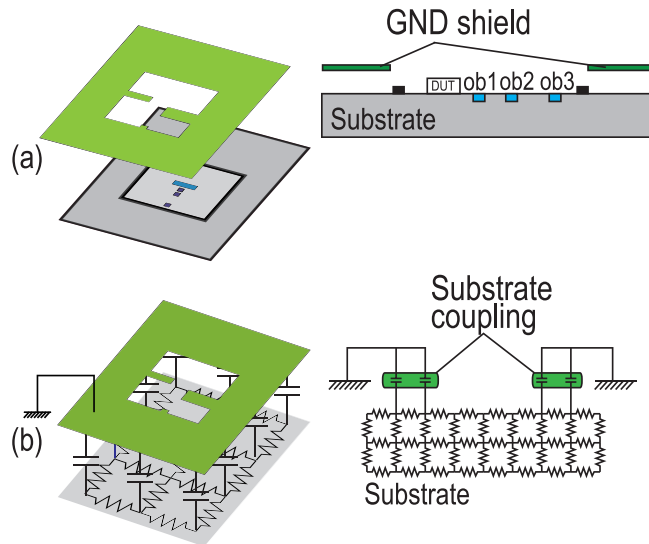


図 2.19: GND シールドのモデル化 (a) レイアウトイメージ (b) モデルイメージ)

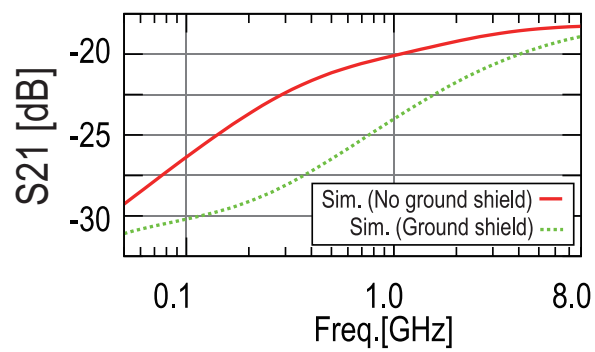


図 2.20: GND シールドの有無による解析結果の比較

2.3.3 基板結合モデル

各レイアウトの基板モデルと素子との結合とモデル全体のイメージを示していく。モデルのイメージを図 2.21～図 2.24 に示す。各モデル全体に行ったこととして、レイアウトから抽出した配線のインピーダンスもモデルとして組み込んでいる。

抵抗のレイアウトのモデルは、アレイ状にならんだ抵抗素子の基板バイアス用のポートをそれぞれ個別に基板メッシュに接続した。また、抵抗の素子同士を接続している配線とシリコン基板との結合もモデルとして組み込んでいる。

容量のモデルはPNジャンクションを通じてシリコン基板と接続されている。レイアウトから導いたPNダイオードモデルを作成し、容量のモデルの間に接続し、また、容量の両端子はショートされているため、そのようにモデル化を行った。

インダクタはインダクタ本体の下部に Poly Si の GND シールドが存在するため、基板結合の主要素はその結合になる。Poly Si を基板同様の抵抗メッシュでモデル化を行ったうえで、基板との容量値を計算し、基板と接続を行っている。Poly Si とインダクタとの接続は、Poly Si の上部にメタル配線があるだけなので、容量性結合になるためレイアウトから計算し容量値としてモデル化を行った。

n-MOSFET のレイアウトは $L = 65\text{nm}$, $W = 4\mu\text{m}$, $\text{Finger} = 80$ という巨大な MOSFET を使用しているため、単一のモデルとして組み込むには大きい。そこで、MOSFET を分割し $L = 65\text{nm}$, $W = 4\mu\text{m}$, $\text{Finger} = 8$ が 10 個並んでいるモデルとした。MOSFET のレイアウトでは、チップ内ショート用の n-MOS 容量を使用しており、この素子にも基板結合が存在するため、この PN ジャンクション容量もモデル化した。また、バイアステーを用いているため、そのモデルも組み込んでいる。

2.4 測定・解析結果

2.4.1 抵抗

抵抗の S パラメータの測定・解析結果を図 2.25 に示す。 S_{12} を比較すると、1 dB 以下の誤差で解析ができている。また、高周波になるほどポート 1,2 間の結合が強くなっており、高周波での影響が大きくなっていると分かる。 π 型等価回路モデルに変換した結果を図 2.26 に示す。この結果

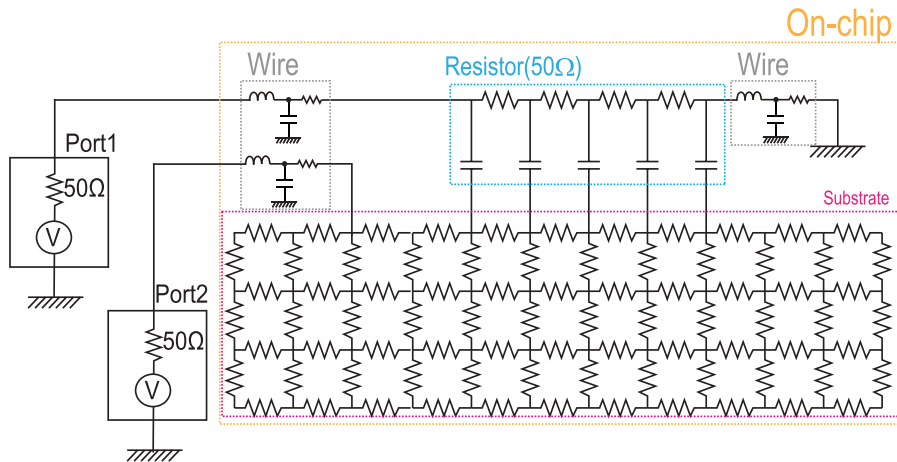


図 2.21: 抵抗の解析モデル全体像

から、ポート1, 2間にある結合が周波数によって変化していることが分かる。これは、周波数によってインピーダンスが変化することで電流のパスも変化することに起因している。実際にどの程度電流のパスが変化しているのか図 2.27に示す。解析方法は、図 2.27(a)に示されるように、ポート2に対しAC電流を注入しAC解析を行った時の10列並んでいる抵抗の基板素子に流れる電流値の変化を解析した。図 2.27(b)が結果である。このように高周波になると、全体の電流が増加していくことがわかるが、基板注入点の近傍に電流が集中していくことが分かる。

次に、抵抗の解析でサイズの違いを比較し、図 2.28にその結果を示す。 S_{12} と π 型等価回路モデルにした時の抵抗及び容量値を示している。10×10, 7×7および4×4のパターンで S_{12} を測定と解析で比較すると、それぞれ、1 dB, 2 dB及び2 dB以下の誤差で解析が行えている。

距離による違いを図 2.29に示す。これは、10×10のパターンを用いて、ポート2をOB1, OB2, 及びOB3からの結合を評価している。サイズでの解析同様、 S_{12} と π 型等価回路モデルにした時の抵抗及び容量値を示している。OB1, OB2は1 dB以下で解析ができているが、OB3は3 dB以下と誤差が大きくなっている。これはOB3が周囲のガードリングやGNDシールドに近接しており、ガードリング等の解析対象外のモデルの影響を受けやすいためと考えられる。このOB1, 2とOB3の結果の違いから、周囲環境のモデルも基板クロストーク解析に置いて重要な要素であると考えられる。

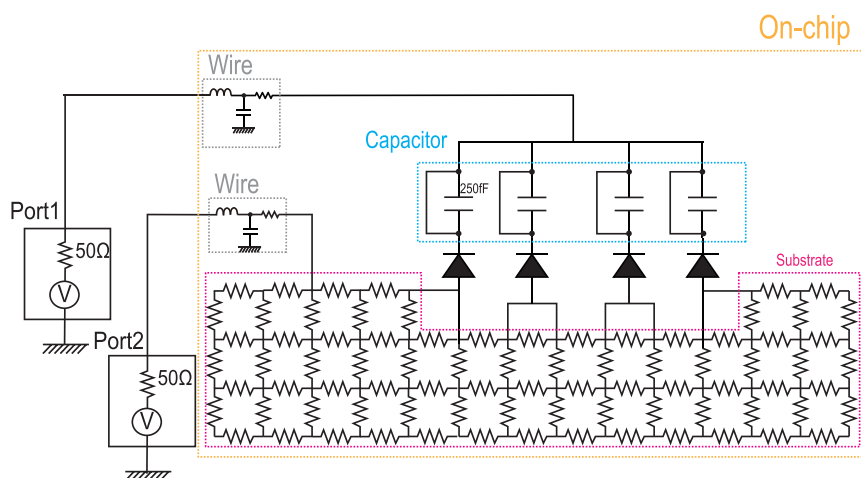


図 2.22: 容量の解析モデル全体像

2.4.2 容量とインダクタ

容量とインダクタのOB1での結果をそれぞれ図 2.30 と図 2.31 に示す。容量は、 S_{12} 、 S_{21} で 2 dB 以下の精度で解析が行えている。インダクタでは、共振部分を除いて 2 dB 以下の精度となっている。

インダクタの共振は、インダクタ自身の値が 10 nH でそれに対して Poly Si との結合が 200 pF である。そのため、ポート 1、2 間には 10 nH と 200 pF の直列の LC が存在することになる。この LC の共振周波数は 3.5 GHz となる。インダクタの値は 10 nH だが、直列とは言ってもインダクタの配線は Poly Si に対して分布的に存在するため、実際の共振点に影響するインダクタは 10 nH よりも小さいと考えられる。よって、共振周波数も 3.5 GHz よりも高い数値になるはずである。実際に、測定では共振点は 8 GHz より高い周波数に現れている。しかし、今回作成したモデルではインダクタと Poly Si の結合はインダクタモデルの両端のみに接続されており、分布的な表現が不十分であるため、共振点に影響するインダクタの値が 10 nH 近い値となり、解析と測定の誤差の要因となった可能性がある。この結果から、基板結合解析に用いるインダクタのモデルについては分布的にメタル配線-基板間結合をモデル化する手法などの考察の余地があると考えられる。

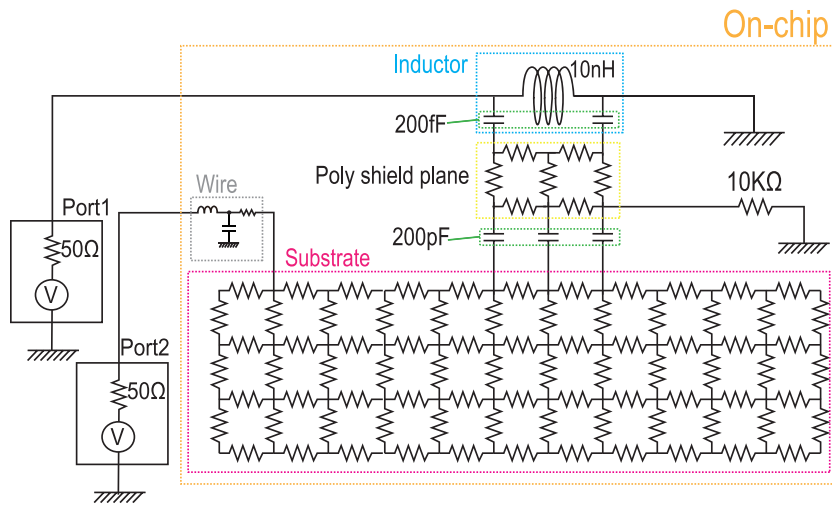


図 2.23: インダクタの解析モデル全体像

2.4.3 MOSFETs

MOSFET の測定と解析では、バイアス状態が大きく影響を与える。この研究では、オフ状態 (Gate, Source に 0 V をかけカットオフ状態) と、オン状態 (Gate, Source 共に 1.2 V をかけて完全に MOSFET が動作している状態) で測定を行っている。CG と CS のオン状態の S パラメータの測定・解析結果を図 2.32 に示す。オン状態では S_{12} , S_{21} の比較で CS で 2 dB 以下, CG で 4 dB 以下の解析が出来ており十分な精度が得られていると考えられる。また、オン状態とオフ状態で S_{12}, S_{21} をグラフにしたものを図 2.33 に示した。最大の誤差は CS のオフ状態の S_{12}, S_{21} で 6 dB となっている。これらの中で、最大の結合をもつ CG のオン状態の S_{12} (シリコン基板から Drain) への結合は低周波では大きく、高周波では小さくなっている。これは、基板バイアス効果から引き起こされているものと考えられる。基板バイアスが AC 電圧で変動することによってしきい値が変動するため、Drain 電流も変動する。そのため、Drain への結合が大きくなるものと考えられる。しかし、高周波になるほど、基板バイアスの感度が下がり、最終的にはオフ状態と同じ程度の結合しか見られなくなっている。

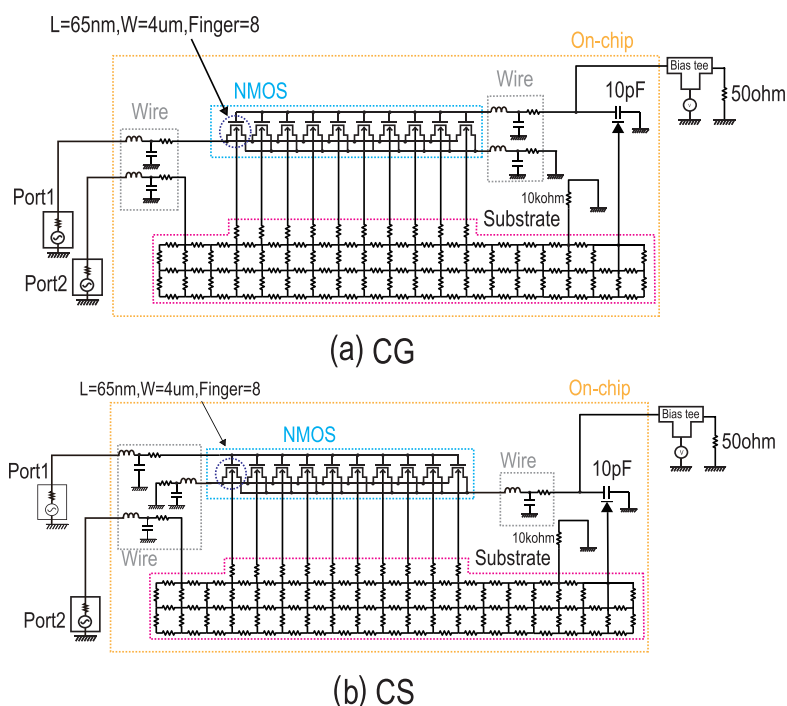


図 2.24: MOSFET の解析モデル全体像 (a) CG パターン (b) CS パターン

2.5 結言

2ポートのSパラメータ測定を用い，シリコン基板と回路素子の結合の評価手法を提案した．また，基板モデルを作成し，周囲環境をモデルに取り入れ，基板結合を適切に行うことで基板結合の解析で距離やサイズの変化に対しても，高精度に行えることを示した．

基板モデルの評価手法の一つとして π 型等価回路モデルを提案した．これによって，Sパラメータではわかりにくい実際の結合インピーダンスが単純な回路モデルで評価可能になった．またその過程で，シリコン基板と素子の結合には周波数特性による結合経路の変化が大きく関係していることが分かった．

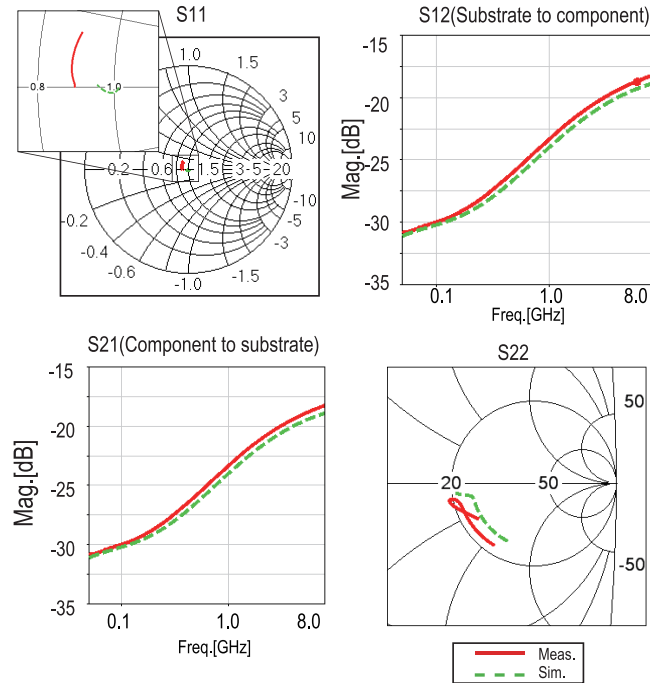
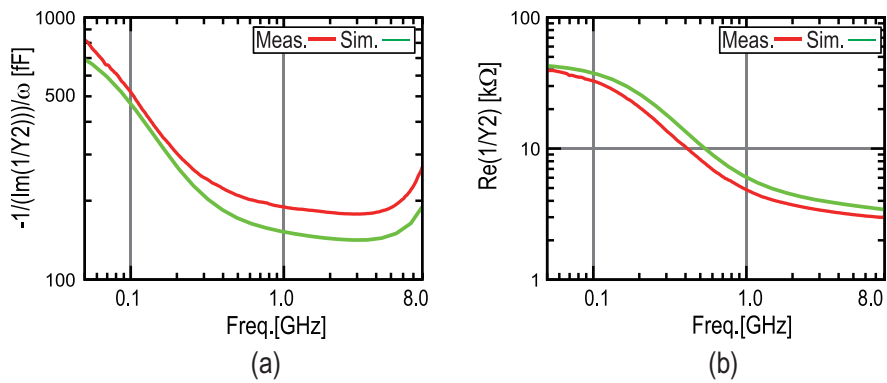


図 2.25: 抵抗の測定と解析の比較

図 2.26: 抵抗の π 型等価回路モデル (a) 素子からポート 2 への抵抗 (b) 素子とシリコン基板との間の容量

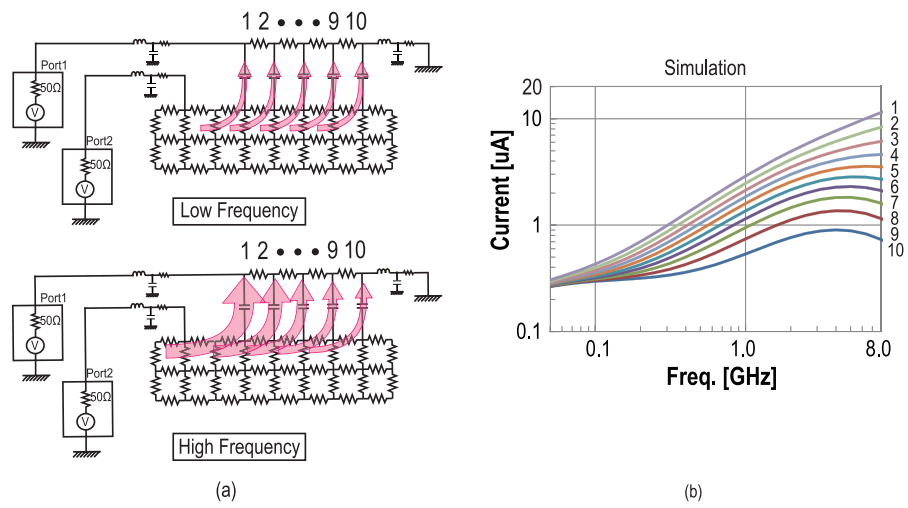


図 2.27: (a) 周波数による電流パスの変化イメージ (b) 位置の違いで電流量が変化する様子の解析結果

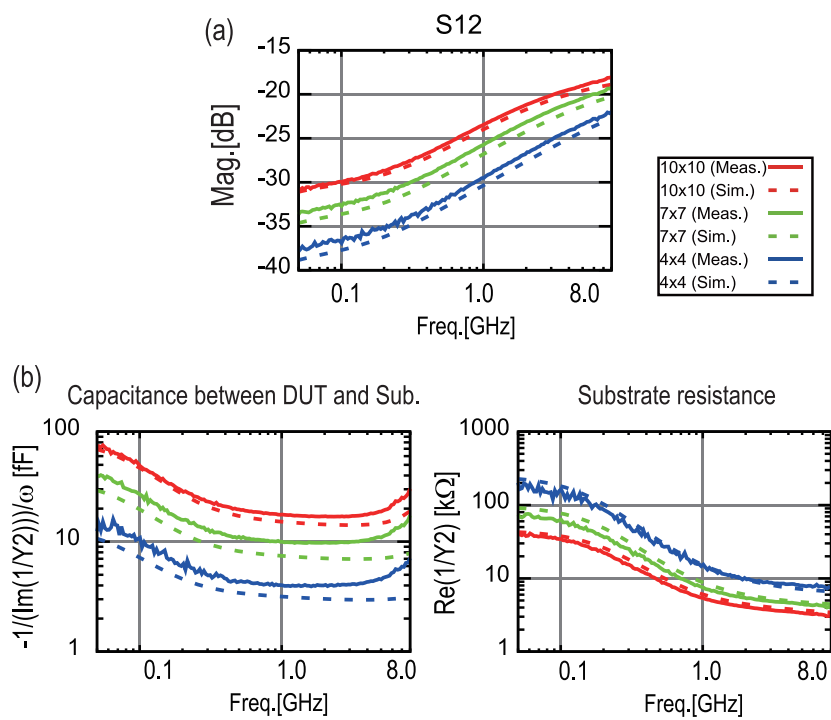


図 2.28: 抵抗の S パラメータの測定と解析の比較 (抵抗素子のサイズによる違い (a) S_{12} (b) π 型の等価回路モデルに変換

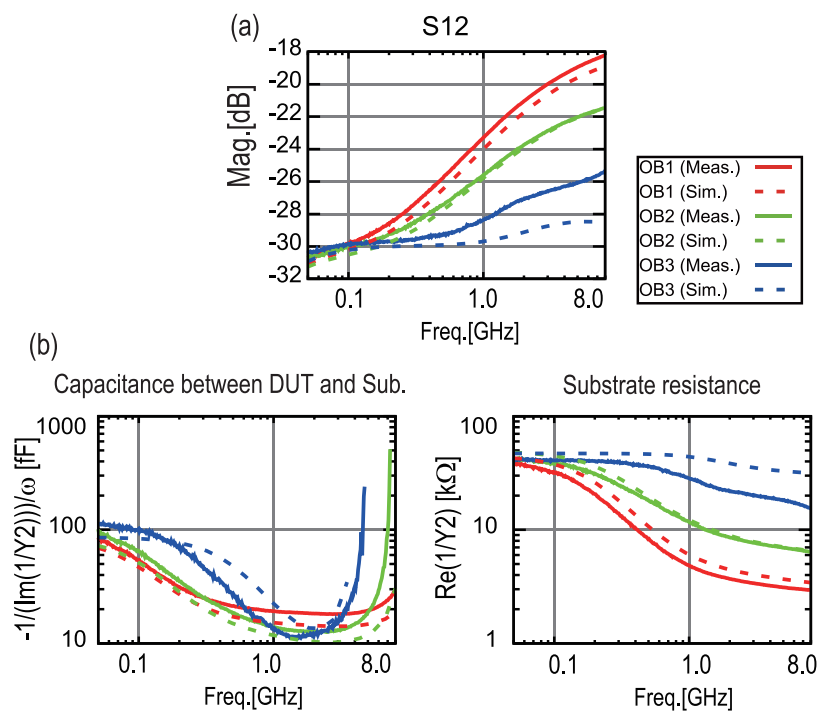


図 2.29: 抵抗の S パラメータの測定と解析の比較 (ポート 2 の位置による違い) (a) S_{12} (b) π 型の等価回路モデルに変換

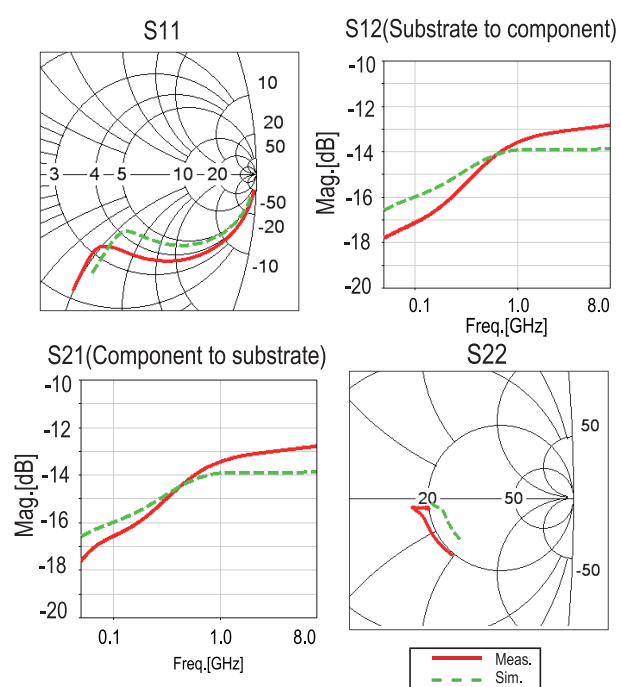


図 2.30: 容量の S パラメータの測定と解析の比較

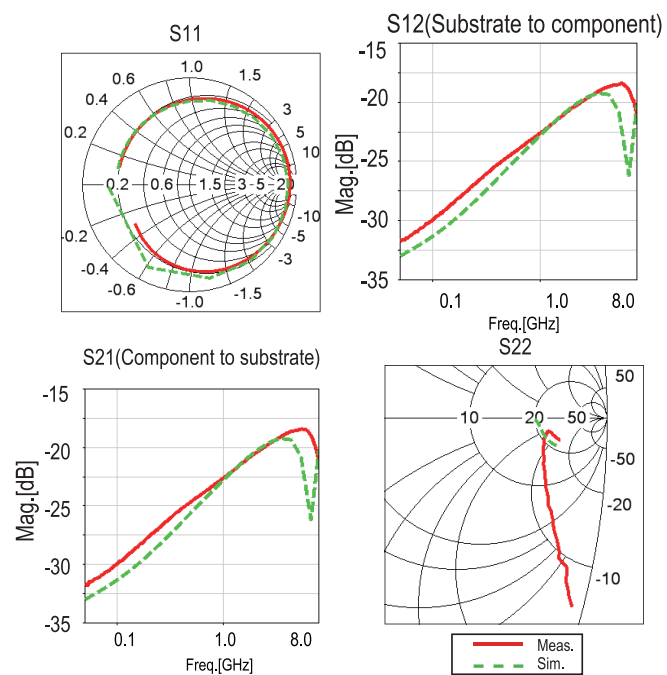


図 2.31: インダクタの S パラメータの測定と解析の比較

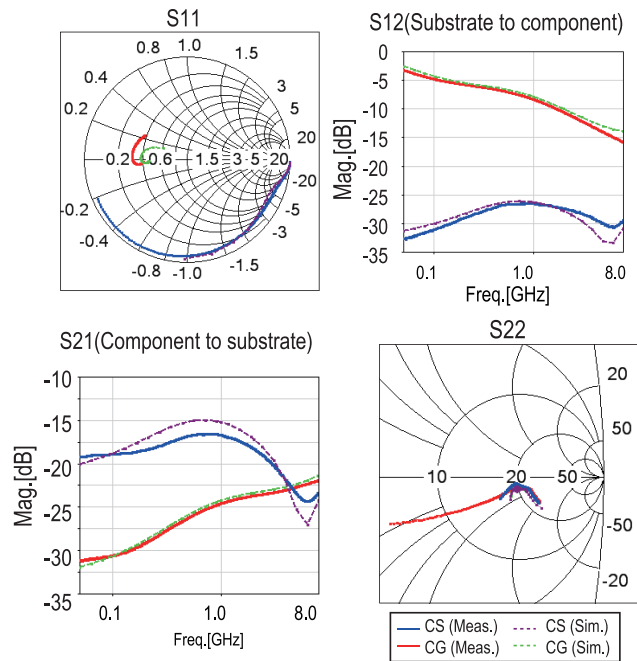


図 2.32: MOSFET の S パラメータの測定と解析の比較

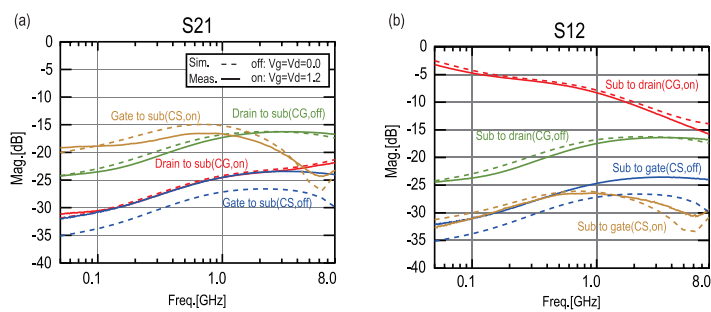


図 2.33: MOSFET の S_{12} (シリコン基板から素子) と S_{21} (素子からシリコン基板) の測定と解析の比較

第3章

基板クロストークのボード・ パッケージ・チップ統合解析技術

3.1 緒言

スマートフォンなどに代表されるモバイル通信端末の普及によって、近年の無線通信によるデータトラフィックは上昇の一途をたどっている。増加するデータトラフィックに対応するために、第3.9世代と呼ばれるLTE(Long Term Evolution)や第4世代のLTE-Advancedといった新しい通信規格が標準化および実用化されてきている。第3.9世代のLTEの特徴としては、高周波帯域(RF:Radio Frequency)を通信に使用し、直交周波数分割多重方式(OFDM:Orthogonal Frequency-Division Multiplexing)によるデジタル変調、MIMO(Multiple-Input and Multiple-Output)によるマルチアンテナなどがあり通信性能の向上が図られており、通信性能の向上が見込まれる。しかし、OFDMのベースバンド処理にはフーリエ変換等の演算が要求されるなど複雑な処理が必要になるなどの理由から、Wideband Code Division Multiple Access(W-CDMA)といった前世代の通信規格に比べ、ベースバンド処理用のデジタル回路規模も増大している。またLTEでは信号パワーが-100dBmでもスループットが95%を越えると3GPPで規格化されておりより高性能なアナログ回路が求められる。一般的にデジタル回路はアナログ回路にとってノイズ源として働き、アナログ回路はノイズに弱いと考えられており、増大したデジタル回路からのノイズが高感度のアナログRF回路の性能を劣化させ、さらにはシステム全体の性能劣化につながると懸念されている。LTEでは熱雑音に比べ+20dBという小さな信号を扱わなければならないため、アナログRF回路は非常に高い感度を持つ必要があり、ノイズの影響も大きくなると考えられる。

一方、無線通信回路の設計では、SoC(System On Chip)やミックスドシグナルLSIといった、デジタル回路とアナログ回路が同一シリコン基

板上に配置される設計が一般的に行われている。ミックスドシグナルLSIの特徴として、デジタル回路とアナログ回路が同じチップで作成されるため小面積化が実現でき、チップ内ですべて配線が接続されるため、小面積で低コスト、高性能なチップを期待できる。スマートフォンやモバイルルータ等の製品はできるだけ低コストに小型で長時間動作することが望まれるため、このような設計が一般的になると考えられる。しかし、ミックスドシグナルLSIではアナログ回路とデジタル回路が同一シリコン基板上という近傍に集積されるため、ノイズの影響も増大し、アナログ回路の性能劣化につながる可能性も増加する。

ノイズの伝達経路としてはボード上やパッケージ上など複数経路あることが知られているが、その中で、ミックスドシグナルLSIではデジタル回路とアナログ回路が同一基板上に配置されるため、シリコン基板を通じて伝達する基板クロストークが発生するという特徴がある。シリコン基板は基本的には抵抗と容量でモデル化でき、また、シリコン基板と各回路素子との結合はPNジャンクション容量や基板配線間の容量としてモデル化出来る。容量は高周波になるとインピーダンスが低下するため、基板クロストークは高い周波数において結合を強めると考えられる。

ノイズの伝達経路はシリコン基板やパッケージ、ボード上の回路素子等の物理的な配置に強く依存するものであり、設計前に特定を行うことは困難になっている。そこで、本章ではLTE通信システムに対する、基板クロストークの影響を高精度に実現するためのフローを示し、基板クロストークの影響を事前に見積り、システムレベルで最適化を行うための手法を提案する。そのために、まずアナログ回路単体に対する基板クロストークの影響を解析するための手法を示し、さらにボードやパッケージを含んだシステムレベルでの解析を実現する手法を提案する。

3.2 評価システム概要

3.2.1 評価システム全体像

図 3.1 に測定環境概要を示す。この測定系はRF通信用SoCとシグナルジェネレータ(SG)、シグナルアナライザ(SA)によって構成されている。SoC上にはRF通信用の受信回路、ノイズ発生源(ANG:Arbitrary Noise Generator)[67]とオンチップモニタ(OCM:On-Chip Monitor)[22]が搭載されている。SGが出力したLTEの信号の代わりに高周波のサイン波を

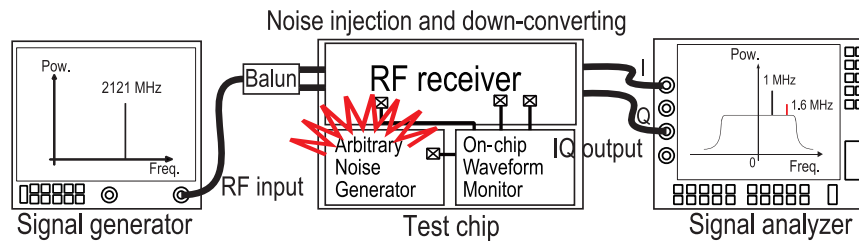


図 3.1: 基板ノイズを印加した LTE 通信チャネルの模擬

入力し，RF 受信回路内で増幅とダウンコンバートが行われ SA に出力される．この過程でノイズ発生源である ANG が動作することで信号にノイズを重畳することが出来る．この SoC は CMOS の 65nm プロセスの 6 層メタル+RDL(再配線層) で作成され，動作電圧はデジタル回路が 1.2V，アナログ回路は 2.5V となっている．

3.2.2 RF 受信回路概要

この RF 受信回路の概要を図 3.2 に示す．この受信回路は差動で動作するため，ボード上でバランを使用して差動信号に変換している．入力から入った信号は Low-Noise Amplifiers (LNA) を通り増幅されたあと I 信号と Q 信号に分かれる．MIXer (MIX) に入力され，Phase Locked Loop(PLL) 回路を含んだ Voltage Controlled Oscillator(VCO) からのローカル信号を使いダウンコンバートされる．MIX の出力が電流であるため，Trans Impedance Amp (TIA) によって電圧に変換した後，Programmable Gain Amplifiers (PGA) に入力され再度増幅され，Low-Pass Filters (LPF) で帯域外の信号のパワーを除去し，出力される．この受信回路の中で，最も感度がある部分は LNA であり 30 dB 以上のゲインを持っており，LNA に対して侵入するノイズの影響が最も大きいと考えられる．

3.2.3 ANG 回路概要

CMOS デジタル回路の消費電流は容量の充電過程として模擬することが可能であり，デジタル回路動作で消費される電流値を容量へ充電される電流としてモデル化したモデルを TSDPC(Time-Series Charging of Divided Parasitic Capacitance) モデルという (図 3.3)[29]．各タイミング毎 (t_n)

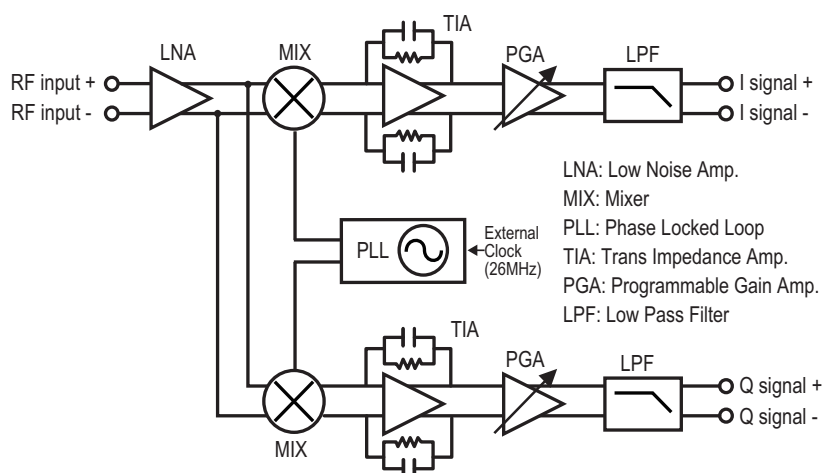


図 3.2: LTE 通信システム用受信回路

のデジタル回路の動作を解析し、その瞬間に動作するデジタル回路を求め、その容量値を単一の容量としてモデル化 (C_n) する。モデル全体としては、各タイミングで動作する全容量が接続されたモデルになる。解析時には、 $T = t_n$ のタイミングで C_n を充電し、電源配線上に電流を流すことで電源配線上の電圧変動を解析する。

このノイズ発生源 ANG は TSDPC モデルを回路実装することで任意のノイズ発生を行う回路である [67]。図 3.4 に TSDPC モデルを回路実装した TCELL 回路を示す。この回路を複数並べ、時間毎にそれぞれを充放電動作をさせることで、任意のデジタル回路のノイズを発生させることができる。ANG の概要を図 3.5 に示す。このチップに搭載されている ANG の TCELL には MOS スイッチと MOS 容量が 6bit 分搭載されている。スイッチを切り替えることで MOS 容量に充電がされるため、そのときに流れる電流が ANG の発生するノイズとなる。TCELL が 8 個ならんだものがブロックとなり、さらに 18 個ならんだものがこの SoC に搭載されている ANG である。充電される容量は N_{Code} によって動作を設定することができる。

この測定システムでは RF 受信回路と ANG を用いることで無線通信用の SoC での基板上的カップリングを模擬することが可能になっている。RF 受信回路の動作設定は、ローカル信号が 2120MHz、帯域は 5MHz となっている。入力される RF 信号は 2121MHz であるため、ダウンコンバート

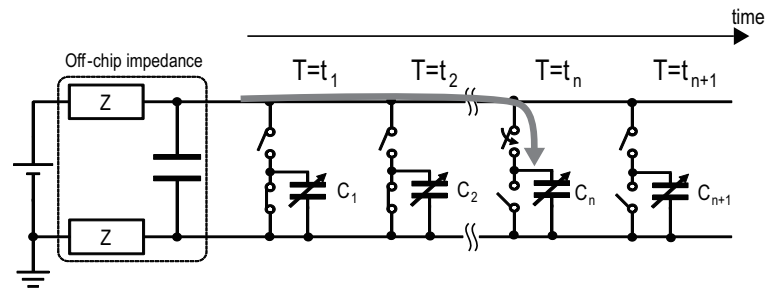


図 3.3: TSDPC モデル

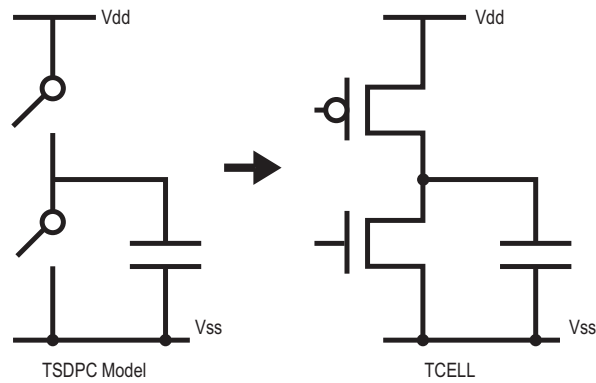


図 3.4: TSDPC モデルとその回路実装 (TCELL)

後は 1MHz にサイン波の信号が現れる。ANG の動作周波数を 124.8MHz に設定することで、その 17 次高調波の 2121.6MHz にノイズを注入することが出来るため、ダウンコンバート後は 1.6MHz にノイズの信号が現れる。

3.2.4 OCM 回路概要

チップ上の電圧を測定する OCM の構成を図 3.6 に示す。OCM にはプロービングフロントエンド (PFE) が複数搭載されている。基板上の電位はソースフォロア (SF) で昇圧されたあと、ラッチコンパレータ (LC) で V_{ref} と比較されることでデジタルライズされる。OCM についての詳細は第 4 章で述べる。

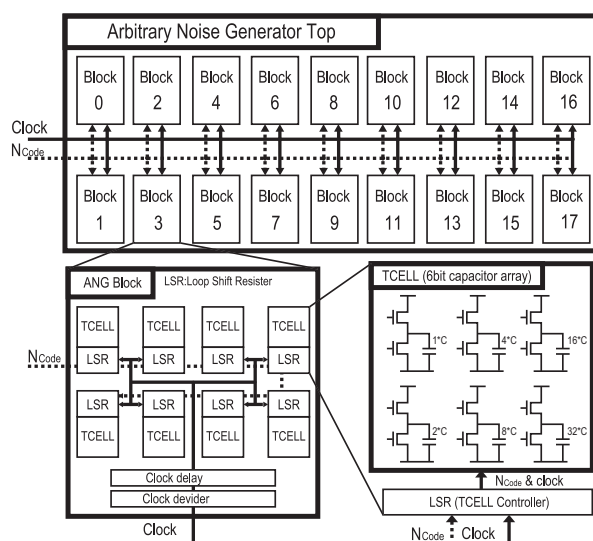


図 3.5: 任意ノイズ発生器 (ANG:Arbitrary noise generator) 概要

3.2.5 実装ボード

このチップを実装したボードとチップのレイアウトの全体像を図 3.7 に示す。ボードは FR-4 基板を使用しパッケージングは Ball Grid Array(BGA) で行われている RF 回路はチップ上側, ANG は中心にあり, OCM が 2 つ ANG の両側に配置されている。

3.3 フルチップレベルのノイズ結合解析フレームワーク

3.3.1 解析フロー

フルチップでの基板ノイズのアナログ回路への影響の解析フローを図 3.8 に示す。まず、ノイズ源の動作状態を入力する。次に、チップ全体の電源ネットやシリコン基板のモデルを含む Chip power model(CPM) とノイズ源の動作モデルの Power supply current consumption model(PSCM) を用い、ノイズ源基板ノイズの発生を行う。その後、解析結果から対象のアナログ回路直下の基板ノイズ波形を Piece Wise Linear waveform model(PWL) 形式で取得する。今回の場合、LNA 内の MOSFET のバルク位置のノイズ

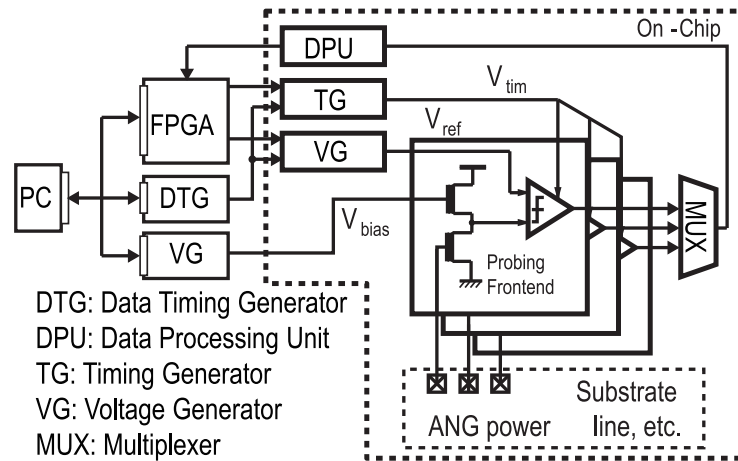


図 3.6: オンチップ電圧モニタ (OCM: On-Chip Monitor) 概要

波形である。さらに、その波形を対象のアナログ回路モデルの Transistor level model(CDL) と Behavioral model(BHM) の基板端子に接続し、基板ノイズが入力されている状態のアナログ回路モデルを作成する。最後に、作成したモデルを解析し、基板ノイズの影響を受けたアナログ回路の動作を取得する。

3.3.2 ノイズ源からの基板ノイズ

チップ内の回路動作は実装されたパッケージやボードと言ったオフチップのインピーダンスに大きく依存するため、ノイズの発生や伝達も図 3.9 に示すように、オフチップのインピーダンスに対して大きく依存する。従って、チップ上のノイズ伝達を解析するためにはこれらの実装を含んだ解析を行う必要がある。実装を含んだ基板ノイズ解析モデルの作成を行うフローを示す。このフローでは電源ノイズと基板上のノイズ伝達の解析を行うため、電源配線とシリコン基板のみを考慮に入れている。

図 3.10 の左側のフローはパッケージとボードのモデル化フローである。ガーバーデータとしてデータを入力し、またそれらの配線材料やインピーダンスといったデータをテクノロジファイルから入力し、ボード・パッケージモデルを作成する。作成されたモデルは SPICE モデルとなっている。右側のフローはチップ内のモデル化フローである。フルチップの GDS ファイルと基板プロファイルや層構造といったテクノロジファイ

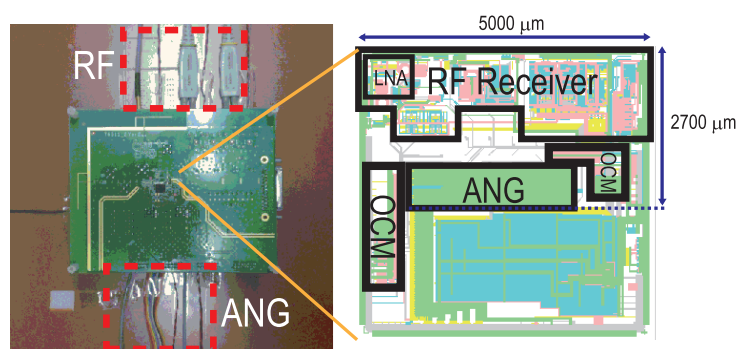


図 3.7: ボードとチップレイアウト

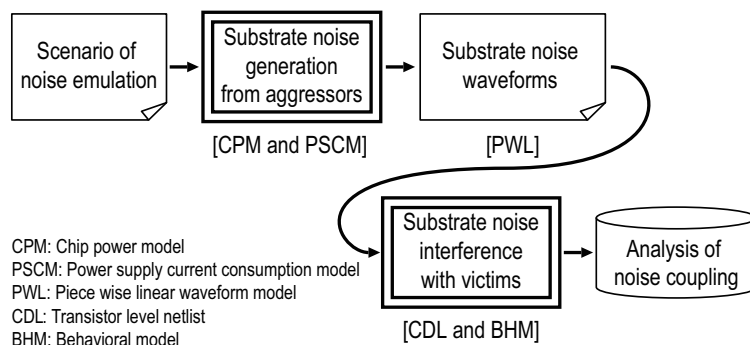


図 3.8: フルチップ基板ノイズ解析フロー

ルを入力し、チップの電源配線を抽出し、SPICE ファイルとしてモデル化する。ノイズ源は別に用意するため、ノイズ源は除去したモデルとしている。電源電流のモデルはノイズ源のSPICE モデルを使用する。これらボード・パッケージ・チップ・ノイズ源のモデルを接続し、実装を含んだシリコン基板解析用のモデルを作成する。このチップ上のノイズ伝播を解析し、ノイズが影響を与えるアナログ回路の回路素子直下の波形を取得する。

図 3.11 にボード・パッケージ・チップを接続したパッシブなモデルを示している。ボード上には 10 個の電源端子があり、それぞれ DC 的に分離されているが、GND 端子は同一になっている。この PCB ボードモデルは電磁界解析ソルバによってマルチポートの S パラメータとして出力されており、それを LCR の等価回路モデルに変換したものである。BGA イ

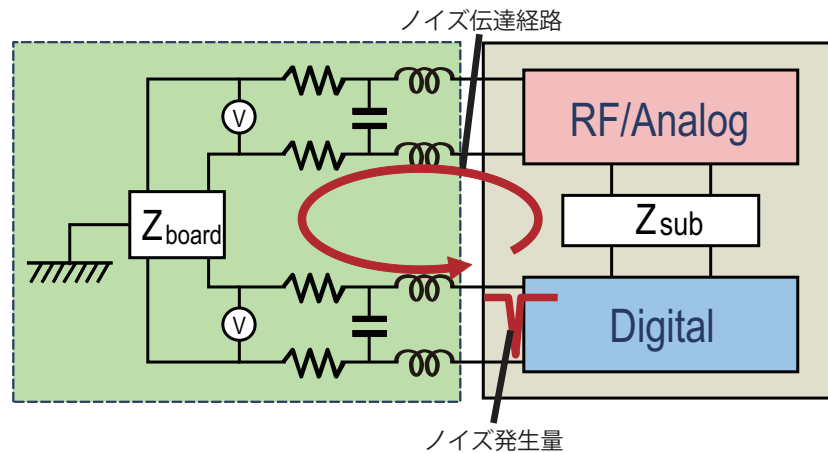


図 3.9: ノイズの発生と伝達に関わるインピーダンスの例

インターポーザの作成にも電磁界解析ソルバを用いた。BGA インターポーザには電源用に 61 個の半田ボールがあり，LR の直列インピーダンスを通じてチップに通じている。インターポーザ内の配線間の相互結合は小さいものと考え無視している。チップモデルの作成にはパワー・シグナルインテグリティ解析用ソルバを用いた。チップ上の電源配線は 61 本あり，それぞれが相互に基板や配線カップリングを通して結合しているモデルを作成している。

図 3.12 には，ANG の SPICE モデルを接続したモデルイメージを示している。オフチップインピーダンスネットワークは BGA インターポーザと PCB ボードに対応し，オンチップインピーダンスネットワークはフルチップのパッシブモデルになっている。このパッシブモデルに ANG の LPE(Layout Parasitic Extraction) を使用して ANG 内の配線抵抗等を抽出した SPICE モデルを接続している。時間領域で解析を行い，ANG が動作することでパッシブモデルの配線に電流が流れ，電圧変動が発生し基板電位を変動させ，基板ノイズとして伝達していく解析が行える。

3.3.2.1 基板プロファイルの同定

このチップのモデリングに使用した基板プロファイルの同定手法を示す。p-well や n-well, deep n-well(DNW) の深さや抵抗率や PN ジャンクション容量といった，基板プロファイルを同定するためのレイアウトを図 3.13 に示す。図 3.13(a) は well の深さと抵抗率を同定するためのレ

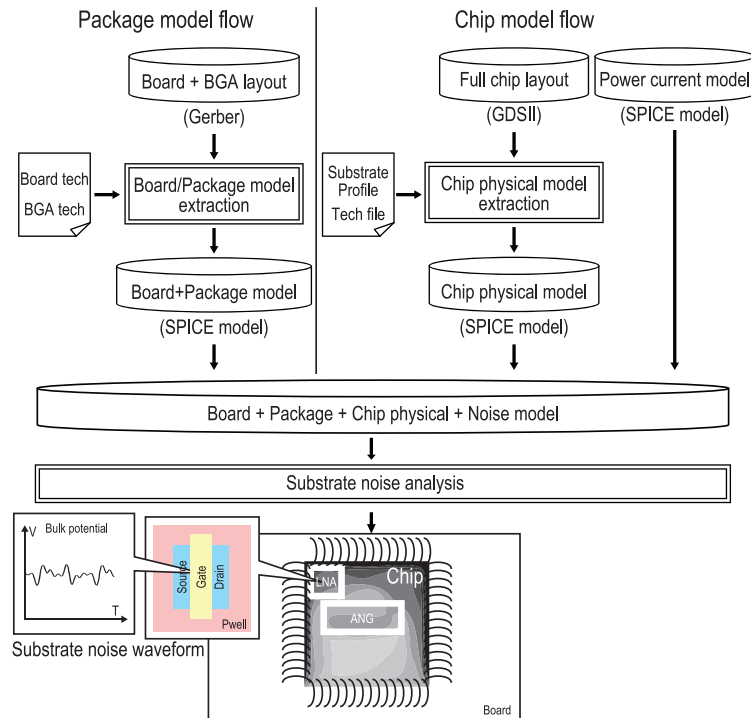


図 3.10: 電源および基板ノイズ波形取得のための解析フレームワーク

イアウトで、Length は $10\ \mu\text{m}$ 、 $20\ \mu\text{m}$ 、 $40\ \mu\text{m}$ の3パターンを作成した。左右のパッド間に電圧をかけることで抵抗を測定する。図 3.13(b) は PN ジャンクション容量を測定するためのレイアウトであり、左右のパッド間の S パラメータをネットワークアナライザで測定する。PN ジャンクション容量は側面と底面で値が異なるため、底面積が異なり周囲長は同じレイアウトを用意し、その差分を用いることでそれぞれ同定した。

これらの測定結果から求めた基板プロファイルの値を用い、第2章で用いた基板モデリング手法を用い、それぞれのパターンに対して DC 解析と S パラメータ解析を行った結果が図 3.14 である。抵抗値、容量値共に測定と精度よく一致している。抵抗値の p-well の解析のオフセットが測定より低くなっているが、これは p^+ の Diffusion のモデルによる誤差だと考えられる。この基板プロファイルの結果を用い、チップのモデリングを行った。

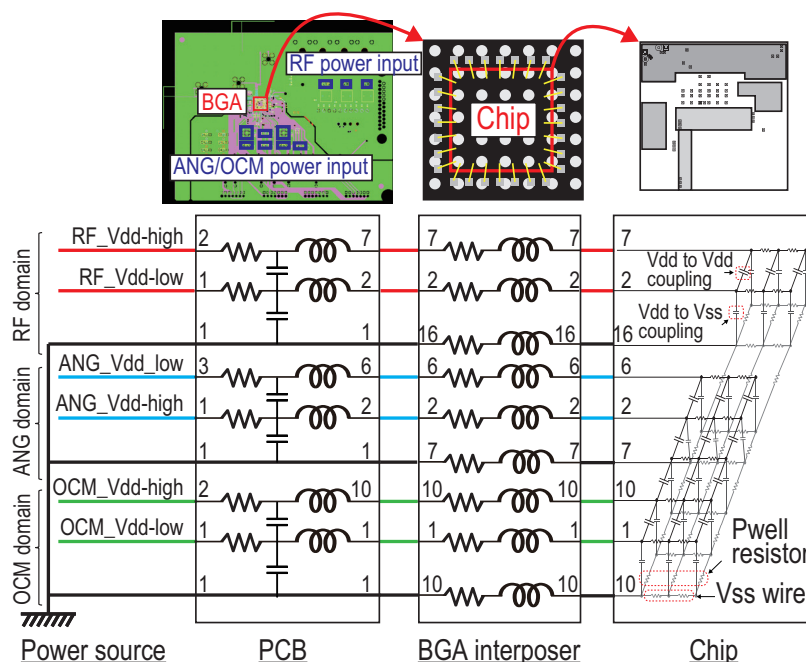


図 3.11: シリコン基板モデルとマルチドメインのPDN(Power Delivery network)を含んだパッシブモデル

3.3.3 アナログ回路へのノイズ

RF 受信回路内で最も感度の高い回路が LNA である。その他の高周波領域で動作するアナログ回路については、VCO は動作周波数がローカル信号の倍となっているため、ノイズの高調波成分も小さくなり影響も小さいと考えられる。また、MIX は電流動作であるためノイズの影響が小さいと考えられる。

そのため、この研究では LNA の MOSFET に対してノイズを注入する方針を取る。図 3.15 にアナログ回路解析モデルを示す。この回路はトランジスタレベルの回路とビヘイビアの回路モデルで構成されている。この中で最も高感度な回路は LNA であるため、LNA とその後段の MIX はトランジスタモデルとなっており、それ以外はビヘイビアモデルで構成している。更に LNA のどの部分にノイズを注入するかであるが、Signal input 用の MOSFET と、その上部にあるゲイン調整用と下部にあるカレントミラーの電流源としての MOSFET に対してもノイズを注入する。また、LNA の回路の中で入力信号に対して最も感度が高い素子は Signal input

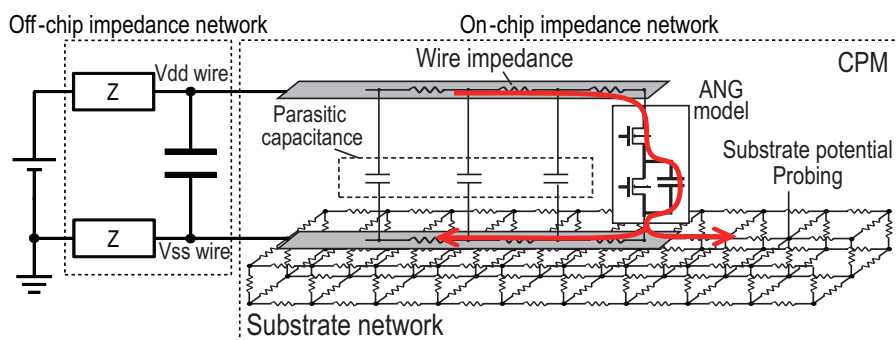


図 3.12: ノイズ源を含んだ電源および基板ノイズ解析モデル

用の MOSFET である。これらの素子の Bulk 端子に対してノイズ伝達解析で取得した PWL 信号を入力することでアナログ回路のノイズの影響を解析する。

3.4 解析結果

3.4.1 基板ノイズ伝達解析

前節で作成した解析モデルでトランジェント解析を行い、ANG の近傍の波形で OCM による測定と比較を行った (図 3.16)。この解析の ANG の動作設定はクロック周波数が 124.8MHz、動作する ANG ブロックは左側 2 つと 4 つでノイズ発生規模の違いも評価する。OCM の測定では PFE にノイズ源の動作によってオフセットやゲインがかかっており、それを最小とするために、バックグラウンドのノイズを除去した後の波形を用いている。ANG のノイズ波形は測定と解析で形状がよく一致しており、波形の最大値と最低値の差分である V_{pp} の比較では最大 19.2% の誤差精度で解析が行えている。また、図 3.17 基板全体のマップでの V_{pp} の減衰の様子を示す。測定と解析で減衰はよく一致しており、LNA 近傍では -34.2 dBV と非常に小さい値になっていることが分かる。これらの測定との比較から、基板ノイズ伝達のパッシブおよびアクティブモデルは精度よくモデリングができていると考えられる。

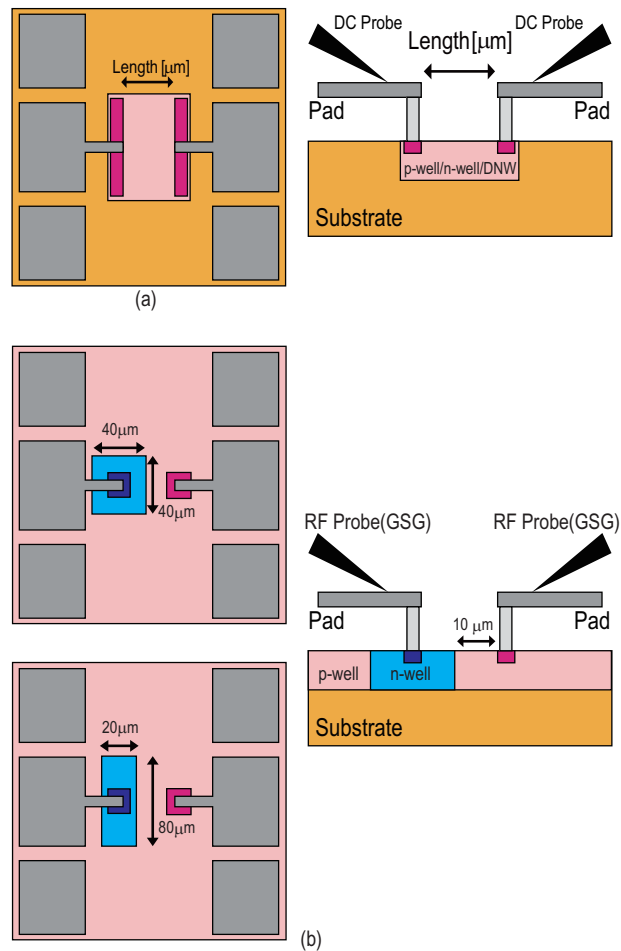


図 3.13: Well(p-well, n-well, DNW)の基板プロファイル同定用レイアウト

3.4.2 アナログ回路へ侵入するノイズの解析

解析によって取得されたLNAのMOSFET直下のノイズ波形を図 3.18 に示す。シリコン基板からのノイズ対策として、LNA内のMOSFETはすべてDNW内に作られ、その他の基板からは分断されているため、低周波成分が大幅にカットされており、LNA近傍のp-wellは-34.2 dBVだが、DNW内部は-54.6 dBVとなっている。ノイズの振幅で90.4%の減衰が起こっている。

図 3.18のノイズをLNAのMOSFETのBulk端子に対して入力し、受信回路の入力には2121 MHzの正弦波(RF test tone)を入力した結果を

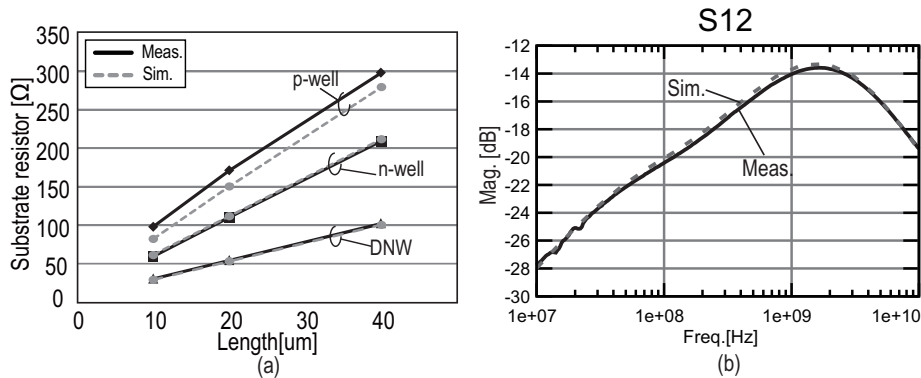


図 3.14: 基板プロファイル同定結果を使用した解析 (a) 抵抗の DC 測定・解析結果 (b) PN ジャンクション容量の S パラメータ測定・解析結果

図 3.19 に示す. ノイズの 17 次高調波が 2121.6 MHz, RF test tone が 2121 MHz, ローカル周波数は 2120 MHz であるため, それぞれダウンコンバートされて 1.6 MHz と 1 MHz に現れているのが分かる. ANG の動作ブロック数の違いによっても差が現れており, このフローによって基板ノイズ解析が可能であると言える.

この解析結果では, 動作ブロックの違いによる出力スプリアスパワーの差は $\Delta = 1.4\text{dB}$ となっている. 基板からの回路への影響は容量や抵抗等の静的な結合に加え, MOSFET の基板バイアス効果等の非線形な影響も含まれるため, 動作ブロック数の違いが線形に出力に現れるわけでは無い. そのため, 基板ノイズのアナログ回路への影響解析は定量的な評価は困難であり, 定性的な比較が出来るまでにとどまっている. また, 実際の測定ではボードやパッケージのカップリングや磁界結合等も含まれており, 基板ノイズのみを対象としたこの解析とは単純に比較することが出来ないため, 測定結果は載せていない. 一方で, 測定・解析対象をチップのみを対象とし, 理想的な状態 (プロービングによってチップに電源を供給する等) で測定・解析を行った場合, 他のカップリングを考慮する必要はなくなるが, 実装された状態での基板ノイズとは異なったものになってしまうという問題が発生する. それらを踏まえ, この実験では基板上のノイズ波形について OCM の測定結果と比較することで, この解析フローの精度を保証するという方針をとっている. 実装状態での他の結合も含んだ解析については, 今後の大きな課題となると考えられる.

3.5 結言

フルチップレベルで RF 受信回路を搭載した SoC における基板ノイズ解析フローを実現した。パッシブのボード・パッケージ・チップモデルに対して、ノイズ源のモデルを接続することでノイズ伝播解析を行い、実際のチップでの測定と比較し、シリコン基板上のノイズ波形の振幅で 19.2% の誤差の精度で解析ができた。また、ノイズ解析から取得した基板ノイズ波形を受信回路へ導入することで、ボードやパッケージに実装してある SoC 内のアナログ回路部分への基板ノイズの影響を解析できることを示した。それらの中で、実装状態と未実装状態での基板ノイズ解析のそれぞれのメリット・デメリットについても論じた。

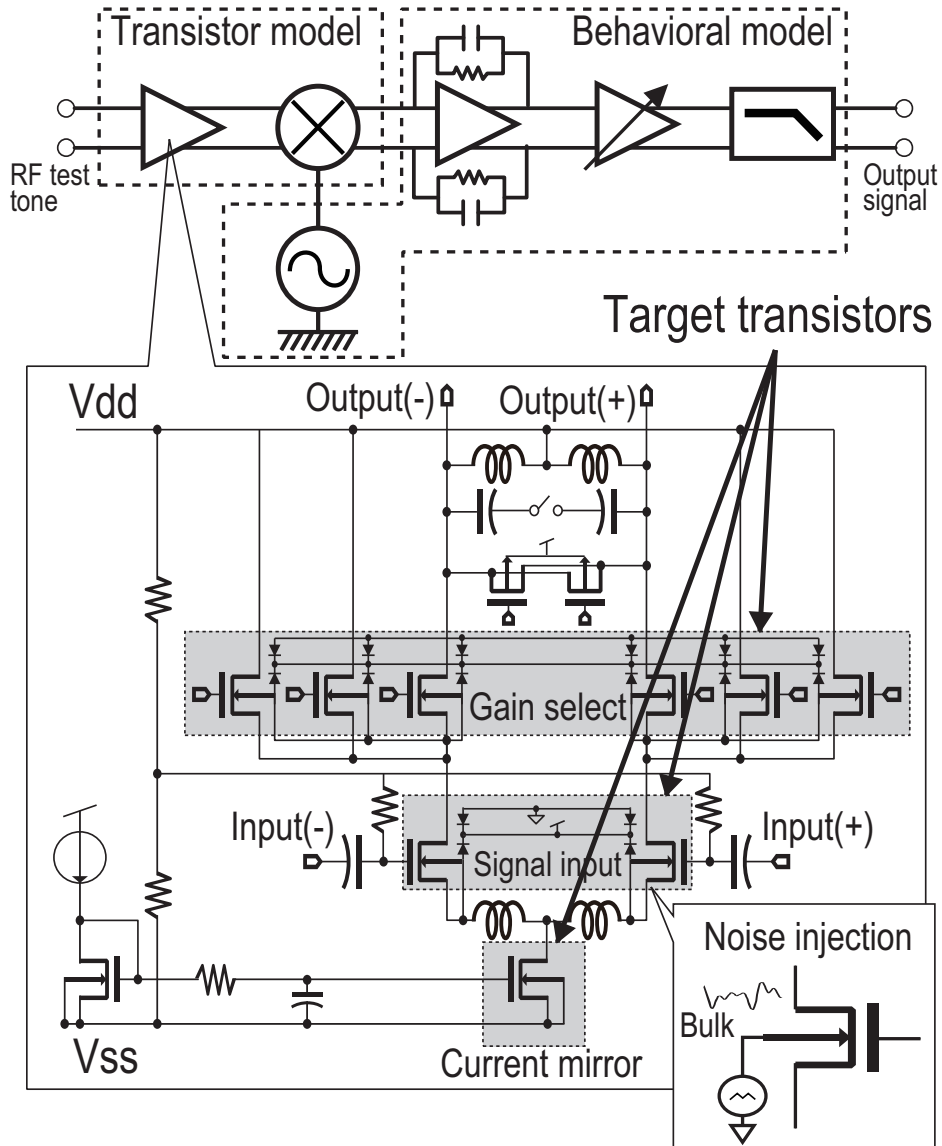


図 3.15: 基板ノイズ注入のための受信回路モデル

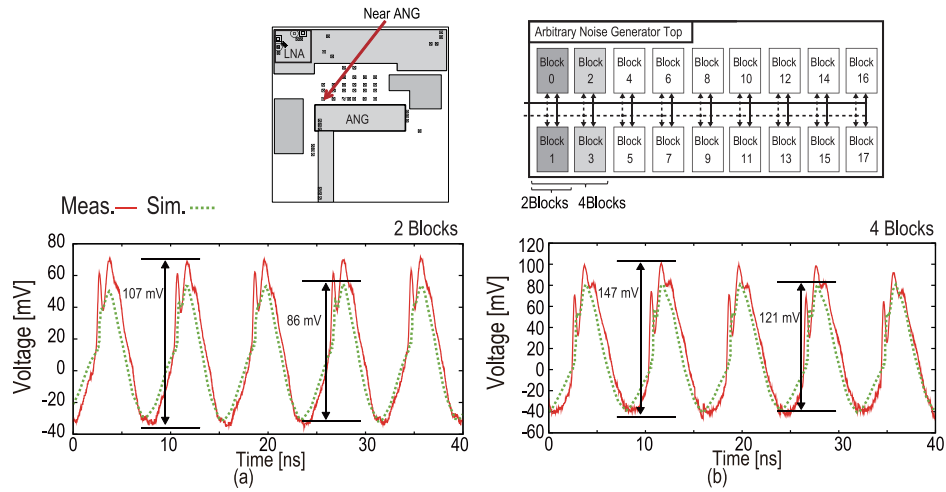


図 3.16: ANG 近傍のノイズ波形の測定・解析結果. (a) 2ブロック (b) 4ブロック

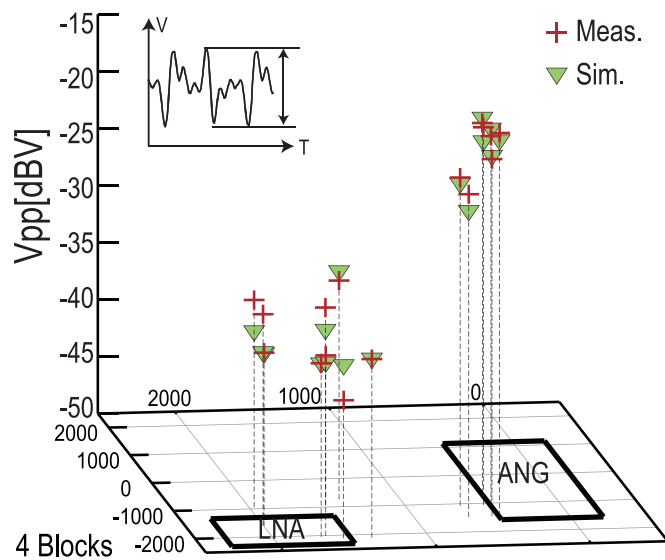


図 3.17: 基板全面のノイズの V_{pp} の測定・解析結果

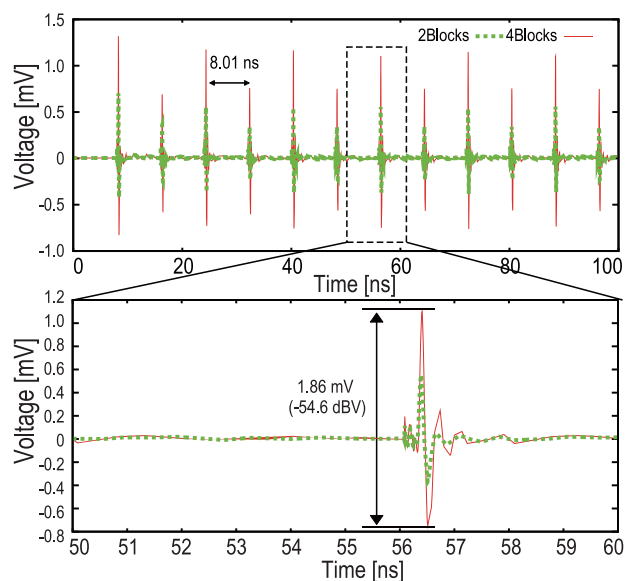


図 3.18: LNA にある DNW 内に配置された, MOSFET の Bulk 電位解析波形

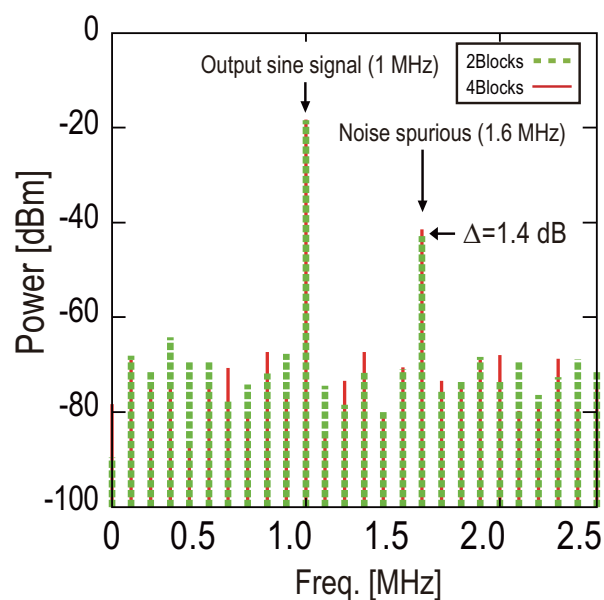


図 3.19: 受信信号の帯域内に基板電位を入れたときの出力波形解析結果

第4章

RF SoCのシステムレベルノイズ耐性診断技術

4.1 緒言

スマートフォンなどに代表されるモバイル通信端末の普及によって、近年の無線通信によるデータトラフィックは上昇の一途をたどっている。そのように増加するデータトラフィックに対応するために、第3.9世代と呼ばれるLTE(Long Term Evolution)や第4世代のLTE-Advancedといった新しい通信規格が標準化され実用化されてるようになってきている。このLTEでは信号パワーが-100 dBmでスループットが95%を超えなければならないということが3GPPで規格化されており、設計時に、通信性能の評価を行う場合、通信部分のRFアナログ回路のみで測るだけでは不十分になっている。そのため、RFアナログ回路を含んだシステムレベルでの評価技術が必要となっている。

無線通信回路の設計では、高性能化のためにSoC(System on a Chip)やミックスドシグナルLSIといったデジタル回路とアナログ回路が同一シリコン基板上に配置される設計が一般的に行われている。しかし、高性能になる一方で、ミックスドシグナルLSIではアナログ回路とデジタル回路が同一シリコン基板上という近傍に集積されるため、ノイズの影響も増大し、アナログ回路の性能劣化につながる可能性も増加する。ノイズの伝達経路はシリコン基板やパッケージ、ボード上の回路素子等の物理的な配置といった実装に強く依存するため、ボードやパッケージ等を含んだ実装全体でシステムレベルでの性能評価を行う必要がある。

このような背景の中、今後システムレベルでのノイズ耐性評価技術が重要となってくると考えられる。そこで、本章ではLTE通信システムに対する、ノイズの影響評価を行う環境の開発を目的とする。LTEの通信システムを模擬するシステムとRF受信回路とノイズ源とオンチップの波形モニタを含んだSoCを開発し、実際にLTEの通信システムを模擬す

表 4.1: Key parameters of LTE down-link RF channel.

Communication method	LTE
1 st Modulation	QPSK
2 st Modulation	OFDM
RF Local Frequency	2120 MHz
Bandwidth	5 MHz
Frame Mode	FDD

るシステムを構築した。また、チップ上のノイズ源を動作させることによって、RF受信信号にノイズを重畳することでシステム全体のノイズ耐性の診断を行うこと目標とした。

4.2 診断対象システム概要

4.2.1 システム全体の概要

図 4.1 にシステム全体の概要を示す。このシステムは LTE のダウンリンク通信システムを模擬するための、Hardware In the Loop Simulation(HILS) システムとなっている。まず、システムレベル通信シミュレータによって生成された LTE の信号デジタルデータがシグナルジェネレータ (SG) に入力される。その後、SG から出た 2.120 GHz 中心の LTE アナログ信号が RF 受信回路へ入力される。受信回路内でベースバンドの帯域までダウンコンバートされた IQ アナログ信号がシグナルアナライザ (SA) に入力されデジタルデータに変換された後、デジタルデータが通信シミュレータに返ってくる。通信シミュレータから出力されたデジタルデータと返って来たデジタルデータを比較することで Throughput (THP) や Bit error ratio (BER) や Error vector magnitude (EVM) として評価することが可能になっている。この過程で SoC 上に配置された任意雑音発生器 (ANG: Arbitrary Noise Generator) によってノイズが RF 受信回路へと印加される。そのため、ノイズによってどの程度システム性能が劣化するかを評価することができる。また、この SoC 上には On-Chip Monitor (OCM) が配置されており、チップ上の基板電位を測定することが可能であり、チップ上のノイズの伝搬を評価できる。システムで使用している LTE のパラメータは表 4.1 に示す。

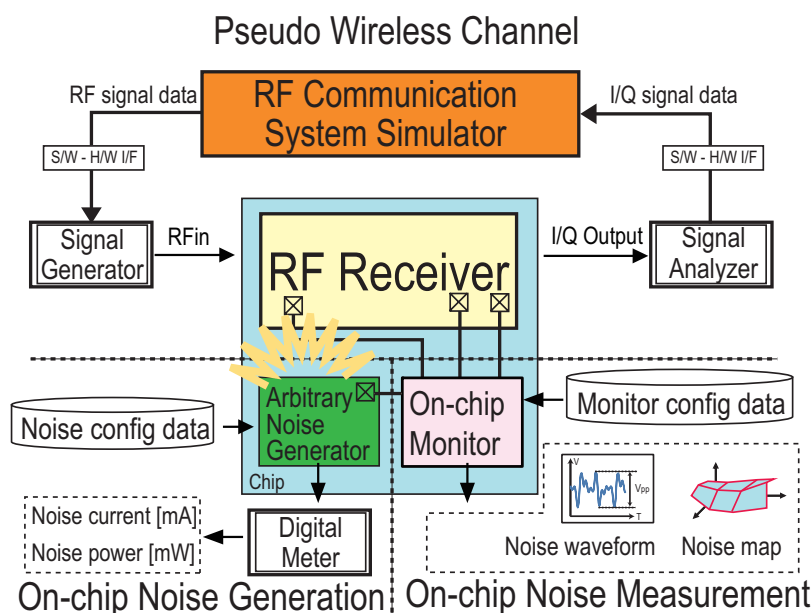


図 4.1: LTE 通信チャネル模擬システム

4.2.2 SoC の要素回路概要

この SoC の特徴を表 4.2 に示している。この SoC は第 3 章で使用した SoC と同様のものである。

4.2.2.1 RF 受信回路

まず、RF 受信回路 (RF) について述べる。RF 受信回路の概要を図 4.2 に示す。この受信回路は Low-Noise Amplifier(LNA), MIXers(MIX), Low-Pass Filter(LPF), Programmable Gain Amplifier(PGA), Phase Locked Loop(PLL) を持った Voltage Controlled Oscillator(VCO), Trans Impedance Amplifier(TIA), Low Path Filter(LPF) によって構成されている。SG から出力された IQ 信号はボード上のバランによって差動信号に変換された後チップに入力される。差動信号は LNA で増幅され、MIX を通り VCO からのローカル信号を用いダウンコンバートされる。この際位相が異なったローカル信号を使うことで IQ 信号に変換される。MIX の出力信号は電流であるため、TIA で再度電圧に変換される。さらに PGA で増幅された後、LPF で帯域外にある信号をカットし出力される。この回路の中で

表 4.2: 使用した SoC チップの特徴

Process	65 nm
Size	5 mm × 5 mm
Well	Triple well
Metal	6 metals + RDL
RF	RF 受信回路:LTE RF Receiver
ANG	任意ノイズ発生回路:Arbitrary Noise Generator
OCM	オンチップモニタ:On-Chip Monitor

最もノイズの影響を受ける部分が LNA である。この LNA は 30dB 程度のゲインを持っているため、ノイズにも大きな影響をもつと考えられる。

第三章ではこの回路に入力される信号は純粋な正弦波であったが、この実験では実際に LTE の変調信号を入力することになる。

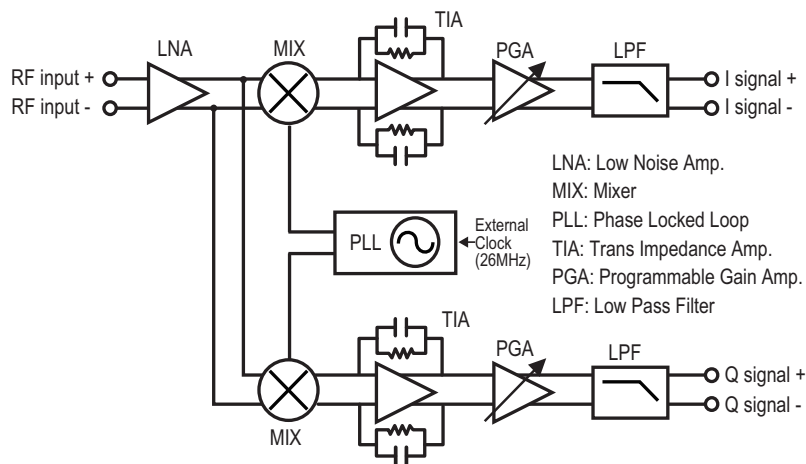


図 4.2: RF 受信回路概要

4.2.2.2 任意ノイズ発生回路

次に、ANGについて述べる。ANGの構成は図 4.3に示している。ANGはデジタル回路の電流消費過程をエミュレートする回路になっている。このANGはノイズ発生源であるTCELLと、TCELLで発生させるノイズ量を設定を入れるLSR(Loop Shift Register)で構成されている。TCELL

はTSDPCモデルを基としたノイズ発生源である。TSDPCモデルはデジタル回路の消費電流を容量への充電とみなしたモデル[29]であり、あるタイミングで動作するデジタル回路の消費電流を容量への充電としてモデル化している[67]。このANGのTCELLには6bit分の容量が入っており、64段階でノイズ量が設定可能である。このTCELLを8個アレイ状に並べたものがANG Blockとなり、更にそれを18個並べたものがANG全体となる。ANG BlockにはTimGenというクロックコントローラが入っている、これによって各ブロックにクロックを分周や遅延をさせることで様々なタイミングでの動作が可能である。このANG内には144個のTCELLがあり、それらをすべて動作させた場合に充電される容量は907 pFとなる。この容量は2NANDのスタンダードセル換算で約1 MGateに相当する。

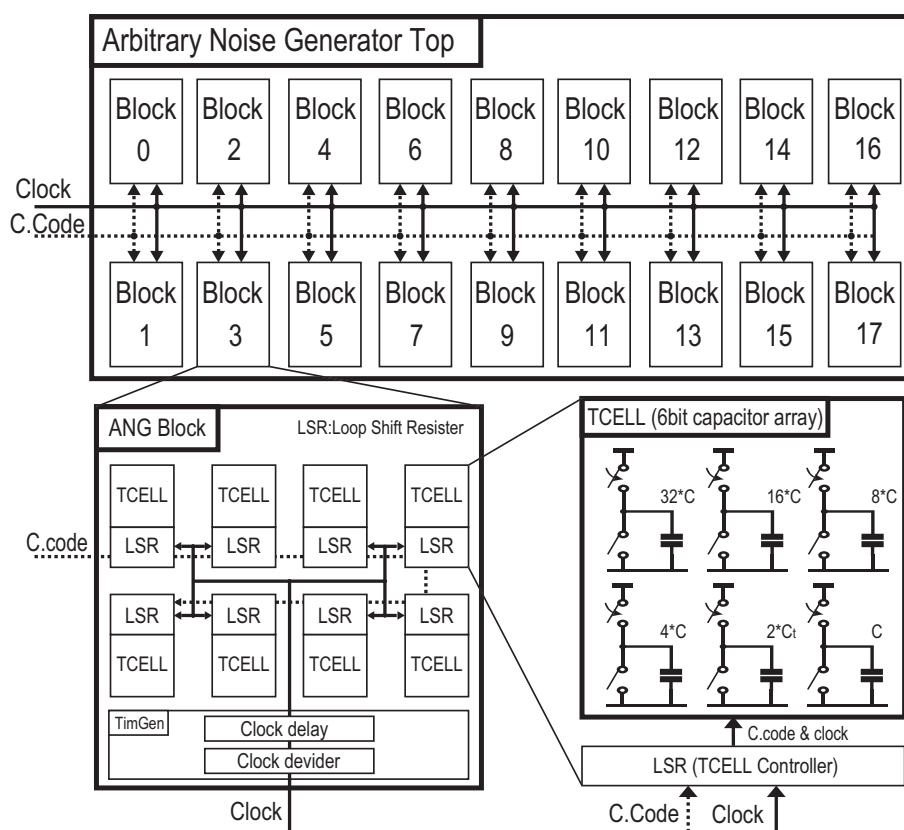


図 4.3: 任意雑音発生器 (ANG) 概要

4.2.2.3 オンチップモニタ

OCMについて述べる。OCMの構成は図 4.4に示している [22]。OCMはPFE(Probing FrontEnd), VG(Voltage Generator)とTG(Timing Generator)によって構成される。PFE内部はラッチコンパレータとソースフォロア回路からなる。チップ上のプローブ対象からの0 V付近の電圧をソースフォロアによって線形昇圧したあと、ラッチコンパレータによってリファレンス電圧 (V_{ref}) と比較することで電圧を決定する。このSoC上にはANGの電源配線上に9個、基板上に42個のプローブ点を配置している(図 4.5)。ANGのノイズの伝搬を測定できるように配置しており、特にLNAの近傍は重要なプローブ点となる。

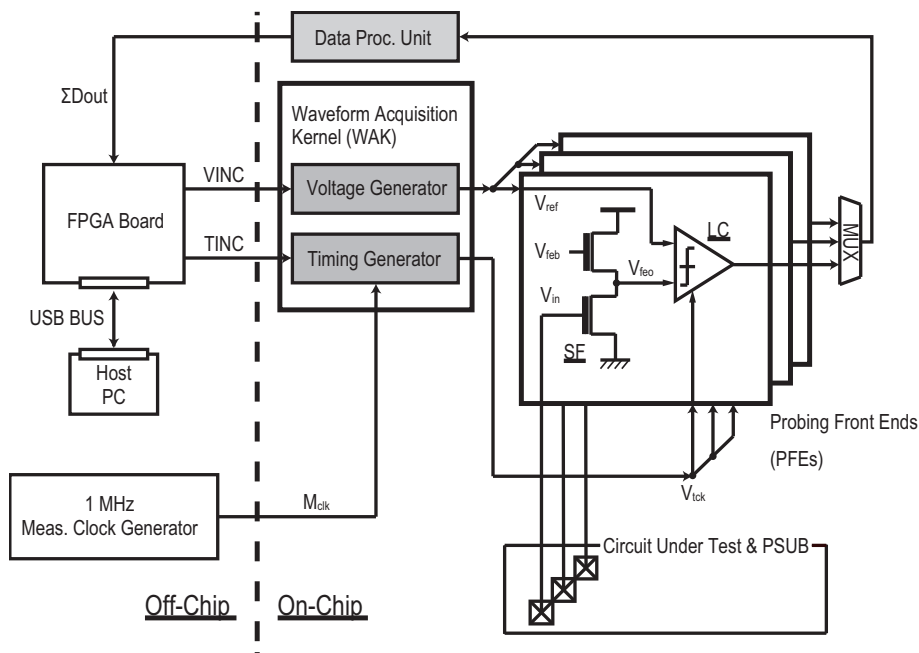


図 4.4: オンチップモニタ (OCM) 概要

4.2.3 観測システム全体像

このLTE通信システムのノイズ耐性診断システムによって観測可能なパラメータを図 4.6に示す。システムの性能はIQ信号に含まれるノイズの強度やTHP, BER, EVMと言ったシステム評価指標で観測できる。

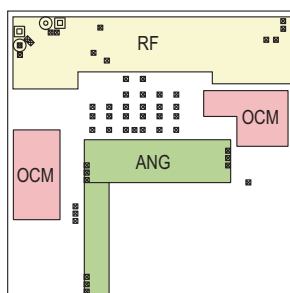


図 4.5: SoC 上に配置したオンチップモニタのプロープ点

また，SoC 内部でのノイズ伝搬については OCM によって減衰率などが測定できる．ANG 自体のノイズ出力は ANG の消費電流や，ANG 配線に配置した OCM のプローブ点で電圧波形として測定可能となっている．このような診断システムを用いることで，システムのノイズ耐性についてチップレベルからシステムレベルまでの包括的な評価が可能になる．

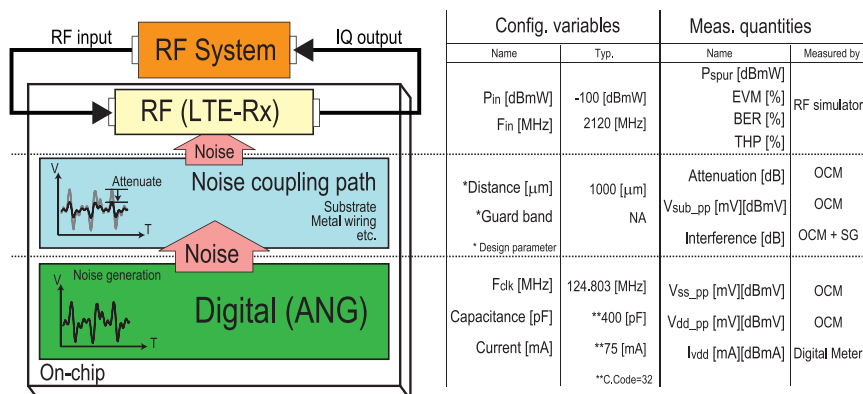


図 4.6: 診断システムで診断可能な変数一覧

4.3 実験結果

4.3.1 OCMでの測定結果

図 4.7 に OCM の性能を示す。この測定は、電圧ステップを $\delta V = 62.5 \mu V$ 、サンプリング間隔を $\Delta T = 1 ps$ と設定し、10 MHz の正弦波を入力した測定結果である。最も線形性が高い動作である入力 of peak-to-peak 値 $V_{p-p} = 236.22 mV$ の時、SNR(Signal to Noise Ratio)=54.53 dB、SFDR(Spurious Free Dynamic Range)=60.78 dB、ENOB(有効ビット数:Effect Number Of Bit)=8.35 bit を実現しており、基板ノイズを十分に評価可能であると考えられる。OCM を用い、ノイズの周波数は 125 MHz で動作した場合の、LNA 近傍のプローブ点のノイズ波形を測定した。ANG の設定を C.Code=32, 35 で測定を行った結果を図 4.8 に示す。C.Code とは ANG の動作設定の通称であり詳細は後述する。ノイズの V_{p-p} はそれぞれ、71.0 mV と 46.5 mV となりノイズの設定によって大きさが変わることが確認できた。また、この波形の FFT を行った結果を図 4.9 に示す。2 GHz 帯域を見ると 2.1 GHz 帯域のノイズが -67.8 dBV から -74.4 dBV へと変化しているのが分かり、高周波でのパワーも変化している事が確認できる。なお、この周波数は ANG の動作周波数の 17 次高調波となっている。基板電位のピーク値をプロットしたものを図 4.10 に示す。ANG 近傍から LNA 近傍までの距離による減衰で 6.8 dB 減衰していることが分かる。

4.3.2 ANG の動作設定 (C.Code) について

まず、LTE の通信帯域に印加された ANG のノイズについて説明する。ANG の動作周波数は 124.803 MHz としており、この周波数の 17 次高調波が 2121.65 MHz となるため LTE の帯域内にノイズを印加できる。図 4.11 にダウンコンバートされノイズが印加された後で SA によってキャプチャされた IQ 信号のイメージを示す。DC を中心に 5 MHz の LTE の信号帯域があり、そこに中心から 1.65 MHz 離れたところに、ANG からのノイズのパワーが観測される。ノイズが印加されていない時の帯域内の信号パワー P_{sig} を式 4.1 と定義する。

$$P_{sig} = \int_{inband} P(f) \cdot df \quad (4.1)$$

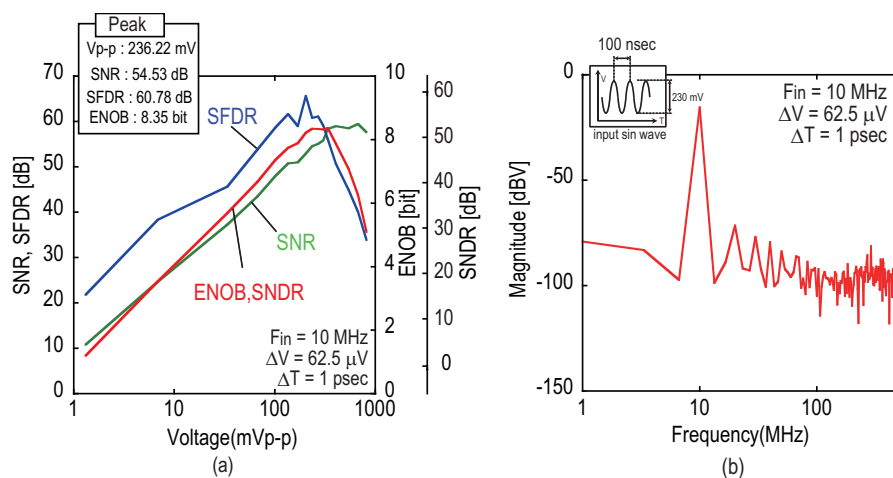


図 4.7: オンチップモニタのプロービングフロントエンド (PFE) 性能 (a) SNDR,SFDR vs. サイン波の振幅 (b) FFT 波形

さらに、帯域内のノイズパワー P_{spur} と P_{sig} の差から In-band spurious to signal ratio (ISSR) を定義する (式 4.2).

$$ISSR = 10 \log \left(\frac{P_{\text{spur}}}{P_{\text{sig}}} \right) [dB] \quad (4.2)$$

測定するにあたって、IQ 信号に現れる ANG のノイズパワーが線形になるようにした設定のセット Configuration code (C.Code) を作成した。その結果を図 4.12 に示す。C.Code に対して IQ 出力に現れるノイズパワーが変化していることが分かる。測定を通して LTE の信号パワーは一定としているため変化しない。この線の差分が ISSR となる。この C.Code を使うと、ノイズのパワーのダイナミックレンジが 30 dB 以上取ることが出来、さらにコードに対して線形となるため、実験を行いやすくなる。

4.3.3 THP 測定結果

図 4.13 に ISSR に対する THP の変化を示した。ISSR に対して THP は急峻に変動している事がわかる。特に ISSR が 0 dB を越えた辺りから急峻な変化が起き、ISSR=15dB では THP が 42% となっており、ノイズに対するシステム性能の劣化が観測されている。

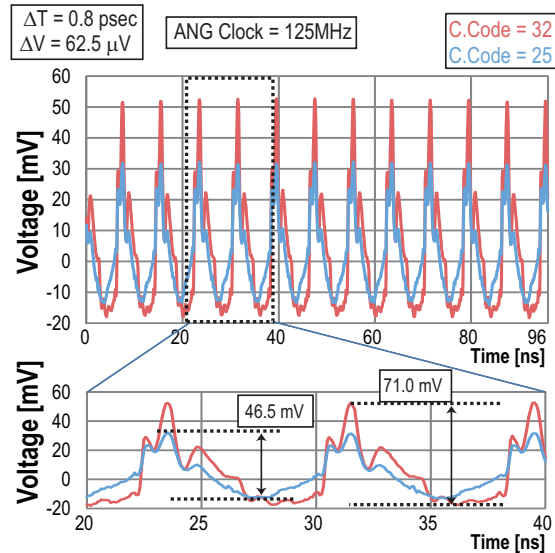


図 4.8: オンチップモニタによる, LNA 近傍の基板ノイズ波形

4.3.4 通信システムのノイズ耐性診断手法

この通信システムに対して許されるノイズパワーを診断する例を示す。例えば, ANG のノイズが印加されていない状態では 98.1 % となっているが, そこから 5 % 性能が落ちたところがこのシステムの性能限界であると定義する。これは THP で 95% 以上という 3GPP の規格よりも緩いものになっている。図 4.13 から, その状態の ISSR は 6.3 dB であると読み取れる。これは C.Code=18 の時のノイズ量である。図 4.14 に C.Code とその時に動作する ANG 内の容量 C_{ANG} を示す。この図の 2 つ目の縦軸は設定した容量値を 2 NAND のゲート数に換算した軸である。この換算には, 2 NAND の 2 つの入力がどちらも $H \rightarrow L$ と変化した際に流れる電流値を使用している。ここから読み取ると, C.Code=18 で動作する容量は 22.4 pF で, 2 NAND 換算で 28k gate に相当する。この結果から, 図 4.15 に示すように, このシステムではデジタル回路内で 124.8 MHz で動作する回路ブロックが同時に 28k gate 分動作すると, 性能を満たせないと診断できる。

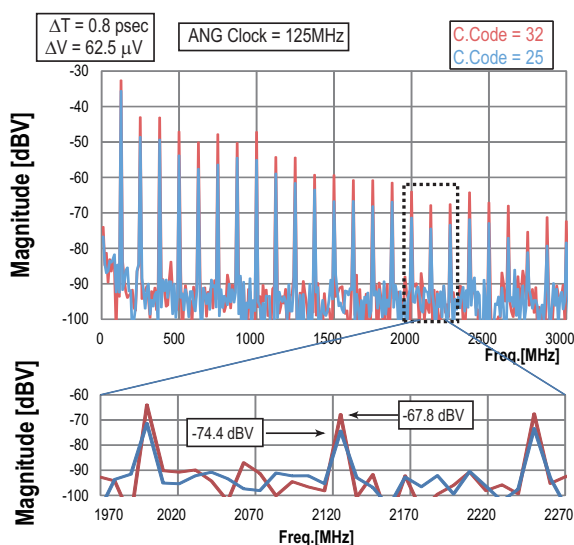


図 4.9: オンチップモニタによる, LNA 近傍の基板ノイズ波形の FFT 結果

4.4 結言

RF 受信フロントエンド, ノイズ源の ANG とチップ上の電圧モニタである OCM を組み込んだ SoC を開発し, さらにこの SoC をシステムレベルで性能評価可能な LTE の通信シミュレータを用いた HILS システムを開発した. RF 受信フロントエンドに対してチップ内のノイズが印加された場合のシステム性能の劣化を測定することが出来るため, LTE 通信システムのノイズ耐性診断が可能である. また, OCM によってノイズ源からシリコン基板を伝わるノイズの伝搬を測定することで, ノイズがどのように減衰しアナログ回路へ到達するかを調査することが出来る. このシステムを用いて, IQ 信号に現れる ANG のノイズをシステム性能評価しやすい設定を導き出し, 実際にノイズパワーと THP の劣化を測定した. その結果から, 診断の一つの例として, ある要求定義に対して, 同時に動作可能なデジタル回路規模を求めた. これによって, 実際のシステムに対して許容できるデジタル回路規模を求めることができる可能性を示した.

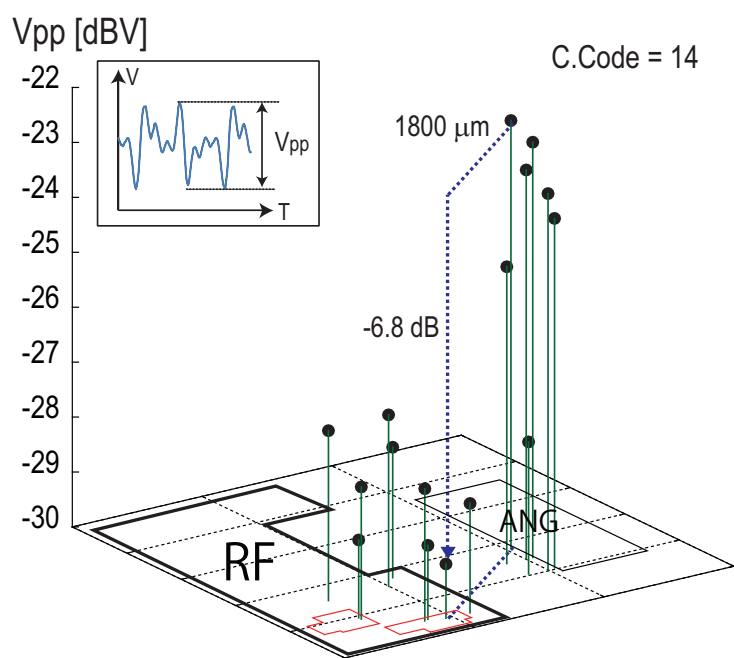


図 4.10: オンチップモニタによる, チップ全体の V_{pp} のマップ

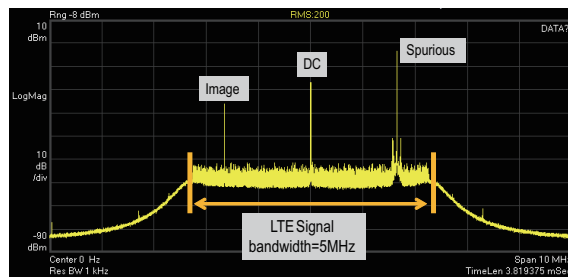
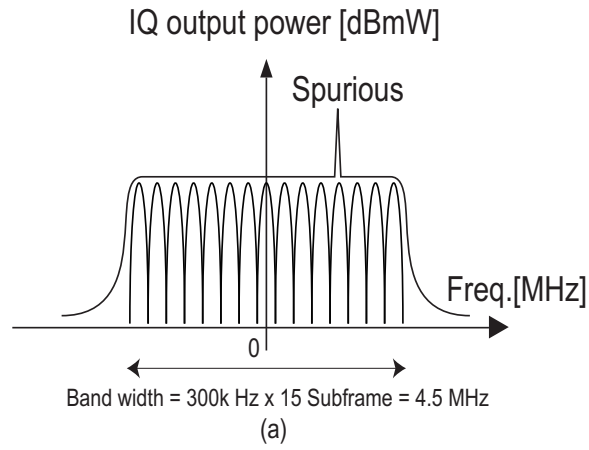


図 4.11: RF 受信回路の IQ 出力 (a) 概要 (b) スクリーンショット

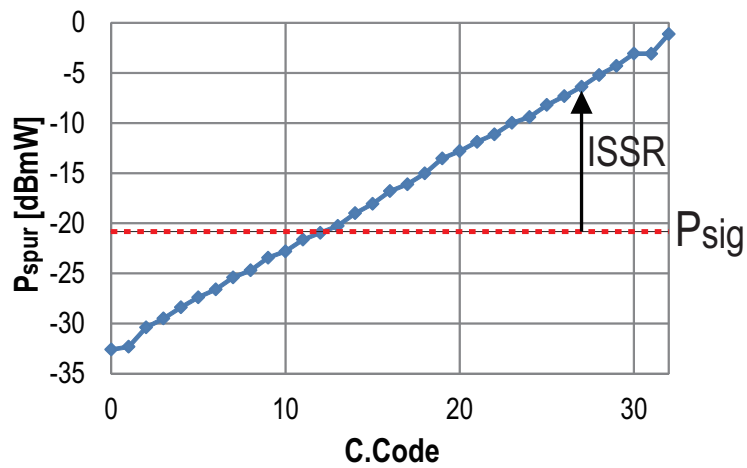


図 4.12: Configuration code と帯域内スプリアスパワー P_{spur}

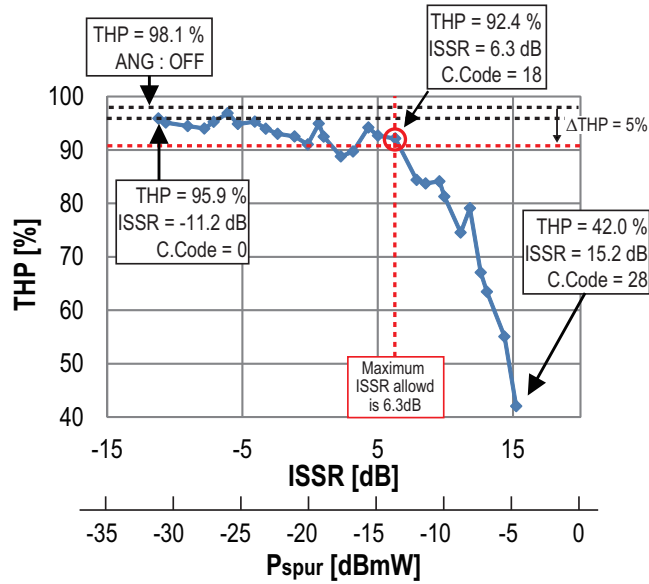


図 4.13: 帯域内スプリアスパワー P_{spur} によるスループットの変化

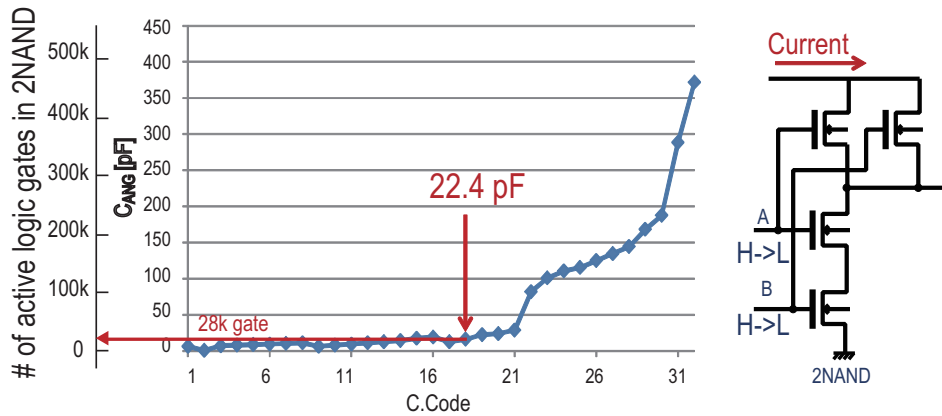


図 4.14: Configuration code と ANG 内で充放電される容量 (C_{ANG}) の関係

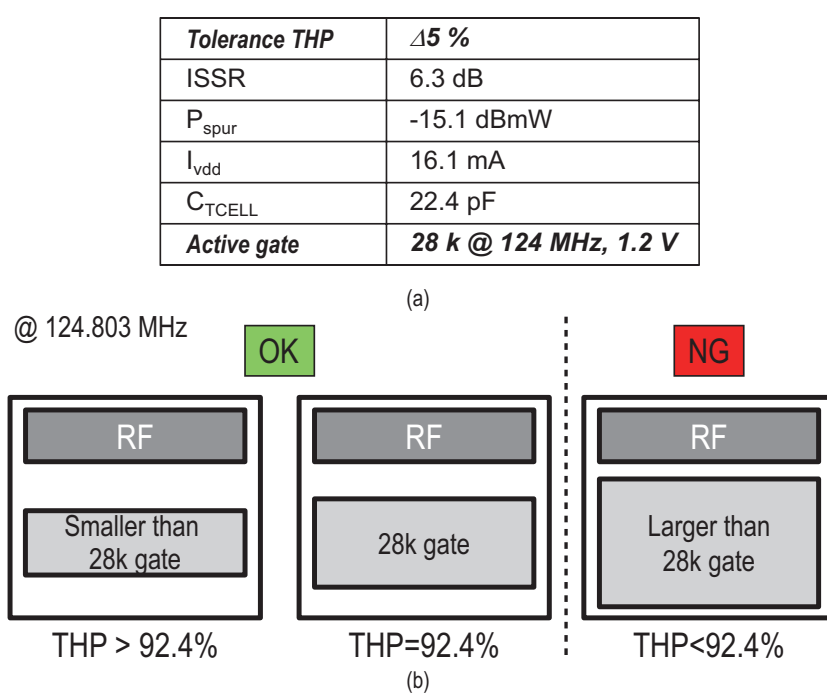


図 4.15: 診断の例 (a) 耐性の診断項目と診断されたパラメータ (b) 診断結果から得られたデジタル回路規模の制約

第5章

結論

急激な無線通信トラフィックの上昇に対応するため、LTEやLTE-Aといった高周波(RF)帯域を使用する高速な無線通信規格が登場してきている。これらの無線通信規格は高速な通信性能を実現する一方で、無線通信端末に使用されるLSIにも高い性能を要求する。また、新しい規格の性能指標はシステムレベルでの通信性能であることが特徴である。そのため、今後の無線通信端末の開発者は、高性能なアナログ回路やデジタル回路を設計するだけでなく、それらすべてを含んだシステムとしての性能も考えていかなければならない。

近年の集積回路技術の進展により、無線通信用のアナログ・デジタル混載のSoCの開発が一般的になっている。これらは同一チップ内でRFアナログ回路とデジタル回路が全て含まれるため、高性能なLSIを低コストで製造することができる。しかし、同一チップ内にあるため、デジタル回路からアナログ回路へのノイズの影響も大きくなるため、ノイズによる性能劣化の可能性も大きくなる。特に、シリコン基板を伝達するノイズである基板ノイズは、高周波になるほど影響が大きくなると考えられるため、RF帯域を使用する通信規格では問題になると懸念されている。

このような背景の中で、SoC等のミックスド・シグナルLSI設計のフローとしては、LSI設計時に事前に基板クロストークの影響を見積り設計を最適化する事が理想である。しかし、基板ノイズの量や伝達はボードやパッケージ等の外部のインピーダンスに大きく依存するため、LSIの設計段階で解析フローに組み込むことは非常に困難である。そのため、回路レベルでの解析は数多くなされているが、ボードやパッケージといった実装を含んだ解析は少ない。さらに、無線通信規格の性能指標がシステムレベルでの通信性能であることから、最終的には通信システムまで含んだノイズ解析も行っていく必要がある。

本研究は、通信システム用RF SoCのシステムレベルチップ内クロストーク解析のために、回路素子へシリコン基板結合解析手法、および実装を含んだアナログ回路へのクロストークの影響解析手法を提案した。また、同時に、システムレベルでのSoCのノイズ耐性診断手法も提案した。

第1章では、研究背景と基板ノイズや通信システム性能評価に関する従来研究について説明を行った。基板ノイズは主に発生・伝搬・影響の3つの段階で議論されており、それぞれの従来研究について述べた。また、通信システムレベルでの評価・解析についても、広く行われており、現状の研究について述べた。

第2章では、シリコン基板とCMOS素子間結合評価・解析について説明した。シリコン基板と素子間の結合評価は様々な方法で行われているが、実際にそれを設計フローに持ち込むための解析モデル作成は行われていない。そのためこの研究では、素子とシリコン基板との結合を評価するためのテストレイアウトを作成し、実際に評価・モデリングを行った。シリコン基板モデルは単純な抵抗メッシュモデルで作成し、周囲環境を含んだシリコン基板と素子との結合モデルを作成し解析を行い、高精度で解析が行えることを示した。これによって、PDKとして与えられる素子モデルに対して基板モデルを適切に接続し、周囲環境も含んだモデル化を行うことで、素子レベルでの基板ノイズ結合解析が行えることを示した。

第3章では、RF SoCにおけるデジタル回路からの基板ノイズがアナログ回路へ与える影響の解析フローを示した。このSoCにはRF受信回路とノイズ源のANG、SoCのシリコン基板上の電位を測定するためのOCMが搭載されている。ボードやパッケージ等の実装を含んだフルチップの基板モデルを作成し、ノイズ源を接続することで基板上の電位を高精度に解析できることを示した。また、解析結果からRF受信回路の最も感度が高いLNA内のMOSFETのBulk電位を取得し、RF受信回路の解析モデルに導入することで基板ノイズが回路に与える影響を解析出来る事を示した。

第4章では、RF SoCを含んだ通信システムレベルでのノイズ耐性診断システムについて説明した。このシステムは無線通信の基地局と端末内のベースバンドのデジタル処理を模擬するシミュレータと第3章で使用したSoCを使用したHILSを構成しており、RF受信回路の性能をシステムレベルで評価することが可能となっている。また、SoC内のノイズ源を動作させることで通信チャネル帯域内にノイズを印加し、通信システムにおけるチップ内のノイズの影響を診断することが出来る。

謝辞

本論文は、筆者が神戸大学大学院 システム情報学研究科 情報科学専攻 知能情報講座 永田研究室において行った研究成果をまとめたものです。ここに御指導，御協力頂いた全ての方に謹んで感謝の意を表します。

本研究の機会を与えて頂き，研究のご指導を賜りました神戸大学大学院 システム情報学研究科 情報科学専攻・永田 真 教授に深く感謝致します。本研究の遂行にあたっては，研究機材の整備に御尽力頂くとともに，多くの共同研究・学会発表等の機会を与えていただき，終始にわたって熱心かつ懇切なる御指導，御鞭撻を賜りました。本研究を通じて多くの貴重な経験を得ることができたことを心より感謝いたします。

貴重な時間を割き，本論文を査読して頂きましたシステム情報学研究科 情報科学専攻・吉本 雅彦 教授，計算科学専攻・横川 三津夫 教授に深く感謝いたします。

研究やそれ以外の研究生活を含め，様々な場面で適切なお指導，ご助言を頂きました神戸大学大学院 システム情報学研究科・三浦 典之 特命助教，鎌田 十三郎 講師に深く感謝いたします。

出張手続きをはじめ，日頃より様々な事務・会計処理をしていただきました神戸大学大学院 システム情報学研究科 知能情報講座 永田研究室 秘書・坪井 彩 氏に感謝いたします。

本研究の第2章は株式会社富士通研究所との共同研究によって実施されました。ご支援・ご協力を頂きました関係者の方々に深く感謝いたします。適切なお助言，ご指導をいただきました株式会社富士通研究所・井上淳樹 氏，森俊彦 氏，佐藤富夫 氏，山浦新司 氏，に心より感謝いたします。

同じ研究グループとして，直接のご助言，ご指導，ご協力いただきました現新日鉄住金ソリューションズ株式会社・宇佐美 友 氏，現トヨタ自動車株式会社・神田 康孝 氏に深く感謝いたします。

本研究の第3，4章は総務省電波利用制度による「高速・高品質な無線通信実現のためのICチップレベルの低ノイズ化技術の研究開発」によって実施されました。ご支援・ご協力を頂きました関係者の方々に深く感謝いたします。日頃より，多大なお協力を頂きました東北大学・山口 正洋 教授，島田 寛 客員教授，遠藤 恭 准教授，室賀 翔 助教，田中 聡 氏，

樊鵬氏，浅妻裕己氏，佐藤昌孝氏，ルネサスエレクトロニクス株式会社・堀和明氏，村上元己氏，中村篤氏，松井浩明氏，溝神正和氏，ルネサスマバイル株式会社・高橋覚氏，北村智満氏，日本電気株式会社・半杭英二氏，岩波瑞樹氏，塚本健太氏，NECトーキン株式会社近藤幸一氏，に心より感謝いたします。

同じ研究グループとして常日頃から実験・解析にご協力いただきました現ルネサスエレクトロニクス株式会社・Rae Lin氏，現ソニー株式会社・楨田哲也氏，現株式会社デンソー・上山晋一郎氏，現株式会社ニプロン・今井聖氏，神戸大学システム情報学研究科窪田篤人氏，田賀翔太氏，島崎俊介氏，上坂純平氏に深く感謝いたします。

本研究の解析の一部は，Apache Design Solutions社製のTotem-MMX, Sentinel-PSIを用いて行いました。関係者の皆様に感謝いたします。

実測や解析手法において熱心なご指導とご助言を頂きました株式会社エイアールテック・小坂大輔氏に心より感謝いたします。

社会の場を通して，丁寧なご指導をいただきました株式会社エイアールテック(神戸大学共同研究員兼務)・益子耕一郎，パナソニック株式会社・道正志郎氏に感謝いたします。

常日頃から様々なご助言を頂きました，研究室卒業生である現ルネサスエレクトロニクス株式会社・深澤光弥氏，松野哲朗氏，林大悟氏，現株式会社富士通研究所・橋田拓志氏，現パナソニック株式会社・坂東要志氏，現株式会社メガチップス・澤田卓也氏に感謝いたします。

日頃よりお世話になり，様々な観点からご意見をいただきました神戸大学大学院システム情報学研究科情報科学専攻・荒賀佑樹氏，吉川薫平氏に感謝いたします。

同じ研究室で共に学び，日頃よりお世話になりました神戸大学大学院システム情報学研究科情報科学専攻・高谷聡氏，藤本大介氏，現ソニー株式会社・田中俊彰氏に感謝いたします。

本研究室，情報科学専攻 知能情報講座 永田研究室の皆様ならびに関係者の方々に感謝いたします。

これまで私を支えてくれた友人達，私の趣味の場でありました美術部凌美会，コンピュータ部COCOA，ロボット研究会六甲おろしの皆様，行きつけている店の店員の皆様に感謝いたします。

最後に，私をここまで育ててくださいました両親，ともに育った兄と弟，また温かく見守って下さいました祖父母，親族一同に心よりの感謝を致します。

参考文献

- [1] “Cisco visual networking index,” http://www.cisco.com/web/JP/solution/isp/ipngn/literature/white_paper_c11-520862.html.
- [2] “The 3rd generation partnership project,” <http://www.3gpp.org/>.
- [3] S. Sesia, I. Toufik, and M. Baker, “Lte - the umts long term evolution: from theory to practice,”.
- [4] M. Ingels, V. Giannini, J. Borremans, G. Mandal, B. Debaillie, P. Van Wesemael, T. Sano, T. Yamamoto, D. Hauspie, J. Van Driessche, and J. Craninckx, “A 5 mm² 40 nm lp cmos transceiver for a software-defined radio platform,” *IEEE Journal of Solid-State Circuits*, Vol. 45, No. 12, pp. 2794–2806, 2010.
- [5] H. Darabi, P. Chang, H. Jensen, A. Zolfaghari, P. Lettieri, J. Leete, B. Mohammadi, J. Chiu, Q. Li, S.L. Chen, Z. Zhou, M. Vadipour, C. Chen, Y. Chang, A. Mirzaei, A. Yazdi, M. Nariman, A. Hadji-Abdolhamid, E. Chang, B. Zhao, K. Juan, P. Suri, C. Guan, L. Serrano, J. Leung, J. Shin, J. Kim, H. Tran, P. Kilcoyne, H. Vinh, E. Raith, M. Koscal, A. Hukkoo, C. Hayek, V. Rakhshani, C. Wilcoxson, M. Rofougaran, and A. Rofougaran, “A quad-band gsm/gprs/edge soc in 65 nm cmos,” *IEEE Journal of Solid-State Circuits*, Vol. 46, No. 4, pp. 870–882, 2011.
- [6] H. Lakdawala, M. Schaecher, C. Fu, R. Limaye, J. Duster, Y. Tan, A. Balankutty, E. Alpman, C. Lee, K. Nguyen, H. Lee, A. Ravi, S. Suzuki, B. Carlton, H. Kim, M. Verhelst, S. Pellerano, T. Kim, S. Venkatesan, D. Srivastava, P. Vandervoorn, J. Rizk, C. Jan, S. Ramamurthy, R. Yavatkar, and K. Soumyanath, “A 32 nm soc with dual core atom processor and rf wifi transceiver,” *IEEE Journal of Solid-State Circuits*, Vol. 48, No. 1, pp. 91–103, 2013.

-
- [7] D. Kaczman, M. Shah, M. Alam, M. Rachedine, D. Cashen, L. Han, and A. Raghavan, "A single-chip 10-band wcdma/hspdpa 4-band gsm/edge saw-less cmos receiver with digrf 3g interface and + *IEEE Journal of Solid-State Circuits*, Vol. 44, No. 3, pp. 718–739, 2009.
- [8] e.a. T. Sowlati, "Single-chip multiband wcdma/hspdpa/hsupa/egprs transceiver with diversity receiver and 3g digrf interface without saw filters in transmitter / 3g receiver paths," in *Proceedings of IEEE International Solid-State Circuits Conference*, pp. 116–117,117a, 2009.
- [9] G.H. Chuang, P.A. Ting, J.Y. Hsu, J.Y. Lai, S.C. Lo, Y.C. Hsiao, and T.D. Chiueh, "A mimo wimax soc in 90nm cmos for 300km/h mobility," in *Proceedings of IEEE International Solid-State Circuits Conference*, pp. 134–136, 2011.
- [10] X. Aragonés and A. Rubio, "Experimental comparison of substrate noise coupling using different wafer types," *IEEE Journal of Solid-State Circuits*, Vol. 34, No. 10, pp. 1405–1409, 1999.
- [11] S. Hazenboom, T.S. Fiez, and K. Mayaram, "A comparison of substrate noise coupling in lightly and heavily doped CMOS processes for 2.4-GHz LNAs," *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 3, pp. 574–587, 2006.
- [12] T.J. Schmerbeck, R.A. Richetta, and L.D. Smith, "A 27MHz mixed analog/digital magnetic recording channel DSP using partial response signaling with maximum likelihood detection," in *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 136–137 and 304, 1991.
- [13] B.P. Brandt and B.A. Wooley, "A 50-MHz multibit sigma-delta modulator for 12-b 2-MHz A/D conversion," *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 12, pp. 1746–1756, 1991.
- [14] N.K. Verghese, T.J. Schmerbeck, and D.J. Allstot, "*Simulation Techniques and Solutions for Mixed-Signal Coupling in Integrated Circuits*," Kluwer Academic Publishers, Norwell, MA, USA, 1995.

-
- [15] M. Nagata, “Modeling and analysis of substrate noise coupling in analog and RF ICs,” *IEICE Trans. Fundamentals*, Vol. E95.A, No. 2, pp. 430–438, 2012.
- [16] A. Afzali-Kusha, M. Nagata, N.K. Verghese, and D.J. Allstot, “Substrate noise coupling in SoC design: Modeling, avoidance, and validation,” in *Proceedings of the IEEE*, pp. 2109–2138, 2006.
- [17] Y. Bando, S. Takaya, and M. Nagata, “An on-chip continuous time power supply noise monitoring technique,” in *IEEE Asian Solid-State Circuits Conference(A-SSCC)*, pp. 97–100, 2009.
- [18] M. Fukazawa, T. Matsuno, T. Uemura, R. Akiyama, T. Kagemoto, H. Makino, H. Takata, and N. Makoto, “Fine-grained in-circuit continuous-time probing technique of dynamic supply variations in socs,” in *Proceedings of IEEE International Solid-State Circuits Conference*, pp. 288–603, 2007.
- [19] T. Okumura, Y. Oizono, Y. Nabeshima, and T. Sudo, “Power supply noise evaluation with on-chip noise monitoring for various decoupling schemes of sip,” in *Electrical Design of Advanced Packaging Systems Symposium (EDAPS)*, pp. 1–4, 2010.
- [20] M. Takamiya, M. Mizuno, and K. Nakamura, “An on-chip 100 ghz-sampling rate 8-channel sampling oscilloscope with embedded sampling clock generator,” in *Proceedings of IEEE International Solid-State Circuits Conference*, Vol. 1, pp. 182–458, 2002.
- [21] K. Noguchi and M. Nagata, “An on-chip multichannel waveform monitor for diagnosis of systems-on-a-chip integration,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 15, No. 10, pp. 1101–1110, 2007.
- [22] T. Hashida and M. Nagata, “On-chip waveform capture and application to diagnosis of power delivery in soc integration,” *IEEE Journal of Solid-State Circuits*, Vol. 46, No. 4, pp. 789–796, 2011.
- [23] K. Yoshikawa, Y. Sasaki, K. Ichikawa, Y. Saito, and M. Nagata, “Measurements and co-simulation of on-chip and on-board ac power

- noise in digital integrated circuits,” in *Proceedings of IEEE EMC Compo.*, pp. 76–81, 2011.
- [24] N.K. Verghese and D.J. Allstot, “Computer-aided design considerations for mixed-signal coupling in RF integrated circuits,” *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 3, pp. 314–323, 1998.
- [25] B.R. Stanistic, R.A. Rutenbar, and L.R. Carley, “Addressing noise decoupling in mixed-signal IC’s,” *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 3, pp. 321–326, 1995.
- [26] S. Mitra, R.A. Rutenbar, L.R. Carley, and D.J. Allstot, “A methodology for rapid estimation of substrate-coupled switching noise,” in *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 129–132, 1995.
- [27] P. Miliozzi, L. Carloni, E. Charbon, and A.L. Sangiovanni-Vincentelli, “SUBWAVE: a methodology for modeling digital substrate noise injection in mixed-signal IC’s,” in *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 385–388, 1996.
- [28] “*Totem user manual software release 12.2*,” Apache Design, Inc.
- [29] M. Nagata, J. Nagai, K. Hijikata, T. Morie, and A. Iwata, “Physical design guides for substrate noise reduction in CMOS digital circuits,” *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 3, pp. 539–549, 2001.
- [30] T. Matsuno, D. Kosaka, and M. Nagata, “Modeling of power noise generation in standard-cell based cmos digital circuits,” *IEICE Transactions on Fundamentals*, Vol. E93-A, No. 2, 2010.
- [31] B.R. Stanistic, N.K. Verghese, R.A. Rutenbar, R.L. Carley, and D.J. Allstot, “Addressing substrate coupling in mixed-mode IC’s and power distribution synthesis,” *IEEE Journal of Solid-State Circuits*, Vol. 29, No. 3, pp. 226–238, 1994.
- [32] N.K. Verghese, D.J. Allstot, and S. Masui, “Rapid simulation of substrate coupling effects in mixed-mode ICs,” in *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 18.3.1–18.3.4, 1993.

-
- [33] P.K. Singh and S. Sharma, “Substrate noise coupling in nmos transistor for rf/analog circuits,” *International Journal of Physical Sciences*, Vol. 6(9), pp. 2285–2293, May 2011.
- [34] A. Sharma, C. Xu, W.K. Chu, N. Verghese, T. Fiez, and K. Mayaram, “A predictive methodology for accurate substrate parasitic extraction,” in *Proceedings of the 2004 International Symposium on Circuits and Systems(ISCAS)*, Vol. 5, pp. V–149–V–152, 2004.
- [35] N.K. Verghese and D.J. Allstot, “Verification of RF and mixed-signal integrated circuits for substrate coupling effects,” in *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 363–370, 2000.
- [36] T.A. Johnson, R.W. Knepper, V. Marcello, and W. Wang, “Chip substrate resistance modeling technique for integrated circuit design,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. CAD-3, No. 2, pp. 126–134, 1984.
- [37] K. Joardar, “A simple approach to modeling cross-talk in integrated circuits,” *IEEE Journal of Solid-State Circuits*, Vol. 29, No. 10, pp. 1212–1219, 1994.
- [38] A. Samavedam, A. Sadate, K. Mayaram, and T.S. Fiez, “A scalable substrate noise coupling model for design of mixed-signal IC’s,” *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 6, pp. 895–904, 2000.
- [39] S. Hsu, T. Fiez, and K. Mayaram, “Modeling of substrate noise coupling for nmos transistors in heavily doped substrates,” *Electron Devices, IEEE Transactions on*, Vol. 52, No. 8, pp. 1880–1886, 2005.
- [40] D.K. Su, M.J. Loinaz, S. Masui, and B.A. Wooley, “Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits,” *IEEE Journal of Solid-State Circuits*, Vol. 28, No. 4, pp. 420–430, 1993.
- [41] T. Blalack, J. Lau, F.J.R. Clement, and B.A. Wooley, “Experimental results and modeling of noise coupling in a lightly doped substrate,”

- in *IEEE International Electron Devices Meeting Technical Digest*, pp. 623–626, 1996.
- [42] R. Jakushokas, E. Salman, E. Friedman, R. Secareanu, O. Hartin, and C. Recker, “Compact substrate models for efficient noise coupling and signal isolation analysis,” in *Proceedings of 2010 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 2346–2349, 2010.
- [43] N. Srirattana, D. Heo, H. Park, A. Raghavan, P. Allen, and J. Laskar, “A new analytical scalable substrate network model for rf mosfets,” in *Microwave Symposium Digest of IEEE MTT-S International*, Vol. 2, pp. 699–702, 2004.
- [44] Y. Murasaka, M. Nagata, T. Ohmoto, T. Morie, and A. Iwata, “Chip-level substrate noise analysis with network reduction by fundamental matrix computation,” in *Proceedings of International Symposium on Quality Electronic Design*, pp. 482–487, 2001.
- [45] K. Tomohisa and O. Makiko, “An efficient reduction method of a substrate rc network model,” *IEICE transactions on fundamentals*, Vol. 84, No. 3, pp. 698–704, 2001.
- [46] H. Lan, T.W. Chen, C.O. Chui, P. Nikaeen, J. Kim, and R. Dutton, “Synthesized compact models and experimental verifications for substrate noise coupling in mixed-signal ics,” *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 8, pp. 1817–1829, 2006.
- [47] M. Cho, H. Shin, and D.Z. Pan, “Fast substrate noise-aware floorplanning with preference directed graph for mixed-signal SoCs,” in *Proceedings of Asia and South Pacific Design Automation Conference*, pp. 765–770, 2004.
- [48] N.K. Verghese, D.J. Allstot, and M.A. Wolfe, “Verification techniques for substrate coupling and their application to mixed-signal IC design,” *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 3, pp. 354–365, 1996.

-
- [49] A. Koukab, C. Dehollain, and M. Declercq, "HSpeedEx: a high-speed extractor for substrate noise analysis in complex mixed-signal SOC," in *Proceedings of IEEE Design Automation Conference*, pp. 767–771, 2002.
- [50] I.L. Wemple and A.T. Yang, "Integrated circuit substrate coupling models based on voronoi tessellation," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 14, No. 12, pp. 1459–1469, 1995.
- [51] I.L. Wemple and A.T. Yang, "Mixed-signal switching noise analysis using voronoi-tessellated substrate macromodels," in *Proceedings of IEEE Design Automation Conference*, pp. 439–444, 1995.
- [52] S. Mitra, R.A. Rutenbar, L.R. Carley, and D.J. Allstot, "Substrate-aware mixed-signal macro-cell placement in WRIGHT," in *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 529–532, 1994.
- [53] K.J. Kerns, I.L. Wemple, and A.T. Yang, "Stable and efficient reduction of substrate model networks using congruence," in *Proceedings of International Conference on Computer-Aided Design*, pp. 767–771, 2002.
- [54] S. Bronckers, G. Van der Plas, G. Vandersteen, and Y. Rolain, "Substrate noise coupling mechanisms in lightly doped cmos transistors," *IEEE Transactions on Instrumentation and Measurement*, Vol. 59, No. 6, pp. 1727–1733, 2010.
- [55] A. Pun, T. Yeung, J. Lau, J. Clement, and D. Su, "Substrate noise coupling through planar spiral inductor," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 6, pp. 877–884, 1998.
- [56] A. Pun, T. Yeung, J. Lau, F. Clement, and D. Su, "Experimental results and simulation of substrate noise coupling via planar spiral inductor in rf ics," in *International Electron Devices Meeting (IEDM), Technical Digest*, pp. 325–328, 1997.

- [57] P. Larsson, “Measurements and analysis of pll jitter caused by digital switching noise,” *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 7, pp. 1113–1119, 2001.
- [58] S. Takaya, Y. Bando, T. Ohkawa, T. Takaramoto, T. Yamada, M. Souda, S. Kumashiro, T. Mogami, and M. Nagata, “Measurements and simulation of sensitivity of differential-pair transistors against substrate voltage variation,” *IEICE Trans. on Electronics*, Vol. E96-C, No. 6, 2013.
- [59] M. Xu, D.K. Su, D.K. Shaeffer, T.H. Lee, and B.A. Wooley, “Measuring and modeling the effects of substrate noise on the lna for a cmos gps receiver,” *IEEE J. Solid-State Circuits*, Vol. 36, No. 3, pp. 473–485, 2001.
- [60] C. Soens, G. Van der Plas, M. Badaroglu, P. Wambacq, S. Donnay, Y. Rolain, and M. Kuijk, “Modeling of substrate noise generation, isolation, and impact for an lc-vco and a digital modem on a lightly-doped substrate,” *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 9, pp. 2040–2051, 2006.
- [61] “Advanced design system (ads),” <http://www.home.agilent.com/ja/pc-1297113/advanced-design-system-ads?cc=JP&lc=jpn>.
- [62] “SystemVue 2013 Documentation,” <http://www.home.agilent.com/en/pc-1297131/systemvue-electronic-system-level-esl-design-software?nid=-34264.0&cc=US&lc=eng>.
- [63] J. Dohl, S. Krone, and G. Fettweis, “On the impact of non-linear amplifiers in single-carrier systems: An analytical approach,” in *IEEE 71st Vehicular Technology Conference (VTC)*, pp. 1–5, 2010.
- [64] F.H. K., F.Z. S., H. Jonathan, and S.J. L., “Review of hardware-in-the-loop simulation and its prospects in the automotive area,” 2006.
- [65] K. Lin, Z. Zhong, L. Xiong, and S. Lin, “A hardware-in-the-loop simulation method of the network performance of high-speed railway mobile communication system,” in *Proceedings of 6th Inter-*

-
- national ICST Conference on Communications and Networking in China (CHINACOM)*, pp. 1221–1225, 2011.
- [66] D. Sharma, A. Mishra, and R. Saxena, “Ber based performance evaluation by pulse shaping in ofdm,” in *Proceedings of International Conference on Computational Intelligence and Communication Networks (CICN)*, pp. 482–487, 2010.
- [67] T. Matsuno, D. Fujimoto, D. Kosaka, N. Hamanishi, K. Tanabe, M. Shiochi, and M. Nagata, “An arbitrary digital power noise generator using 65 nm cmos technology,” *IEICE Transactions on Electronics*, Vol. E93-C, No. 6, 2010.

発表論文一覧

本研究に関する発表論文

学術雑誌

- [1] N. Azuma and M. Nagata, “Equivalent Circuit Representation of Silicon Substrate Coupling of Passive and Active RF Components,” *IEICE Transactions on Electronics*, Vol. E96-C No. 6, pp. 875-883, Jun. 2013.
- [2] N. Azuma, S. Shimazaki, N. Miura, M. Nagata, T. Kitamura, S. Takahashi, M. Murakami, K. Hori, A. Nakamura, K. Tsukamoto, M. Iwanami, E. Hankui, S. Muroga, Y. Endo, S. Tanaka, and M. Yamaguchi, “Chip Level Simulation of Substrate Noise Coupling and Interference in RF ICs with CMOS Digital Noise Emulator” *IEICE Transactions on Electronics*, under review.
- [3] S. Shimazaki, S. Taga, T. Makita, N. Azuma, N. Miura, and M. Nagata “Emulation of High Frequency Substrate Noise Generation in CMOS Digital Circuits” *Japanese Journal of Applied Physics(JJAP)*, to appear.

国際会議

- [4] N. Azuma, Y. Usami and M. Nagata, “Evaluation of environmental noise susceptibility of RF circuits using direct power injection,” in proc. of IEEE International Symposium on Radio-Frequency Integration Technology(RFIT), pp. 80-83, Dec. 2009.
- [5] N. Azuma, Y. Kanda and M. Nagata, “Extraction of lumped RC elements representing substrate coupling of RF devices” in proc. of IEEE International Symposium on Radio-Frequency Integration Technology(RFIT), pp. 217-220, Nov. 2011.

-
- [6] M. Nagata, Xihua Lin, N. Azuma, and M. Yamaguchi, "Evaluation of substrate noise coupling in RFICs (invited)", in *proc. of IEEE International Symposium on Radio-Frequency Integration Technology(RFIT)*, pp. 141-144, Nov. 2011.
- [7] Noaya Azuma, T. Makita, S. Ueyama, M. Nagata, S. Takahashi, M. Murakami, K. Hori, S. Tanaka, and M. Yamaguchi, "In-System Diagnosis of RF ICs for Tolerance against On-Chip In-Band Interferers," in *proc. of IEEE International Test Conference*, pp.12.3.1-12.3.9, Sep. 2013.
- [8] S. Muroga, Y. Endo, T. Ito, S. Tanaka, M. Murakami, K. Hori, S. Takahashi, N. Azuma, T. Makita, S. Imai, M. Nagata, and M. Yamaguchi, "In-band spurious attenuation in LTE-class RFIC chip using a soft magnetic thin film," in *proc. of IEEE International Symposium Electromagnetic Compatibility (EMC)*, pp. 657-661, Aug. 2013.
- [9] S. Shimazaki, S. Taga, T. Makita, N. Azuma, N. Miura, and M. Nagata, "Emulation of High Frequency Substrate Noise in CMOS Digital Circuits with Effects of Adjusting Clock Skew," in *proc. of International Conference on Solid State Devices and Materials*, PS-5-5, 2013.
- [10] N. Azuma, S. Shimazaki, N. Miura, M. Nagata, T. Kitamura, S. Takahashi, M. Murakami, K. Hori, A. Nakamura, K. Tsukamoto, M. Iwanami, E. Hankui S. Muroga, Y. Endo, S. Tanaka, and M. Yamaguchi, "Measurements and Simulation of Substrate Noise Coupling in RF ICs with CMOS Digital Noise Emulator," in *proc. of the 9th Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, pp. 42-46, Dec. 2013.
- [11] M. Nagata, S. Shimazaki, N. Azuma, S. Takahashi, M. Murakami, K. Hori, S. Tanaka, and M. Yamaguchi, "Measurement-based Diagnosis of Wireless Communication Performance in the Presence of In-band Interferers in RF ICs," in *proc. of the 9th Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, pp. 37-41, Dec. 2013.

- [12] S. Muroga, Y. Shimada, Y. Endo, S. Tanaka, Naoya Azuma, M. Nagata, M. Murakami, S. Takahashi, K. Hori, and M. Yamaguchi, "In-Band Spurious Attenuation in LTE-Class RFIC Chip using a Soft Magnetic Thin Film," in *proc. of the 9th Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, pp. 42-46, Dec. 2013.

学術講演

- [13] 宇佐美 友, 東 直矢, 永田 真 "RFICにおける基板クロストークの広帯域評価とモデリング," シリコンアナログ RF 研究会, 2009.
- [14] 東 直矢, 永田 真, "CMOS-RF回路における基板結合の評価と解析," 電子情報通信学会 信学技報, vol. 109, no. 336, ICD2009-83, pp. 39-42, 2009年.
- [15] 東 直矢, 神田 康孝, 永田 真, "高周波LSIにおける基板結合の評価とモデリング" シリコンアナログ RF 研究会, 2011年.
- [16] 島崎 俊介, 榎田 哲也, 東 直矢, 永田 真 "無線通信帯域の基板結合評価に向けたマルチトーンノイズ発生回路" 第26回 回路とシステムワークショップ, pp. 68-72, 2013年.
- [17] 榎田 哲也, 東 直矢, 永田 真 "RF 基板結合評価のためのマルチトーンノイズ発生回路," 電子情報通信学会大会講演論文集, 巻 2013, pp.91, 2013年.
- [18] 上山 晋一郎, 東 直矢, 永田 真, "オンチップ波形モニタ回路における可変スロープ・可変オフセット電圧発生回路の改良," 電子情報通信学会大会講演論文集, 巻 2013, pp. 140 , 2013年.
- [19] 東 直矢, 永田 真, "高周波能動素子における基板結合の評価とモデリング," 電子情報通信学会 信学技報, vol. 113, no. 112, ICD2013-44, pp. 125-128, 2013年.

神戸大学博士論文「LTE移動体通信システムにおけるICチップレベルのノイズ干渉の診断と解析に関する研究」全100頁

提出日 2014年1月24日

本博士論文が神戸大学機関リポジトリ Kernel にて掲載される場合、掲載登録日（公開日）はリポジトリの該当ページ上に掲載されます。

©東 直矢

本論文の内容の一部あるいは全部を無断で複製・転載・翻訳することを禁じます。