Kobe University Repository : Kernel

PDF issue: 2025-07-11

LTE移動体通信システムにおけるICチップレベルのノイズ干渉の診断と解析に関する研究

東，直矢

(Degree)
博士（工学）
(Date of Degree)
2014-03-25
(Date of Publication)
2015-03-01
(Resource Type)
doctoral thesis
(Report Number)
甲第6101号
(URL)
https://hdl.handle.net/20.500.14094/D1006101

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。

（別紙様式 3）

論文内容の要旨

氏　　名　東　直矢

専　　攻　情報科学

論文題目（外国語の場合は，その和訳を併記すること。）

ＬＴＥ移動体通信システムにおけるＩＣチップレベルの
ノイズ干渉の診断と解析に関する研究

指導教員　永田　真

本研究は、高周波ミックスドシグナル LSI を使用した無線通信端末において、LSI チップからパッケージ・ボード、またそれらを含む通信システム全体を考慮に入れたノイズの影響の評価・解析手法を確立することを目的としている。スマートフォンなどに代表される高性能通信端末の増加と共に、無線によるデータ通信は大幅に上昇してきており、この状況に対応するために、より高速な通信を実現する第 3.9 世代の LTE (Long Term Evolution)や第 4 世代の LTE-Advanced といった通信方式が実用化されてきている。しかし、これらの規格は高速な通信を実現する一方で、各通信端末に対して高い性能を要求するものである。

近年の製造プロセス微細化の進展によって、LSI の小面積化、高速化、低消費電力化が可能になり、新しい通信規格を満たすことの出来る高性能な SoC (System on a Chip)の開発が行われるようになっている。SoC 等のアナログ回路とデジタル回路が同一チップに配置される LSI において問題になる現象が、デジタル回路からアナログ回路に伝わるノイズである。デジタル回路の動作によって発生する急峻な電流消費で発生した電圧・電流変動が、様々な結合経路を通りアナログ回路に到達することでアナログ回路の性能を劣化させ、最終的にシステム性能の劣化につながると考えられる。ノイズの結合経路には様々なものが考えられている。例えば、電流が発生させる磁気を通じた経路や、電圧変動がパッケージやボードに飛び出してからアンテナ等の信号配線に侵入することもある。それらの中で、特に高周波で影響が強くなると考えられものが、LSI が形成されるシリコン基板の結合である。ある回路が発生したノイズがシリコン基板上の p-well や n-well 等を通り、他の回路に対し影響を与えることを基板クロストークという。この基板クロストークは SoC 等の同一基板に様々な回路が配置されるような LSI 特有の現象といえる。シリコン基板自体は基本的に抵抗と容量の結合で表現ができ、また、基板と各回路素子の結合は PN ジャンクション容量や基板と配線間の容量等であり容量性と言える。容量性の結合は、高い周波数ではインピーダンスが小さくなるため基板を通じた結合は強くなる。そのため、高周波領域を使用する LTE 等の無線通信では影響が大きくなると考えられる。高周波を利用する無線通信端末において基板クロストークは通信性能において、多大な影響を与えると予想される。基板クロストークの影響に関しては多くの評価・解析手法が提案されているが、ノイズの発生と伝達はパッケージやボードといった LSI 外のインピーダンスに大きく依存するため、LSI 設計時に設計者が基板クロストークの影響に解析し、適切な改良を加えて製造するという設計プロセスは非常に困難であり、実際には設計者の経験に頼り設計を行い、製造後に評価し改良を加えるということがほとんどである。

本研究では、高周波無線通信用 LSI に対する基板クロストーク解析に必要な基本データであるシリコン基板とシリコン基板-素子間の結合のモデリング手法を確立し、高周波アナログ SoC での基板クロストーク解析手法を提案する。また、基板クロストークの影響の通信システムレベルでの評価を行うためのシステムを提案する。実際にそのシステムを用い、デジタル回路のノイズによるシステムへの影響がどの程度あるのか、またどの程度のデジタル回路を載せるとシステムに影響があるのか評価する。

まず、解析のために必要となる基板結合の評価解析手法を確立するために、高周波でのシリコン基板及び基板と素子との結合を評価・解析を行う。測定では、シリコン基板-素子間の結合測定用のチップを 65nm の CMOS プロセスで試作し測定を行った。このチップには 2 ポートの S パラメータ

測定を行うための素子が多数あり、抵抗・容量・インダクタ・NMOS のシリコン基板結合評価が行える。高周波測定のために GSG(Ground-Signal-Ground)プローブを用い、2 ポートのネットワークアナライザで測定を行った。評価の過程で、測定結果を理解しやすくするためにπ型等価回路モデルでの評価を行い、どのような結合があるのかを具体的な抵抗値や容量値で評価出来る事を示した。解析では、解析モデルとして、シリコン基板、シリコン基板-素子間結合、および周囲環境をモデル化した。解析手法は、S パラメータ解析を用い、2 ポートネットワークアナライザの測定と同様の結果が得られるようにした。測定・解析結果の比較から、パッシブ素子で 3dB 以下、アクティブ素子で 6dB 以下の精度で解析が可能であることを示した。

次に、実装された状態の SoC 上で基板クロストークがどのような影響を RF 回路に影響を与えるのかを解析するためのフローの開発と実測との比較を行った。この SoC は RF アナログ受信回路(RX)と任意雑音発生回路(ANG: Arbitrary Noise Generator)とオンチップモニタ回路(OCM: On-Chip Monitor)が含まれている。この SoC の RX は LTE 用の高周波アナログ受信回路であり、高周波受信信号を増幅・ダウンコンバートした後に出力する。ANG から発生したノイズが RX の通信帯域に侵入することで、アナログ回路への影響を評価することができる。さらに OCM を用いて基板上のノイズ波形を取得し、実際にノイズがどのように侵入しているのかを評価可能である。この SoC は BGA (Ball Grid Array)でパッケージングされ、ボード上に実装されている。この SoC のシリコンチップと BGA の配線、ボード上の配線の解析モデルを作成し解析を行った。基板上のノイズ波形の解析結果を OCM による測定と比較すると、電圧のピーク値で最大 19.2%の誤差で解析が行えており、基板上のノイズ伝達は十分に解析が可能であると示した。さらに、回路素子直下のシリコン基板上のノイズ波形を解析で取得し、アナログ回路へ基板ノイズを入力することで実装を含んだ解析を可能とした。

最後に、通信システムへの基板ノイズの影響評価システムの開発を行い、実際にデジタル回路のノイズがシステムに与える影響を定量的に評価する手法を確立した。対象とした通信用 LSI は、前段で述べた SoC と同じものである。通信システムを評価するために、LTE 信号を送信する基地局や端末内でダウンコンバート後の信号を演算するベースバンドロジックを模擬可能なシステムレベルシミュレータを使用し、LTE 通信システム全体を模擬した。ANG のノイズを LTE 信号に重畳させ信号品質を劣化させた状態でシステム性能を測定することで、チップ内ノイズの影響を受けた通信システムの性能を評価することができる。その結果、ANG の発生するノイズ量の増加と共に、システムレベルの評価指標であるスループット(THP)が劣化する事が確認でき、通信システムレベルでのチップ内ノイズ耐性評価を実現した。また、この結果を用いることで、この通信システムに対して許される最大のデジタル回路動作を求められることを示した。

高性能な移動体通信端末の需要が増加すると共に、通信システム用 LSI の製造におけるノイズ評価・解析技術は今後さらに重要となって行くものと考えられる。本研究によって、通信システムレベルでのノイズ耐性評価や、試作前に実装段階のノイズ耐性性能を解析することが出来る。これらの技術を LSI 設計時に使用することで，チップの製造コストの低減やシステムレベルでの高性能化が期待できる。

（別紙１）　　論文審査の結果の要旨

氏名	東 直矢		
論文題目	ＬＴＥ移動体通信システムにおけるＩＣチップレベルのノイズ干渉の診断と解析に関する研究		
審査委員	区　分	職　名	氏　　名
	主　査	教　授	玉置　久
	副　査	教　授	横川　三津夫
	副　査	教　授	永田　真
	副　査		
	副　査		印

要　　旨

携帯電話に代表される移動体通信の高性能化には、CMOS 技術による RF 無線通信向け集積回路技術の進展が欠かせない。移動体通信の継続的な発展には、無線周波数資源の有効利用の促進、すなわち通信チャネルあたりの通信レートの拡大、あるいはセルエリアあたりの通信チャネル数の増加を具現化する通信回路システムの構築が求められる。近年の第 3.9 世代ないし第 4 世代の LTE 方式移動体通信における端末には、受信感度の極めて高い RF 無線通信フロントエンドと、高速デジタルデータを扱うデジタルバックエンドを統合したミックストシグナル IC チップが搭載されている。ここで、IC チップ内部におけるノイズ干渉、すなわち、デジタル回路の動作により発生する電源ノイズがシリコン基板を伝搬し、アナログ RF 回路に漏れ込んで無線通信に作用する、基板ノイズ結合を抑制する必要がある。本研究では、LTE 移動体通信システムにおける IC チップレベルのノイズ干渉の診断と解析に関し、通信システムシミュレーションと統合したテストチップの実験評価により基板ノイズ結合の理解を深めること、そしてチップレベル基板ノイズ結合シミュレーションによりノイズの発生・伝搬・干渉の評価を具体化することを目的とした。

本論文では、LTE 移動体通信システムにおける IC チップレベルのノイズ干渉の診断と解析に関して、とりわけ受信におけるスプリアスの影響に着目して、ノイズ結合をエミュレーションするテストチップの構築および通信システムシミュレータの統合による通信性能の診断手法、デジタル回路のノイズ発生とシリコン基板伝搬および RF 無線通信フロントエンドにおけるノイズ混入と干渉に関するモデリングとチップレベルのノイズ結合シミュレーション手法、について研究成果をまとめている。本論文に論じられている研究成果の一部は、電波資源拡大のための研究開発に関する産官学連携研究プロジェクトによるものであり、社会的要請への学術貢献および実用性を意識した工学成果であることに特徴がある。

本論文では、LTE 移動体通信システムにおける IC チップレベルのノイズ干渉の診断と解析に関して、以下の 3 つの研究課題について論じている。すなわち、

(1) CMOS RF 集積回路を構成する受動素子および能動素子とシリコン基板の結合に関する広帯域デバイスレベルモデリング手法
(2) IC チップ-パッケージ-ボードの統合によるシリコン基板結合ノイズの大規模回路レベルシミュレーション手法
(3) Hardware-in-the-loop(HILS)手法によるチップレベルのノイズ結合と通信システムレベルの性能評価の接続診断法

である。

LTE 移動体通信システムにおける IC チップレベルのノイズ干渉の診断と解析に関して、前項(1)では、CMOS RF 集積回路を構成するインダクタやコンデンサ等の受動素子および MOS トランジスタに代表される能動素子とシリコン基板の結合を等価回路で表現するとともに、反射特性・通過特性の形状依存性に関し

氏名	東 直矢

て、テストチップの実測とシミュレーションの整合を示した。前項(2)では、LTE 級の RF レシーバフロントエンドのプロダクトレベルの実回路、デジタルバックエンドの動作によるノイズ発生を模擬する任意ノイズ発生回路、およびチップ内部で多点の基板ノイズ波形を観測するオンチップノイズモニタ回路、を搭載するノイズ結合評価チップの構成法およびノイズ結合のエミュレーションを実現した。さらに、この評価チップを対象として、IC チップ-パッケージ-ボードの統合によるシリコン基板結合ノイズの大規模回路レベルシミュレーションを実現し、シミュレーションと実測の整合を確認した。前項(3)では、チップレベルのノイズ結合により LTE レシーバに混入するスプリアスが LTE 通信スループットを劣化するメカニズムについて、ノイズ結合評価チップの測定システムと LTE 通信システム・シミュレータを統合した HILS 手法による診断法を実現するとともに、実験的に解明した。

シリコン基板ノイズに関する従来の研究は、デジタル集積回路におけるノイズの発生と伝搬のモデリングおよびシミュレーションに限定されてきた。これに対し本研究は、素子レベルの基板ノイズ結合、回路レベルの基板ノイズ結合、さらに基板ノイズと通信システムの干渉および通信性能への影響を含む、多階層のノイズ結合メカニズムを統合的に実験および解析評価する手法を具体化している。RF 無線通信向け IC チップにおけるノイズ結合について、基板ノイズの発生と通信帯域へのスプリアス混入および通信スループットの劣化を、エミュレーションおよびシミュレーションにより評価する具体的手段を与えている点で、本論文における成果の工学的価値は高いと考えられる。

本論文の構成は以下のとおりである。

第一章では、研究の背景と動機について述べている。移動体通信システムのノイズ結合に関する技術動向について簡潔に述べると共に、オンチップノイズモニタ技術や基板ノイズシミュレーション技術に関する先行研究をまとめ、本研究の位置づけを明らかにしている。

第二章では、CMOS RF 集積回路を構成する受動素子および能動素子とシリコン基板の結合に関して、広帯域のデバイスレベルモデリング手法およびテストチップによる測定とシミュレーションの整合について論じている。また、パイ型等価回路への転換と、寄生素子のサイズについても述べている。

第三章では、IC チップ-パッケージ-ボードの統合によるシリコン基板結合ノイズの大規模回路レベルシミュレーション手法について論じている。あわせて、任意ノイズ発生回路やオンチップモニタ回路の詳細と、LTE 級 RF レシーバフロントエンドを統合したノイズ結合チップの構成法、および実験データとシミュレーションの整合についても述べている。

第四章では、HILS 手法によるチップレベルのノイズエミュレーションおよび通信システムレベルの性能評価法について論じている。

第五章では、まとめと今後の展望を述べている。

以上のように、本研究は LTE 移動体通信システムにおける IC チップレベルのノイズ干渉の診断と解析に関して、ノイズの発生と伝搬および通信システムへの干渉の全体を捉える具体的な道筋を示している。また、本研究によるノイズ結合のエミュレーションおよびシミュレーション手法は一般性が高く、次世代の移動体通信システムにおけるノイズ結合評価に発展的に応用できる。本研究の成果は、査読付き学術論文 2 件（うち一件は条件付採録）、および国際会議論文 3 件に報告されている。

このように本研究は、LTE 移動体通信システムにおける IC チップレベルのノイズ干渉の診断と解析に関して、深い理解を導き、また効果的な対策を導く工学的手段を与える成果であり、価値ある集積であると認める。提出された論文はシステム情報学研究科学位論文評価基準を満たしており、学位申請者の東 直矢は、博士（工学）の学位を得る資格があると認める。