



ワイヤレス・センサネットワークシステムに向けた超低電力オンチップ弛張発振回路に関する研究

椿, 啓志

(Degree)

博士 (工学)

(Date of Degree)

2015-03-25

(Date of Publication)

2016-03-01

(Resource Type)

doctoral thesis

(Report Number)

甲第6435号

(URL)

<https://hdl.handle.net/20.500.14094/D1006435>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博士論文

ワイヤレス・センサネットワークシステムに向けた
超低電力オンチップ弛張発振回路に関する研究

平成 27 年 1 月

神戸大学大学院工学研究科

椿 啓志

内容梗概

本論文は、ワイヤレスセンサネットワーク (WSN: Wireless Sensor Network) システムにおける時間計測回路の実現に向けて、ナノアンペアレベルの超低電流で動作する弛張発振回路に関する研究内容をまとめたものである。

将来、インターネットを介して、人と人とのコミュニケーションだけでなく、人とモノとのコミュニケーションを可能とする WSN システムの実現が期待されている。例えば、食べ物から取得できる鮮度やおいしさなどの情報や車から取得できる自車や他車の走行状況などの情報を取得することができる。WSN システムには、人やモノから情報を取得し、処理するためのセンサデバイスが搭載される。センサデバイスはセンサ部で取得した環境の温度や湿度などのアナログ情報をマイクロコントローラ (MCU: Micro Controller Unit) 部に処理させ、MCU 内のメモリに格納する。RF 部はメモリに格納された情報をスマートフォンや PC などの端末に送信する。送信されたデータには、センシングしたデータの取得時間や取得場所を示す情報が付加されている。特に、センシングデータの取得時間はデータを時系列で管理するために用いられるため、非常に重要な情報である。センサデバイスには安定な電源を供給する電源回路やバイアス回路、そして信号処理用の発振回路の他に、センシングデータの取得時間を得るための時間計測用途のクロックを生成する発振回路が必要になる。

WSN システムでは様々な場所にセンサデバイスを設置することが想定される。センサデバイスの設置場所は不確定であるため、様々な環境下での動作が求められる。設置場所として、継続的な電源をセンサデバイスに供給できるインフラ設備が整っていない場所や気温差が激しい場所、そして暗い場所などが考えられる。従って、センサデバイスはバッテリー駆動や環境エネルギー駆動による限られた電力での動作が必要になる。また、その駆動時間は莫大な数のセンサデバイスのメンテナンスが困難であることを考慮すると、年単位でなければならない。つまり、WSN システムに搭載するセンサデバイスは超低電力で動作しなければならない。

センサデバイスを間欠動作させることで消費電力を大幅に削減することができる。間欠動作では、時間計測用途の発振回路で生成されたクロックを用い、スリープ状態にあるセンサデバイスを動作状態へと移行させる。そして、動作完了と共にセンサデバイスは動作状態からスリープ状態へと移行する。この間欠動作を繰り返すことで、センサデバイスの電力を大幅に抑えることができる。ただし、センサデバイスの時間を計測する発振回路である時間計測回路は常に動作し続けなければならないため、超低電力動作が必要になる。

一般的な時間計測回路は、32.768 kHz の水晶発振回路と 16 ビットのカウンタ回路で構成される。この回路は、水晶発振回路で生成されたクロックをカウンタ回路でカウントし、16 ビット目が '1' になると 1 秒が経過する。時間計測に必要な水晶発振回路は、環境変化に対し頑健かつ高精度なクロックが生成できる。しかし、水晶発振回路は高価であり、さらに CMOS (Complementary Metal Oxide Semiconductor) プロセスとの親和性がなく、LSI (Large Scale Integration) に搭載

できない。したがって、CMOS プロセスで構成されるセンサデバイスに水晶発振回路をオフチップで搭載すると、サイズが増大し、さらにコストも上がる。

CMOS プロセスのみで構成される時間計測用の発振回路として、弛張発振回路が広く用いられている。これは CMOS と受動素子で構成されるため、LSI への搭載が容易であり、さらに設計方法によって高い発振周波数精度と超低消費電力動作の実現ができるためである。弛張発振回路は、2つのキャパシタ C を 0 V から基準電圧に達するまで交互に一定の電流で充電させ、クロック信号を生成する。この弛張動作によって生成されるクロックの発振周波数は、温度や電圧などの環境変化に対し大きく変動する。また、この発振周波数の変動は、主に弛張発振回路に搭載されるコンパレータ回路の遅延とオフセット電圧によって引き起こされる。

コンパレータ回路は2つの入力信号の大きさを比較し、ある一定時間後にその結果を出力する。コンパレータ回路が比較に要する時間は、コンパレータ回路に流れるバイアス電流に反比例する。つまり、バイアス電流が低ければコンパレータ回路の遅延は長くなるため、弛張発振回路の発振周波数変動が大きくなる。さらに、超低電流駆動のコンパレータ回路はスルーレートが劣化し、後段に接続される論理ゲートの消費電力を増大させる。また、コンパレータ回路に生じるオフセット電圧は、比較結果に誤差を生じさせ、弛張発振回路の発振周波数を変動させる。したがって、コンパレータ回路の遅延補正技術と高速化技術の開拓が求められる。

そこで、本論文では、弛張発振回路の性能劣化の原因となるコンパレータの遅延を補正するための回路技術と高速化のための回路技術の開拓を行い、超低電力オンチップ発振回路の実現を目指した。本論文は大きく分けて3つのテーマで構成される。

第一に、弛張発振回路の遅延変動補正技術を検討した。先に説明したように、超低電流駆動コンパレータ回路の遅延とオフセット電圧は弛張発振回路の発振周波数を大きく変動させる。そのため、コンパレータ回路の遅延を補正する技術の開拓が必要になる。提案する補正技術は、コンパレータ回路の補正時間を補正電圧として記憶し、時間計測の際にこれを用いることで遅延変動の影響を排除する。シミュレーション評価の結果、本アーキテクチャを用いた弛張発振回路でのコンパレータ回路の遅延変動は、本アーキテクチャを用いない場合に比べ $1/60$ 程度にまで抑制された。また、 $0.18\text{-}\mu\text{m}$ CMOS プロセスを用いて試作を行い、その効果を実証した。

第二に、超低電流駆動の高速コンパレータ回路を検討した。コンパレータ回路はバイアス電流が低下すると、出力のスルーレートが劣化し、後段に繋がる論理ゲートの貫通電流を増加させる。この結果、弛張発振回路に搭載されるコンパレータ回路の消費電力は減少するが、制御回路の消費電力が増加し、回路全体の消費電力が増大する。提案するコンパレータ回路は電流の正帰還ループを用いて適応バイアス電流を生成し、高スルーレートかつ低消費電力を実現した。シミュレーション評価にて、適応バイアス電流の生成を確認した。また、 $0.35\text{-}\mu\text{m}$ CMOS プロセスを用いて試作を行い、その効果を実証した。

最後に、時間計測用途に向けた弛張発振回路を検討した。提案する弛張発振回路は、第3章で提案した弛張発振回路の遅延補正変動技術と第4章で提案した超低電流駆動コンパレータ回路の高速化技術を搭載した。さらに、第3章で用いた基準電圧よりも低い電圧値を用いることで、弛張発振回路のエネルギーを抑制した。 $0.18\text{-}\mu\text{m}$ CMOS プロセスを用いて試作し、測定により動作を確認した。測定を行った結果、発振周波数 32.55 kHz 、 1.8 V での消費電力 472 nW 、電源電圧依存性 $1.1\% /\text{V}$ 、温度依存性 $120\text{ ppm}/\text{C}$ であった。提案する弛張発振回路は、WSN システムの時間計測回路において有用であることを実証した。

本論文では、WSN システムの時間計測用途として有望な弛張発振回路の基本的な特性を説明し、その問題点を明らかにした。そして、これらの問題点を打開する手法を提案した。シミュレーション評価ならびに試作チップによる測定結果から、超低消費電力と安定動作を両立する弛張発振回路の実現性を実証した。

目次

内容梗概	i
第 1 章 序論	1
1.1 研究の背景と目的	1
1.2 本論文の構成	4
第 2 章 弛張発振回路	9
2.1 はじめに	9
2.2 発振回路	9
2.3 弛張発振回路	11
2.3.1 回路動作	11
2.3.2 消費電力	13
2.3.3 発振周波数と PVT 依存性	13
2.4 各要素回路の遅延を考慮した弛張発振回路	13
2.4.1 コンパレータ回路の動作	14
2.4.2 コンパレータ回路のオフセット電圧	14
2.4.3 遅延時間	14
2.4.4 遅延とオフセット電圧を考慮した発振周波数と PVT 依存性	17
2.5 時間計測用途への応用とその課題	17
2.5.1 弛張発振回路のシミュレーション波形	17
2.5.2 コンパレータ回路の遅延の PVT 依存性	19
2.5.3 コンパレータ回路の基準電流と弛張発振回路の消費電流	23
2.5.4 時間計測用途に向けた課題	23
2.6 弛張発振回路用のバイアス回路	25
2.6.1 回路構成例とその動作	25
2.6.2 PVT 依存性のシミュレーション評価	26
2.7 抵抗とキャパシタの PVT 依存性	29
2.8 補正技術を用いた弛張発振回路	30
2.9 まとめ	31
第 3 章 弛張発振回路の遅延変動補正	35
3.1 はじめに	35
3.2 弛張発振回路におけるコンパレータ回路の遅延変動補正	35

3.3	コンパレータ回路の遅延補正アーキテクチャ	37
3.3.1	V_{comp} の生成手法	37
3.3.2	遅延補正用電圧 V_{comp} の生成タイミング	38
3.3.3	コンパレータ回路のオフセット電圧補正	40
3.4	遅延補正用電圧 V_{comp} の生成回路を搭載した弛張発振回路	40
3.4.1	回路動作	41
3.4.2	発振周波数と PVT 依存性	42
3.5	シミュレーション評価	42
3.5.1	弛張発振回路のシミュレーション波形	42
3.5.2	コンパレータ回路の遅延の PVT 依存性	44
3.5.3	コンパレータ回路の基準電流と弛張発振回路の消費電流	46
3.6	測定評価	46
3.6.1	チップ写真	46
3.6.2	出力波形	47
3.6.3	PVT 依存性	47
3.7	まとめ	48
第 4 章	超低電流駆動コンパレータ回路の高速化	53
4.1	はじめに	53
4.2	コンパレータ回路の高速化技術	53
4.2.1	適応バイアス電流生成回路	53
4.2.2	インバータ回路を用いた適応バイアス電流生成回路	55
4.3	正帰還ループを有する適応バイアスコンパレータ回路	56
4.3.1	正帰還ループを用いた適応バイアス電流生成回路	56
4.3.2	回路構成と回路動作	57
4.4	シミュレーション評価	59
4.4.1	動作波形	59
4.4.2	コンパレータ回路の入力信号に対する消費電流	63
4.5	測定評価	63
4.5.1	チップ写真	63
4.5.2	出力波形	64
4.6	まとめ	64
第 5 章	時間計測用途に向けた弛張発振回路	69
5.1	はじめに	69
5.2	弛張発振回路の高速化と低電力化手法	69
5.2.1	弛張発振回路のエネルギー	69
5.2.2	低 V_{ref} を用いた弛張発振回路	70
5.3	補正電圧生成回路と低 V_{ref}	70
5.3.1	コンパレータ回路の補正電圧生成期間と基準電圧 V_{ref} との関係	71
5.3.2	コンパレータ回路の補正電圧生成期間の短縮	72

5.3.3	補正電圧生成の開始電圧生成手法	72
5.4	時間計測用途に向けた弛張発振回路	73
5.4.1	回路動作	74
5.4.2	発振周波数と PVT 依存性	76
5.5	シミュレーション評価	77
5.6	測定評価	79
5.6.1	チップ写真	79
5.6.2	出力波形	79
5.6.3	PVT 依存性	81
5.6.4	抵抗トリミングとノイズに対する評価	82
5.6.5	性能比較	84
5.7	まとめ	84
第 6 章	結論	89
	謝辞	91
	研究業績	93

第1章 序論

1.1 研究の背景と目的

半導体エレクトロニクス技術の発展は、我々に様々な恩恵をもたらしてきた。特に、インターネットを介して世界中のあらゆる情報の共有化を可能とした PC (personal computer) は、現在の情報社会を大きく発展させた。現在の情報社会では、更に大きな発展を遂げ、いつでもどこでもインターネットを介して世界中の人々とのコミュニケーションが可能になった。この変革は、携帯電話やスマートフォンなどの携帯端末によって成し遂げられ、今までのビジネスモデル大きく変えるものとなった。

図 1.1 に、次世代の WSN システムの一例を示す [1]。将来、人と人とのコミュニケーションだけでなく、人とモノとのコミュニケーションが可能となる。例えば、食べ物から取得できる鮮度やおいしさなどの情報や車から取得できる自車や他車の走行状況などの情報をもとに、我々は食べ物の賞味期限や消費期限、さらに交通渋滞などの情報を取得することができる。今後、インターネットに繋がる人やモノは数百億個を超え、ビッグデータ時代へと突入すると予測されている。人とモノとのコミュニケーションには、人とモノとを繋ぐセンサデバイスが必要になる。センサデ



図 1.1: 次世代 WSN システムの一例。

バイスは人の声や動き、そして環境の温度や湿度を認識することができる。また、センサデバイスで得られた情報をインターネットを介して共有化するには、ワイヤレスネットワークシステムの構築が求められる。つまり、人とモノとのコミュニケーションを確立するためには、センサデバイスとワイヤレスネットワークシステムを融合した、ワイヤレスセンサネットワークシステム (WSN: Wireless Sensor Network) の構築が必要となる。

図 1.2 にセンサデバイスの利用方法の一例を示す。WSN システムに用いられるセンサデバイスは、センサで取得した環境の温度や湿度などの情報を時間情報や位置情報と共に保管する。そして、保管されたログ情報は、スマートフォンや PC などの端末を用いて自由に取得することができる。WSN システムでは、センサデバイスをあらゆるモノに搭載することで、様々な情報を共有化することが可能になる。図 1.3 にセンサデバイスの構成例を示す。センサデバイスは、センサ部で取得した環境の温度や湿度などのアナログ情報をマイクロコントローラ (MCU: Micro Controller Unit) 部に処理させ、MCU 内のメモリに格納する。そして、RF 部はメモリに格納された情報をスマートフォンや PC などの端末に送信する。送信されたデータには、センシングしたデータの取得時間や取得場所を示す情報が付加される。特に、センシングデータの取得時間はデータを時系列で管理するために用いられるため、非常に重要な情報である。以上から、センサデバイスには安定な電源を供給する電源回路やバイアス回路、そして信号処理用の発振回路の他に、センシングデータの取得時間を得るための時間計測用途のクロックを生成する発振回路が必要になる。

WSN システムでは様々な場所にセンサデバイスを設置することが想定される。つまり、センサデバイスの設置場所は不確定であるため、様々な環境下での動作が求められる。非理想的な設置場

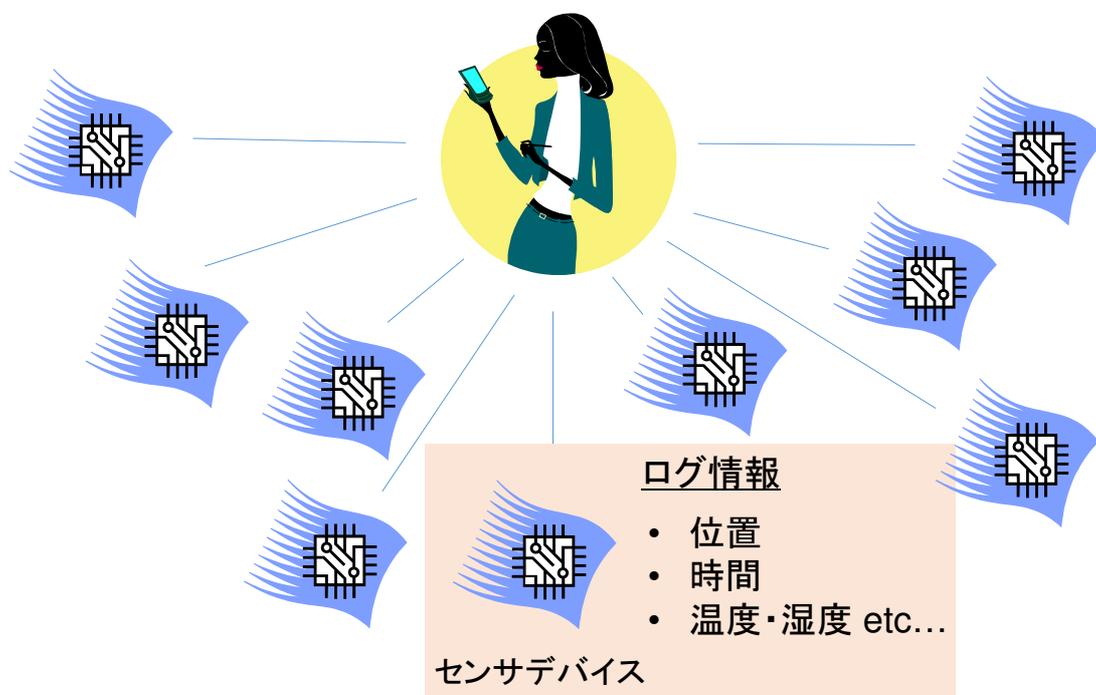


図 1.2: センサデバイスの利用方法の一例。

所として、継続的な電源をセンサデバイスに供給できるインフラ設備が整っていない場所や気温差が激しい場所、そして暗い場所などが考えられる。したがって、センサデバイスはバッテリー駆動や環境エネルギー駆動による限られた電力での動作が必要になる [2-4]。また、その駆動時間は莫大な数のセンサデバイスのメンテナンスが困難であることを考慮すると、年単位でなければならない。つまり、WSN システムに搭載するセンサデバイスは超低電力で動作しなければならない。

センサデバイスの消費電力を大幅に削減する手法として、間欠動作技術がある。図 1.4 にセンサデバイスの間欠動作について表した図を示す。間欠動作は、時間計測用途の発振回路で生成されたクロックを用い、スリープ状態にあるセンサデバイスを動作状態へと移行させ、そして動作完了と共にセンサデバイスは動作状態からスリープ状態へと移行される回路技術である。この間

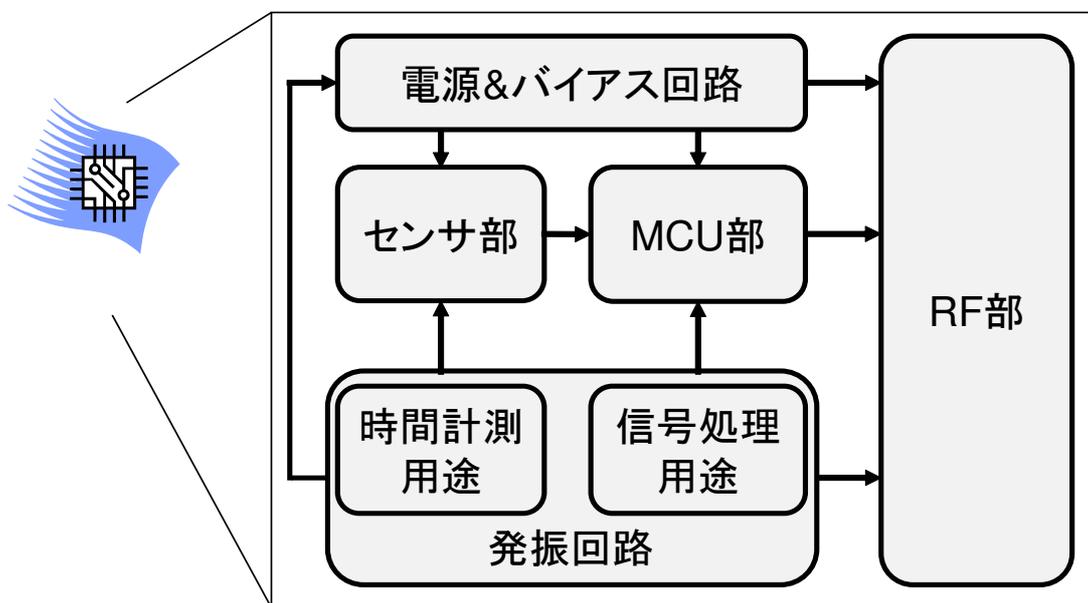


図 1.3: センサデバイスの構成例.

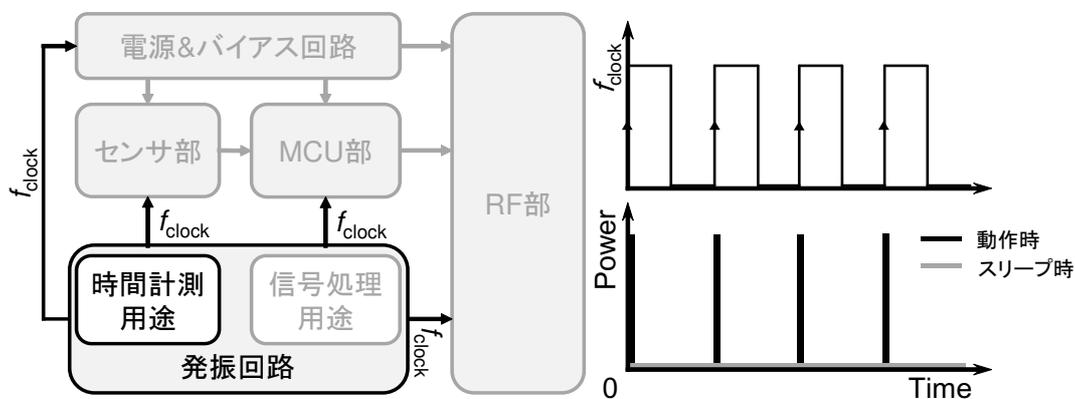


図 1.4: センサデバイスの間欠動作.

表 1.1: 各発振回路の典型値と目標値との比較 [5–8].

種類	水晶発振回路	弛張発振回路	リング発振回路	目標の発振回路
LSI 実装	不可	可	可	可
発振周波数	1 kHz - 100 MHz	1 kHz - 100 kHz	10 MHz - 1 GHz	32.768 kHz
発振周波数変動	1 - 100ppm	±1%	±5%	< ±1%
消費電流	10 μ A - 100 mA	1 μ A - 100 μ A	10 μ A - 100 mA	<0.5 μ A
面積	<5 cm ³	0.1 mm ²	0.01 mm ²	<0.1 mm ²
価格	>10 セント	1 -3 セント	<1 セント	1 -3 セント

欠動作を繰り返すことで、センサデバイスの電力を大幅に抑えることができる。ただし、センサデバイスの時間を計測する発振回路である時間計測回路は常に動作し続けなければならないため、超低電力動作が必要になる。一般的な時間計測回路には、32.768 kHz の水晶発振回路と 16 ビットのカウンタ回路が搭載されている。カウンタ回路は、水晶発振回路で生成されたクロックによって、カウントされていく。そして、16 ビット目が '1' になると 1 秒が経過する。

表 1.1 に各発振回路の典型値と目標値との比較を示す [5]。水晶発振回路は、環境変化に対し頑健かつ高精度なクロックが生成できる [6]。しかし、水晶発振回路は高価であり、さらに CMOS (Complementary Metal Oxide Semiconductor) プロセスとの親和性がなく、LSI (Large Scale Integration) に搭載できない。したがって、CMOS プロセスで構成されるセンサデバイスに水晶発振回路をオフチップで搭載すると、サイズが増大し、さらにコストも上がる。弛張発振回路は、環境変化に対する発振周波数の精度が水晶発振回路よりも劣る [7]。しかし、CMOS プロセスと受動素子で構成されるため、LSI に搭載可能である。さらに、消費電流を低く抑えることができるため、超低電力で動作する発振回路を実現できる。リング発振回路は、弛張発振回路と同様に LSI に搭載可能であり、さらに超低電力動作も期待できる [8]。しかし、弛張発振回路よりもさらに環境変化に対する発振周波数の精度が悪い。これらとは別の発振回路として、LC 発振回路がある。LC 発振回路は LSI に搭載可能ではあるが、発振周波数がインダクタンス L とキャパシタンス C の平方根に反比例するため、32.768 kHz の低い周波数を生成するには、非常に大きなインダクタとキャパシタが必要になる。そのため、LSI への実装は現実的ではない。これらを参考に、我々が実現させる発振回路の目標値を設定した。目標の発振回路は温度と電源の動作範囲が広いこと、温度変動や電源変動が激しい環境下での使用を可能にする。また、温度変動や電源変動が激しい環境下での発振周波数変動、そして消費電流を低く抑える。さらに、水晶発振回路との置き換えが可能になるように、32.768 kHz の発振周波数を目指す。

1.2 本論文の構成

以上に述べた研究の背景と目的に基づき、本論文では、WSN システムに向けた超低電力オンチップ発振回路を提案する。図 1.5 に本論文の構成を示す。第 2 章では、様々な発振回路の特徴を述べたのち、超低電力化時における弛張発振回路の発振周波数変動や消費電力増加の要因につい

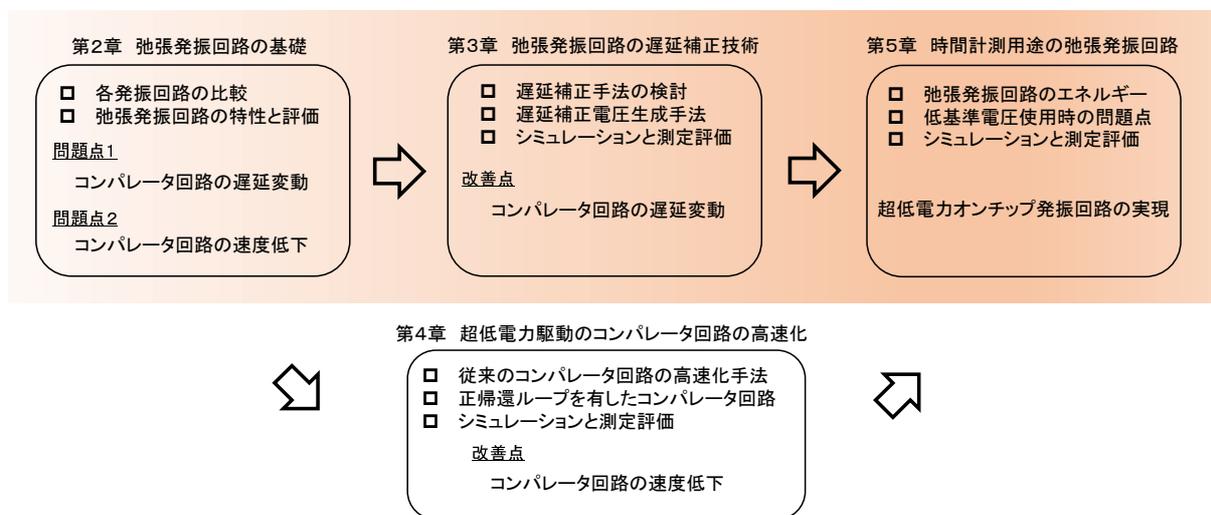


図 1.5: 本論文の構成.

て説明する．第3章では，弛張発振回路の発振周波数の変動要因であるコンパレータ回路の遅延を補正した弛張発振回路を提案する．第4章では，弛張発振回路の消費電力増加を抑制するために，制御回路の入力信号であるコンパレータ回路の出力信号の速度劣化を解決する高速化手法を提案する．第5章では，第3章と第4章の手法を組み合わせ，さらに弛張発振回路の低エネルギー化を行った弛張発振回路を提案する．以下，各章の詳細について説明する．

第2章 弛張発振回路

本章では，弛張発振回路の基礎を述べ，時間計測用途のための超低電力弛張発振回路の問題点について説明する．CMOSプロセスのみで構成される時間計測用の発振回路として，弛張発振回路が広く用いられる．これは，弛張発振回路がCMOSと受動素子で構成されるため，LSIへの搭載可能であり，さらに設計方法によって高い発振周波数精度と超低消費電力動作の実現ができるためである．最初に，典型的な弛張発振回路の基本的な特性を説明する．次に，超低電力化時における弛張発振回路の発振周波数の変動要因について述べ，特にコンパレータ回路の遅延の影響が大きいことを説明する．そして，弛張発振回路とコンパレータ回路をシミュレーションにより解析し，コンパレータ回路の遅延が，高いPVT依存性を有することを示す．これは，弛張発振回路の発振精度に大きな影響を与える．最後に，弛張発振回路に用いるバイアス回路，抵抗とキャパシタの特性についてまとめ，従来提案されているコンパレータ回路の補正手法について議論する．

第3章 弛張発振回路の遅延変動補正

本章では，弛張発振回路に搭載されるコンパレータ回路の遅延変動補正技術を提案する．弛張発振回路は，PVT (Process, Voltage, and Temperature) 依存性が高く，環境変化に対し発振周波数が変動する．特に低電力時にその影響は顕著に表れる．弛張発振回路のPVT依存性が高いのは，コンパレータ回路の遅延が高いPVT依存性を持つためである．提案する補正技術は，電源電

圧に充電したキャパシタを基準電流を用いて放電する。その放電電圧を基準電圧と比較することで補正電圧を生成し、それを弛張発振回路の基準電圧として用いる。そして、その補正電圧を用いた弛張発振回路は、コンパレータ回路の遅延変動に影響されないクロック信号を生成することができる。遅延補正技術の有用性は、シミュレーション評価ならびに試作チップを用いた測定により実証する。試作チップは0.18- μm CMOS プロセスで構成する。

第4章 超低電流駆動コンパレータ回路の高速化

本章では、超低電流駆動のコンパレータ回路の高速化技術を提案する。超低電力で動作する弛張発振回路に搭載されるコンパレータ回路は、コンパレータ回路のバイアス電流の低下によって出力のスルーレートが劣化し、その結果、後段に接続された論理ゲートの貫通電流を増加させる。これは、弛張発振回路に搭載されるデジタル回路の消費電力を増大させる。提案するコンパレータ回路は電流の正帰還ループを用いて適応バイアス電流を生成し、高スルーレートかつ低消費電力を実現する。シミュレーション評価ならびに試作チップを用いた測定により実証する。試作チップは0.35- μm CMOS プロセスで構成する。

第5章 時間計測用途に向けた弛張発振回路

本章では、第3章で提案した弛張発振回路を基に、時間計測用途に向けた弛張発振回路を提案する。第3章の提案回路はコンパレータ回路の遅延変動を補正することができるが、発振周波数が6.66 kHzと低い。そのため、32 kHz程度まで発振周波数を向上させなければならない。しかし、発振周波数の向上は、同時に消費電力の増加に繋がるため、更なる低電力化手法の実現が求められる。その低電力化手法の一つとして、第4章で説明した超低電流かつ高速なコンパレータ回路を弛張発振回路に搭載することが考えられる。これにより、弛張発振回路のデジタル回路の消費電力の低下が見込める。また、本章では、弛張発振回路の消費エネルギーを低下させるために、基準電圧を第3章の場合よりも低下させる。しかし、第3章で説明した補正電圧生成手法では、低い基準電圧に対応できないため、補正電圧が生成できない。したがって、低い基準電圧に対応した補正電圧生成手法を検討する。提案する弛張発振回路の有用性は、試作チップを用いた測定により実証する。試作チップは0.18- μm CMOS プロセスで構成する。

第6章 結論

本章では、本研究で得られた研究成果について総括する。

参考文献

- [1] D. Evans, "The Internet of Things," Cisco Internet Business Solution Group (IBSG), white paper, April, 2011.
- [2] A.P. Chandrakasan, D.C. Daly, J. Kwong, and Y.K. Ramadass, "Next generation micro-power systems," in *Dig. of Symposium on VLSI Circuits*, pp. 2-5, 2008.
- [3] T. Hirose, R. Yoshimura, T. Ido, T. Matsuoka, and K. Taniguchi, "Watch-dog circuit for quality guarantee with subthreshold MOSFET current," in *IEICE Transactions on Electronics*, vol. E87-C, no. 11, pp. 1910-1914, 2004.
- [4] K. Ueno, T. Hirose, T. Asai, and Y. Amemiya, "CMOS smart sensor for monitoring the quality of perishables," in *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 798-803, 2007.
- [5] Y. Tokunaga, S. Sakiyama, A. Matsumoto, S. Dosho, "An on-chip CMOS relaxation oscillator with voltage averaging feedback," in *IEEE J. Solid-State Circuits*, vol. 45, no. 6, 2010, pp. 1150 - 1158.
- [6] W. Thommen, "An Improved Low Power Crystal Oscillator," in *ESSCIRC*, pp. 146-149, 1999.
- [7] D. A. Johns and K. Martin, "Phase-Locked Loops," in *Analog integrated circuit design*, John Wiley & Sons, Inc., 1997.
- [8] A. W. Buchwald and K. W. Martin, "High-Speed Voltage-Controlled Oscillator with Quadrature Outputs," in *Electron. Lett.*, Vol. 27, no. 4, pp. 309-310, 1991.

第2章 弛張発振回路

2.1 はじめに

発振回路は一定の期間 T のクロック信号を生成する回路である。そのクロック信号は、時間計測やデジタル回路の動作タイミング、そして各回路との同期などに利用される。発振回路の性能は発振周波数や消費電力、そして発振精度で決まる。特に、発振精度は時間計測の精度を決める重要な指標である。発振精度は回路のプロセス依存性や電圧依存性、さらに温度依存性から評価することができる。これらの依存性は PVT 依存性と呼ばれる。プロセス依存性には、製造時に発生する抵抗やキャパシタなどの受動素子や MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のばらつきが含まれる。WSN システムに搭載する時間計測用途の発振回路では、正確な時間を刻む必要がある。そのため、PVT 依存の低い発振回路の実現が求められる。また、限られた電力での動作が必要になるため、発振回路は超低電力で動作しなければならない。

本章では、弛張発振回路の基礎を述べ、時間計測用途のための超低電力弛張発振回路の問題点について議論する。

2.2 発振回路

図 2.1 に各種発振回路の回路図を示す。時間計測には一般的に発振周波数が 32.768 kHz の図 2.1(a) の水晶発振回路が用いられる。水晶発振回路に用いられる水晶振動子の自己共振周波数は、水晶自身のキャパシタンス C とインダクタンス L 成分に依存する。これらの成分の値と温度特性は、水晶の切断方法で決まる。したがって、理想的な水晶発振回路の発振周波数はプロセスと温度にのみ依存し、発振精度は水晶の切断精度で決まる。水晶発振回路は、水晶振動子で発生した発振信号をインバータ回路を用いたアンプで増幅し、クロック信号を出力する。したがって、水晶発振回路で消費する電力は水晶発振回路内の抵抗成分とインバータ回路に依存する。以上のように、水晶発振回路は正確なクロック信号を生成でき、さらに消費電力を低く抑えることができる。しかし、水晶発振回路は CMOS との親和性がないため、LSI に搭載できない。

一方、図 2.1(b) のリング発振回路や図 2.1(c) の LC 発振回路、そして図 2.1(d) の弛張発振回路は MOSFET と受動素子で構成されるため、LSI に搭載可能である。一般的なリング発振回路の発振周波数は MOSFET のドレイン電流に比例し、電源電圧と MOSFET のゲート容量に反比例する。MOSFET のドレイン電流は MOSFET のサイズとしきい値電圧や温度、そして電源電圧に依存する。そのため、リング発振回路は PVT 依存性が高く、発振精度が低い。また、MOSFET を超低電流で動作させると、プロセス変動によりドレイン電流が指数関数的に変動する。これは、超低電流動作におけるリング発振回路のプロセス依存性が高いことを示す。リング発振回路の消費電力は MOSFET のドレイン電流や電源電圧、そして MOSFET のゲート容量に依存する。し

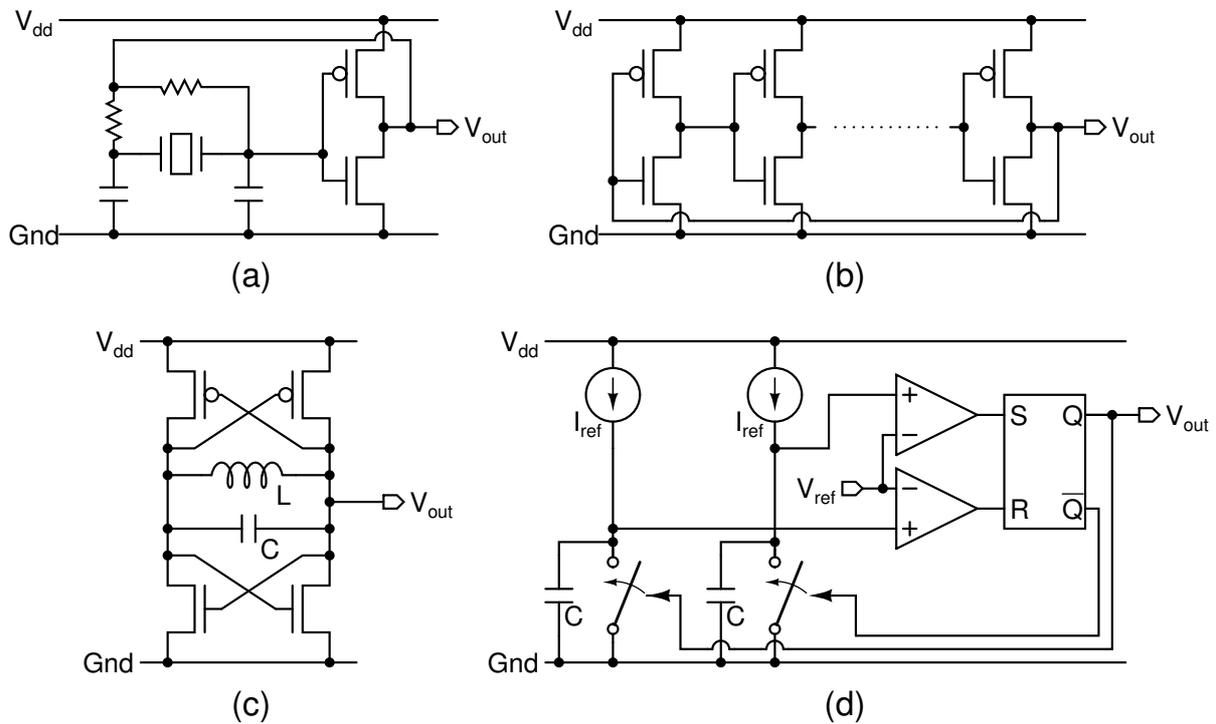


図 2.1: (a) 水晶発振回路, (b) リング発振回路, (c) LC 発振回路, (d) 弛張発振回路の回路図.

たがって、消費電力は MOSFET のサイズや電源電圧の設計値によって大きく変化する。

LC 発振回路の発振周波数は、キャパシタンス C とインダクタンス L に依存する。これらの成分の値と温度特性は LSI 上のキャパシタとインダクタの形成方法で決まる。つまり、水晶発振回路と同様、理想的な LC 発振回路のプロセスと温度依存性は LSI 上に形成されるキャパシタとインダクタの精度で決まる。また、LC 発振回路で発生した発振信号はインバータ回路を用いたアンプによって増幅される。以上のように、LC 発振回路は水晶発振回路と同様の動作を行い、発振精度はキャパシタとインダクタの精度で決まる。しかし、水晶の切断精度に比べ、LSI 上に形成されるキャパシタとインダクタの精度は悪い。また、LC 発振回路の発振周波数は L と C の平方根に反比例するため、32.768 kHz の低い周波数を生成するには非常に大きなインダクタとキャパシタが必要となる。

弛張発振回路の発振周波数は基準電流に比例し、基準電圧とキャパシタンスに反比例する。つまり、理想的な弛張発振回路の発振周波数の PVT 依存性は基準電流や基準電圧、そしてキャパシタの精度で決まる。これは、設計方法によって PVT 依存性が大きく変化することを表す。弛張発振回路の消費電力は、弛張発振動作を行うアナログ部とそれを制御するデジタル部で決まる。そのため、アナログ部の消費電力は弛張発振動作に使用する基準電流と電源電圧に比例し、デジタル部の消費電力は消費電流と電源電圧、そしてデジタル部のキャパシタンス成分に比例する。したがって、消費電力は、各要素回路の設計方法によって大きく変化する。

以上の各種発振回路の特性から、WSN システムに搭載する時間計測回路に有効な発振回路を考察する。水晶発振回路は LSI に搭載できないという理由から、時間計測回路に使用することがで

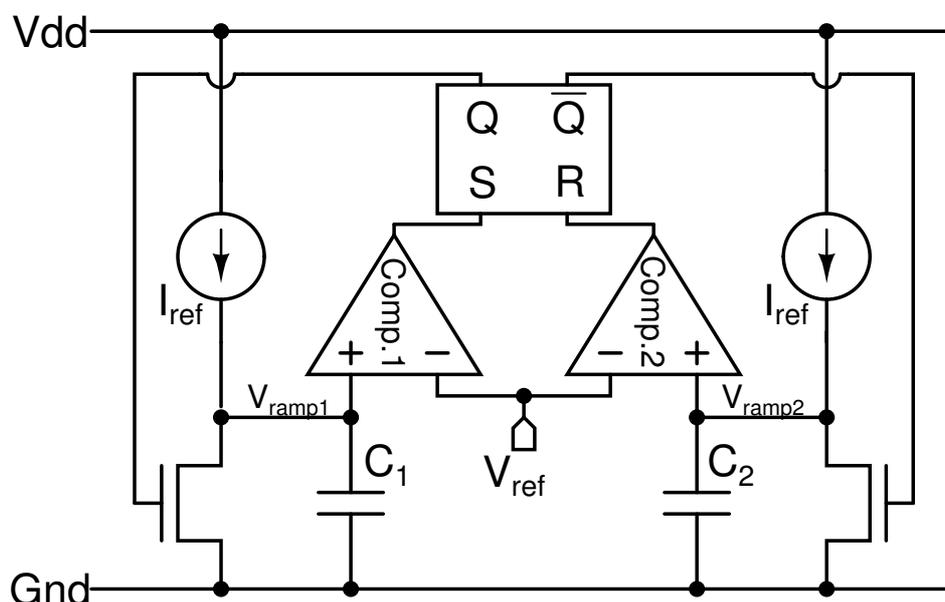


図 2.2: 弛張発振回路 [1,2].

きない。また、LC 発振回路は 32.768 kHz の低い周波数の生成には非常に大きな L と C が必要となる。そのため、LC 発振回路のサイズが大きくなり、LSI への搭載が困難になる。リング発振回路は CMOS のみで構成されるため、LSI への搭載は容易であるが、PVT 依存性が高い。そして、弛張発振回路は CMOS と受動素子で構成されるため、LSI への搭載が可能であり、さらに PVT 依存性や消費電力が設計方法によって決まる。以上から、高精度かつ環境変化に頑健で、超低電力で動作するオンチップ発振回路を実現するには、設計方法次第で性能が決定する弛張発振回路が有効であると考えられる。そこで、本論文では弛張発振ベースの時間計測回路の実現を目指す。

2.3 弛張発振回路

図 2.2 に弛張発振回路の回路図を示す [1,2]。この回路は 2 つのコンパレータ回路、RS フリップフロップ、基準電流源、基準電圧源、nMOSFET を用いたスイッチ、そしてキャパシタで構成される。以下、弛張発振回路の回路動作、消費電力、発振周波数、そして PVT 依存性について議論する。

2.3.1 回路動作

図 2.3 に、 Q をクロック信号の出力とした場合の弛張発振回路の動作波形を示す。弛張発振回路は 0 V から基準電圧 V_{ref} まで充放電を繰り返し、クロック信号を生成する。充放電には図 2.2 に示されるキャパシタ C_1 と C_2 を用い、これらのキャパシタを基準電流 I_{ref} を用いて交互に充電する。以下、図 2.2 の回路図と、図 2.3(a), (b) を用いて詳しく動作を説明する。

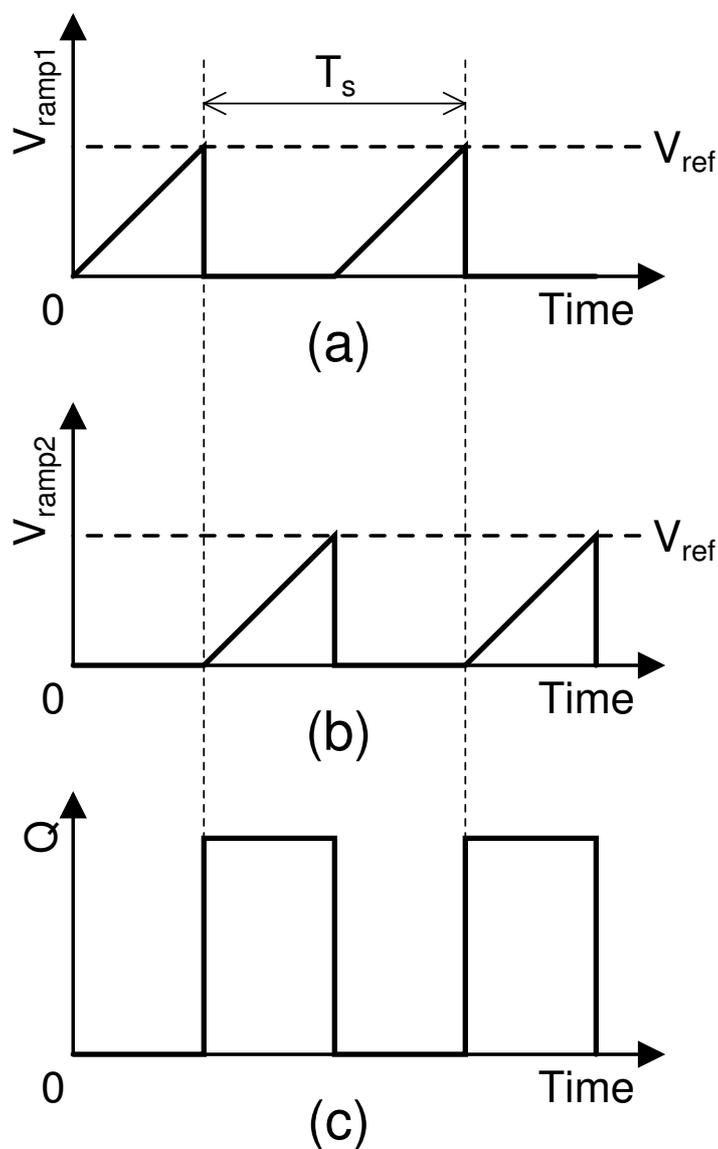


図 2.3: 弛張発振回路の動作波形.

初期状態において、図 2.2 の RS フリップフロップの出力 Q は '0', \bar{Q} は '1' とし、各キャパシタ C_1 と C_2 の電荷はゼロとする。まず、基準電流 I_{ref} を用いて C_1 を充電し、 V_{ramp1} が上昇する。 V_{ramp1} が基準電圧 V_{ref} に達すると、Comp.1 の出力が '1' となる。そして、RS フリップフロップの出力 Q が '1', \bar{Q} が '0' となり、 V_{ramp1} は 0 V にリセットされる。また、基準電流 I_{ref} を用いてキャパシタ C_2 は充電され、 V_{ramp2} が上昇する。 V_{ramp2} が基準電圧 V_{ref} に達すると、Comp.2 の出力が '1' となり、RS フリップフロップの出力 Q が '0', \bar{Q} が '1' となる。これ以降は、以上で説明した動作が繰り返される。

2.3.2 消費電力

弛張発振回路の消費電力 P_{osc} は, $P_{\text{osc}} = P_{\text{a}} + P_{\text{d}} + P_{\text{leak}}$ と表すことができる. ここで, P_{a} はアナログ部の消費電力, P_{d} はデジタル部の消費電力, そして P_{leak} はリークによる消費電力である. アナログ部の消費電力 P_{a} は基準電流 I_{ref} が流れるパスの数 N に比例するため,

$$P_{\text{a}} = NI_{\text{ref}}V_{\text{dd}} \quad (2.1)$$

となる. また, デジタル部の消費電力 P_{d} とリークによる消費電力 P_{leak} は,

$$P_{\text{d}} = C_{\text{load}}V_{\text{dd}}^2f_{\text{osc}} \quad (2.2)$$

$$P_{\text{leak}} = I_{\text{leak}}V_{\text{dd}} \quad (2.3)$$

となる. ここで, C_{load} は論理ゲートの出力容量であり, f_{osc} は弛張発振回路の発振周波数, そして I_{leak} はリーク電流である.

弛張発振回路の大部分はアナログ部が占めるため, アナログ部の消費電力はデジタル部の消費電力に比べ大きい. 弛張発振回路の消費電力は基準電流 I_{ref} と電源電圧 V_{dd} に強く依存する.

2.3.3 発振周波数と PVT 依存性

弛張発振回路が 1 サイクルの計測に要する時間 T_{s} は,

$$T_{\text{s}} = \frac{2C_{1,2}V_{\text{ref}}}{I_{\text{ref}}} \quad (2.4)$$

と表せる. ここで, $C_{1,2}$ は $C_{1,2} = C_1 = C_2$ である. 弛張発振回路の発振周波数は T_{s} の逆数を取り,

$$f_{\text{osc}} = \frac{I_{\text{ref}}}{2V_{\text{ref}}C_{1,2}} \quad (2.5)$$

となる. ここで, I_{ref} と V_{ref} , $C_{1,2}$ の PVT バラツキを考慮すると, 発振周波数 f_{osc} の変動係数は,

$$\frac{\Delta f_{\text{osc}}}{f_{\text{osc}}} = \frac{\Delta I_{\text{ref}}}{I_{\text{ref}}} - \frac{\Delta C_{1,2}}{C_{1,2}} - \frac{\Delta V_{\text{ref}}}{V_{\text{ref}}} \quad (2.6)$$

となる. ここで, ΔI_{ref} は I_{ref} の変動量, そして $\Delta C_{1,2}$ は $C_{1,2}$ の変動量, ΔV_{ref} は V_{ref} の変動量である. これらの式から, 発振周波数は基準電流 I_{ref} に比例し, キャパシタ $C_{1,2}$ と基準電圧 V_{ref} に反比例する. そして, それらの PVT バラツキの影響がそのまま発振周波数を変動させることが分かる.

2.4 各要素回路の遅延を考慮した弛張発振回路

弛張発振回路の発振周波数を式 2.5 で示した. しかし, 実際にはコンパレータ回路や RS フリップフロップのオフセット電圧や遅延の影響で発振周波数が変動する. 以下, これらについて詳細を説明する.

2.4.1 コンパレータ回路の動作

図 2.4 に nMOSFET 入力, 図 2.5 に pMOSFET 入力の 2 ステージ型コンパレータ回路の回路図を示す [3, 4]. これらの回路は, 差動増幅器とソース接地増幅器で構成される. 以下, nMOSFET 入力のコンパレータ回路を用いて, V_{in+} に V_{in} , V_{in-} に V_{ref} が入力されていると仮定し, 回路動作を説明する.

入力電圧 V_{in} が V_{ref} よりも低い状態から高くなると, M_{p1} よりも M_{n1} に流れる電流が大きくなり, 差動増幅器の出力 $V_{out,d}$ が減少する. そして, M_{p2} がオンし出力 V_{out} が立ち上がる. それに対し, 入力電圧 V_{in} が V_{ref} よりも高い状態から低くなると, M_{p1} が M_{n1} に流れる電流よりも大きくなり, 差動増幅器の出力 $V_{out,d}$ が上昇する. そして, M_{p2} がオフし出力 V_{out} が立ち下がる.

nMOSFET 入力と pMOSFET 入力のコンパレータ回路の違いは, 入力コモンモード電圧の許容範囲と出力の立ち上がり立ち下がりスルーレートが異なることである. nMOSFET 入力のコンパレータ回路は, 入力信号 V_{in+} と V_{in-} が nMOSFET のオーバードライブ電圧にしきい値電圧を足した電圧以上から動作できる. 出力の立ち上がりスルーレートは, 図 2.4 に示す出力容量 C_{load2} の充電スピードが M_{p2} のゲインに依存するため高くなる. 一方, 立ち下がりスルーレートは, C_{load2} の充電スピードが基準電流 I_{ref} に依存するため低くなる. pMOSFET 入力のコンパレータ回路は, 入力信号 V_{in+} と V_{in-} が電源電圧 V_{dd} から pMOSFET のオーバードライブ電圧としきい値電圧を引いた電圧以下から動作できる. また, 出力の立ち上がりスルーレートは, 図 2.5 に示す出力容量 C_{load2} の充電スピードが基準電流 I_{ref} に依存するため低くなる. 一方, 立ち下がりスルーレートは, C_{load2} の充電スピードが M_{n2} のゲインに依存するため高くなる.

2.4.2 コンパレータ回路のオフセット電圧

図 2.4 のコンパレータ回路は V_{in+} に V_{in} , V_{in-} に V_{ref} が入力されていると仮定すると, 通常, 基準電圧 V_{ref} が出力の '1' と '0' とを切り替える反転ポイントとなる. つまり, 入力電圧 V_{in} が基準電圧 V_{ref} よりも高ければ出力は '1' となり, 低ければ出力は '0' となる. しかし実際には, 出力の '1' と '0' とを切り替える反転ポイントが基準電圧 V_{ref} からずれてしまう. このずれをオフセット電圧という. オフセット電圧はプロセス変動の影響で, コンパレータ回路内の各 MOSFET のしきい値電圧やサイズなどが変動するため生じる.

図 2.6 は, 横軸を V_{in} とした場合の出力 V_{out} の反転ポイントを表している. 出力の '1' と '0' とを切り替える反転ポイントは, 結果的にコンパレータ回路のプロセス変動の影響で基準電圧 V_{ref} からオフセット電圧 V_{off} だけずれた電圧となる.

2.4.3 遅延時間

2.4.1 節において説明した回路動作から, コンパレータ回路は入力に変化し, ある一定時間が経過した後出力信号が反転することが分かる. この時間を遅延時間という. 図 2.7 に遅延時間を考慮したコンパレータ回路の動作波形を示す. 図 2.4 のコンパレータ回路の遅延は, 立ち上がり時の

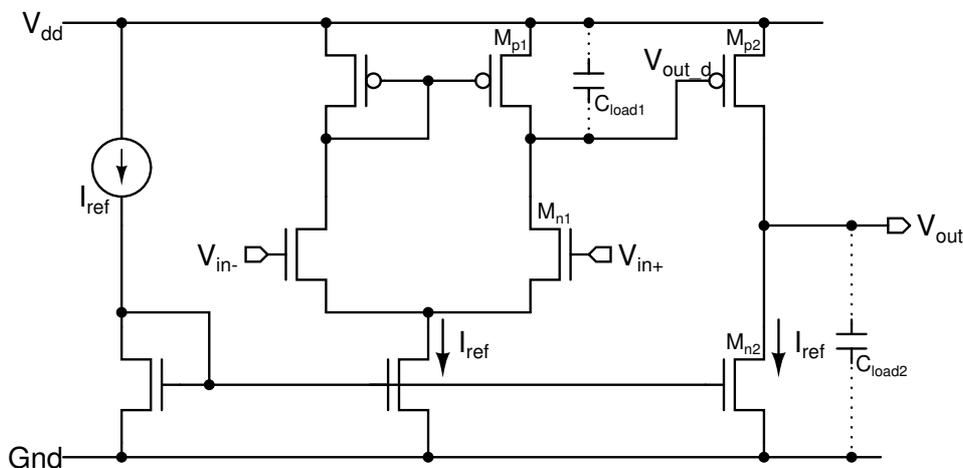


図 2.4: nMOSFET 入力の 2 ステージ型コンパレータ回路の回路図 [3, 4].

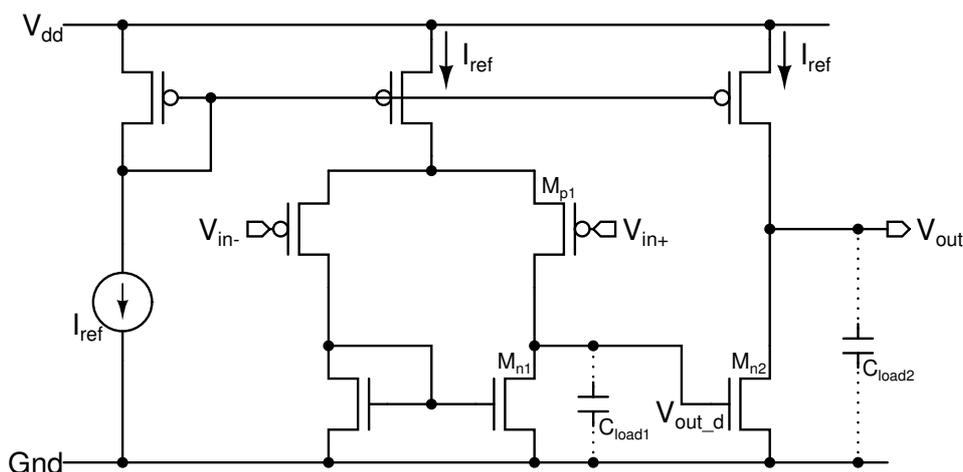


図 2.5: pMOSFET 入力の 2 ステージ型コンパレータ回路の回路図 [3, 4].

遅延を τ_{cr} , 立ち下がり時の遅延を τ_{cf} とすると,

$$\tau_{cr} \approx \sqrt{\frac{C_{load1} C_{load2}}{g_{m,d} g_{m,s}}} \sqrt{\frac{V_{dd}}{V_{in} - V_{ref}}} \quad (2.7)$$

$$\tau_{cf} \approx \frac{C_{load2} V_{dd}}{I_{ref}} \quad (2.8)$$

と表される. ここで, C_{load1} は差動増幅回路の出力容量, C_{load2} はコンパレータ回路の出力容量, そして $g_{m,d}, g_{m,s}$ はそれぞれ差動増幅器とソース接地増幅器のトランスコンダクタンスである.

これらの式から, 立ち上がり時と立ち下がり時で遅延時間が異なることが分かる. 立ち上がりの遅延時間 τ_{cr} は $g_{m,d}$ と $g_{m,s}$ の積の平方根に反比例する. 一方, 立ち下がりの遅延時間 τ_{cf} は I_{ref} に反比例する. $g_{m,d}$ は基準電流 I_{ref} の増加に伴い上昇するため, コンパレータ回路は I_{ref} の増加

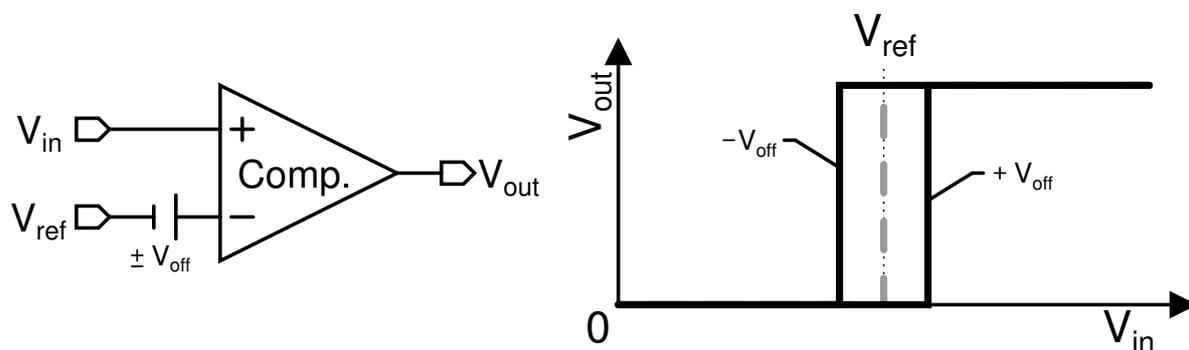


図 2.6: コンパレータ回路のオフセット電圧.

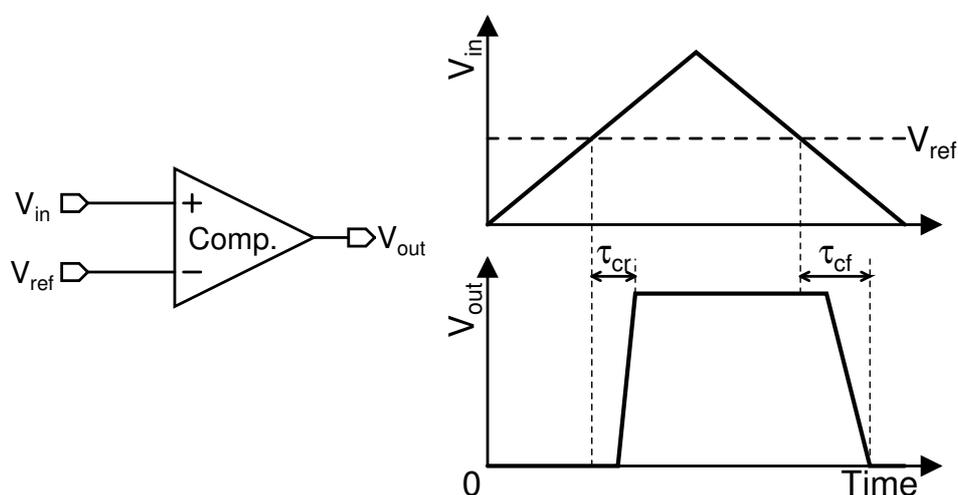


図 2.7: 2 ステージ型コンパレータ回路の遅延.

に伴って、速度が向上する.

RS フリップフロップなどのデジタル回路の遅延時間は信号が通過する論理ゲートの遅延時間の総和で表すことができる. 論理ゲート一段あたりの遅延時間 τ_{dg} は,

$$\tau_{dg} \approx \frac{C_{load} V_{dd}}{I_d} \frac{1}{2} \quad (2.9)$$

と表せる. ここで, C_{load} は論理ゲートの出力容量, V_{dd} はデジタル回路の電源電圧, そして I_d は論理ゲートのドレイン電流である. したがって, デジタル回路の遅延時間 τ_d は,

$$\tau_d \approx N \tau_{dg} \quad (2.10)$$

となる. ここで, N は信号が通過する論理ゲート数である.

2.4.4 遅延とオフセット電圧を考慮した発振周波数と PVT 依存性

図 2.4 のコンパレータ回路のオフセット電圧と各要素回路の遅延を考慮すると、弛張発振回路の周期 T'_s は、

$$T'_s = \frac{2C_{1,2}(V_{\text{ref}} \pm \Delta V_{\text{off}})}{I_{\text{ref}}} + 2(\tau_{\text{cr}} + \tau_{\text{d}}) \quad (2.11)$$

となる。弛張発振回路の RS フリップフロップは、コンパレータ回路の立ち上がりで切り替わりと仮定している。遅延を考慮した弛張発振回路の発振周波数 f'_{osc} は、

$$f'_{\text{osc}} = \frac{I_{\text{ref}}}{2C_{1,2}(V_{\text{ref}} \pm \Delta V_{\text{off}}) + 2I_{\text{ref}}(\tau_{\text{cr}} + \tau_{\text{d}})} \quad (2.12)$$

となる。ここで、 I_{ref} と $V_{\text{ref}} \pm \Delta V_{\text{off}}$ 、 $C_{1,2}$ 、 $\tau_{\text{cr}} + \tau_{\text{d}}$ の PVT バラツキを考慮すると、発振周波数 f'_{osc} の変動係数は、

$$\frac{\Delta f'_{\text{osc}}}{f'_{\text{osc}}} = \frac{f'_{\text{osc}}}{f'_{\text{osc}}} \left(\frac{\Delta I_{\text{ref}}}{I_{\text{ref}}} - \frac{\Delta C_{1,2}}{C_{1,2}} - \frac{\Delta(V_{\text{ref}} \pm \Delta V_{\text{off}})}{V_{\text{ref}} \pm \Delta V_{\text{off}}} - 2f_{\text{osc}}\Delta(\tau_{\text{cr}} + \tau_{\text{d}}) \right) \quad (2.13)$$

となる。

オフセット電圧と遅延を考慮した発振周波数 f'_{osc} はプラスのオフセット電圧が付加されていると、理想的な f_{osc} よりも低くなる。また、PVT 依存性は $\tau_{\text{cr}} + \tau_{\text{d}}$ と V_{off} のバラツキが追加される分だけ高くなる。

2.5 時間計測用途への応用とその課題

2.4 節で議論した弛張発振回路はコンパレータ回路のオフセット電圧と遅延、そして RS フリップフロップの遅延の影響で発振周波数が大きく変動する。ただし、時間計測用途の発振回路の発振周波数は 32.768 kHz と低周波であるため、大きくとも数 ns 程度である RS フリップフロップの遅延の影響はほぼ無視できる。また、コンパレータ回路のオフセット電圧はプロセス変動に依存するため、コンパレータ回路の差動増幅回路部の MOSFET のサイズを大きくすることで低く抑えることができる。そして、コンパレータ回路の遅延はコンパレータ回路を駆動する基準電流 I_{ref} に反比例するため、遅延時間を小さくするためには I_{ref} を大きくしなければならない。しかし、 I_{ref} を大きくすると消費電力が増大する。つまり、コンパレータ回路の消費電力削減が困難になる。

2.5.1 弛張発振回路のシミュレーション波形

図 2.2 の弛張発振回路が超低電力で動作する場合の影響について確認するために、シミュレーション評価を行った。弛張発振回路は、0.18- μm スタンダード CMOS プロセスを用いて構成した。コンパレータ回路には図 2.4 の回路、基準電流と基準電圧の生成には理想的なバイアス回路、キャパシタンスの生成には理想キャパシタを用いた。また、バイアス回路で生成される基準電流 I_{ref} を 200 nA、基準電圧 V_{ref} を 1 V とし、キャパシタ容量 $C_{1,2}$ を 3.052pF とした。このときの弛張発振回路の理想的な発振周波数は、式 2.5 から 32.765 kHz である。

図 2.8 に弛張発振回路のシミュレーション波形を示す. このときの電源電圧 V_{dd} は 1.8 V, 温度は 27 °C である. 消費電力は, 1.44 μW であった. また, 図 2.8 の Q の波形より, 発振周波数は 32.03 kHz であった. これは, 理論値の 32.765 kHz よりも 0.735 kHz だけ低い値である. また, 0.735 kHz のずれを時間に換算すると 695 ns である. この誤差の原因は, コンパレータ回路の遅延である. コンパレータ回路の遅延は, 図 2.8 の V_{ramp1} の波形より, 307 ns 程存在し, 実際にはこの値の 2 倍にあたる 614 ns の遅延が発振周波数に影響を与えている.

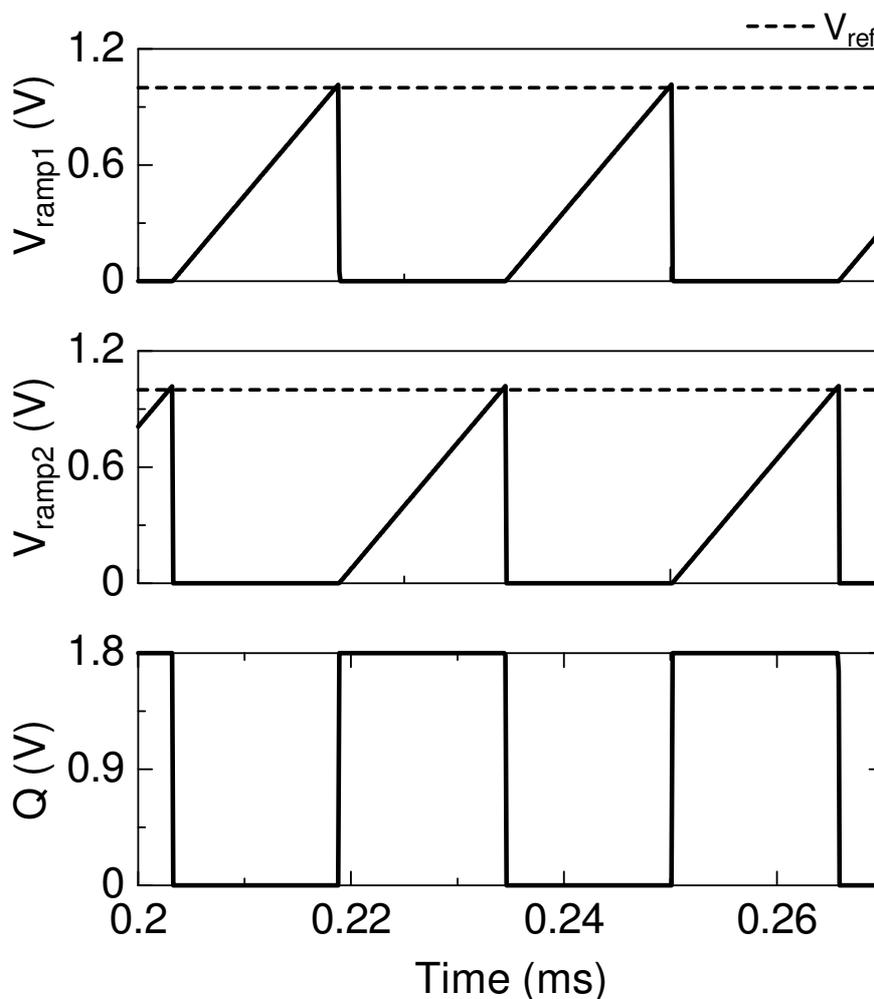


図 2.8: 弛張発振回路のシミュレーション波形.

2.5.2 コンパレータ回路の遅延の PVT 依存性

2.5.1 節において、コンパレータ回路の遅延の影響で発振周波数が変動することを確認した。そこで、次に 2.5.1 節と同条件でコンパレータ回路の PVT 依存性について評価した。

モンテカルロシミュレーションを用いて、プロセス変動に対するコンパレータ回路の遅延変動を評価した。モンテカルロシミュレーションでは、製造ばらつきによって変化する MOSFET のパラメータをランダムに変化させてシミュレーションを行う。評価では、ウェハ間で発生するグローバルばらつきとノイズなどの影響で発生するランダムばらつきを含め、500 回行った。図 2.9 にプロセス変動に対するコンパレータ回路の遅延変動のヒストグラムを示す。図 2.9 より、コンパレータの回路の遅延は、182 から 435 ns の間で正規分布に従い変動した。平均値は 297 ns、標準偏差は 40 ns であった。この結果より、プロセス変動はコンパレータ回路の遅延を最大 138 ns 程変動させる。

次に、コンパレータ回路の基準電流を 200 nA、100 nA、そして 50 nA としたときの温度変動と電源電圧変動に対するコンパレータ回路の遅延変動を評価した。温度依存性を評価する際には、弛張発振部とコンパレータ回路の電源電圧を 1.8 V とした。また、電源電圧依存性を評価する際には、弛張発振部の電源電圧を 1.8 V、温度を 27 °C に固定し、コンパレータ回路のみの電源電圧を変動させた。図 2.11 に温度変動に対するコンパレータ回路の遅延の結果、図 2.10 に電源電圧変動に対するコンパレータ回路の遅延の結果を示す。図 2.11 より、-40 から 120 °C の温度変動に対する遅延変動は、基準電流 200 nA において 24 ns、基準電流 100 nA において 40.2 ns、基準電流 50nA において 72.5 ns であった。また、図 2.10 より、1.2 から 1.8 V の電源電圧変動に対する遅延変動は基準電流 200 nA において 9 ns、基準電流 100 nA において 13.1 ns、基準電流 50nA において 19.1 ns であった。これらの結果より、コンパレータ回路の基準電流の低下は、温度依存性と電源電圧依存性を高くする。

最後に、コンパレータ回路の基準電流を 200 nA、100 nA、そして 50 nA とした場合の基準電圧 V_{ref} 変動に対するコンパレータ回路の遅延変動を評価した。これは、高精度かつ環境変化に頑健な基準電圧 V_{ref} が生成できない場合を想定している。また、この評価での発振周波数の理論値

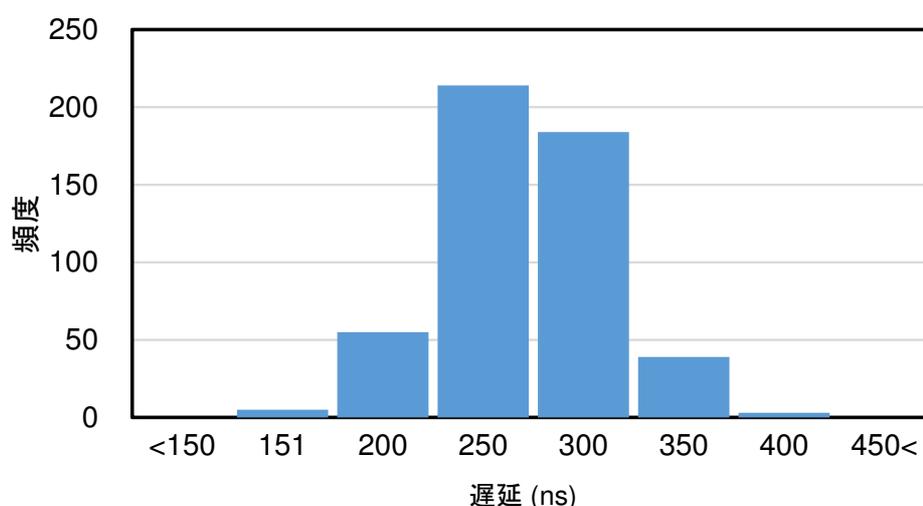


図 2.9: プロセス変動に対するコンパレータ回路の遅延変動のヒストグラム (500 回)。

は 32.765 kHz, 弛張発振部とコンパレータ回路の電源電圧は 1.8 V, 温度は 27 °C に固定した. 図 2.12 に基準電圧に対するコンパレータ回路の遅延の結果を示す. 図 2.12 より, 0.5 から 1.5 V の基準電圧変動に対する遅延変動は基準電流 200 nA において 173.3 ns, 基準電流 100 nA において 245.7 ns, 基準電流 50 nA において 343.1 ns であった. この結果より, コンパレータ回路の基準電流の低下は, 基準電圧変動の影響を高くする.

以上から, プロセス, 温度, 電源電圧の変動に対するコンパレータ回路の遅延変動量は, コンパレータ回路の基準電流 200 nA で合計 114 ns である. さらに, プロセス変動を 3σ まで考慮すると, その遅延変動量は 274 ns に達する. これは, 基準電圧と基準電流が変動しないことが前提である. もし, 高精度かつ環境変化に頑健な基準電圧と基準電流が生成できないとすると, コンパレータの遅延変動量はさらに増加する. 評価結果より, 基準電圧の変動に対する遅延変動は $0.173 \mu\text{s}/\text{V}$ に達し, さらに, コンパレータ回路の基準電流の変動に対する遅延変動量は $2 \mu\text{s}/\mu\text{A}$ に達する.

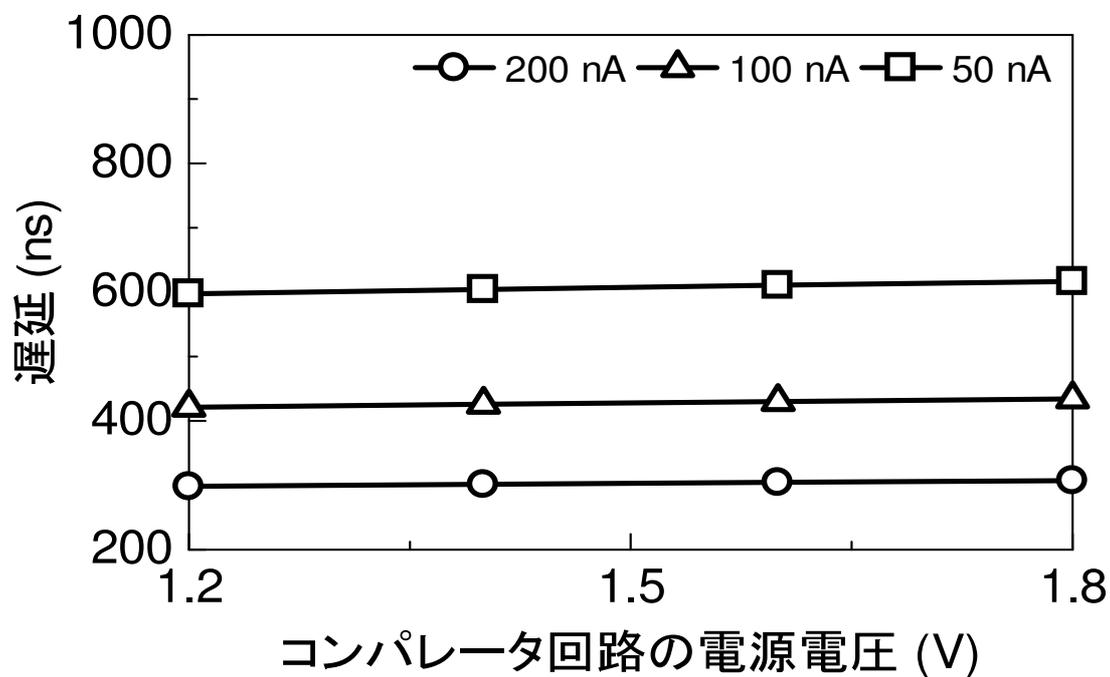


図 2.10: 電源電圧変動に対するコンパレータ回路の遅延変動.

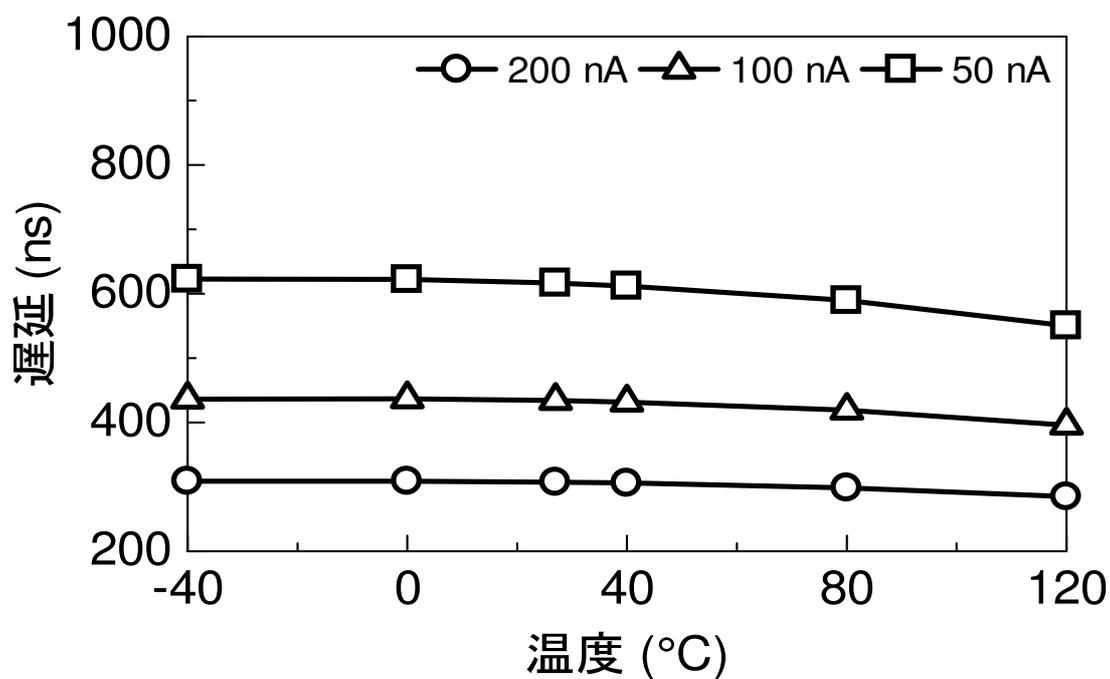


図 2.11: 温度変動に対するコンパレータ回路の遅延.

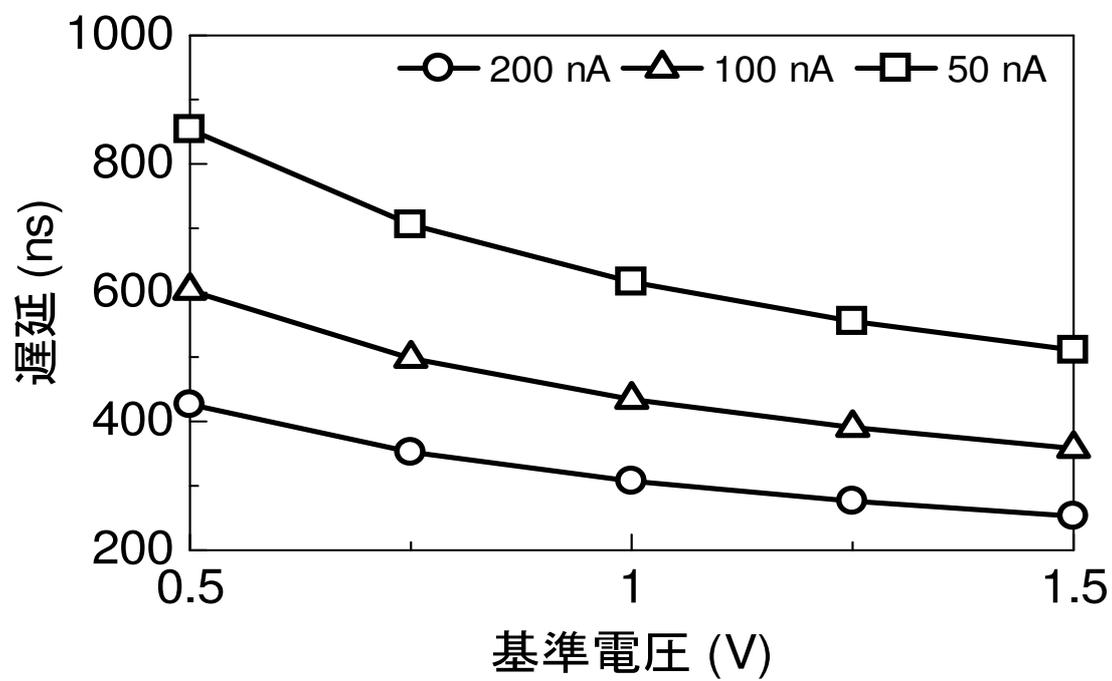


図 2.12: 基準電圧変動に対するコンパレータ回路の遅延変動.

2.5.3 コンパレータ回路の基準電流と弛張発振回路の消費電流

弛張発振回路の消費電力を下げるためには、コンパレータ回路を駆動する基準電流を下げる必要がある。ここでは、コンパレータ回路の基準電流と弛張発振回路全体の消費電流の関係について 2.4.1 節、2.5.2 節と同条件で議論する。

図 2.13 にコンパレータ回路の基準電流に対する弛張発振回路の消費電流の結果を示す。このときの弛張発振部の基準電流は 200 nA、弛張発振部とコンパレータ回路の電源電圧は 1.8 V、温度は 27 °C とした。図 2.13 より、弛張発振回路全体の消費電流は、コンパレータ回路の基準電流の低下によって小さくなる。しかし、その削減量は基準電流が低くなるにつれて減少する。これは、RS フリップフロップの消費電流がコンパレータの基準電流の低下に伴い、増加していることが原因である。

図 2.14 にコンパレータ回路の出力のスルーレートに対するインバータ回路の貫通電流のモデルを示す。図 2.14(b) のように、コンパレータ回路の出力のスルーレートが高いと貫通電流 I_{short} が流れる期間は短い。しかし、図 2.14(c) のように、コンパレータ回路の出力のスルーレートが低いと貫通電流 I_{short} が流れる期間が長くなる。つまり、コンパレータ回路の出力のスルーレート低下が後段のデジタル回路の消費電力を増加させる。以上を考慮すると、低電流化によってコンパレータ回路の出力信号のスルーレートが劣化し、出力に接続される RS フリップフロップの消費電流が増加していると考えられる。

2.5.4 時間計測用途に向けた課題

超低電力な弛張発振回路を実現するためには、各回路部へ供給する基準電流を出来る限り減らす必要がある。しかし、基準電流の減少はコンパレータ回路の遅延の PVT 依存性を高くし、さらにコンパレータ回路の出力に接続されている制御回路の消費電流を増加させる。つまり、時間計測用途に弛張発振回路を適用させるためには、コンパレータ回路の遅延を補正する技術と、高スルーレートを持つ超低電力コンパレータ回路の開拓が必要不可欠である。

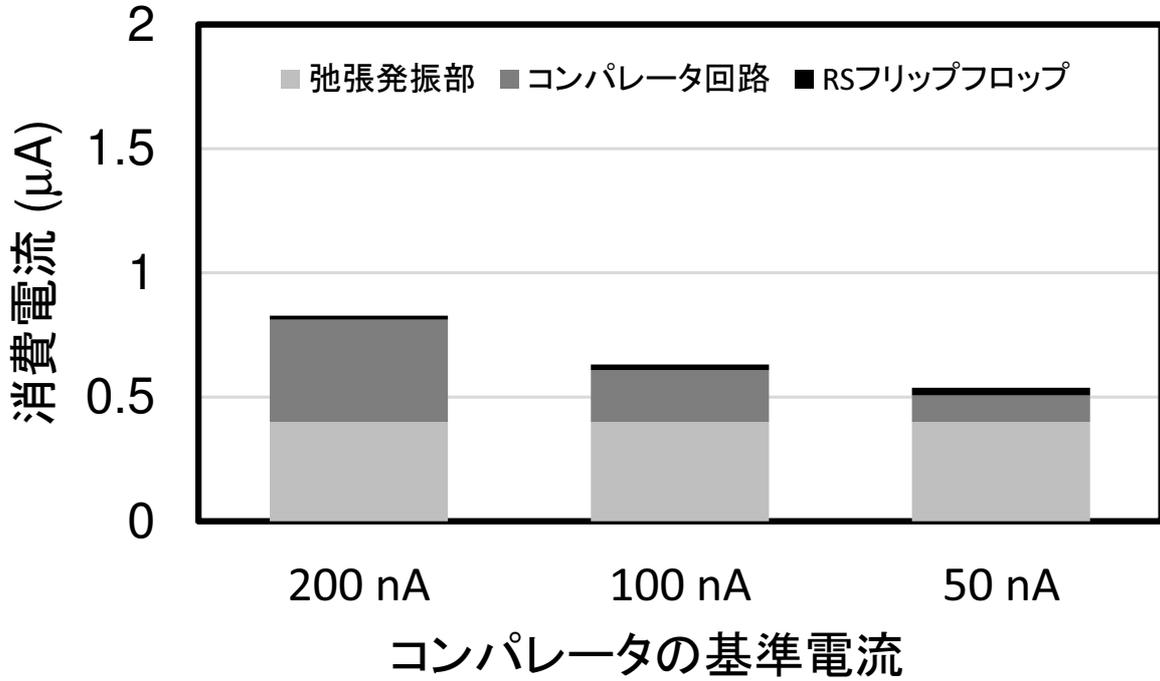


図 2.13: コンパレータ回路の基準電流に対する弛張発振回路の消費電流。

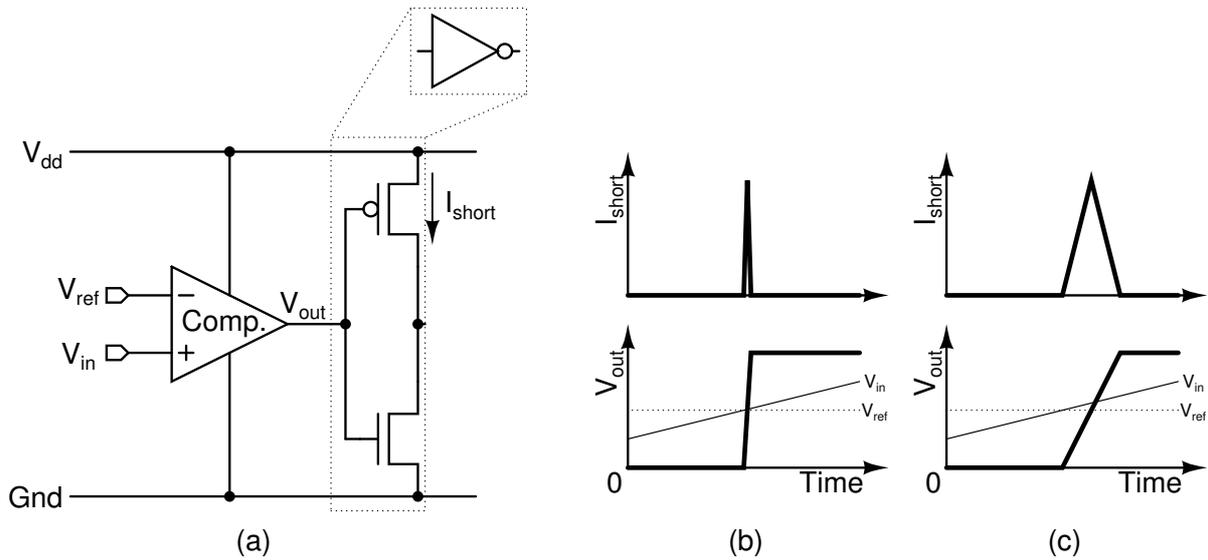


図 2.14: (a) コンパレータ回路の出力のスルーレートに対するインバータ回路の貫通電流のモデル, (b) スルーレートが高い場合, (c) スルーレートが低い場合の波形。

2.6 弛張発振回路用のバイアス回路

2.5節までは、理想的な基準電流 I_{ref} と基準電圧 V_{ref} を用いて議論した。しかし実際には、弛張発振回路に搭載するバイアス回路は、CMOSプロセスを用いて構成しなければならない。つまり、バイアス回路内のMOSFETのしきい値電圧やサイズなどがプロセス変動によってばらつく。さらに、温度変動や電圧変動によってバイアス回路内のMOSFETの電流特性が変化する。これらの変動は、結果として、基準電流と基準電圧を変動させる。

そこで本節では、基準電流と基準電圧を生成するバイアス回路について議論する。

2.6.1 回路構成例とその動作

弛張発振回路に搭載可能なバイアス回路の一例を図2.15と2.16に示す[5,6]。図2.15のバイアス回路は、pMOSFETのダイオード接続と抵抗 R で構成される。基準電流 I_{ref} はオームの法則に従い、以下の式のように基準電圧 V_{ref} と抵抗 R から求めることができる。

$$I_{\text{ref}} = \frac{V_{\text{ref}}}{R} \quad (2.14)$$

この回路の基準電圧 V_{ref} は、

$$V_{\text{ref}} = V_{\text{dd}} - (V_{\text{thp}} + \Delta V_{\text{ov,p}}) \quad (2.15)$$

$$\Delta V_{\text{ov,p}} = \begin{cases} \sqrt{\frac{2L_p}{\mu_p C_{\text{ox}} W_p} I_{\text{ref}}} & (\text{強反転領域}) \\ \eta V_T \ln\left(\frac{L_p}{I_{0p} W_p} I_{\text{ref}}\right) & (\text{弱反転領域}) \end{cases}$$

と表せる。ここで、 V_{thp} はpMOSFETのしきい値電圧、 L_p と W_p はそれぞれpMOSFETのゲート長とゲート幅、 C_{ox} はゲート酸化膜容量、 μ_p はホール移動度、 $I_{0p} (= \mu_p C_{\text{ox}} (\eta - 1) V_T^2)$ はpMOSFETのサブスレッショルド電流の前置係数、 η はサブスレッショルドスロープ係数、 $V_T (= k_B T / q)$ は熱電圧、 k_B はボルツマン係数、 T は絶対温度、 q は電気素量である。また、 $\Delta V_{\text{ov,p}}$ はバイアス回路が弱反転領域か強反転領域で動作するかによって変化する。

図2.16のバイアス回路は、pMOSFETのカレントミラー回路と M_{n1} と M_{n2} の2つのnMOSFETによるフィードバックループで構成される。このフィードバックループは M_{n1} と M_{n2} のサイズ比が同じであれば、 M_{n2} のゲート電圧を $2V_{\text{ref}}$ に維持し、さらに、 M_{n1} のドレイン電流を I_{ref} に保持する。この回路の基準電圧 V_{ref} は、

$$V_{\text{ref}} = V_{\text{thn}} + \Delta V_{\text{ov,n}} \quad (2.16)$$

$$\Delta V_{\text{ov,n}} = \begin{cases} \sqrt{\frac{2L_n}{\mu_n C_{\text{ox}} W_n} I_{\text{ref}}} & (\text{強反転領域}) \\ \eta V_T \ln\left(\frac{L_n}{I_{0n} W_n} I_{\text{ref}}\right) & (\text{弱反転領域}) \end{cases}$$

と表せる。ここで、 V_{thn} はnMOSFETのしきい値電圧、 L_n と W_n はそれぞれnMOSFETのゲート長とゲート幅、 μ_n は電子の移動度、 $I_{0n} (= \mu_n C_{\text{ox}} (\eta - 1) V_T^2)$ はnMOSFETのサブスレッショルド

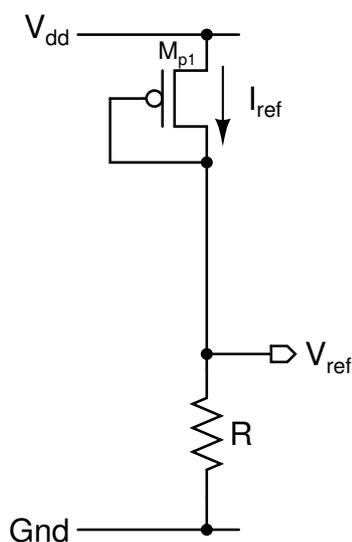


図 2.15: ダイオード接続した pMOSFET と抵抗を用いたバイアス回路 (バイアス回路 1) [5, 6].

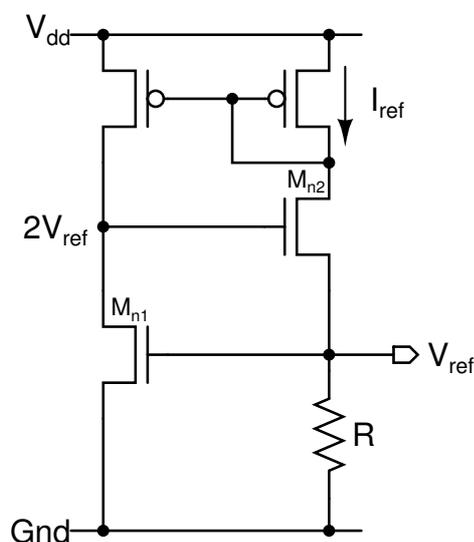


図 2.16: しきい値参照型のバイアス回路 (バイアス回路 2) [5, 6].

ド電流の前置係数である。また、基準電流 I_{ref} は図 2.15 の回路同様、式 2.14 に従い、基準電圧 V_{ref} と抵抗 R から求めることができる。

以下、図 2.15、図 2.16 のバイアス回路をそれぞれ「バイアス回路 1」、「バイアス回路 2」とする。

2.6.2 PVT 依存性のシミュレーション評価

バイアス回路 1, 2 を $0.18\text{-}\mu\text{m}$ スタンダード CMOS プロセスで構成し、PVT 依存性に対するシミュレーション評価を行った。弛張発振回路は超低電力で動作させるために、弛張発振回路のアナログ部は弱反転領域で動作させる必要がある。そのため、抵抗には理想抵抗を用い、バイアス回路 1, 2 の抵抗値をそれぞれ、 $10\text{M}\Omega$, $2.24\text{M}\Omega$ とした。このときの各バイアス回路の基準電流は、温度 $27\text{ }^\circ\text{C}$ 、電源電圧 1.8 V でそれぞれ 150 nA となった。

モンテカルロシミュレーションを用いて、プロセス変動に基準電圧の変動を評価した。モンテカルロシミュレーションは、グローバルばらつきとランダムばらつきを含め、500 回行った。また、そのときの温度は $27\text{ }^\circ\text{C}$ 、電源電圧は 1.8 V とした。図 2.17、図 2.18 にプロセス変動に対する基準電圧 V_{ref} 変動のヒストグラムを示す。図 2.17、図 2.18 より、バイアス回路 1, 2 の基準電圧は、それぞれ、 1.363 から 1.440 V 、 0.306 から 0.392 V の間で正規分布に従い変動した。平均値はそれぞれ 1.406 V 、 0.341 V 、標準偏差はそれぞれ 0.0123 V 、 0.0126 V であった。

次に、バイアス回路 1, 2 の電源電圧が 1.2 V 、 1.5 V 、そして 1.8 V のときの温度変動に対する基準電圧変動を評価した。図 2.19、図 2.20 に温度変動に対する基準電圧変動のグラフを示す。図 2.19 より、バイアス回路 1 の基準電圧は、温度変動と電源電圧変動に対し大きく変動する。 -40 から $120\text{ }^\circ\text{C}$ の温度変動に対する基準電圧変動は 0.142 V 、 1.2 から 1.8 V の電源電圧変動に対する基準電圧変動は 0.578 V であった。また、図 2.20 より、バイアス回路 2 の基準電圧は、温度変動

に対し大きく変動する。-40 から 120 °C の温度変動に対する基準電圧変動は 0.158 V, 1.2 から 1.8 V の電源電圧変動に対する基準電圧変動は 0.002 V であった。

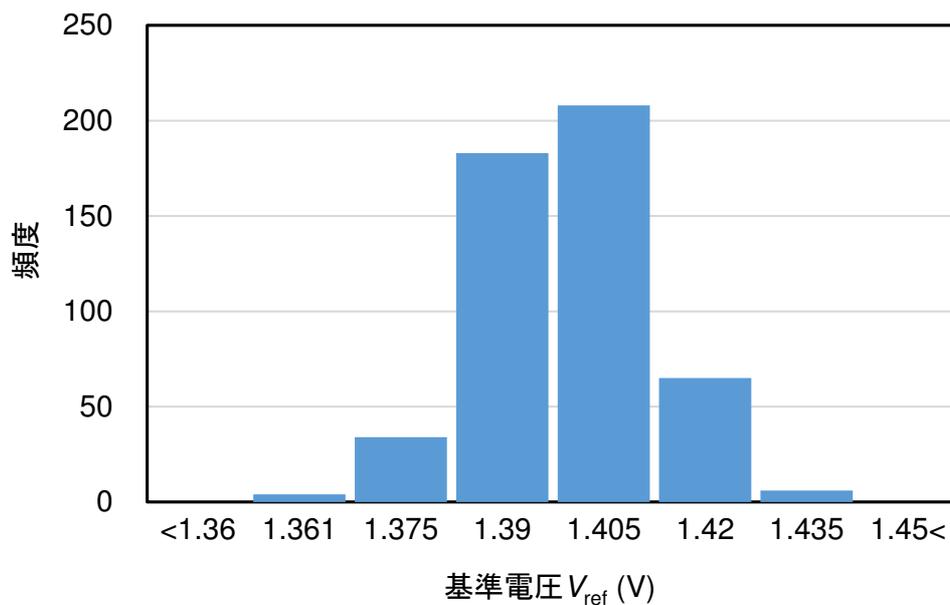


図 2.17: バイアス回路 1 のプロセス変動に対する基準電圧変動のヒストグラム (500 回) .

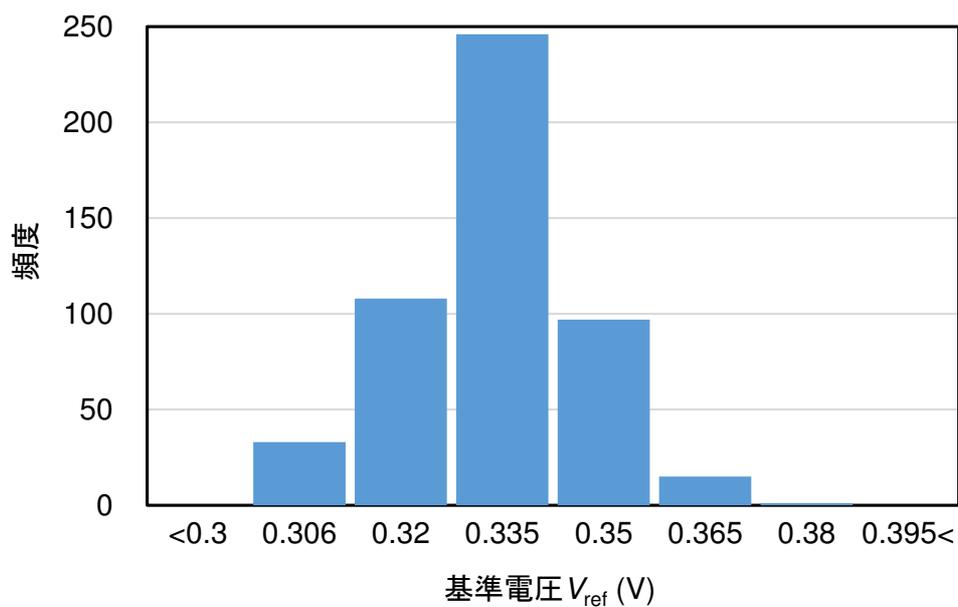


図 2.18: バイアス回路 2 のプロセス変動に対する基準電圧変動のヒストグラム (500 回) .

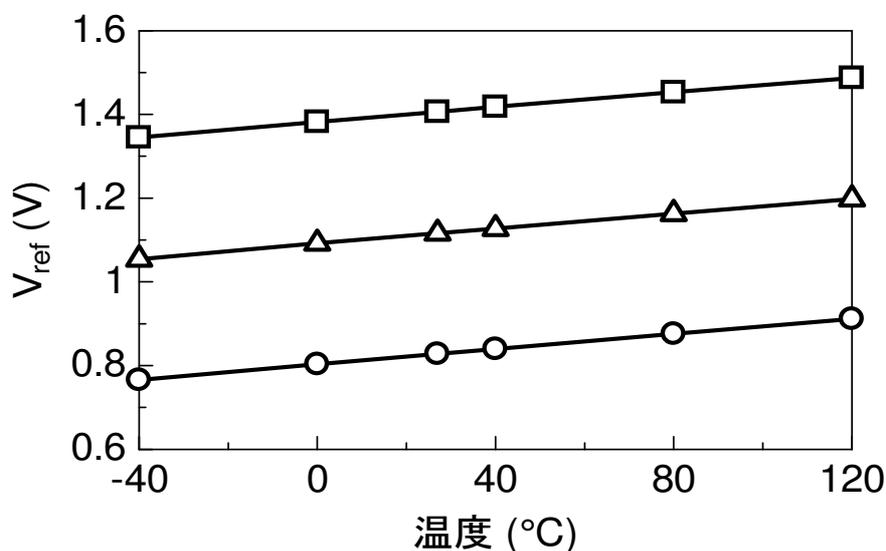


図 2.19: バイアス回路 1 の温度変動に対する基準電圧変動のグラフ ($V_{dd} = 1.2, 1.5, 1.8 \text{ V}$) .

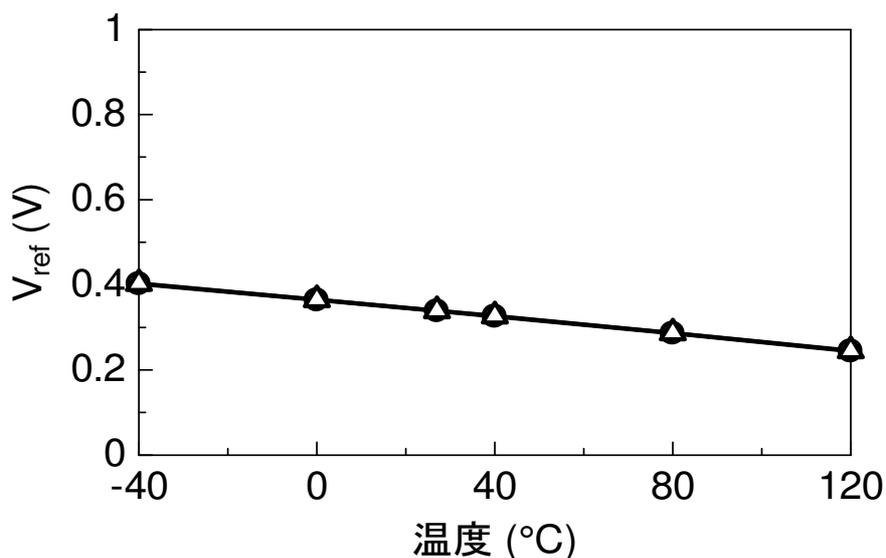


図 2.20: バイアス回路 2 の温度変動に対する基準電圧変動のグラフ ($V_{dd} = 1.2, 1.5, 1.8 \text{ V}$) .

以上から、バイアス回路 1 はプロセスと電圧、そして温度、バイアス回路 2 はプロセスと温度に高く依存することが分かる。これは、式 (2.6)、式 (2.13) より、弛張発振回路の発振周波数の変動要因と成る。ただし、理想的な弛張発振回路の場合に限り、基準電圧 V_{ref} の変動は基準電流 I_{ref} の変動によって補正される。なぜなら、バイアス回路 1、2 は式 (2.14) から、 $V_{ref} = I_{ref}R$ のように基準電圧と基準電流の間にオームの法則が成り立つ。これは、理想的な弛張発振回路の式 (2.5)

の発振周波数の式を

$$f_{\text{osc}} = \frac{I_{\text{ref}}}{2V_{\text{ref}}C_{1,2}} = \frac{1}{2RC_{1,2}} \quad (2.17)$$

に変形させる．さらに，式 (2.6) の変動係数は，

$$\frac{\Delta f_{\text{osc}}}{f_{\text{osc}}} = -\frac{\Delta C_{1,2}}{C_{1,2}} - \frac{\Delta R}{R} \quad (2.18)$$

となる．つまり，バイアス回路 1, 2 を用いた理想的な弛張発振回路の発振周波数は基準電流 I_{ref} と基準電圧 V_{ref} には依存せず，抵抗 R とキャパシタ $C_{1,2}$ に依存する．

2.7 抵抗とキャパシタの PVT 依存性

2.6 節にて，バイアス回路 1, 2 を用いた理想的な弛張発振回路は，発振周波数が抵抗 R とキャパシタ $C_{1,2}$ のみに依存することを説明した．本節では，CMOS プロセス上で用いられる代表的な抵抗とキャパシタである，拡散抵抗，ポリシリコン抵抗，そして MIM (Metal Insulation Metal) キャパシタの PVT 依存性について議論する．

拡散抵抗とポリシリコン抵抗の温度依存性は，それぞれ 1000 から 3000ppm/°C，1000ppm/°C 程度である [1]．また，ポリシリコン抵抗は電圧変動に対して抵抗値が変動しにくい特徴をもつ．MIM キャパシタのキャパシタンス C は，

$$C = \frac{\varepsilon_{\text{ox}}}{t_{\text{ox}}} A_c \quad (2.19)$$

となる [1]．ここで， ε_{ox} は酸化膜の誘電率， t_{ox} は酸化膜の厚さ，そして A_c はキャパシタの面積である．MIM キャパシタは ε_{ox} の電圧と温度依存性が低いため，電圧変動と温度変動に強い．ただし，抵抗とキャパシタ共に製造時に生じるプロセス変動によって，抵抗値や容量値が大きく変動する．

抵抗は温度依存性を持つ．ポリシリコン抵抗はマイナスの温度依存性を持ち，拡散抵抗はプラスの温度依存性を持つ．したがって，これらを直列に接続することで温度依存性を補正することができる [7]．そのときの抵抗 R と抵抗の温度依存性は，

$$R = R_P + R_N = R_{0P}(1 + \alpha_P T) + R_{0N}(1 + \alpha_N T) \quad (2.20)$$

$$\frac{\Delta R}{\Delta T} = R_{0P}\alpha_P + R_{0N}\alpha_N \quad (2.21)$$

となる．ここで， R_P は拡散抵抗の抵抗値， R_N はポリシリコン抵抗の抵抗値， R_{0P} は温度が 0 K のときの拡散抵抗の抵抗値， R_{0N} は温度が 0 K のときのポリシリコン抵抗の抵抗値， α_P は拡散抵抗の温度係数， α_N はポリシリコン抵抗の温度係数， T は温度である．これらの式より，ポリシリコン抵抗がマイナスの温度依存性を持つと，抵抗の温度依存性を補正できることが分かる．図 2.21 に補正を施した場合の抵抗の温度依存性を示す．

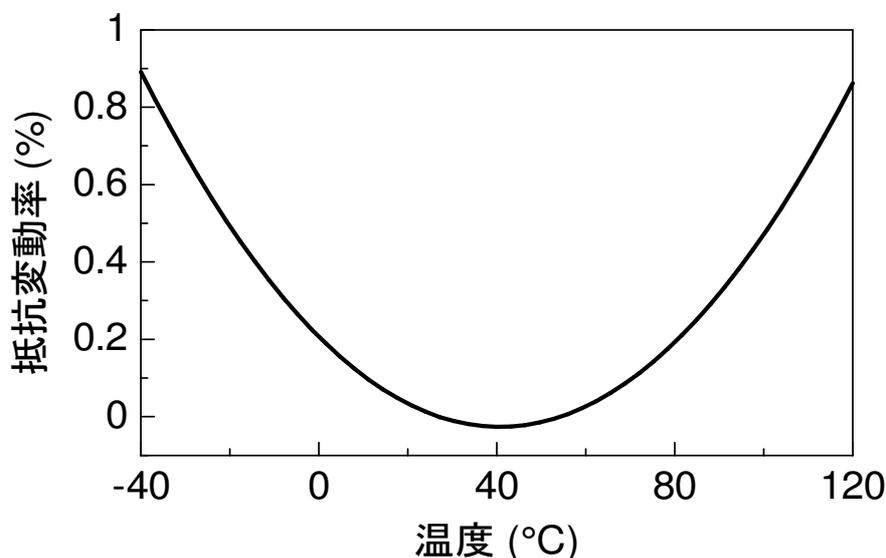


図 2.21: 補正を施した場合の抵抗の温度依存性.

2.8 補正技術を用いた弛張発振回路

先行研究において弛張発振回路のコンパレータ回路のオフセット電圧または遅延変動を補正する技術が提案されてきた [8–10]. 以下, 各弛張発振回路について詳しく説明する.

図 2.22 にフィード・フォワード周期制御を搭載した弛張発振回路を示す [8]. この発振回路は V_{Cl} から V_{ref} まで上昇するために必要な充電時間を周期制御部で計測する. そして, 発振部本体の充電開始に, 周期制御部で計測した時間だけスイッチ S_C を ON し, 発振部本体の電流を増幅させる. この動作を行うことでコンパレータ回路や RS フリップフロップで発生する遅延を補正することができる. しかし, プロセス変動の影響で, 発振回路部に接続されたコンパレータ回路と周期制御部に接続されたコンパレータ回路の遅延が異なった場合, その遅延の差分は補正できない.

図 2.23 にインバータ回路を用いた弛張発振回路を示す [9]. この発振回路は, V_R と抵抗 R によって基準電流を生成する. そして, その基準電流を用いてキャパシタ C を充電し, その充電電圧 V_C がインバータ回路の論理反転しきい値電圧を上回ると, インバータ回路の出力が '1' になる. その後, キャパシタ C は基準電流を用いて放電され, その放電電圧 V_C がインバータ回路の論理反転しきい値電圧を下回ると, インバータ回路の出力が '0' になる. この動作を繰り返すことで発振動作を実現する. したがって, コンパレータ回路を用いた弛張発振回路のように, 基準電圧が弛張発振動作の反転ポイントになるのではなく, インバータ回路の論理しきい値電圧が弛張発振動作の反転ポイントとなる. そのため, PVT 変動によって論理しきい値電圧がばらつくと, 発振周波数が大きく変動する. この発振周波数の変動は, 抵抗 R とキャパシタ C を水晶発振回路を用いたキャリブレーション技術で抑えることができる. しかし, この発振回路は水晶発振回路を用いるため, オンチップのみで実現することができない.

図 2.24 にコンパレータ回路のオフセット補正技術を用いた弛張発振回路を示す [10]. この発振

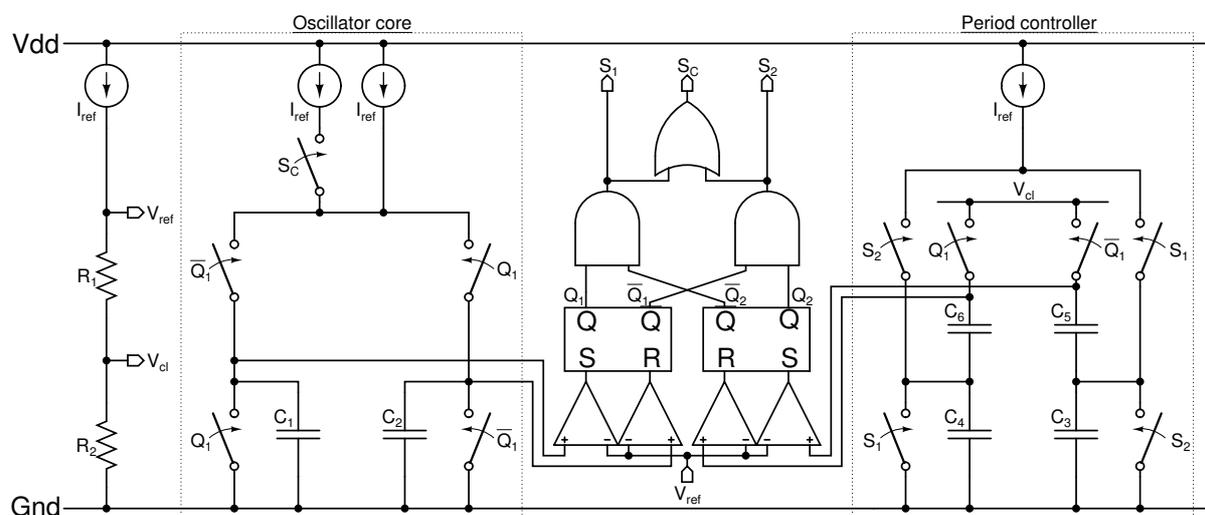


図 2.22: フィード・フォワード周期制御を搭載した弛張発振回路 [8].

回路は、基準電流 I_{ref} を抵抗 R とキャパシタ C に供給することで、基準電圧を生成する。そして、 V_1 がランプ電圧を生成するときには V_2 に、 V_2 がランプ電圧を生成するときには V_1 にその基準電圧を保持する。この動作によって、コンパレータ回路のオフセット電圧を補正できる。しかし、この発振回路はコンパレータ回路について十分に議論がなされていない。

2.9 まとめ

本章では、弛張発振回路の特性について議論した。最初に、WSN システムの時間計測用途として有望な弛張発振回路の基本的な特性を説明した。次に、弛張発振回路における要素回路の遅延の影響について述べ、特にコンパレータ回路の遅延の影響が大きいことを説明した。そして、弛張発振回路とコンパレータ回路をシミュレーションにより解析し、コンパレータ回路の遅延は、高い PVT 依存性を持つことを確認した。これは、弛張発振回路の発振精度に大きな影響を与えることを示した。最後に、弛張発振回路に用いるバイアス回路、抵抗とキャパシタの特性についてまとめ、過去のコンパレータ回路の遅延補正技術について議論した。

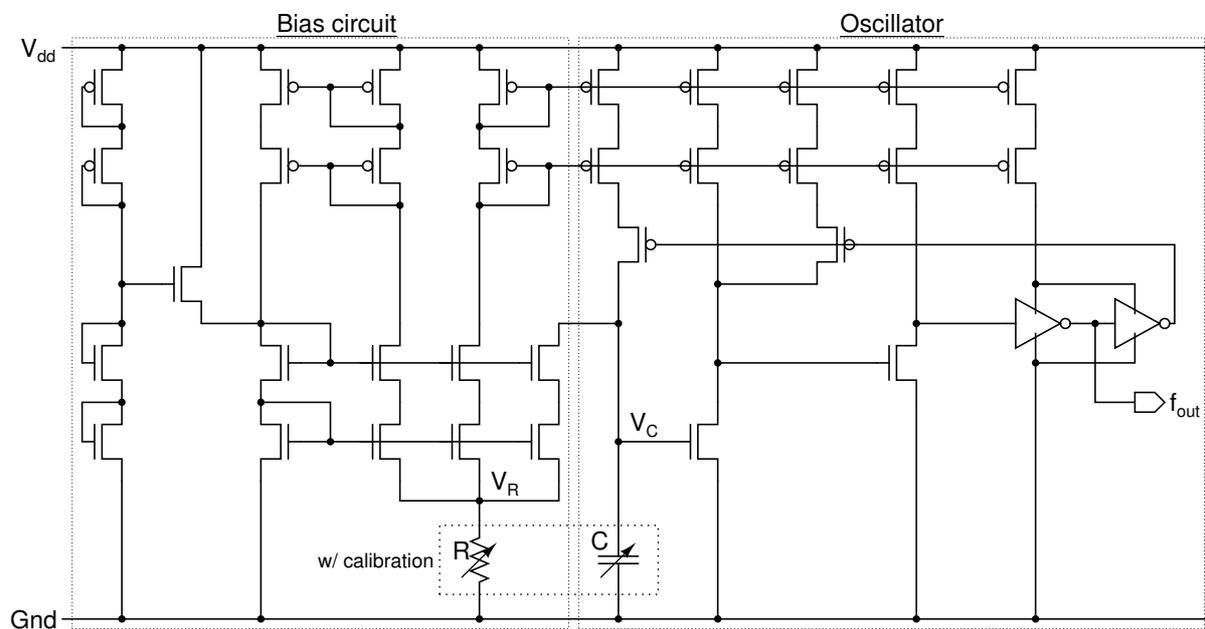


図 2.23: インバータ回路を用いた弛張発振回路 [9].

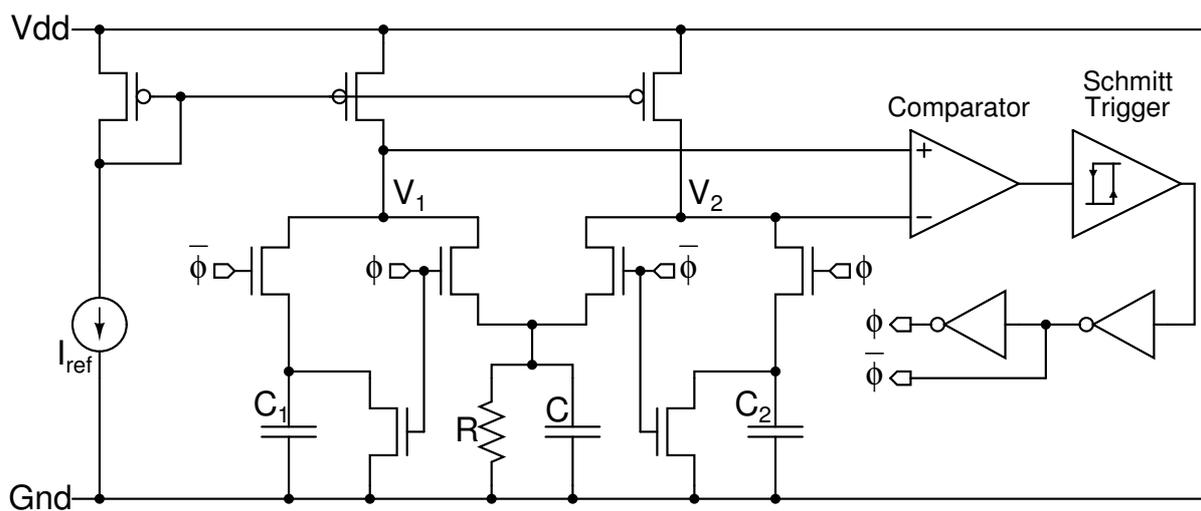


図 2.24: コンパレータ回路のオフセット補正技術を用いた弛張発振回路 [10].

参考文献

- [1] D. A. Johns and K. Martin, “Phase-Locked Loops,” in *Analog integrated circuit design*, John Wiley & Sons, Inc., 1997.
- [2] M. Wakayama and A. Abidi., “A 30-MHz Low-Jitter High-Linearity CMOS Voltage-Controlled Oscillator,” in *IEEE J. Solid-State Circuits*, vol. 22, December, 1987, pp. 1074–1081.
- [3] R. J. Baler, H. W. Li, and D. E. Boyce, “Operational Amplifiers,” in *CMOS circuit design, layout, and simulation*, 2nd ed. New York: IEEE Press, 2005.
- [4] P. R. Gray and R. G. Meyer., “MOS Operational Amplifier Design,” in *IEEE J. Solid-State Circuits*, vol. SC-17, December, 1982, pp. 969–982.
- [5] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, 2002.
- [6] R. J. Baler, H. W. Li, and D. E. Boyce, “References,” in *CMOS circuit design, layout, and simulation*, 2nd ed. New York: IEEE Press, 2005.
- [7] K. Ueno, T. Asai, Y. Amemiya, “A 30-MHz, 90ppm/°C fully-integrated clock reference generator with frequency-locked loop,” in *ESSCIRC*, pp. 392-395, 2009.
- [8] T. Tokairin, K. Nose, K. Takeda, K. Noguchi, T. Maeda, K. Kawai, M. Mizuno, ”A 280 nW, 100 kHz, 1-cycle start-up time, on-chip CMOS relaxation oscillator employing a feedforward period control scheme,” in *VLSI Circuits Symp. Dig. Tech. Papers*. June, 2012, pp. 16 - 17.
- [9] J. Lim, K. Lee, and K. Cho, “Ultra Low Power RC Oscillator for System wake-up using highly precise Auto-Calibration Technique,” in *ESSCIRC*, 2010 pp. 274 - 277.
- [10] A. Paidimarri et al., “A 120nW 18.5 kHz RC Oscillator with Comparator Offset Cancellation for $\pm 0.25\%$ Temperature Stability,” in *IEEE ISSCC Dig. Tech. Papers*, 2013, pp. 184–186.

第3章 弛張発振回路の遅延変動補正

3.1 はじめに

第2章で説明したとおり，弛張発振回路はCMOSプロセスで構成可能であるため，LSIに搭載でき，さらに超低電力動作も可能である．しかし，超低電力動作時のPVT依存性が高いため，発振精度に課題がある．これは，コンパレータ回路の遅延が高いPVT依存性を有するためである．

第2章にて，先行研究に提案された弛張発振回路のコンパレータ回路の遅延を補正する従来技術について説明した [1–5]．コンパレータ回路の遅延を電圧平均化フィードバックを用いてモニタする回路 [1] やコンパレータ回路が動作する間だけ電流増幅を行う回路 [3]，コンパレータ回路の変わりにインバータ回路を用いた回路 [5] など数多く提案されている．しかしこれらの回路は，完全にコンパレータの遅延変動を補正することができない．

本章では，コンパレータ回路の遅延を電圧に変換し，その電圧を用いてコンパレータ回路の遅延変動を補正する技術を提案する．

3.2 弛張発振回路におけるコンパレータ回路の遅延変動補正

第2章で述べたように，弛張発振回路は0 Vから基準電圧 V_{ref} まで充放電を繰り返し，クロック信号を生成する．充放電には図2.2に示されるキャパシタ C_1 と C_2 を使い，これらのキャパシタを基準電流 I_{ref} を用いて交互に充電する．しかし，実際には図3.1(a)(b)に示すように， $V_{\text{ramp}1,2}$ は基準電圧 V_{ref} に達してから，少しずれたタイミングで0 Vまで立ち下がる．これは，コンパレータ回路の遅延が主な原因である．また，この遅延は，弛張発振回路の発振周波数を大きく変動させる．

コンパレータ回路の遅延を時間ではなく，電圧値で議論するために， $V_{\text{ramp}1,2}$ の傾きを求めコンパレータ回路の遅延を電圧値に変換する．コンパレータ回路の遅延を τ_c ，変換後の電圧を ΔV_c とすると，

$$\Delta V_c = \frac{I_{\text{ref}}}{C_{1,2}} \tau_c \quad (3.1)$$

となる．これは， $V_{\text{ramp}1,2}$ が $V_{\text{ref}} + \Delta V_c$ に達したとき，0 Vに立ち下がることを意味する．

ここで， $V_{\text{ramp}1,2}$ が V_{ref} に達した瞬間に，0 Vに立ち下げる方法を考える．先ほど， $V_{\text{ramp}1,2}$ は V_{ref} よりも ΔV_c だけ高い電圧で0 Vに立ち下がることを説明した．これは， V_{ref} が ΔV_c だけ低い電圧であれば， $V_{\text{ramp}1,2}$ が V_{ref} に達した瞬間に0 Vに立ち下がることを意味する．

図3.2(a)に基準電圧に V_{ref} ，(b)に $V_{\text{ref}} - \Delta V_c$ を用いた場合の動作波形を示す．基準電圧に V_{ref} を用いた場合には， τ_c のコンパレータ遅延が生じるため， $V_{\text{ramp}1,2}$ は V_{ref} よりも ΔV_c だけ高い電

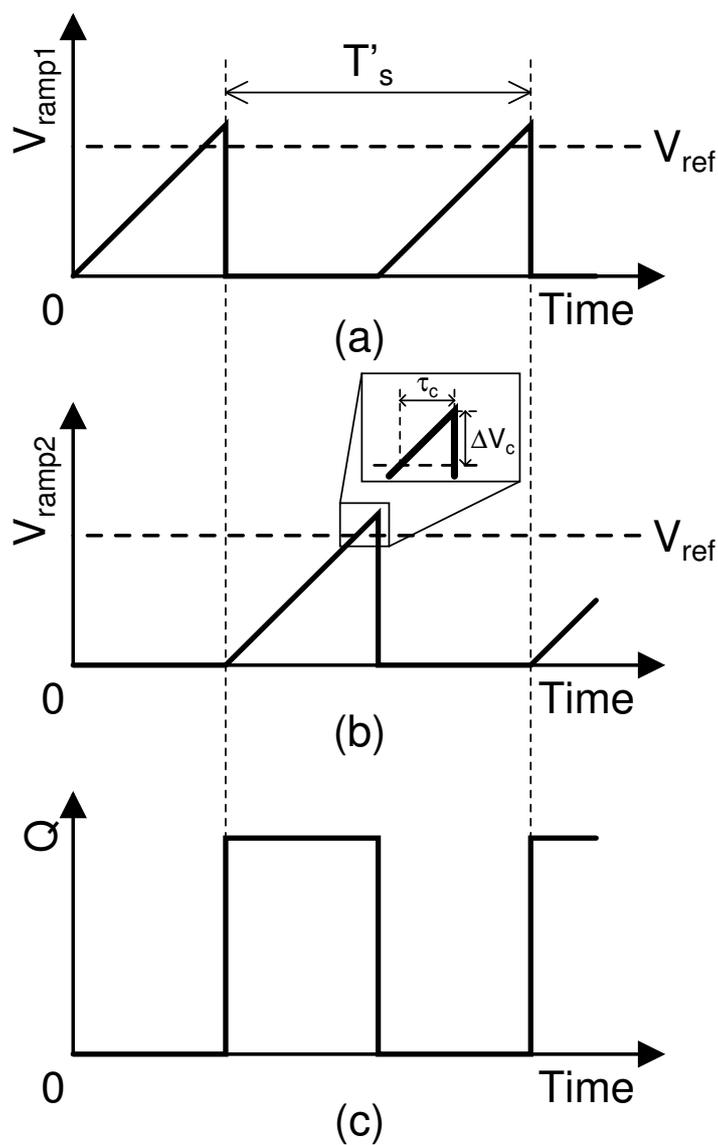


図 3.1: コンパレータ回路の遅延を考慮した弛張発振回路の動作波形.

圧で 0 V に立ち下がる. これは, 基準電圧に $V_{\text{ref}} - \Delta V_c$ を用いた場合にも同様に生じる. しかし, 基準電圧がもともと ΔV_c だけ低いため, $V_{\text{ramp1,2}}$ は V_{ref} で 0 V に立ち下がる.

以上から, $V_{\text{ref}} - \Delta V_c$ の基準電圧を生成し, その電圧を弛張発振回路の基準電圧として用いることができれば, コンパレータ回路の遅延を補正することができる. 以後, この $V_{\text{ref}} - \Delta V_c$ の電圧を遅延補正用電圧 V_{comp} と表現する.

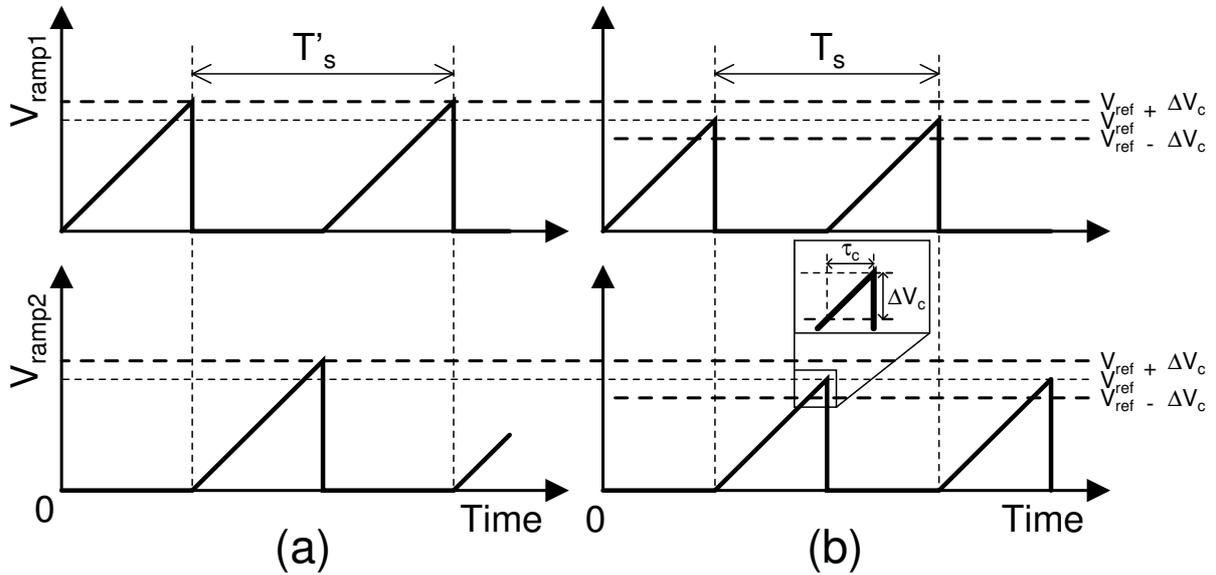


図 3.2: 基準電圧に (a) V_{ref} または (b) $V_{\text{ref}} - \Delta V_c$ を用いた場合の動作波形.

3.3 コンパレータ回路の遅延補正アーキテクチャ

3.2 節にて $V_{\text{comp.}}$ を基準電圧として用いることで、コンパレータ回路の遅延を補正できることを説明した. 本節では、 $V_{\text{comp.}}$ を生成するアーキテクチャについて述べる.

3.3.1 $V_{\text{comp.}}$ の生成手法

コンパレータ回路の遅延は、キャパシタ $C_{1,2}$ の充電時に $V_{\text{ramp}1,2}$ が V_{ref} を上回った後に生じる. この遅延は、 $V_{\text{ramp}1,2}$ が V_{ref} を下回った後にも生じる. 図 3.3 に $V_{\text{comp.}}$ の生成波形を示す. キャパシタを $C_{s1,s2}$, 電流を I とし、キャパシタ $C_{s1,s2}$ には基準電圧 V_{ref} よりも高い電圧が保持されているとする. 最初、キャパシタ $C_{s1,s2}$ は電流 I によって放電される. そして、その $V_{\text{cramp}1,2}$ 電圧は V_{ref} を下回り、さらにコンパレータ回路の遅延 τ_c 分だけ遅れた後に保持される. この保持された電圧 V_{hold} は、図 3.3 に示されるように、

$$V_{\text{hold}} = V_{\text{ref}} - \frac{I}{C_{s1,s2}} \tau_c \quad (3.2)$$

となる. ここでキャパシタ $C_{s1,s2}$ が $C_{1,2}$ と同じ容量、電流 I が基準電流 I_{ref} と同じ電流値だとすると、保持電圧 V_{hold} は、

$$V_{\text{hold}} = V_{\text{ref}} - \Delta V_c \quad (3.3)$$

となる.

以上をまとめると、高い電圧から基準電流 I_{ref} を用いてキャパシタを放電することで、ランプ電圧 $V_{\text{cramp}1,2}$ が低下する. そして、その電圧が V_{ref} に達すると、 τ_c 後にコンパレータ回路の出力が反転する. その反転のタイミングで $V_{\text{cramp}1,2}$ の電圧が保持され、 $V_{\text{comp.}}$ が生成される.

3.3.2 遅延補正用電圧 $V_{\text{comp.}}$ の生成タイミング

弛張発振回路は 0 V から基準電圧 V_{ref} まで充放電を繰り返し、クロック信号を生成する。つまり、遅延補正用電圧 $V_{\text{comp.}}$ は、キャパシタ C_1 または C_2 が充電状態になる前に生成しなければならない。

図 3.4 に、提案の遅延補正技術を用いた弛張発振回路の動作波形を示す。図 3.4(a) は、 V_{cramp1} と V_{ramp1} の波形、(b) は、 V_{cramp2} と V_{ramp2} の波形である。 $V_{\text{ramp1,2}}$ の波形より、充電期間の前に必ず放電期間が存在することが分かる。そこで、その放電期間中に遅延補正用電圧 $V_{\text{comp.}}$ を生成することを考えた。放電期間は周期 T_s の半分の期間であるため、 $V_{\text{comp.}}$ の生成に使用できる期間 $T_{\text{comp.}}$ は、

$$T_{\text{comp.}} = \frac{T_s}{2} = \frac{V_{\text{ref}} C_{1,2}}{I_{\text{ref}}} \quad (3.4)$$

となる。この期間に $V_{\text{comp.}}$ の生成が完了すればよい。ただし、3.3.1 節より、 $V_{\text{comp.}}$ の生成には必ず $V_{\text{cramp1,2}}$ と V_{ref} との比較が必要となる。これは、図 3.4 の右の波形より、 $V_{\text{ramp1,2}}$ の放電期間を V_{ref} の保持期間に置き換えることで可能となる。

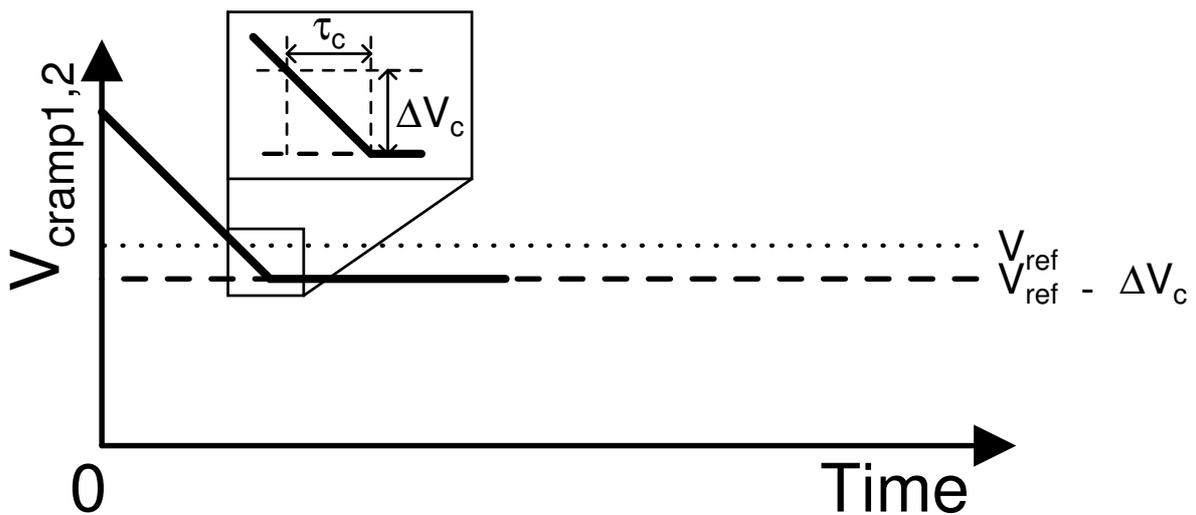


図 3.3: $V_{\text{comp.}}$ の生成波形.

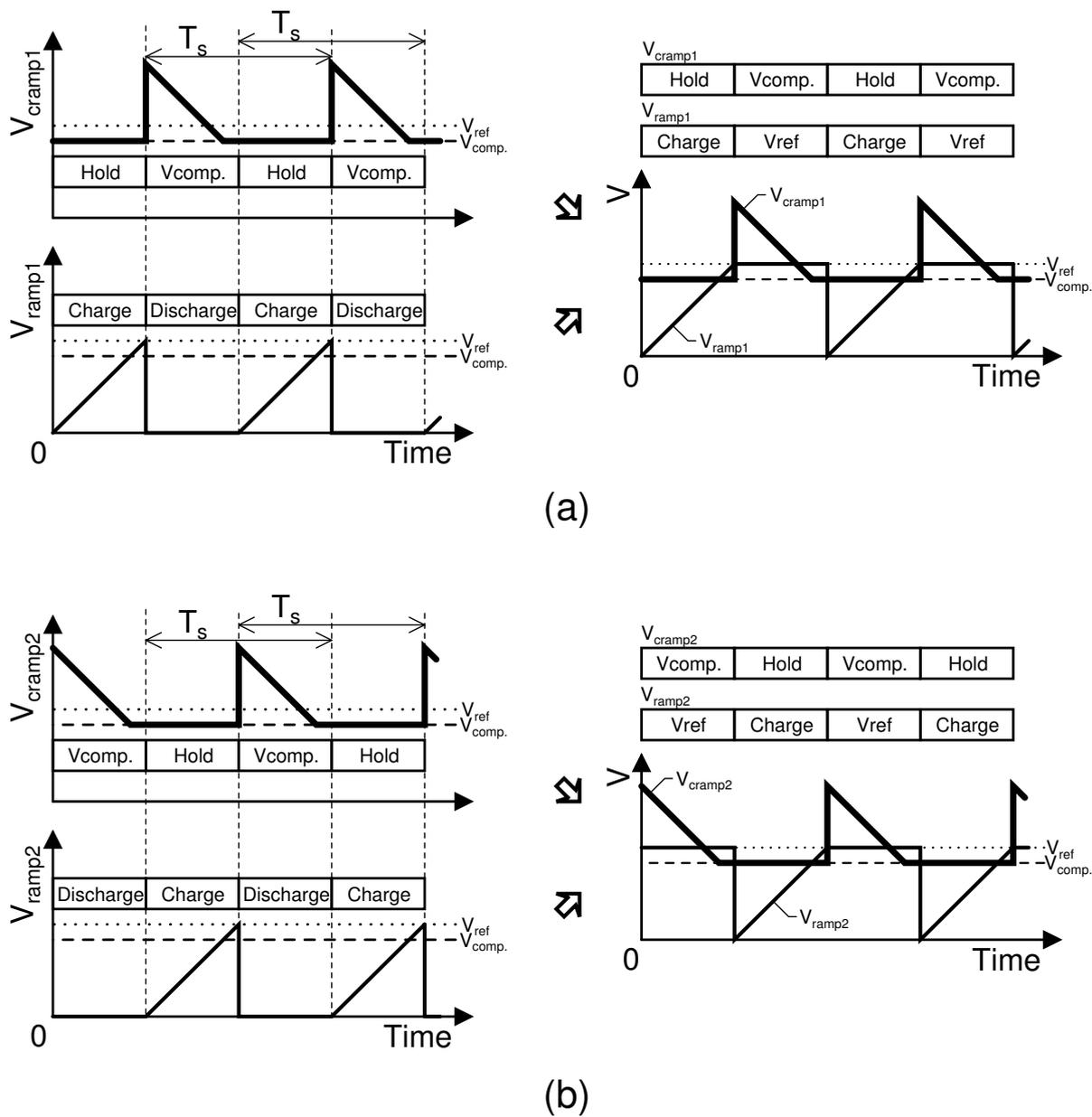


図 3.4: 提案の遅延補正技術を用いた弛張発振回路の動作波形 ((a) は V_{cramp1} と V_{ramp1} の波形, (b) は V_{cramp2} と V_{ramp2} の波形).

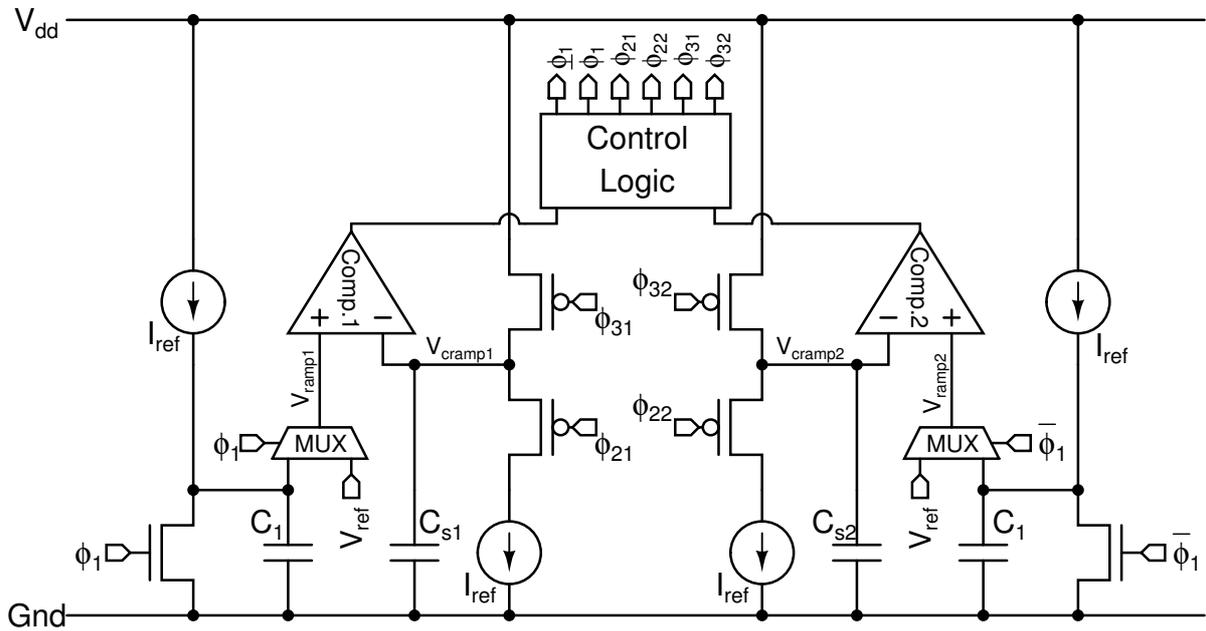


図 3.5: 遅延補正用電圧 V_{comp} . の生成回路を搭載した弛張発振回路の回路図.

3.3.3 コンパレータ回路のオフセット電圧補正

3.3.1 節で説明した遅延補正用電圧 V_{comp} . 生成手法は、コンパレータ回路の遅延補正と同時にコンパレータ回路のオフセット電圧も補正することができる。コンパレータ回路のオフセット電圧は、基準電圧 V_{ref} を $\pm V_{off}$ だけ変動させる。この状態で遅延補正用電圧 V_{comp} . を生成すると、

$$V_{comp}. = V_{ref} - \Delta V_c \pm V_{off} \quad (3.5)$$

となる。この V_{comp} . を用いてクロック生成を行うと、 V_{comp} . から $\Delta V_c \mp V_{off}$ だけ高い電圧である V_{ref} でコンパレータ回路の出力が反転する。

3.4 遅延補正用電圧 V_{comp} . の生成回路を搭載した弛張発振回路

本節では、遅延補正用電圧 V_{comp} . の生成回路を搭載した弛張発振回路を提案する。図 3.5 に遅延補正用電圧 V_{comp} . の生成回路を搭載した弛張発振回路の回路図を示す。提案回路は遅延補正用電圧 V_{comp} . 生成部、クロック用のランプ電圧生成部、遅延補正用電圧 V_{comp} . 生成モードとクロック生成モードを切り替えるマルチプレクサ、そして各スイッチを制御するコントロールロジックで構成される。

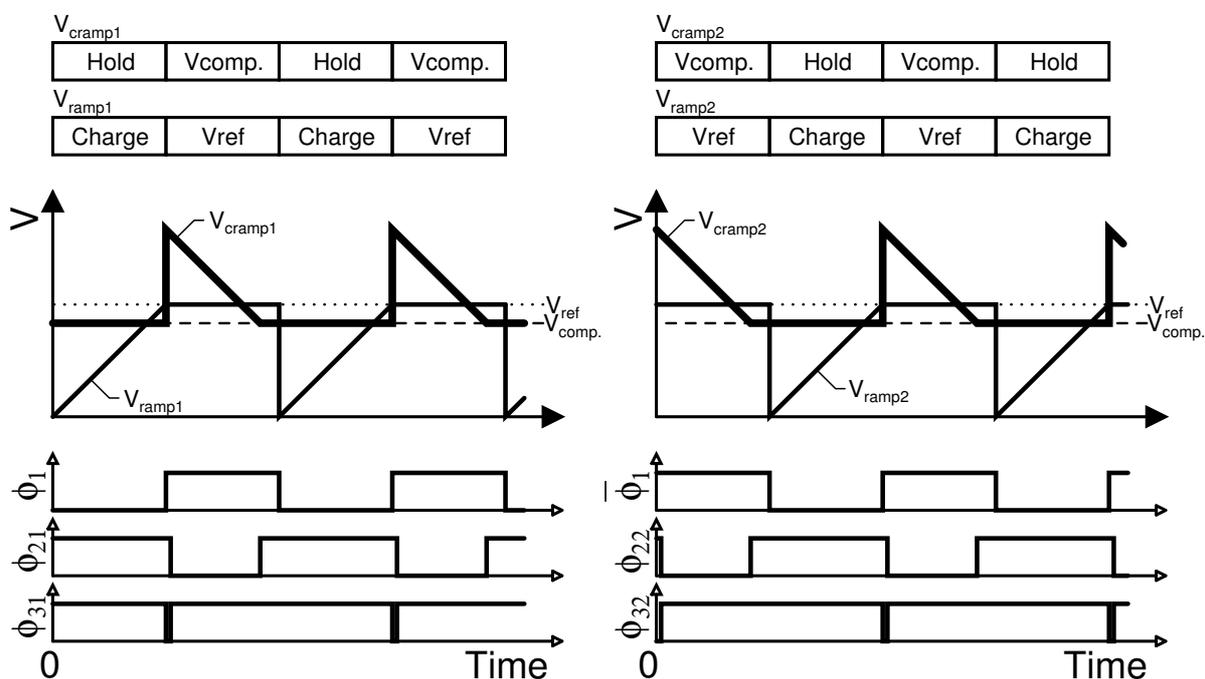


図 3.6: 提案の弛張発振回路のタイミングダイアグラム.

3.4.1 回路動作

提案回路は、クロック生成モードと V_{comp} 生成モードの2つモードで動作する。 ϕ_1 が '0' のとき、Comp.1 はクロック生成モード、Comp.2 は V_{comp} 生成モードで動作し、 ϕ_1 が '1' のとき、Comp.1 は V_{comp} 生成モード、Comp.2 はクロック生成モードで動作する。以下、図 3.6 のタイミングダイアグラムを用いて ϕ_1 が '0' のときの回路動作を説明する。

クロック生成モード (Comp.1)

クロック生成モードである Comp.1 は、まず、キャパシタ C_1 が I_{ref} によって充電される。そのときの充電電圧である V_{ramp1} が V_{comp} の電位に達すると（このとき既に V_{comp} が生成されていると仮定する）、コンパレータ回路の遅延分だけ遅れてコンパレータ回路の出力が '1' となる。そして、それを検知したコントロールロジックは ϕ_1 を '1' にする。そのときの V_{ramp1} の電圧は V_{ref} となる。

V_{comp} 生成モード (Comp.2)

V_{comp} 生成モードである Comp.2 は、前の状態がクロック生成モードであるため、 V_{cramp2} には V_{comp} 、 V_{ramp2} には V_{ref} が保持されている。まず、前の状態であるクロック生成モードが完了してすぐに ϕ_{32} が '0' になり、 V_{cramp2} を V_{dd} までリセットする。その後、 V_{cramp2} は V_{ramp1} の現在の電位である V_{ref} よりも高くなるため、コンパレータ回路の出力が '0' になる。そのタイミングで ϕ_{32} が '1' となり、リセットが完了する。リセット後、 ϕ_{22} が '0' となり、 V_{dd} に充電されたキャパシタ C_{s2} は I_{ref} によって放電される。その後、 V_{cramp2} が V_{ref} の電

位に達すると、コンパレータ回路の遅延分だけ遅れてコンパレータ回路の出力が‘1’となる。そして、それを検知したコントロールロジックは ϕ_{22} を‘1’にする。そのときの $V_{\text{cramp}2}$ に保持される電圧は $V_{\text{comp.}} (= V_{\text{ref}} - \Delta V_c)$ となる。

以上の動作説明より、 ϕ_1 が‘0’のとき、Comp.1ではクロックが生成され、Comp.2では $V_{\text{comp.}}$ が生成されることが分かる。また、 ϕ_1 が‘1’になると、Comp.1とComp.2の動作が切り替わる。Comp.1とComp.2では、クロック生成と $V_{\text{comp.}}$ 生成とを交互に繰り返すことでコンパレータ回路の遅延がキャンセルされたクロックが出力される。

3.4.2 発振周波数とPVT依存性

提案回路は、遅延補正電圧 $V_{\text{comp.}}$ を用いてクロックを生成することで、コンパレータ回路の遅延とオフセット電圧を補正する。したがって、提案回路の発振周波数 $f_{\text{prop.os}}$ は、

$$f_{\text{prop.os}} = \frac{I_{\text{ref}}}{2V_{\text{ref}}C_{1,2,s1,s2}} \quad (3.6)$$

と理想的な弛張発振回路と同様の式となる。ここで、 I_{ref} と V_{ref} 、 $C_{1,2,s1,s2}$ のPVTバラツキを考慮すると、発振周波数 $f_{\text{prop.os}}$ の変動係数は、

$$\frac{\Delta f_{\text{prop.os}}}{f_{\text{prop.os}}} = \frac{\Delta I_{\text{ref}}}{I_{\text{ref}}} - \frac{\Delta C_{1,2,s1,s2}}{C_{1,2,s1,s2}} - \frac{\Delta V_{\text{ref}}}{V_{\text{ref}}} \quad (3.7)$$

となる。ここで、 ΔI_{ref} は I_{ref} の変動量、 $\Delta C_{1,2,s1,s2}$ は $C_{1,2,s1,s2}$ の変動量、 ΔV_{ref} は V_{ref} の変動量である。

以上の式から、コンパレータ回路の遅延やオフセット電圧の影響を含む場合に比べると、PVTバラツキの耐性が改善される。

3.5 シミュレーション評価

図3.5の提案の弛張発振回路を第2章の2.5節と同条件でシミュレーション評価した。使用プロセスは、0.18- μm スタンダードCMOSプロセスである。また、コンパレータ回路は第2節の図2.4を使用し、基準電流 I_{ref} は200 nA、基準電圧 V_{ref} は1 V、キャパシタ容量 $C_{1,2}$ は3.052 pFとした。このときの弛張発振回路の理想的な発振周波数は、第2章の式(2.5)から32.765 kHzである。

3.5.1 弛張発振回路のシミュレーション波形

図3.7に提案の弛張発振回路のシミュレーション波形を示す。このときの電源電圧 V_{dd} は1.8 V、温度は27 °Cとした。提案回路は、補正電圧生成とクロック生成の2つモードを交互に繰り返し、動作していることが確認できる。補正後のコンパレータ回路の遅延は3.48 nsであり、弛張発振回路の発振周波数は32.755 kHzであった。またこのときの消費電力は、2.54 μW であった。

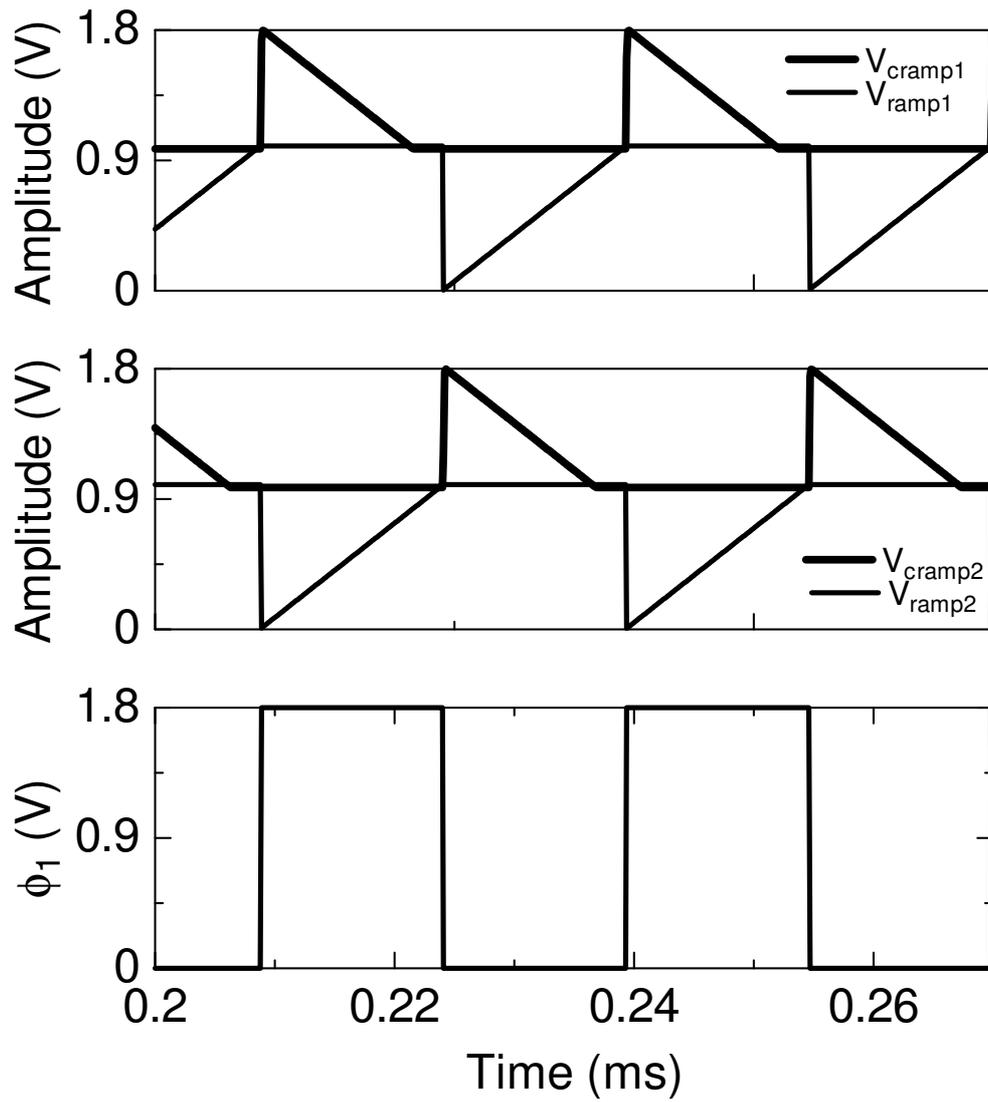


図 3.7: 提案の弛張発振回路のシミュレーション波形.

3.5.2 コンパレータ回路の遅延の PVT 依存性

提案回路を第2章の2.5.2節と同様のシミュレーションにて評価した。まず、3.5節と同条件でコンパレータ回路の遅延のPVT依存性について評価した。

図3.8にプロセス変動に対するコンパレータ回路の遅延変動のヒストグラムを示す。モンテカルロシミュレーションは、グローバルバラツキとランダムバラツキを含め、500回行った。図3.8より、コンパレータの回路の遅延は、3.6 から 6.7 ns の間で正規分布に従い変動した。平均値は 5.063 ns、標準偏差は 0.451 ns であった。この結果より、提案回路のコンパレータ回路の遅延は、補正技術を用いない弛張発振回路よりも、60分の1程度に低下した。

次に、コンパレータ回路の基準電流を 200 nA、100 nA、そして 50 nA とした場合の温度変動と電源電圧変動に対するコンパレータ回路の遅延変動を評価した。温度依存性を評価する際には、弛張発振部とコンパレータ回路の電源電圧を 1.8 V とした。また、電源電圧依存性を評価する際には、弛張発振部の電源電圧を 1.8 V、温度を 27 °C とし、コンパレータ回路のみの電源電圧を変動させた。図3.9に温度に対するコンパレータ回路の遅延のグラフ、図3.10に電源電圧に対するコンパレータ回路の遅延のグラフを示す。図3.9より、-40 から 120 °C の温度変動に対する遅延変動は、基準電流 200 nA において 4.19 ns、基準電流 100 nA において 4.30 ns、基準電流 50 nA において 4.61 ns であった。また、図3.10より、1.2 から 1.8 V の電源電圧変動に対する遅延変動

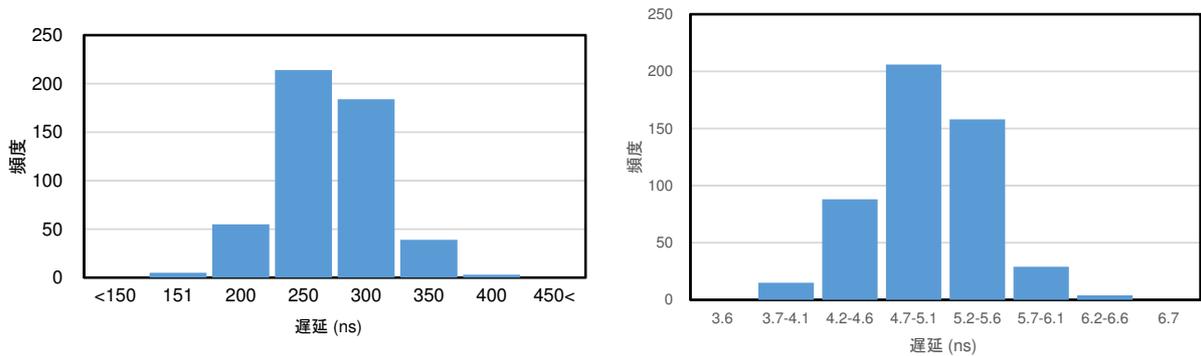


図 3.8: プロセス変動に対するコンパレータ回路の遅延変動のヒストグラム (500回) (左図は補正なし、右図は補正あり)。

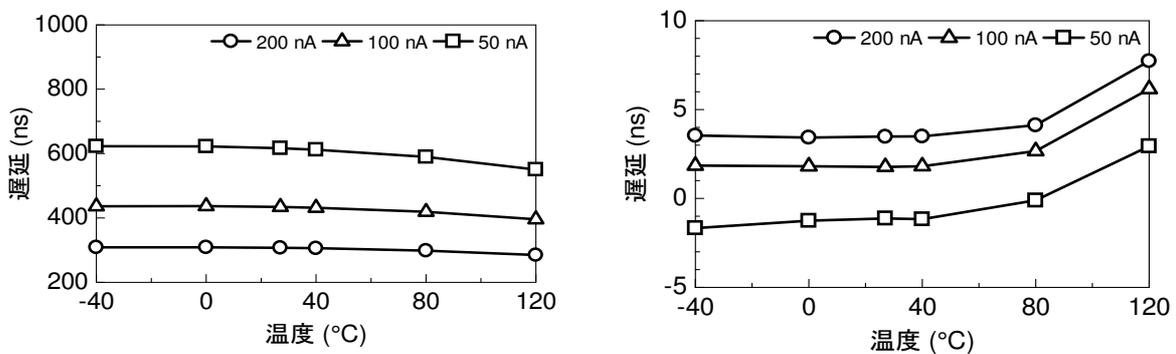


図 3.9: 温度変動に対するコンパレータ回路の遅延変動 (左図は補正なし、右図は補正あり)。

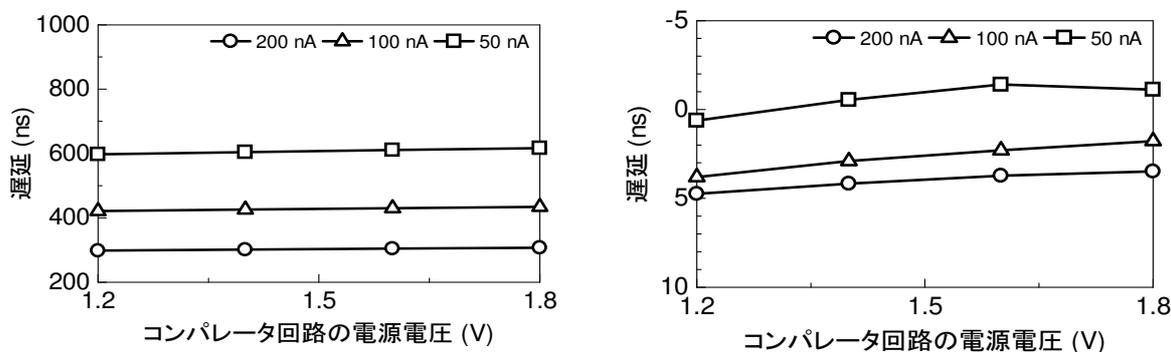


図 3.10: 電源電圧変動に対するコンパレータ回路の遅延変動 (左図は補正なし, 右図は補正あり).

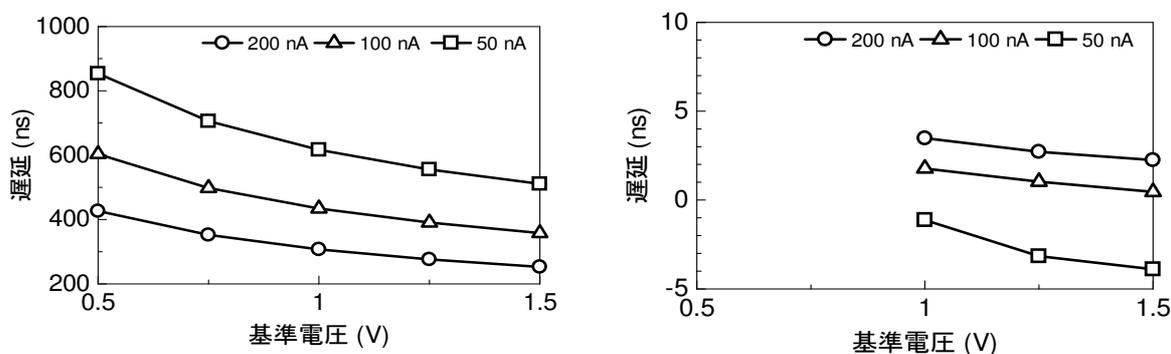


図 3.11: 基準電圧に対するコンパレータ回路の遅延 (左図は補正なし, 右図は補正あり).

は, 基準電流 200 nA において 1.27 ns, 基準電流 100 nA において 2.03 ns, 基準電流 50 nA において 1.745 ns であった. これらの結果より, 提案回路の温度依存性と電源電圧依存性は, 補正技術を用いない弛張発振回路よりも大幅に改善できていることが確認できる.

最後に, コンパレータ回路の基準電流を 200 nA, 100 nA, そして 50 nA とした場合の基準電圧 V_{ref} 変動に対するコンパレータ回路の遅延変動を評価した. これは, 高精度かつ環境変化に頑健な基準電圧 V_{ref} が生成できない場合を想定している. また, この評価での発振周波数の理論値は 32.765 kHz, 弛張発振部とコンパレータ回路の電源電圧は 1.8 V, 温度は 27 °C とした. 図 3.11 に基準電圧に対するコンパレータ回路の遅延のグラフを示す. 図 3.11 より, 1.0 から 1.5 V の基準電圧変動に対する遅延変動は, 基準電流 200 nA において 1.23 ns, 基準電流 100 nA において 1.32 ns, 基準電流 50 nA において 2.77 ns であった. また, 1.0 V 未満の基準電圧 V_{ref} での評価が無いのは, 提案回路の補正電圧生成が弛張発振回路の半周期 $T_s/2$ 内に完了できないためである. この結果より, 提案回路の基準電圧変動による影響は, 補正技術を用いない弛張発振回路よりも大幅に改善できていることが確認できる.

以上から, コンパレータ回路の遅延に対する PVT 依存性は, 遅延補正によって劇的に改善されたことが確認できる. これは同時に, 弛張発振回路の発振周波数に対する PVT 依存性を改善したことになる.

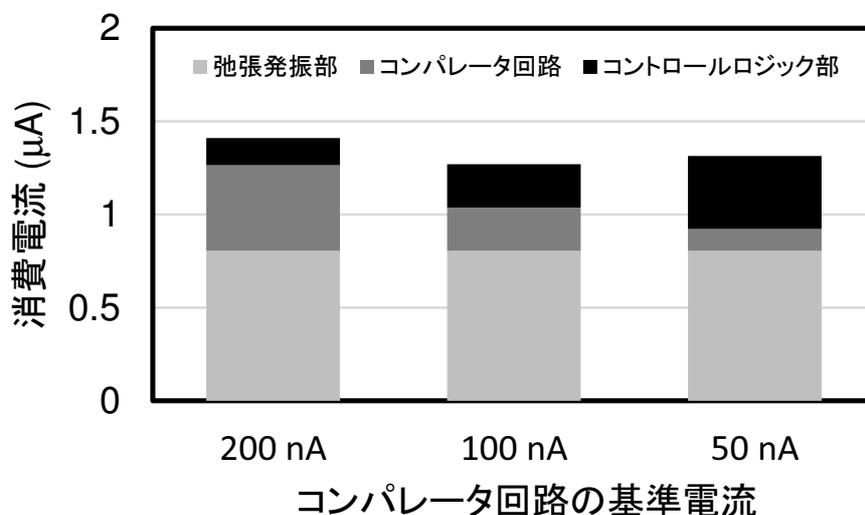


図 3.12: コンパレータ回路の基準電流に対する弛張発振回路の消費電流.

3.5.3 コンパレータ回路の基準電流と弛張発振回路の消費電流

図 3.12 にコンパレータ回路の基準電流に対する弛張発振回路の消費電流のグラフを示す. このときの弛張発振部の基準電流は 200 nA, 弛張発振部とコンパレータ回路の電源電圧は 1.8 V, 温度は 27 °C である.

第 2 章で説明した既存の弛張発振回路に比べ, 著しく消費電流が増加している. これは, 第 2 章の弛張発振回路に補正回路部とコントロールロジック部が追加されたため, その分だけの消費電流が増加したためである. また, コンパレータ回路の基準電流の低下に伴い, 弛張発振回路全体の消費電流は減少していくが, 基準電流が 100 nA 程度を境に, 消費電流が増加した. これは, コンパレータ回路の出力のスルーレートが低電流化によって劣化し, コントロールロジック部の消費電流が増加したためである.

3.6 測定評価

提案の遅延補正アーキテクチャの効果を評価するために, 0.18- μm スタンダード CMOS プロセスでチップを試作した. 以下, 試作したチップの評価結果について説明する.

3.6.1 チップ写真

図 3.13 に提案回路のチップ写真を示す. 回路面積は 0.09 mm² であった. バイアス回路には第 2 章で説明した図 2.15 の回路を用いた [6, 7]. また, バイアス回路で生成された基準電流 I_{ref} は, 消費電流削減のためにカレントミラー比で 6 分の 1 倍として各回路へ供給した. バイアス回路の抵抗には, 拡散抵抗 R_p と高抵抗ポリシリコン抵抗 R_n を使い, 抵抗値をそれぞれ 1.55 M Ω , 2.2 M Ω とした. そして各キャパシタ $C_{1,2,s1,s2}$ には MIM(Metal Insulator Metal) キャパシタを用い,

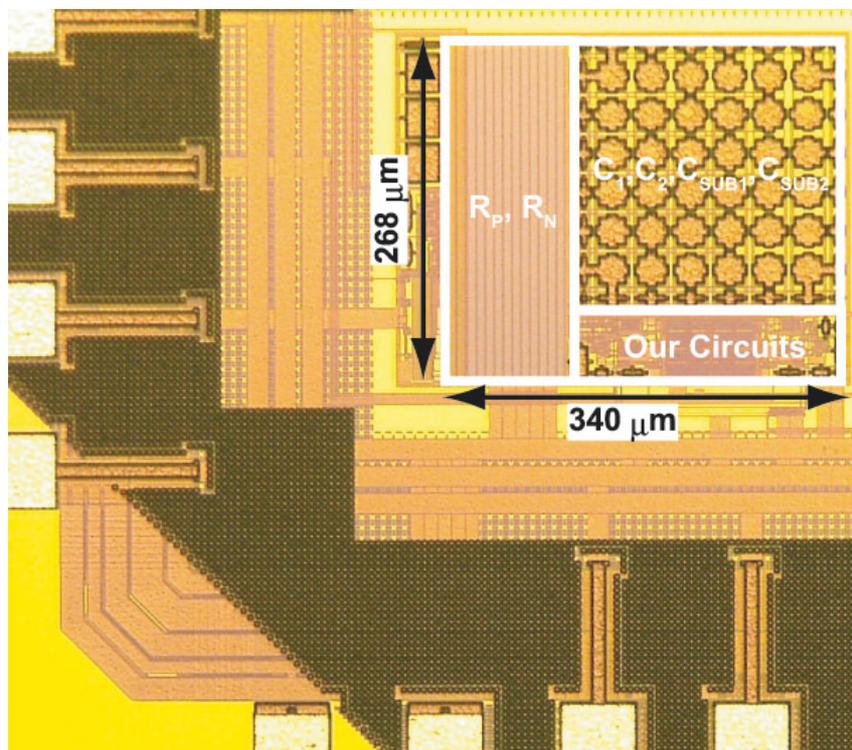


図 3.13: 試作チップの写真 (面積: 0.09 mm²).

容量値を 3.44 pF とした.

3.6.2 出力波形

図 3.14 に室温での提案回路と既存回路の出力波形を示す. 既存回路には第 2 章で説明した弛張発振回路を用いた [8]. 提案回路と既存回路の発振周波数はそれぞれ 6.66 kHz, 6.40 kHz であった. また, 消費電流はそれぞれ 530 nA, 630 nA であった. この結果は, 両回路とも超低電力動作が実現できる.

3.6.3 PVT 依存性

図 3.15 に, 室温で測定した同一ウェハ上の 20 チップの提案回路の出力周波数のヒストグラムを示す. 平均値は 6.61 kHz, 標準偏差は 0.053 kHz, 変動係数は 0.8% であった. この結果は, 同一ウェハ上ではあるが, 提案回路のプロセス依存性が低いことを示している.

図 3.16 に室温で測定した提案回路の発振周波数の電源電圧依存性を示す. 提案回路と既存回路の 0.8 から 1.8 V までの電源電圧変動に対する発振周波数変動は, それぞれ 0.98% と 6.51% であった. この結果から算出される提案回路と既存回路の電源電圧依存性は, それぞれ 0.98%/V と 6.51%/V であった. これらの結果から, 遅延補正によって, 提案回路の電源電圧依存性の改善が確認できる.

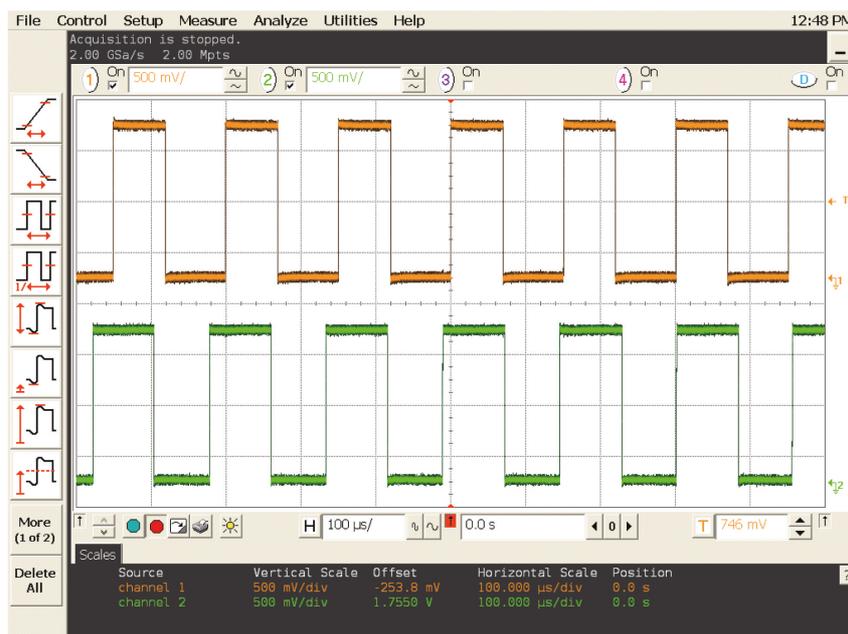


図 3.14: 提案回路（上図）と既存回路（下図）の出力波形（電源電圧：1.5 V，室温）。

図 3.17 に電源電圧 1.5 V で測定した提案回路の発振周波数の温度依存性を示す。“w/ compensation”は R_p と R_n を直列に接続し，抵抗の温度補正を行った場合であり，“w/o compensation”は R_n の抵抗を用いた場合である．抵抗の温度補正ありとなしの場合の-40 から 120 °C までの温度変動に対する発振周波数変動は，それぞれ 0.91%と 17.7%であった．この結果から算出される抵抗の温度補正ありとなしの場合の温度依存性は，それぞれ 56ppm/°C と 1107ppm/°C であった．この結果から，抵抗の温度補正によって，提案回路の温度依存性が改善されたことが確認できる．

3.7 まとめ

本章では，コンパレータ回路の遅延変動補正技術を提案した．提案した補正技術は，補正電圧 V_{comp} を生成し，それを弛張発振回路の基準電圧として用いる．そして，その補正電圧を用いた弛張発振回路は，コンパレータ回路の遅延変動に影響されないクロック信号を生成する．シミュレーション評価の結果，本アーキテクチャを用いた弛張発振回路でのコンパレータ回路の遅延変動は，本アーキテクチャを用いない場合に比べ，大幅に抑制された．また，0.18- μm CMOS プロセスを用いて試作を行い，その効果を実証した．

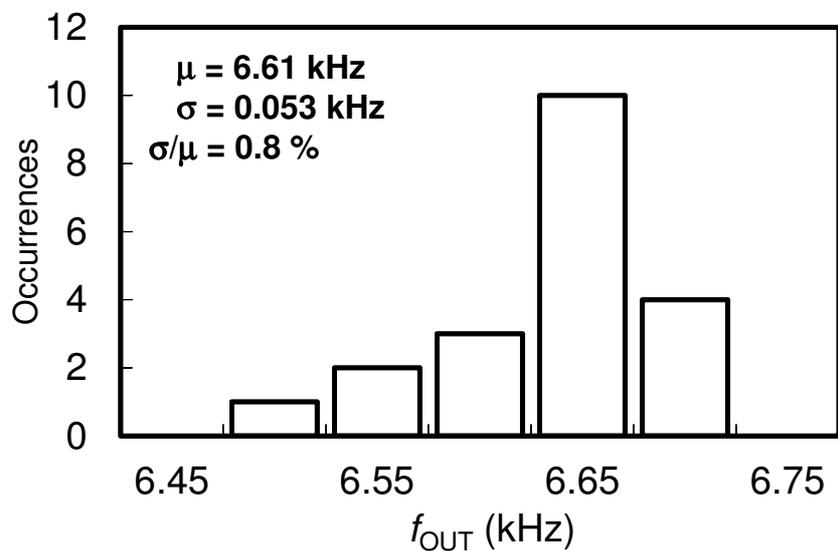


図 3.15: 提案回路の発振周波数のヒストグラム (電源電圧 : 1.5 V, 室温) .

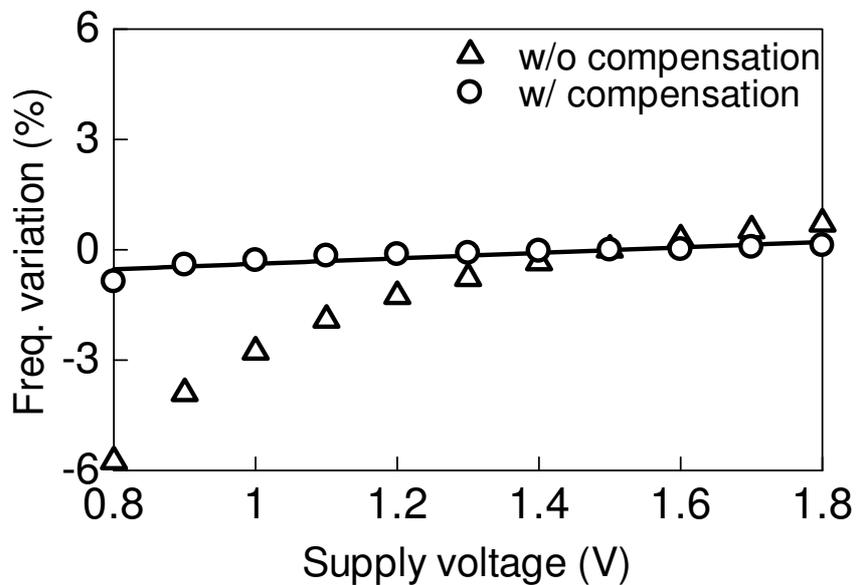


図 3.16: 既存回路と提案回路の発振周波数の電源電圧依存性 (室温) .

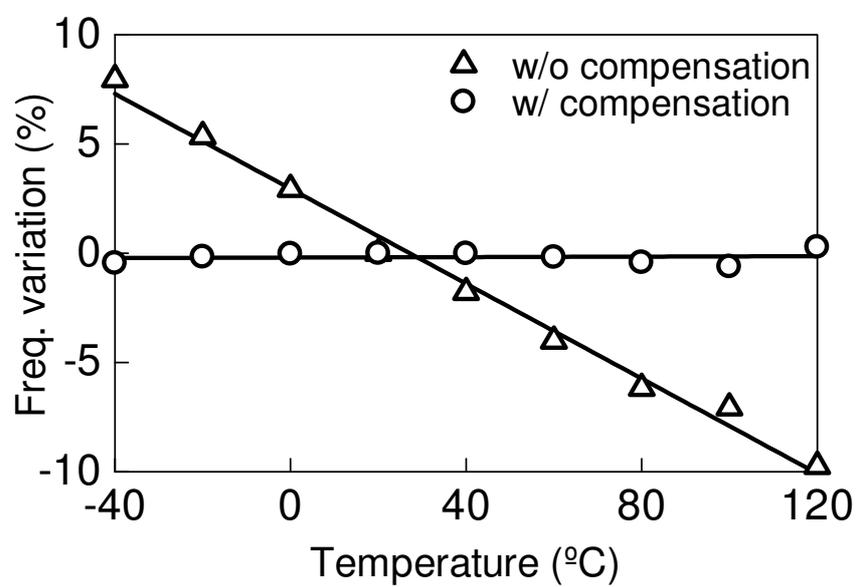


図 3.17: 提案回路 (抵抗補正ありとなしの場合) の発振周波数の温度依存性 (電源電圧: 1.5 V) .

参考文献

- [1] Y. Tokunaga, S. Sakiyama, A. Matsumoto, S. Dosho, "An on-chip CMOS relaxation oscillator with voltage averaging feedback," in *IEEE J. of Solid-State Circuits*, vol. 45, no. 6, 2010, pp. 1150 - 1158.
- [2] K.-J. Hsiao, "A 32.4 ppm/°C 3.2-1.6V self-chopped relaxation oscillator with adaptive supply generation," in *VLSI Circuits Symp. Dig. Tech. Papers*. June, 2012, pp. 14 - 15.
- [3] T. Tokairin, K. Nose, K. Takeda, K. Noguchi, T. Maeda, K. Kawai, M. Mizuno, "A 280 nW, 100 kHz, 1-cycle start-up time, on-chip CMOS relaxation oscillator employing a feedforward period control scheme," in *VLSI Circuits Symp. Dig. Tech. Papers*. June, 2012, pp. 16 - 17.
- [4] A. Paidimarri et al., "A 120nW 18.5 kHz RC Oscillator with Comparator Offset Cancellation for $\pm 0.25\%$ Temperature Stability," in *IEEE ISSCC Dig. Tech. Papers*, 2013, pp. 184–186.
- [5] J. Lim, K. Lee, and K. Cho, "Ultra Low Power RC Oscillator for System wake-up using highly precise Auto-Calibration Technique," in *ESSCIRC*, 2010, pp. 274 - 277.
- [6] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, 2002.
- [7] R. J. Baler, H. W. Li, and D. E. Boyce, "References," in *CMOS circuit design, layout, and simulation*, 2nd ed. New York: IEEE Press, 2005.
- [8] D. A. Johns and K. Martin, "Phase-Locked Loops," in *Analog integrated circuit design*, John Wiley & Sons, Inc., 1997.

第4章 超低電流駆動コンパレータ回路の高速化

4.1 はじめに

弛張発振回路に搭載されるコンパレータ回路は、コンパレータ回路を駆動する電流によって出力のスルーレートが変化する。ここで、弛張発振回路の超低電力化のために超低電流でコンパレータ回路を動作させると、コンパレータ回路の出力のスルーレートは大きく劣化する。これは、コンパレータ回路の後段に接続された論理ゲートの貫通電流の増加を引き起こす。したがって、超低電流駆動のコンパレータ回路は、弛張発振回路に搭載されるデジタル回路の消費電力を増加させる。この問題を解決するためには、超低電流駆動のコンパレータ回路を高速化しなければならない。しかし、コンパレータ回路の高速化は消費電力の増加に繋がる。

本章では、高速化に必要な消費電流をできる限り抑えた超低電流駆動のコンパレータ回路の高速化技術を提案する。

4.2 コンパレータ回路の高速化技術

コンパレータ回路の高速化に必要な消費電流を抑え、さらに出力のスルーレートを向上させるには、出力の論理反転時にのみ、コンパレータ回路に流れる電流を一時的に増加させる適応バイアス技術が効果的である。この内容に関連したコンパレータ回路がいくつか発表されている [1,2]。これらの回路はコンパレータ回路の出力の論理反転時に電流を増幅させ、スルーレートを向上させることができる。特に、図 4.1 に示す Akita らが提案しているコンパレータ回路は、一時的な電流増幅のための適応バイアス電流生成回路が搭載されている。また、ナノアンペアレベルの基準電流源を用いることが想定されており、スタンバイ時の消費電流が非常に小さい。しかし、電流増幅期間が長く、コンパレータ回路の動作時の消費電流が大きい問題がある。

4.2.1 適応バイアス電流生成回路

コンパレータ回路のスルーレート向上のためには、一時的に電流を増幅する必要がある。その役割を担うのが適応バイアス電流生成回路である。図 4.2 に Akita らが提案した適応バイアス電流生成回路の概略図を示す。この回路は、pMOSFET のダイオード接続と 2 つの nMOSFET が直列に接続され、 V_{in1} と V_{in2} の信号が各 nMOSFET のゲート端子に入力される。適応バイアス電流 I_{adp} は、2 つの nMOSFET のゲート電圧がしきい値電圧 V_{th} を上回ったときのみ生成される。図 4.2 の右側に、各電圧、電流信号に対する DC 特性を示す。 V_{in1} は、コンパレータの差動入力信号 V_{in+} が V_{in-} よりも高ければ '1' となり、 V_{in+} が V_{in-} よりも低ければ '0' となる。また、 V_{in2} は V_{in1} と逆の特性を示す。このとき、 V_{in1} と V_{in2} のクロスポイント電圧が、しきい値電圧 V_{th} を上

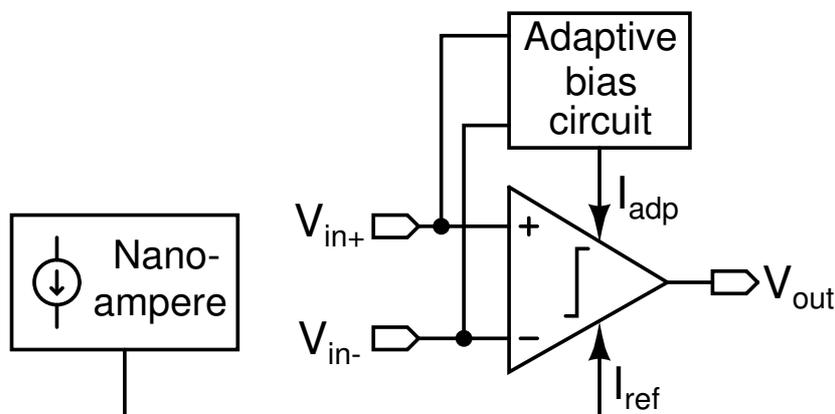


図 4.1: Akita らの適応バイアス電流生成回路を搭載したコンパレータ回路のブロック図 [2].

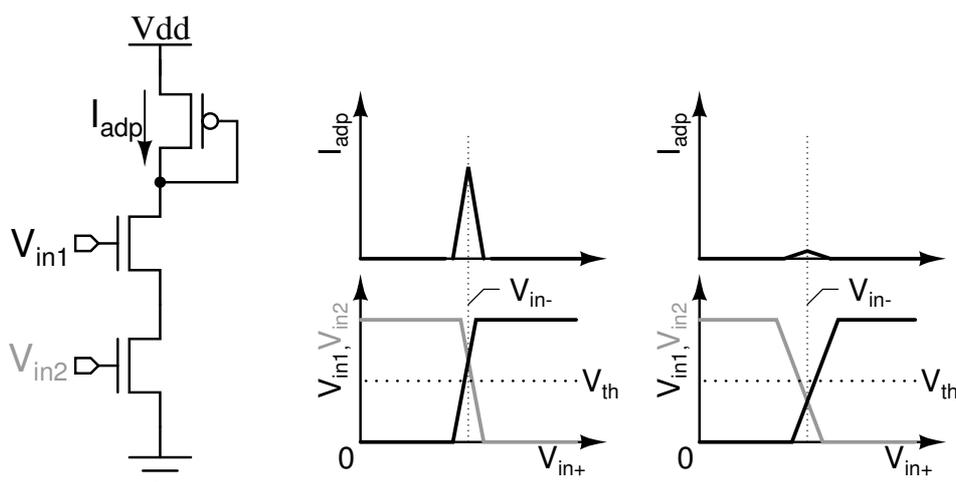


図 4.2: Akita らの適応バイアス電流生成回路の概略図 [2].

回れば適応バイアス電流 I_{adp} が生成される。しかし、そのクロスポイント電圧が V_{th} を下回ると、 I_{adp} は生成されない。Akita らは、 V_{in1} と V_{in2} の生成にナノアンペア電流で駆動する差動増幅回路を用いた [2]。差動増幅回路は CMOS 構成であるため、プロセスバラツキの影響を受ける。これは、先ほど説明した V_{in1} と V_{in2} のクロスポイント電圧がプロセスバラツキによって変動することを意味する。そのため、適応バイアス電流 I_{adp} の生成量もプロセスバラツキによって変動する。

適応バイアス電流 I_{adp} は、コンパレータ回路のスルーレート向上のために、確実に生成させる必要がある。つまり、 V_{in1} と V_{in2} のクロスポイント電圧をある程度高い電圧値に設定し、プロセスバラツキに対して頑健にする必要がある。しかし、 V_{in1} と V_{in2} のクロスポイント電圧を高く設定すると、適応バイアス電流 I_{adp} が増加するため、結果的にコンパレータ回路の動作時の消費電流が大きくなる課題がある。

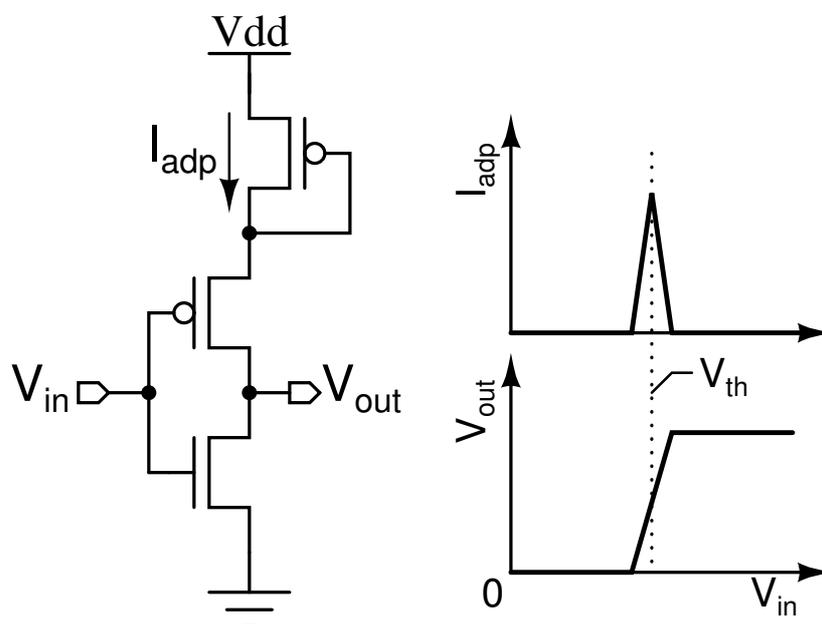


図 4.3: 提案のインバータ回路を用いた適応バイアス電流生成回路.

4.2.2 インバータ回路を用いた適応バイアス電流生成回路

Akita らの適応バイアス電流生成回路は、確実に適応バイアス電流 I_{adp} を生成するためにコンパレータ回路の動作時の消費電流を増加させる必要があった。これは、図 4.2 に示される $V_{\text{in}1}$ と $V_{\text{in}2}$ のクロスポイントがプロセスバラツキによって変動するためである。そこで、2つの電圧信号を用いて適応バイアス電流 I_{adp} を生成するのではなく、1つの電圧信号を用いて I_{adp} を生成する方法を提案する。

図 4.3 に提案する適応バイアス電流生成回路を示す。この回路は、CMOS インバータ回路に pMOSFET のダイオード接続を組み合わせさせた構成である。適応バイアス電流 I_{adp} は、入力信号 V_{in} がインバータ回路のしきい値電圧 V_{th} に達したときに生成される。この電流をカレントミラー回路によって差動対に供給する。また、CMOS インバータ回路の入力には、ナノアンペア電流で駆動する差動増幅回路の出力を接続した。差動増幅回路は、4.2.1 で説明したようにプロセスバラツキの影響を受ける。しかし、 V_{in} がしきい値電圧 V_{th} に達しさえすれば、適応バイアス電流 I_{adp} が生成される。つまり、 I_{adp} の生成に関しては、プロセスバラツキに頑健であるといえる。

図 4.4 に差動増幅回路を含んだ提案する適応バイアス電流生成回路を示す。適応バイアス電流 I_{adp} は、差動増幅回路の出力である $V_{\text{out,d}}$ がインバータ回路の論理しきい値電圧 V_{th} になるとき生成される。以下に図 4.4 の右側の波形を用いて回路動作を説明する。

$V_{\text{in}+}$ が $V_{\text{in}-}$ を上回ると、 $V_{\text{out,d}}$ は 0 V から徐々に上昇していく。そして、その電圧がインバータ回路の論理しきい値電圧 V_{th} に達すると、適応バイアス電流 I_{adp} が生成される。生成された I_{adp} は差動増幅回路へフィードバックされ、 $V_{\text{out,d}}$ を急峻に変化させる。 $V_{\text{in}+}$ が $V_{\text{in}-}$ を下回ったときも上回ったときと同様に、適応バイアス電流 I_{adp} が生成され、 $V_{\text{out,d}}$ を急峻に変化させる。

以上から、適応バイアス電流 I_{adp} は、 $V_{\text{out,d}}$ のスルーレートを向上させ、‘0’ から ‘1’ に立ち上

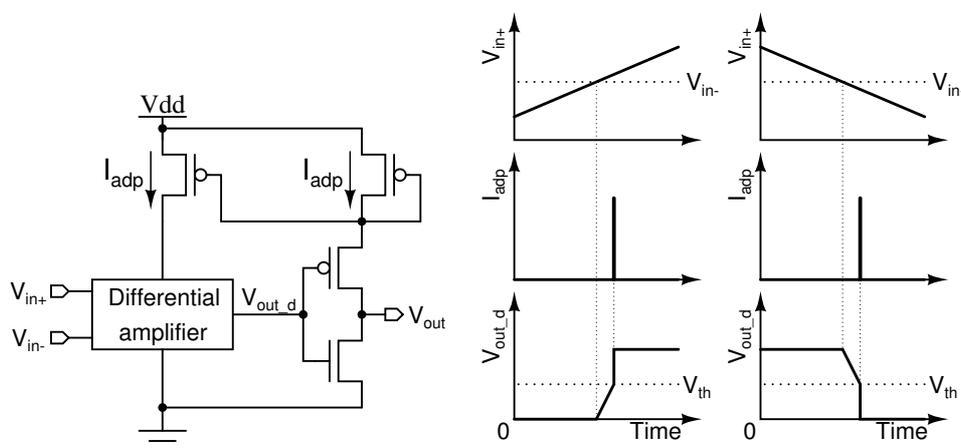


図 4.4: 差動増幅回路を含んだ提案の適応バイアス電流生成回路.

がる、または‘1’から‘0’に立ち下がる時間を短縮していることが分かる。つまり、 $V_{out,d}$ がインバータ回路の論理しきい値電圧 V_{th} を通過する時間は短く、その結果、適応バイアス電流生成時間も短くなる。そして、提案回路の出力である V_{out} は $V_{out,d}$ がインバータ回路を通過した信号であるため、 V_{out} は高いスルーレートを有する。ただし、この回路は $V_{out,d}$ が V_{th} 付近の電圧にあると、適応バイアス電流を生成し続ける。したがって、超低電力動作をさせるためには、 $V_{out,d}$ の‘1’の電圧レベルがインバータ回路の論理しきい値電圧 V_{th} よりも高く、‘0’の電圧レベルが V_{th} よりも低い必要がある。

4.3 正帰還ループを有する適応バイアスコンパレータ回路

4.2.2 節にて、インバータ回路を用いて適応バイアス電流 I_{adp} を生成する手法を説明した。しかし、この回路は差動増幅器の出力である $V_{out,d}$ がインバータ回路のしきい値電圧 V_{th} 付近にあると、適応バイアス電流を生成し続け、所望の動作を行わなくなる。これは、インバータ回路に貫通電流が流れ続けるためである。

本節では、この問題を解決するために正帰還ループを有する適応バイアスコンパレータ回路を提案する。

4.3.1 正帰還ループを用いた適応バイアス電流生成回路

適応バイアス電流 I_{adp} は、コンパレータ回路の出力の論理反転時に高い電流値まで瞬時に増幅されることが理想的である。また、適応バイアス電流生成期間が短い程、コンパレータ回路の消費電流は減少する。これは、電流増幅ゲインが高く、さらに、瞬時に電流を遮断できるようなシステムが必要であることを意味する。

図 4.5 に電流の正帰還ループを用いた適応バイアス電流生成回路を示す。この回路には、カレントミラー回路を2つ用いており、そのカレントミラー比である α と β はいずれも1よりも大きい

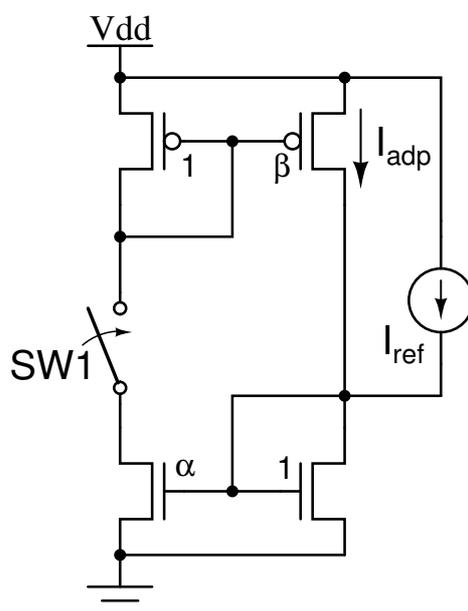


図 4.5: 電流の正帰還ループを用いた適応バイアス電流生成回路.

値である。以下、動作について説明する。

初期状態において、SW1はONとし、基準電流 I_{ref} は初期状態'0'のステップ応答とする。まず、基準電流 I_{ref} を'0'から'1'へ立ち上げると、その電流がnMOSFET側のカレントミラー回路を通過することで α 倍される。その後、pMOSFET側のカレントミラー回路を通過し、さらに β 倍される。そして、元のノードに戻った電流はさらにもう一度、nMOSFET側のカレントミラー回路を通過することで α 倍され、電流の正帰還ループが形成される。この正帰還ループはループゲインが高いほど、高い電流値を持つ適応バイアス電流 I_{adp} が生成される。また、電流が増幅されている中にSW1をOFFすると、正帰還ループが遮断され、適応バイアス電流 I_{adp} の生成がとまる。

4.3.2 回路構成と回路動作

図 4.6 に正帰還ループを用いたコンパレータ回路の回路図を示す。この回路は、nMOSFET 構成のラッチ回路を搭載した pMOSFET 入力 of 差動増幅回路、2つの正帰還ループ、IV 変換回路、そして出力バッファ回路で構成される。以下、回路動作を説明する。

初期状態、 V_{out+} は'1'、 V_{out-} は'0'とし、 M_{nsw1} はON、 M_{nsw2} はOFFとする。入力電圧 V_{in+} が V_{in-} よりも高い状態から低くなると、 M_{n11} 、 M_{n12} 、 M_{n21} 、 M_{n23} で構成されたラッチ構造により、 M_{n11} に流れる電流は瞬時に0から $I_{ref}/4$ の電流値まで上昇する。そして、その電流が正帰還ループ1に入力され、適応バイアス電流 I_{adp1} が生成される。生成された I_{adp1} は、IV 変換回路で電圧に変換される。そして、出力バッファ回路の V_{out+} と V_{out-} から'0'と'1'が出力され、 M_{nsw1} はOFF、 M_{nsw2} はONとなる。このとき、正帰還ループ1が遮断され、適応バイアス電流 I_{adp1} の生成が止まる。入力電圧 V_{in+} が V_{in-} よりも低い状態から高くなると、 M_{n11} 、 M_{n12} 、 M_{n21} 、 M_{n23} で

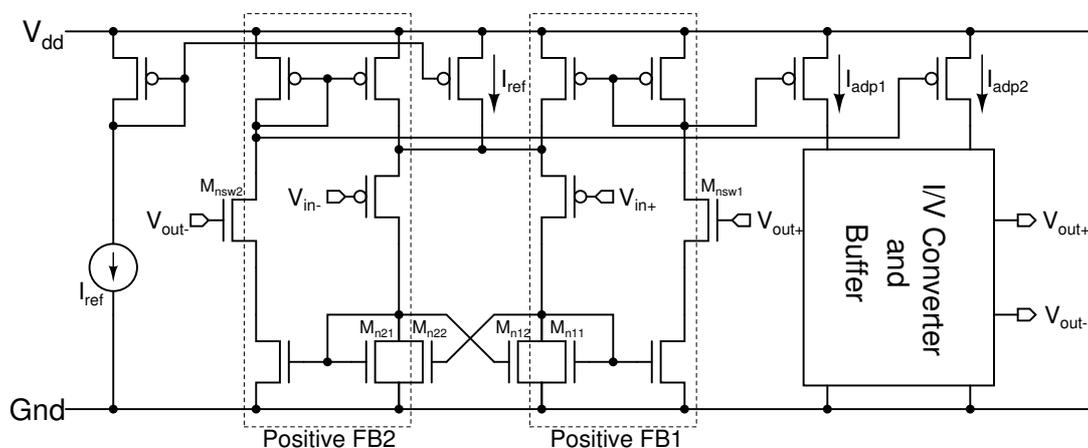


図 4.6: 正帰還ループを用いたコンパレータ回路の回路図.

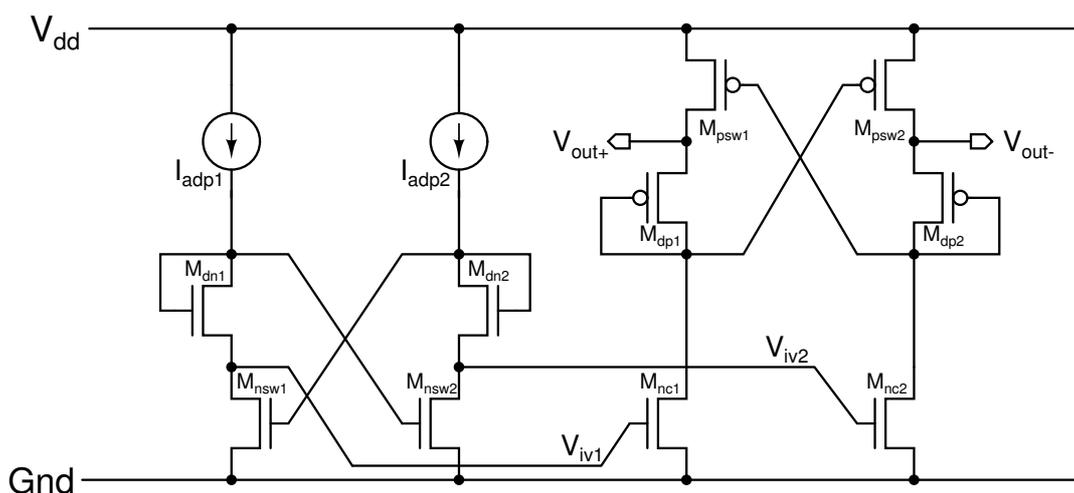


図 4.7: IV 変換回路と出力バッファ回路の回路図 [3].

構成されたラッチ構造により、 M_{n21} に流れる電流は瞬時に 0 から $I_{ref}/4$ の電流値まで上昇する。そして、その電流が正帰還ループ 2 に入力され、適応バイアス電流 I_{adp2} が生成される。生成された I_{adp2} は、IV 変換回路で電圧に変換される。そして、出力バッファ回路の V_{out+} から '1'、 V_{out-} から '0' が出力され、 M_{nsw1} は ON、 M_{nsw2} は OFF となる。このとき、正帰還ループ 2 が遮断され、適応バイアス電流 I_{adp2} の生成が止まる。

次に、IV 変換回路と出力バッファ回路について説明する。図 4.7 に IV 変換回路と出力バッファ回路の回路図を示す [3]。以下、回路動作を説明する。

初期状態において、 V_{iv1} は '0'、 V_{iv2} は '1' とし、 V_{out+} は '1'、 V_{out-} は '0' とする。適応バイアス電流 I_{adp1} が入力されると、 I_{adp1} が M_{dn1} に流れ、さらに、 M_{nsw2} に I_{adp1} がコピーされる。そして、 M_{nsw2} に流れる I_{adp1} が V_{iv2} を '0' まで低下させる。このとき、 M_{nsw1} がオフするため、 V_{iv1}

は‘1’となる。 V_{iv1} が‘1’となると、 M_{nc1} がオンし、そして、 M_{psw2} がオンする。このとき、 V_{out-} が‘1’となるため、 M_{psw1} がオフし、さらに、 V_{out+} は‘0’となる。また、適応バイアス電流 I_{adp2} が入力されると、 I_{adp2} が M_{dn2} に流れ、さらに、 M_{nsw1} に I_{adp2} がコピーされる。そして、 M_{nsw1} に流れる I_{adp2} が V_{iv1} を‘0’まで低下させる。このとき、 M_{nsw2} がオフするため、 V_{iv2} は‘1’となる。 V_{iv2} が‘1’となると、 M_{nc2} がオンし、そして、 M_{psw1} がオンする。このとき、 V_{out+} が‘1’となるため、 M_{psw2} がオフし、さらに、 V_{out-} は‘0’となる。

以上から、電流の正帰還ループを適応バイアス電流生成回路として用いることで、コンパレータ回路を構築可能であることが分かる。また、正帰還ループで生成される適応バイアス電流は、出力が反転すると即座に遮断される。したがって、その生成時間は短い。さらに、出力バッファはラッチ構成であるため、出力のスルーレートも高い。これは、従来回路の電流増幅時間が長く、消費電流が大きいという問題を解決することができる。

4.4 シミュレーション評価

本章では、0.35- μm CMOS 2P4M プロセスで構成した図 2.5 の pMOSFET 入力の 2 ステージ型コンパレータ回路 [4, 5] と適応バイアス電流生成回路にインバータ回路、そして正帰還ループを用いたコンパレータ回路について典型値でのシミュレーション評価を行った。シミュレーション評価には、電源電圧 3.0 V の電圧源、基準電流 10 nA の電流源、出力容量 1 pF のキャパシタを用いた。また、コンパレータ回路の入力端子電圧 V_{in+} と V_{in-} には、入力周波数 1 kHz、振幅 0.1 V、オフセット電圧 1.5 V のサイン波と基準電圧 1.5 V をそれぞれ印加した。

4.4.1 動作波形

図 4.10, 図 4.11, 図 4.12 に、pMOSFET 入力の 2 ステージ型コンパレータ回路、適応バイアス電流生成にインバータ回路を用いたコンパレータ回路、適応バイアス電流に正帰還ループを用いたコンパレータ回路の出力波形を示す。また、図 4.8, 図 4.9 に適応バイアス電流生成にインバータ回路を用いたコンパレータ回路、適応バイアス電流に正帰還ループを用いたコンパレータ回路の適応バイアス電流波形を示す。

図 4.10 に示す pMOSFET 入力の 2 ステージ型コンパレータ回路は、ナノアンペアオーダーの超低電流で動作させると、立ち上がりに大きな遅延が生じる。これは、第 2 章の 2.4.3 節で説明したように、 I_{ref} と出力容量値で立ち上がりにスルーレートが決定されるためである。一方で、適応バイアス電流生成回路にインバータ回路、そして正帰還ループを用いた回路は図 4.8, 図 4.9 に示されるように、出力信号の反転時に適応バイアス電流が生成されている。そのため、立ち上がり立ち下がり、共に遅延時間は短く、また、スルーレートも高い。

表 4.1 に、各コンパレータ回路の伝播遅延時間と消費電流についてまとめた表を示す。一番消費電流が低く、また伝播遅延時間が短いのは、インバータ回路を用いた回路であった。消費電流に関しては、定常的に電流を消費している電流パスが、2 ステージ型コンパレータ回路よりも 1 つ少ないことが要因である。また、正帰還ループを用いた回路も同様に、2 ステージ型コンパレータ回路よりも電流パスが 1 つ少ない。伝播遅延時間に関しては、適応バイアス電流生成回路のトランジスタ数が正帰還ループ回路よりも少なく、適応バイアス電流が素早く生成されることが要因である。

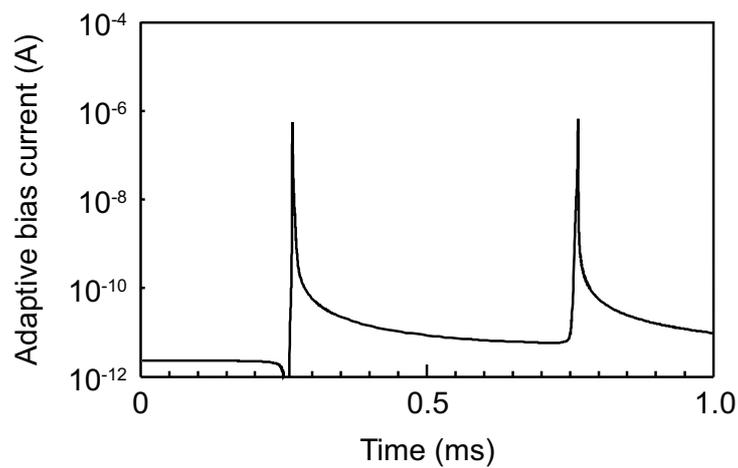


図 4.8: インバータ回路を用いたコンパレータ回路の適応バイアス電流.

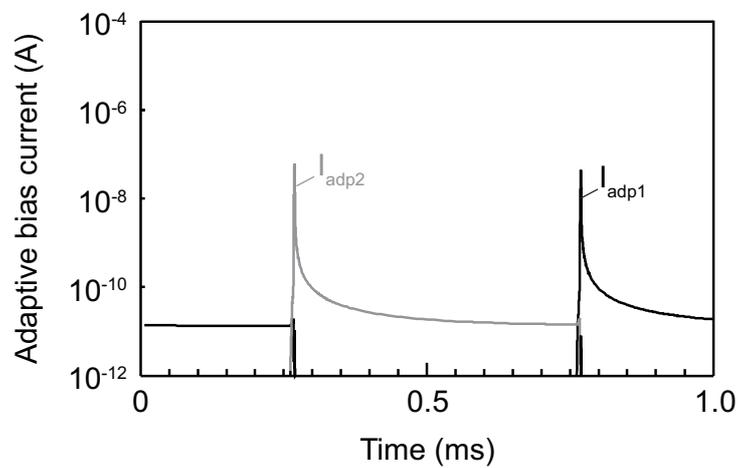


図 4.9: 正帰還ループを用いたコンパレータ回路の適応バイアス電流.

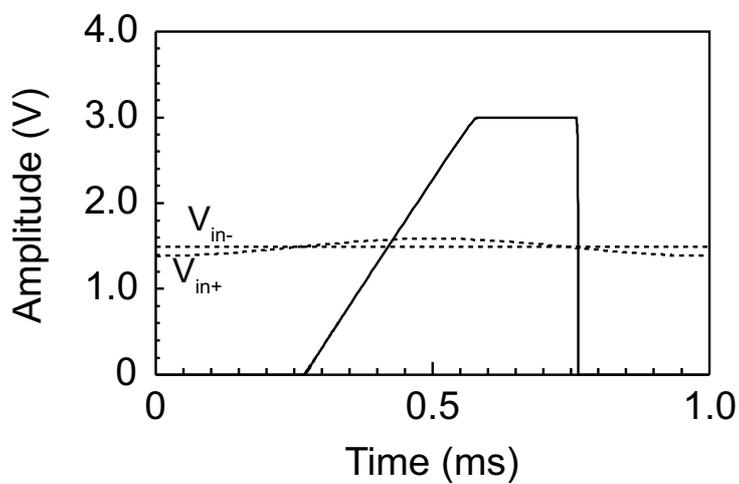


図 4.10: pMOSFET 入力の 2 ステージ型コンパレータ回路の動作波形.

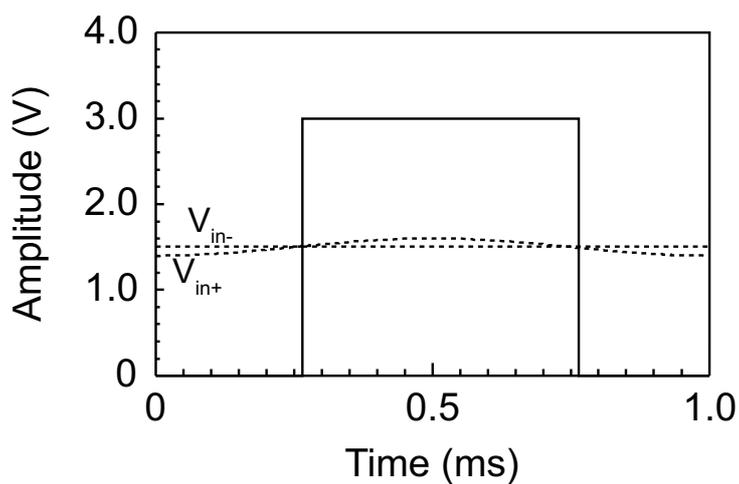


図 4.11: インバータ回路を用いたコンパレータ回路の動作波形.

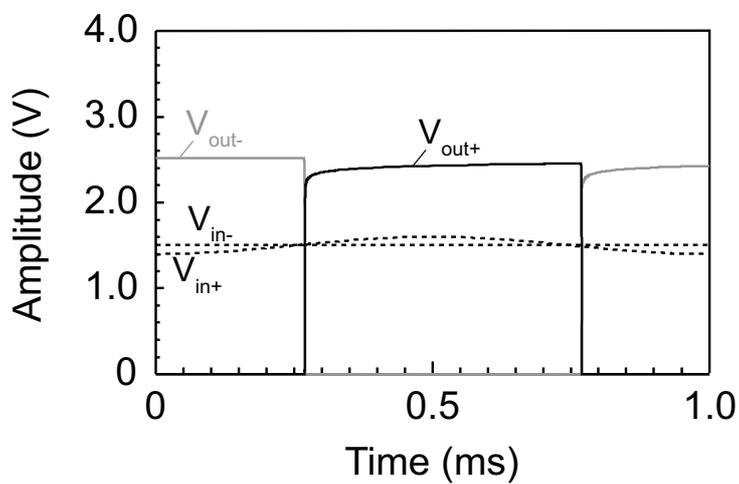


図 4.12: 正帰還ループを用いたコンパレータ回路の動作波形.

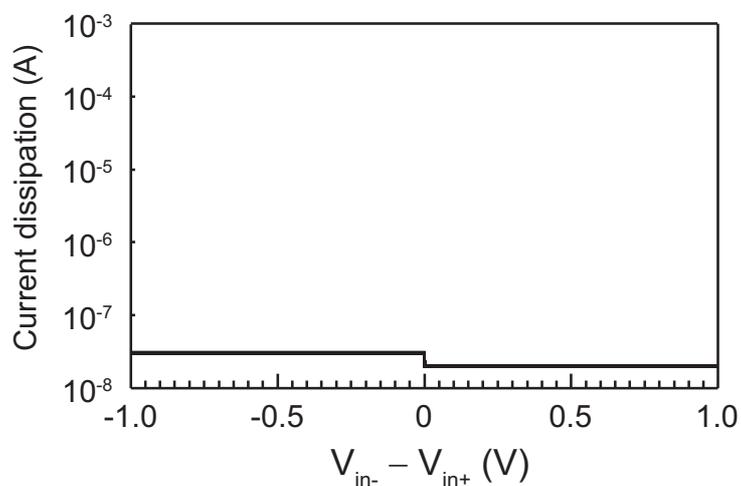


図 4.13: pMOSFET 入力の 2 ステージ型コンパレータ回路の入力コモンモード電圧依存性.

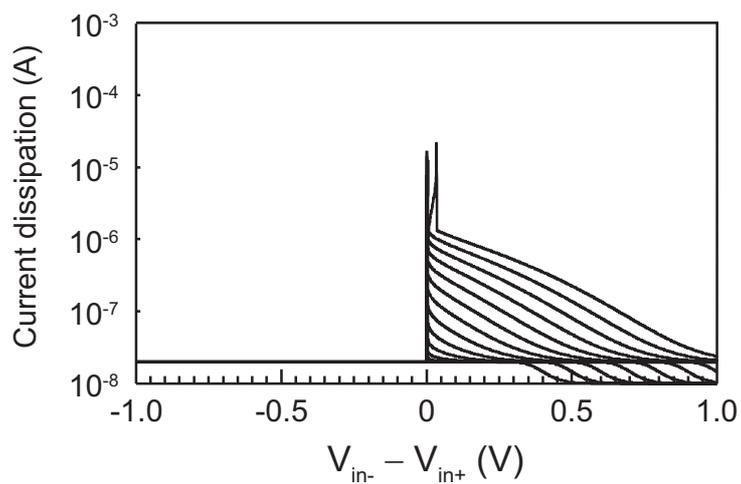


図 4.14: インバータ回路を用いたコンパレータ回路の入力コモンモード電圧依存性.

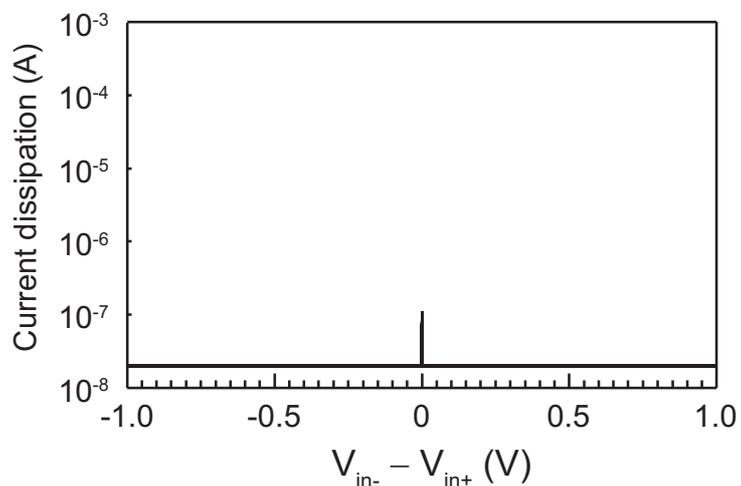


図 4.15: 正帰還ループを用いたコンパレータ回路の入力コモンモード電圧依存性.

表 4.1: 各コンパレータ回路の伝播遅延時間と消費電流.

回路	消費電流 (nA)	伝播遅延時間 (μs)	
		立ち上がり	立ち下がり
2 ステージ型	28.4	232	13.3
インバータ回路型	24.5	15.1	14
正帰還ループ型	26.2	19.8	19.4

4.4.2 コンパレータ回路の入力信号に対する消費電流

コンパレータ回路の入力信号に対する消費電流についてシミュレーション評価した. 評価には, 差動入力電圧 $V_{in-} - V_{in+}$ を -1.0 から 1.0 V まで変化させ, そのときのコンパレータ回路の消費電流を確認する方法を用いた. また, V_{in-} には, 0 から 2.0 V までの固定電圧を 0.1 V 刻みで印加した. その結果を図 4.13, 4.14, 4.15 に示す.

2 ステージ型コンパレータ回路は, 図 4.13 に示すように, $V_{in-} - V_{in+}$ が負から正の電圧になるポイントで, 消費電流が少し減少した. これは, 差動入力電圧 $V_{in-} - V_{in+}$ が正の電圧になると, 図 2.5 の後段のソース接地増幅回路の電流パスが遮断されるためである.

インバータ回路を用いたコンパレータ回路は, 図 4.14 に示すように, $V_{in-} - V_{in+}$ が 0 または正の電圧, かつ V_{in-} が低電圧のとき, 消費電流が増大する. これは, 図 4.4 のインバータ回路を用いた適応バイアス電流生成回路が, 常に適応バイアス電流を生成し続けるためである.

正帰還ループを用いたコンパレータ回路は, 図 4.15 に示すように, $V_{in-} - V_{in+}$ が 0 のとき, 消費電流が増大する. これは, 図 4.6 の正帰還ループ 1,2 に, $I_{ref}/4$ の電流が常に供給され続けるため, 正帰還ループ 1,2 が遮断されないためである.

4.5 測定評価

提案するコンパレータ回路を評価するために, $0.35\text{-}\mu\text{m}$ スタンダード CMOS プロセスでチップを試作した. 以下, 試作したチップの評価結果について説明する.

4.5.1 チップ写真

図 4.16 に各コンパレータ回路のチップ写真を示す. 各回路の面積は, 2 ステージ型が 0.0027 mm^2 , インバータ回路型が 0.0030 mm^2 正帰還ループ型が 0.0036 mm^2 であった.

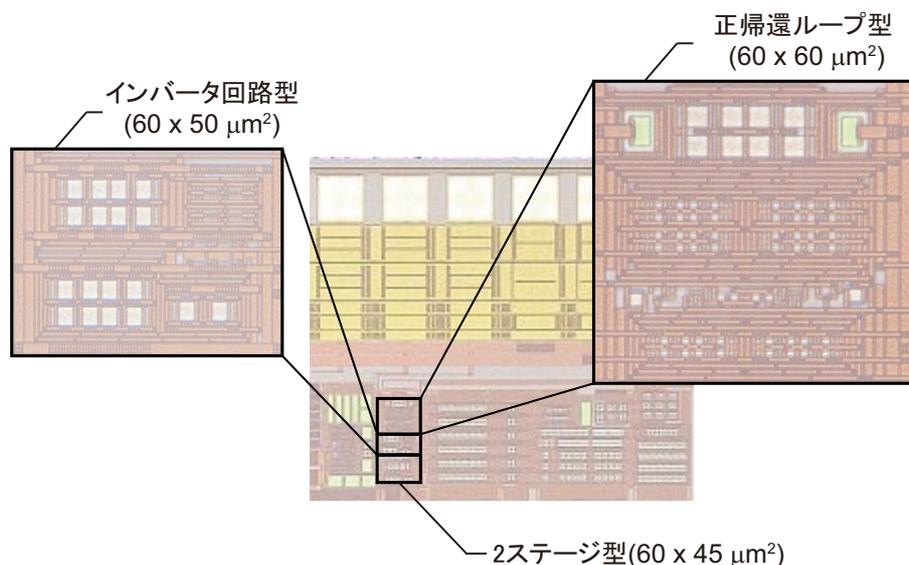


図 4.16: 各コンパレータ回路の試作チップの写真.

4.5.2 出力波形

図 4.17 に室温での各コンパレータ回路の出力波形を示す. 測定には, 電源電圧 3.0 V の電圧源, 基準電流 10 nA の電流源を用いた. また, コンパレータ回路の入力端子電圧 V_{in+} と V_{in-} には, 入力周波数 1 kHz, 振幅 0.1 V, オフセット電圧 1.5 V のサイン波と基準電圧 1.5 V をそれぞれ印加した. 測定の関係上, 各コンパレータ回路の出力にはインバータ回路で構成した出力バッファを接続している.

図 4.17 より, 出力の立ち上がりの遅延時間は, 2 ステージ型が一番長く, 正帰還ループ型が一番短くなった. しかし, 4.4 節のシミュレーション結果では, インバータ回路型の遅延時間が一番短い結果となった. この原因は, レイアウト時に寄生した容量や抵抗の影響で, インバータ回路型と正帰還ループ型の遅延が逆転したためだと考えられる.

表 4.2 に各コンパレータ回路の消費電流についてまとめた表を示す. コンパレータ回路の消費電流は, 2 ステージ型が一番高く, インバータ回路型が一番低くなり, 4.4 節のシミュレーションと同様の結果となった. また, 出力バッファでの消費電流は, 2 ステージ型が圧倒的に高い結果となった. これは, コンパレータ回路を基準電流 10 nA で駆動しているため, 図 4.10 に示される波形のように, 出力バッファ手前の信号の立ち上がりのスルーレートが低くなるためである.

4.6 まとめ

本章では, 適応バイアス電流を用いたコンパレータ回路を提案した. 提案したコンパレータ回路は, インバータ回路や正帰還ループを用いて適応バイアス電流を生成し, 高スルーレートかつ低消費電力を実現した. シミュレーション評価にて, 適応バイアス電流の生成を確認した. また, 0.35- μm CMOS プロセスを用いて試作を行い, その効果を実証した.

表 4.2: 各コンパレータ回路の消費電流.

回路	消費電流 (nA)	
	コンパレータ回路	出力バッファ
2 ステージ型	29.7	1372
インバータ回路型	25.6	47.3
正帰還ループ型	27.9	99.9

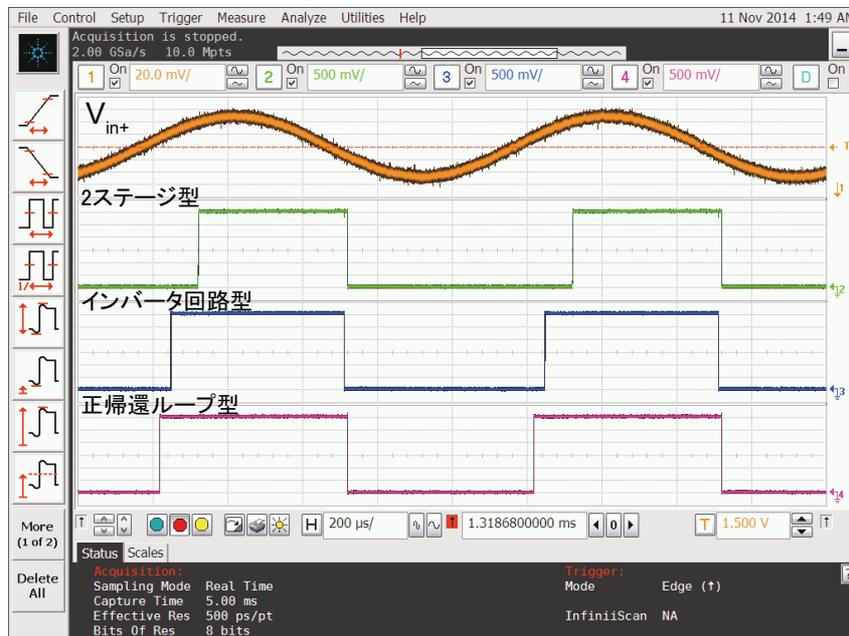


図 4.17: 各コンパレータ回路の出力波形 (室温) .

参考文献

- [1] M. Degrauwe et al., “Adaptive biasing CMOS amplifiers,” in *IEEE J. Solid-State Circuits*, vol. 17, June, 1982, pp. 522–528.
- [2] S. Akita, “Adaptively controlled circuit,” U.S. Patent 6 922 319, July 26, 2005.
- [3] H. Shao and C. -Y. Tsui, “A robust, input voltage adaptive and low energy consumption level converter for sub-threshold logic,” in *ESSCIRC*, 2007, pp. 312 - 315.
- [4] R. J. Baler, H. W. Li, and D. E. Boyce, “Operational Amplifiers,” in *CMOS circuit design, layout, and simulation*, 2nd ed. New York: IEEE Press, 2005.
- [5] P. R. Gray and R. G. Meyer., “MOS Operational Amplifier Design,” in *IEEE J. Solid-State Circuits*, vol. SC-17, December, 1982, pp. 969–982.

第5章 時間計測用途に向けた弛張発振回路

5.1 はじめに

本章では、第3章で提案した弛張発振回路を基に、時間計測用途に向けた弛張発振回路を提案する。第3章の提案回路はコンパレータ回路の遅延変動を補正することができるが、発振周波数が6.66 kHzと低い。そのため、32 kHz程度まで発振周波数を向上させなければならない。しかし、発振周波数の向上は、同時に消費電力の増加に繋がるため、更なる低電力化手法の実現が求められる。その低電力化手法の一つとして、第4章で説明した超低電流かつ高速なコンパレータ回路を弛張発振回路に搭載することが考えられる。これにより、弛張発振回路のデジタル回路の消費電力の低下が見込める。また、本章では、弛張発振回路の消費エネルギーを低下させるために、基準電圧を第3章の場合よりも低下させる。しかし、第3章で説明した補正電圧生成手法では、低い基準電圧に対応できないため、補正電圧が生成できない。したがって、本章中で、低い基準電圧に対応した補正電圧生成手法を検討する。

5.2 弛張発振回路の高速化と低電力化手法

第2章で説明したように、図2.2の弛張発振回路は、キャパシタ $C_{1,2}$ の充放電を基準電圧 V_{ref} まで繰り返すことでクロックを生成する [1,2]。本節では、弛張発振回路のエネルギーについて議論し、エネルギーの削減に有効な弛張発振回路の基準電圧の低減手法について説明する。

5.2.1 弛張発振回路のエネルギー

第2章より、弛張発振回路の消費電力 P_{osc} は、 $P_{\text{osc}} = P_a + P_d + P_{\text{leak}}$ と表すことができる。また、 P_{osc} は、式(2.1), (2.2), (2.3)より、

$$P_{\text{osc}} = NI_{\text{ref}}V_{\text{dd}} + C_{\text{load}}V_{\text{dd}}^2f_{\text{osc}} + I_{\text{leak}}V_{\text{dd}} \quad (5.1)$$

となる。ここで、 I_{ref} は基準電流、 N は I_{ref} が流れる電流ノード数、 V_{dd} は電源電圧、 C_{load} はデジタル回路の出力容量、 f_{osc} は弛張発振回路の発振周波数、 I_{leak} はリーク電流である。また、式(2.5)の弛張発振回路の発振周波数 f_{osc} から、アナログ部の電流 I_{ref} をキャパシタの充放電によって消費する電流に置き換えると、弛張発振回路の消費電力 P_{osc} は、

$$P_{\text{osc}} = 2NV_{\text{dd}}C_{1,2}V_{\text{ref}}f_{\text{osc}} + C_{\text{load}}V_{\text{dd}}^2f_{\text{osc}} + I_{\text{leak}}V_{\text{dd}} \quad (5.2)$$

のように表し直すことができる。この式から弛張発振回路のエネルギー E_{osc} を求めると、

$$E_{\text{osc}} = 2NV_{\text{dd}}C_{1,2}V_{\text{ref}} + C_{\text{load}}V_{\text{dd}}^2 + \frac{I_{\text{leak}}V_{\text{dd}}}{f_{\text{osc}}} \quad (5.3)$$

となる。

式 (5.3) から、弛張発振回路のエネルギーを削減する方法について考えていく。式の (5.3) から、削減可能な要素を抜き出すと、 $N, C_{1,2}, V_{\text{ref}}$ となる。 N は I_{ref} が流れる電流ノード数を表し、弛張発振回路の電流パスを削減することで、弛張発振回路のエネルギーを削減できる。しかし、弛張発振回路は弛張発振やコンパレータ回路の動作には必ず電流が必要となるため、電流パスの削減数には限界がある。充放電キャパシタである $C_{1,2}$ の削減は、弛張発振回路のエネルギー削減に有効である。しかし、充放電キャパシタの削減は、コンパレータ回路の入力容量の影響を受けやすくなる。CMOS プロセスで構成されるコンパレータ回路の入力容量は、MOSFET のゲート容量と等しくなる。MOSFET のゲート容量 C_g は、ゲート長 L 、ゲート幅 W に比例し変化するが、およそ数十 fF 程度となる。ただし、この容量はゲート電圧 V_g で変化する可変容量である。この可変容量は、弛張発振動作時のランプ電圧を非線形にする。したがって、発振周波数の精度に大きな影響を与えるため、 $C_{1,2}$ の削減は困難である。それに対し、基準電圧 V_{ref} の低減はキャパシタンスを変化させないため、コンパレータ回路の入力容量の影響を抑えることができる。ただし、弛張発振回路にコンパレータ回路の遅延がある場合、第2章の式 (2.12) より、コンパレータ回路の遅延の影響が顕著になる。しかし、第3章で説明したコンパレータ回路の遅延補正を用いた弛張発振回路は、コンパレータ回路の遅延の影響を受けないため、発振周波数の精度劣化なしに基準電圧 V_{ref} を削減することができる。したがって、発振周波数のエネルギー削減には基準電圧 V_{ref} の低減が有効であると考えられる。以後、低い基準電圧を低 V_{ref} として定義する。

5.2.2 低 V_{ref} を用いた弛張発振回路

本節では、図 2.2 の弛張発振回路に低 V_{ref} を用いた場合について説明する。図 5.1 に3つの状態の弛張発振回路の動作波形を示す。(a) は第2章の弛張発振回路の動作波形、(b) は (a) を低 V_{ref} 化した場合の波形、(c) は (b) の発振周波数を (a) に揃えた場合の波形を表している。

弛張発振回路は、図 5.1(a) に示されるように、0 V から基準電圧 V_{ref} まで変化する一定の傾きを持つランプ電圧 V_{ramp1} と V_{ramp2} を交互に生成することで、クロック信号を得る。そのため、図 5.1(b) のように弛張発振回路のエネルギー削減のために基準電圧 V_{ref} を低下させると、ランプ電圧の生成時間が短くなり、結果として発振周波数が上昇する。したがって、図 5.1(a) の発振周波数が目標値とすると、図 5.1(c) のように目標値に合わせランプ電圧 $V_{\text{ramp1,2}}$ の傾きを調整する必要がある。ランプ電圧 $V_{\text{ramp1,2}}$ の傾きは基準電流 I_{ref} に比例し、キャパシタ $C_{1,2}$ に反比例する。つまり、基準電流を減少させるかキャパシタを増加させることで、発振周波数を調整することができる。ただし、5.2.1 節の式 (5.3) で表されるように、キャパシタの増加は弛張発振回路のエネルギーの増加に繋がる。

以上より、基準電圧 V_{ref} を低下させるために、基準電流 I_{ref} を変化させ発振周波数を調整する。これは、キャパシタ増加による弛張発振回路のエネルギーの増加を抑制するためである。

5.3 補正電圧生成回路と低 V_{ref}

本節では、第3章で説明した補正電圧生成回路と5.2節の低 V_{ref} を用いた弛張発振回路を統合した場合に生じる影響について説明する。

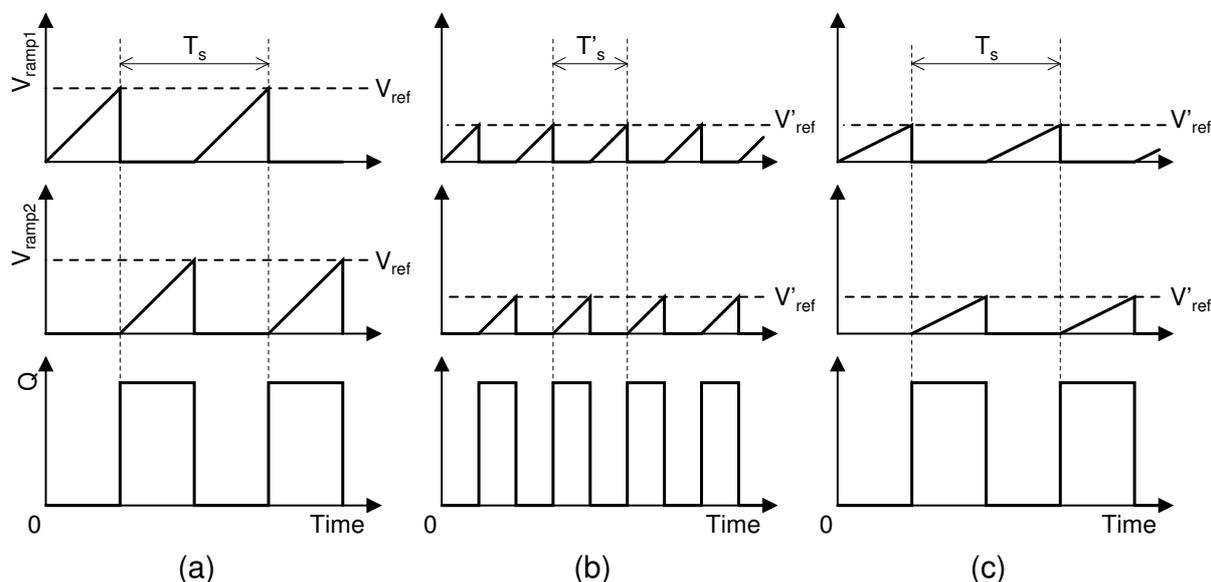


図 5.1: (a) 第 2 章の弛張発振回路の動作波形, (b) (a) を低 V_{ref} 化した場合の波形, (c) (b) の発振周波数を (a) に揃えた場合の波形.

5.3.1 コンパレータ回路の補正電圧生成期間と基準電圧 V_{ref} との関係

第 3 章で説明したコンパレータ回路の遅延補正技術は, 補正電圧 $V_{comp.}$ を用いることで弛張発振回路のクロック信号におけるコンパレータ回路の遅延を補正するものであった. そして, その補正電圧生成は, 図 2.2 の弛張発振回路のリセット期間に行った. そのため, その期間は, 式 (3.4) で表されるように弛張発振周波数の半周期以内に完了する必要がある. 以上を踏まえ, 弛張発振回路の基準電圧に低 V_{ref} を用いた場合のコンパレータ回路の補正電圧生成について考える.

第 3 章の図 3.5 の弛張発振回路は, 電源電圧 V_{dd} から基準電流 I_{ref} でキャパシタ $C_{s1,s2}$ を放電させることで $V_{ref} - \Delta V_c$ である補正電圧 $V_{comp.}$ を生成する. このときの補正電圧生成にかかる時間 $\tau_{comp.}$ は,

$$\tau_{comp.} = \frac{C_{s1,s2}(V_{dd} - V_{ref} + \Delta V_c)}{I_{ref}} \quad (5.4)$$

となる. この生成期間は, 弛張発振周波数の半周期以内でなければならない. 以上を考慮すると, 基準電圧 V_{ref} は,

$$V_{ref} \geq \frac{(V_{dd} + \Delta V_c)}{2} \quad (5.5)$$

のように制限される.

以上より, 第 3 章で説明した補正電圧生成手法では, 基準電圧 V_{ref} が式 (5.5) のように制限されてしまう. したがって, 式 (5.5) よりも低い V_{ref} を用いることができない. しかし, エネルギーの削減と高速化を実現するためには, 異なるアーキテクチャの開拓が必要になる.

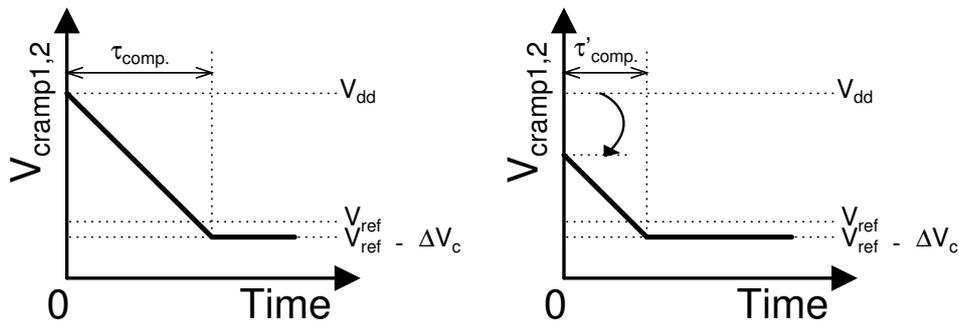


図 5.2: 補正電圧生成の開始電圧に対する補正電圧生成期間。

5.3.2 コンパレータ回路の補正電圧生成期間の短縮

5.3.1 節で説明したように、第3章で説明した補正電圧生成手法では低 V_{ref} を用いることができない。そこで、本節ではコンパレータ回路の補正電圧生成期間の短縮方法について説明する。

まず、補正電圧生成期間を短くする方法を考える。補正電圧生成期間は式 (5.4) のように表すことができる。これらの要素の中で、弛張発振回路の発振周波数を変動させることなく、任意に変化させることができるのは、電源電圧 V_{dd} のみである。ここでの電源電圧 V_{dd} は、補正電圧生成が開始される初期電圧を示している。つまり、図 5.2 に示すように、補正電圧生成の開始電圧を低下させることで、補正電圧生成期間を短縮することができる。

5.3.3 補正電圧生成の開始電圧生成手法

第3章では、図 5.3(a) に示す補正電圧生成回路を用いた。この回路は、電源電圧 V_{dd} までリセットされた後、補正電圧が生成される。つまり、補正電圧生成の開始電圧は電源電圧である V_{dd} となる。ここで、補正電圧生成の開始電圧を V_{dd} から下げる方法を検討する。

補正電圧生成の開始電圧は、補正電圧 V_{comp} を生成する必要があるため、基準電圧 V_{ref} よりも高くなければならない。これは、基準電圧 V_{ref} よりも高ければ、どのような電圧でも良いと捉えることができる。つまり、補正電圧生成期間は、基準電圧 V_{ref} から少しだけ高い電圧を補正電圧生成の開始電圧とすることで最小になる。図 5.3(b) に、提案する補正電圧生成の開始電圧生成回路を示す。この回路は第3章で提案した (a) の回路の pMOSFET スイッチを nMOSFET スイッチに変更し、さらに、1つの電流源を追加した構成である。図 5.4 を用いて動作を説明する。

第3章で説明した (a) の波形の場合、 $\phi_{31,32}$ が '1' から '0' に立ち下がることで、 $V_{ramp1,2}$ が前の補正電圧である V_{comp} から電源電圧 V_{dd} まで上昇する。そして、 $\phi_{31,32}$ が '0' から '1' に立ち上がり、 $\phi_{21,22}$ が '1' から '0' に立ち下がることで、電源電圧 V_{dd} から補正電圧生成が開始される。これに対し、提案の (b) の波形の場合、 $\phi_{31,32}$ が '1' から '0' に立ち下がることで、キャパシタ $C_{s1,s2}$ は基準電流 I_{ref} によって充電される。そして、その充電電圧である $V_{ramp1,2}$ が前の補正電圧である V_{comp} から基準電圧 V_{ref} まで上昇すると、コンパレータ回路の出力は、 τ_c の遅延をもって反転する。反転後、 $\phi_{31,32}$ が '0' から '1' に立ち上がり、 $\phi_{21,22}$ が '1' から '0' に立ち下がることで、補正電圧生成が開始される。このときの補正電圧生成の開始電圧は、 $V_{ref} + \Delta V_c$ となる。

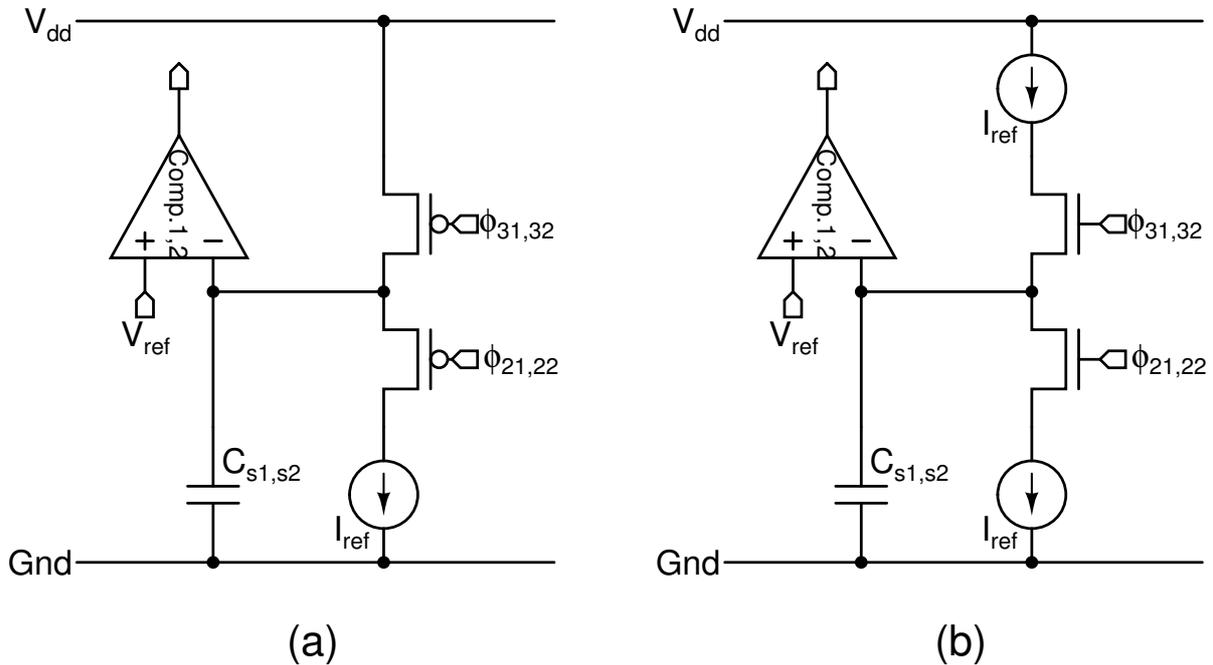


図 5.3: (a) 第 3 章の補正電圧生成回路と (b) 提案の補正電圧生成回路。

以上から、補正電圧生成の開始電圧を V_{ref} から ΔV_c だけ高い電圧に設定することができる。ただし、 $V_{\text{comp.}}$ から補正電圧生成の開始電圧にリセットされるまでに、 $2\tau_c$ の時間を要する。これらを踏まえると、提案の補正電圧生成期間 $\tau'_{\text{comp.}}$ は、

$$\tau'_{\text{comp.}} = 4\tau_c = \frac{4C_{s1,s2}}{I_{\text{ref}}} \Delta V_c \quad (5.6)$$

となる。この生成期間が弛張発振周波数の半周期以内に完了するための基準電圧 V_{ref} は、

$$V_{\text{ref}} \geq 4\Delta V_c \quad (5.7)$$

となり、基準電圧 V_{ref} の制限がコンパレータ回路の遅延に依存する。

この提案手法の他に、 V_{ref} よりも ΔV だけ高い電圧 $V_{\text{ref}} + \Delta V$ を生成し、それを図 5.3(a) の電源電圧 V_{dd} の代わりに用いる方法が考えられる。しかし、 $V_{\text{ref}} + \Delta V$ を生成する回路の出力インピーダンスは、キャパシタ $C_{s1,s2}$ を充電するために低くなければならない。つまり、低い出力インピーダンスを持つ $V_{\text{ref}} + \Delta V$ 生成回路を新たに搭載する必要があるため、弛張発振回路の消費電力増加に繋がる。

5.4 時間計測用途に向けた弛張発振回路

本節では、第 3 章、第 4 章、5.2 節、そして 5.3 節を踏まえて、時間計測用途に向けた弛張発振回路を提案する。図 5.5 に時間計測用途に向けた弛張発振回路の回路図を示す。提案回路は、遅延

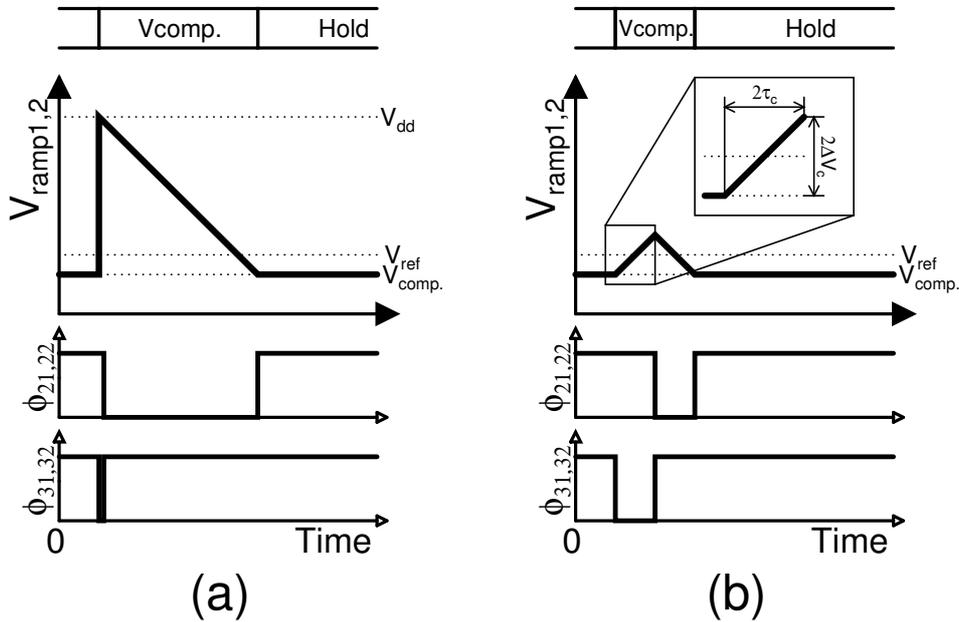


図 5.4: (a) 第 3 章の補正電圧生成の波形と (b) 提案の補正電圧生成の波形.

補正用電圧 $V_{comp.}$ 生成部, クロック用のランプ電圧生成部, 遅延補正用電圧 $V_{comp.}$ 生成モードとクロック生成モードを切り替えるマルチプレクサ, そして各スイッチを制御するコントロールロジックで構成される. コンパレータ回路には, 第 4 章で説明した正帰還ループを用いた適応バイアス電流生成回路を搭載した. そして, 基準電流 I_{ref} と基準電圧 V_{ref} の生成には, 第 2 章で説明した図 2.16 のしきい値参照型のバイアス回路を用いた [3].

5.4.1 回路動作

提案回路は, 第 3 章の回路と同様に, クロック生成モードと $V_{comp.}$ 生成モードの 2 つモードで動作する. ϕ_1 が '0' のとき, Comp.1 はクロック生成モード, Comp.2 は $V_{comp.}$ 生成モードで動作し, ϕ_1 が '1' のとき, Comp.1 は $V_{comp.}$ 生成モード, Comp.2 はクロック生成モードで動作する. 以下, 図 5.6 のタイミングダイアグラムを用いて ϕ_1 が '0' のときの回路動作を説明する.

クロック生成モード (Comp.1)

図 5.7 にクロック生成モード時の回路図を示す. クロック生成モードである Comp.1 は, キャパシタ C_1 が I_{ref} によって充電される. 充電電圧である V_{ramp1} が $V_{comp.}$ の電位に達すると (このとき既に $V_{comp.}$ が生成されていると仮定する), コンパレータ回路の遅延分だけ遅れてコンパレータ回路の出力が '1' となる. そして, それを検知したコントロールロジックは ϕ_1 を '1' にする. そのときの V_{ramp1} の電圧は V_{ref} となる.

$V_{comp.}$ 生成モード (Comp.2)

図 5.8 に $V_{comp.}$ 生成モード時の回路図を示す. $V_{comp.}$ 生成モードである Comp.2 は前の状

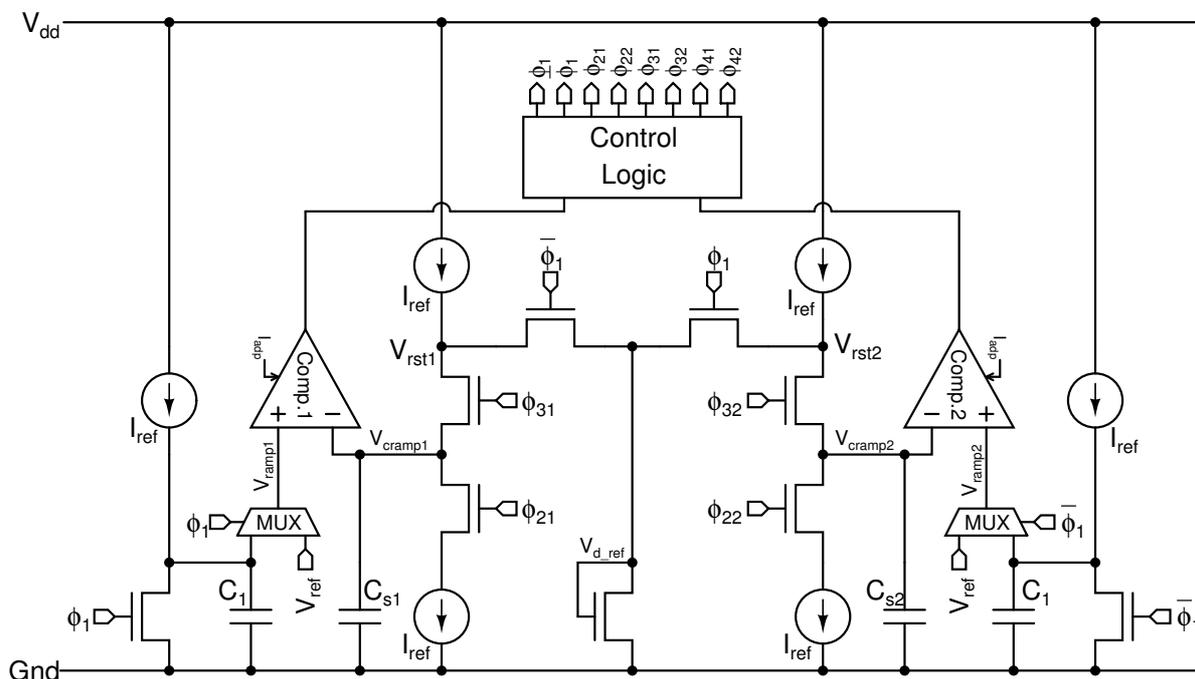


図 5.5: 時間計測用途に向けた弛張発振回路.

態がクロック生成モードであるため、 V_{cramp2} には $V_{comp.}$ 、 V_{ramp2} には V_{ref} が保持されている。前の状態であるクロック生成モードが完了してすぐに ϕ_{32} が '1' になり、キャパシタ C_{s2} が I_{ref} によって充電される。その後、その充電電圧 V_{cramp2} は V_{ramp1} の現在の電位である V_{ref} よりも高くなるため、コンパレータ回路の出力が '0' になる。そのタイミングで ϕ_{32} が '0' となり、 V_{cramp2} は、 $V_{ref} + \Delta V_c$ にリセットされる。リセット後、 ϕ_{22} が '0' となり、 $V_{ref} + \Delta V_c$ に充電されたキャパシタ C_{s2} は I_{ref} によって放電される。その後、 V_{cramp2} が V_{ref} の電位に達すると、コンパレータ回路の遅延分だけ遅れてコンパレータ回路の出力が '1' となる。そして、それを検知したコントロールロジックは ϕ_{22} を '1' にする。そのときの V_{cramp2} に保持される電圧は $V_{comp.}$ となる。

これ以外の動作として、クロック生成モード時に、電流源の直下の電圧 $V_{rst1,2}$ を nMOSFET のダイオード接続したときの電圧 $V_{d.ref}$ に設定する。これは、 $V_{rst1,2}$ のノードに蓄積される電荷を減少させるためである。もしこの動作をしなかった場合、クロック生成モード時、補正電圧のリセットに用いる電流源の直下の電圧は V_{dd} に維持される。この結果、 ϕ_{31} または ϕ_{32} が ON した瞬間にキャパシタ C_{s1} または C_{s2} には、 $V_{rst1,2}$ のノードに蓄積した電荷が一気に注入されることになる。これは、補正電圧のリセット動作を阻害する恐れがある。

以上の動作説明より、 ϕ_1 が '0' のときに Comp.1 ではクロックが生成され、Comp.2 では $V_{comp.}$ が生成されることが分かる。また、 ϕ_1 が '1' になると、Comp.1 と Comp.2 の動作が切り替わる。つまり、提案回路は、第 3 章で説明した弛張発振回路とほぼ同様の動作をする。

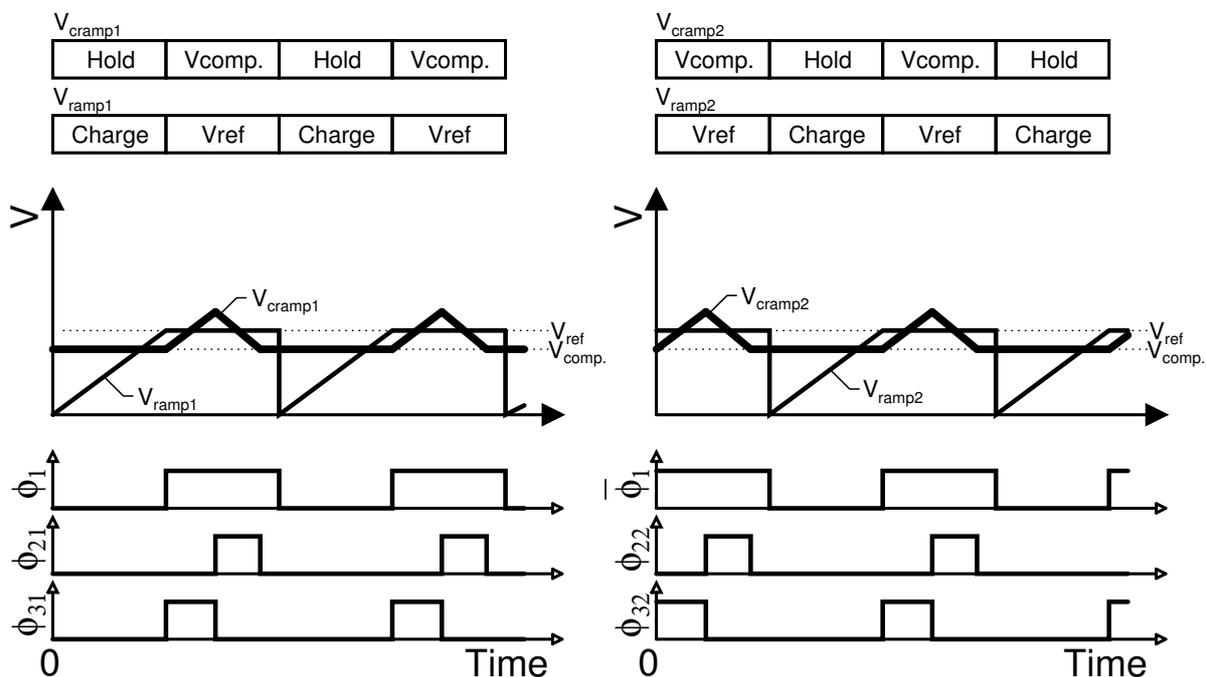


図 5.6: 時間計測用途に向けた弛張発振回路のタイミングダイアグラム.

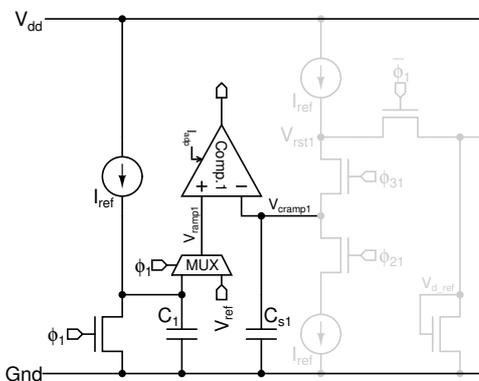
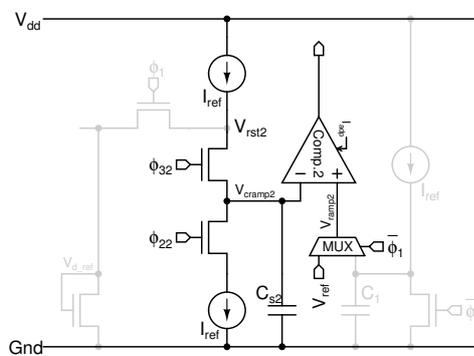


図 5.7: クロック生成モード (Comp.1) .

図 5.8: $V_{comp.}$ 生成モード (Comp.2) .

5.4.2 発振周波数と PVT 依存性

提案回路は、第3章の弛張発振回路と同様に遅延補正電圧 $V_{comp.}$ を用いてクロックを生成することで、コンパレータ回路の遅延とオフセット電圧を補正する。したがって、提案回路の発振周波数 f_{prop_osc} は、

$$f_{prop_osc} = \frac{I_{ref}}{2V_{ref}C_{1,2,s1,s2}} \quad (5.8)$$

となる。また、提案回路は第2章で説明した図2.16のしきい値参照型のバイアス回路を用いている。したがって、提案回路の発振周波数 $f_{\text{prop_osc}}$ は、

$$f_{\text{prop_osc}} = \frac{1}{2RC_{1,2,s1,s2}} \quad (5.9)$$

と表し直すことができる。ここで、抵抗 R と $C_{1,2,s1,s2}$ の PVT バラツキを考慮すると、発振周波数 $f_{\text{prop_osc}}$ の変動係数は、

$$\frac{\Delta f_{\text{prop_osc}}}{f_{\text{prop_osc}}} = -\frac{\Delta C_{1,2,s1,s2}}{C_{1,2,s1,s2}} - \frac{\Delta R}{R} \quad (5.10)$$

となる。ここで、 $\Delta C_{1,2,s1,s2}$ は $C_{1,2,s1,s2}$ の変動量、 ΔR は R の変動量である。

以上の式から、提案回路の PVT バラツキ耐性は、受動素子である抵抗とキャパシタで決定される。

5.5 シミュレーション評価

提案する弛張発振回路を、0.18- μm スタンダード CMOS プロセスを用いてシミュレーション評価を行なった。提案回路内の各素子値は、抵抗 R を 4.11 M Ω とし、各キャパシタンス $C_{1,2,s1,s2}$ を 1.72 pF とした。設定した発振周波数は 35.36 kHz である。

図5.9に、 V_{ramp1} 、 V_{cramp1} 、 V_{ramp2} 、 V_{cramp2} 、そしてクロック信号のシミュレーション波形を示す。クロック信号の発振周波数は 35.24 kHz となり、設定した発振周波数との誤差は 0.12 kHz であった。最上部の波形の一部分の拡大図から、補正電圧生成フェーズでは、 V_{cramp1} が V_{ref} の周辺を上昇後、降下することで $V_{\text{comp.}} (= V_{\text{ref}} - \Delta V_c)$ が生成されていることが確認できる。また、クロック生成フェーズでは、補正電圧生成フェーズに生成した補正電圧を用いて、時間計測用のクロックが生成されることが確認できる。

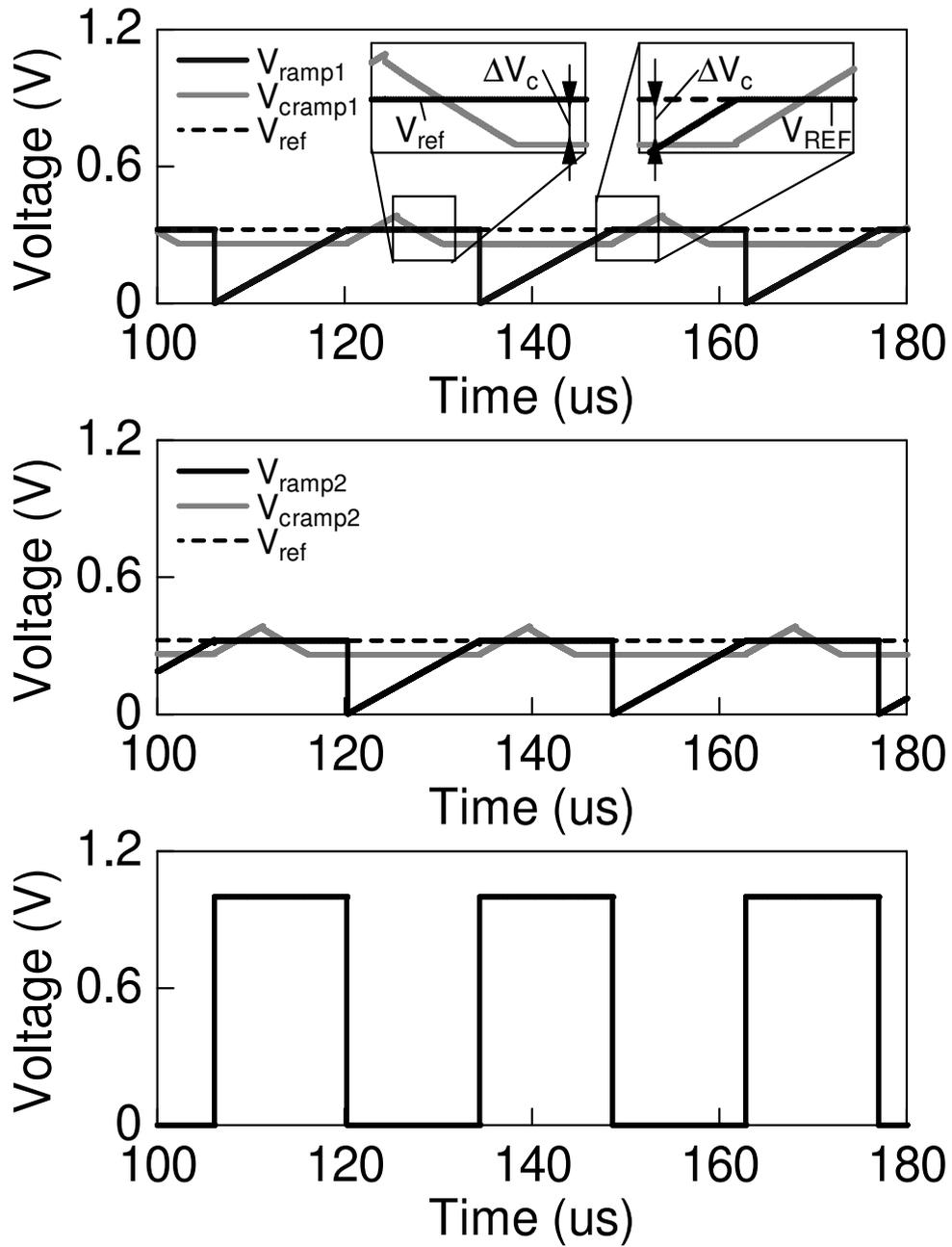


図 5.9: 提案回路の V_{ramp1} , V_{cramp1} , V_{ramp2} , V_{cramp2} とクロック信号のシミュレーション波形.

5.6 測定評価

提案の弛張発振回路を評価するために、0.18- μm スタンダード CMOS プロセスでチップを試作した。以下、試作したチップの評価結果について説明する。

5.6.1 チップ写真

図 5.10 に試作した提案回路のチップ写真を示す。回路面積は 0.105 mm^2 であった。抵抗 R には、第 2 章で説明した拡散抵抗と高抵抗ポリシリコン抵抗を用い、抵抗の温度依存性を補正した。各抵抗の抵抗値は、拡散抵抗 R_P を $1.49 \text{ M}\Omega$ 、高抵抗ポリシリコン抵抗 R_N を $2.62 \text{ M}\Omega$ とした。設計周波数は 35.36 kHz であるが、レイアウト時に付加される寄生容量を考慮すると、実際の発振周波数は 32 kHz 程度になる。また、各キャパシタ $C_{1,2,s1,s2}$ には MIM タイプを使用し、各キャパシタンスをそれぞれ 1.72 pF とした。また、抵抗値はデジタルコードを用いることで、 $1.38 \text{ M}\Omega < R_P < 1.64 \text{ M}\Omega$ 、 $2.37 \text{ M}\Omega < R_N < 2.81 \text{ M}\Omega$ までトリミング可能な構成とした。

5.6.2 出力波形

図 5.11 に、室温での出力波形の測定結果を示す。電源電圧 1.0 V での発振周波数は 32.55 kHz であり、消費電力は 472 nW であった。

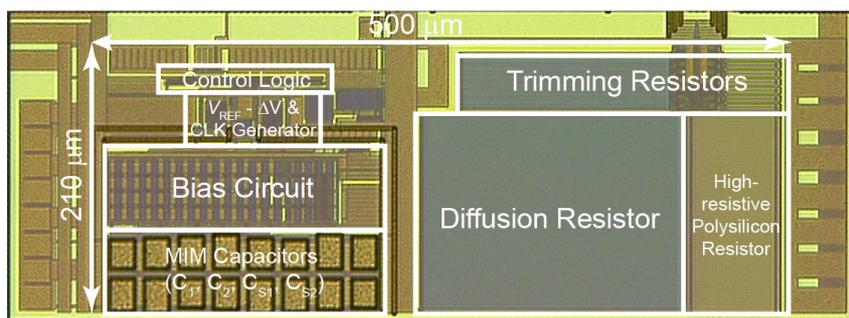


図 5.10: 試作チップの写真 (面積: 0.105 mm²).

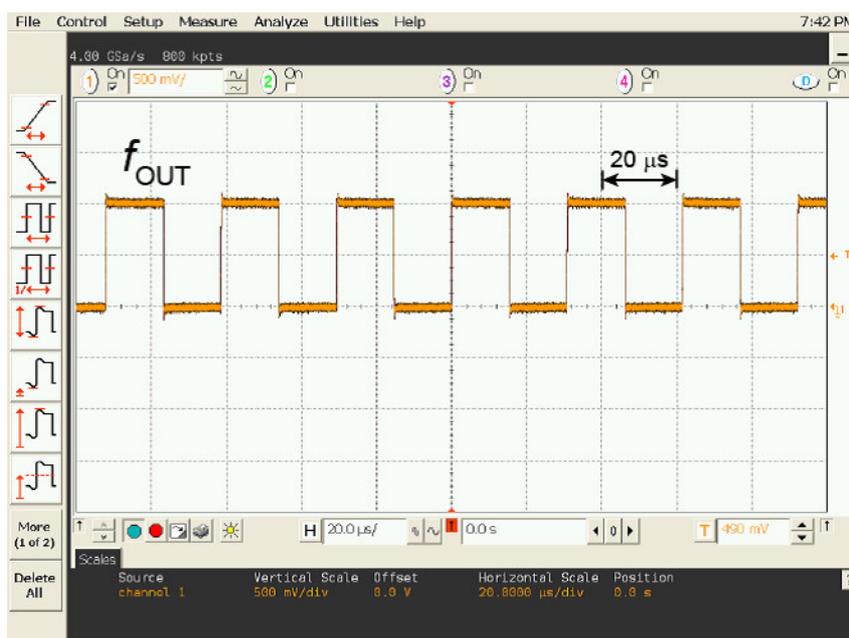


図 5.11: 提案回路の出力波形 (電源電圧: 1.8 V, 室温).

5.6.3 PVT 依存性

図 5.12 に、室温で測定した同一ウェハ上の 20 チップの出力周波数のヒストグラムを示す。平均 μ は 32.87 kHz、標準偏差 σ は 0.457 kHz であり、変動係数は 1.39% であった。

図 5.13 に、1.0, 1.2, 1.4, 1.6, そして 1.8 V の電源電圧に対し、-40 から 100°C までの発振周波数の温度依存性を測定した結果を示す。温度に対する周波数変動は $\pm 0.84\%$ 、また温度係数は 120ppm/°C であった。電源電圧に対する周波数変動は $\pm 0.44\%$ 、またラインレギュレーションは 1.1%/V であった。このように発振周波数変動を小さく抑えることに成功したのは、コンパレータのオフセット電圧と遅延時間の影響を補正し、かつ受動素子の温度依存性をキャンセルした結果である。

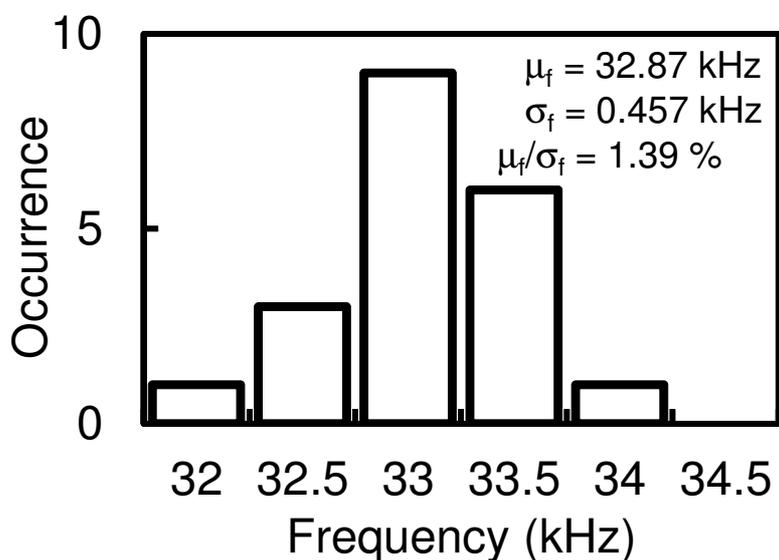


図 5.12: 発振周波数のヒストグラム (20 チップ)。

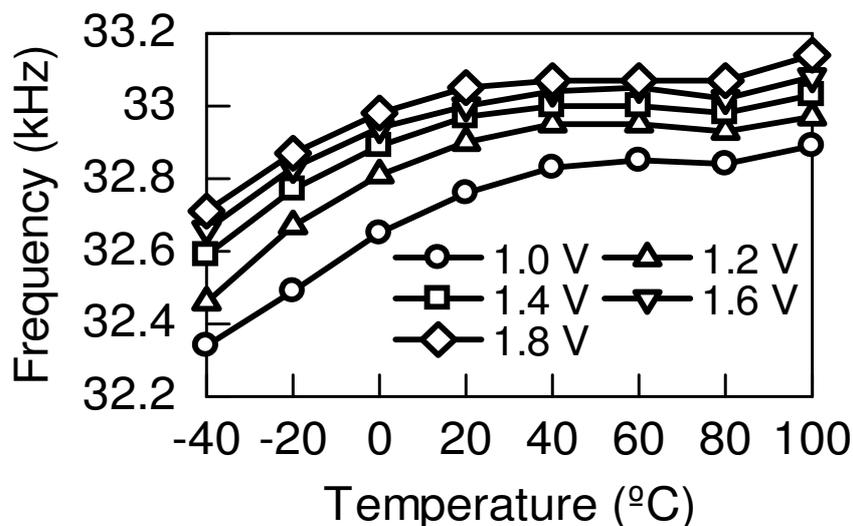


図 5.13: 提案回路の発振周波数の電源電圧依存性と温度依存性。

5.6.4 抵抗トリミングとノイズに対する評価

図 5.14 に、抵抗トリミングによる制御可能な発振周波数のレンジを示す。トリミングコードを変更することで、 -6.8% から 10.8% まで発振周波数を制御することができることを確認した。

図 5.15 に、オフセット周波数に対する位相ノイズの測定結果を示す。電源電圧を 1.0 V とし、室温でアベレージング処理を行なった結果である。オフセット周波数 10 Hz 、 10 kHz における位相ノイズは、それぞれ -38.6 dBc/Hz 、 -94.0 dBc/Hz であった。

図 5.16 に、室温における周期ジッタの測定結果を示す。電源電圧 1.0 V での周期ジッタは、約 90 万のサンプル数で $27.1\text{ ns}_{\text{rms}}$ であった。図 5.17 にクロックサイクル数に対する蓄積ジッタの測定結果を示す。測定した蓄積ジッタは、計算によって求めた理論値と同様の傾向が見られた。蓄積ジッタの計算式は、以下のように表せる。

$$\sigma_{\text{AJ}} = \sqrt{2N}\sigma_{\text{PJ}}, \quad (5.11)$$

ここで、 N はサイクル数、 σ_{PJ} は図 5.16 で測定した周期ジッタである [8]。

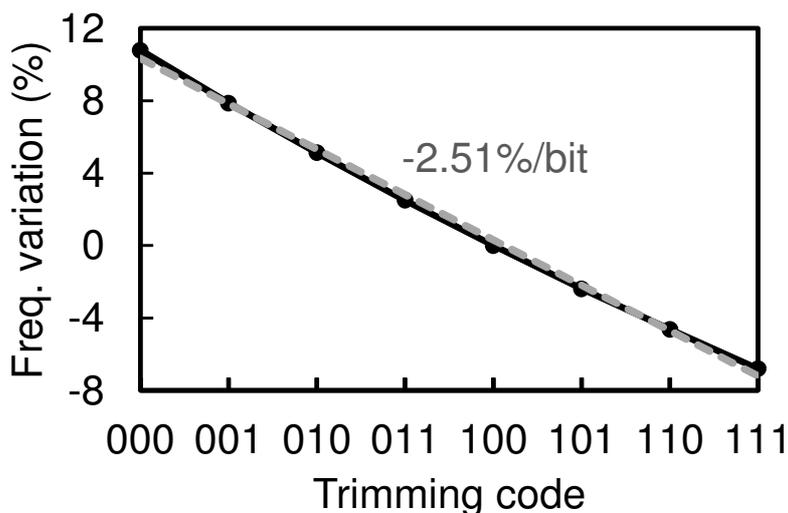


図 5.14: 抵抗トリミングによる制御可能な発振周波数のレンジ。

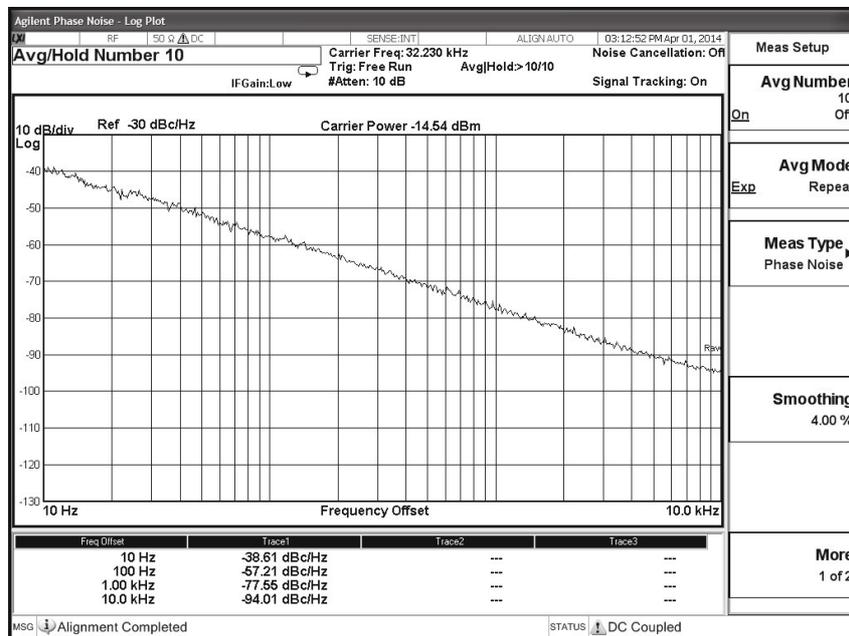


図 5.15: 位相ノイズの測定結果 (電源電圧 : 1.0 V, 室温).

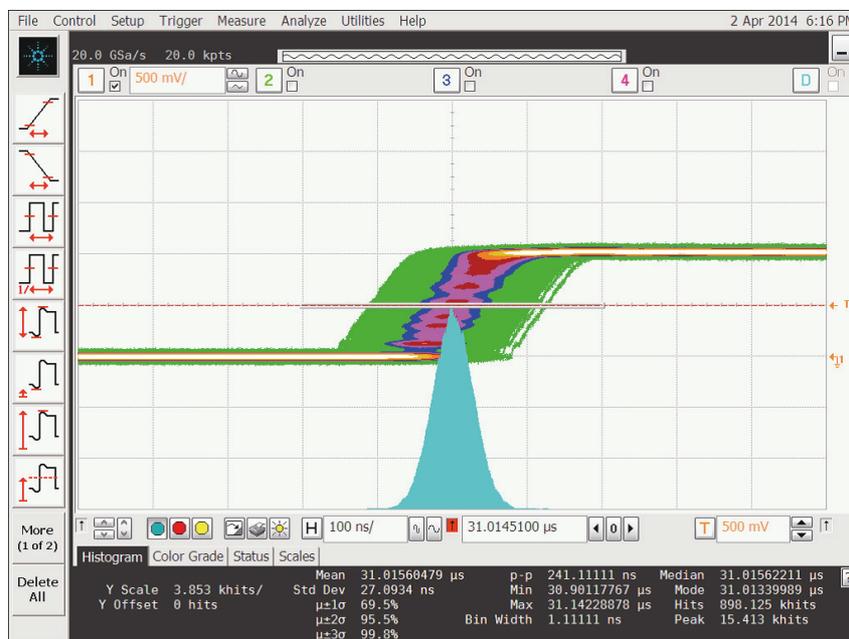


図 5.16: 室温における周期ジッタの測定結果 (電源電圧 : 1.0 V).

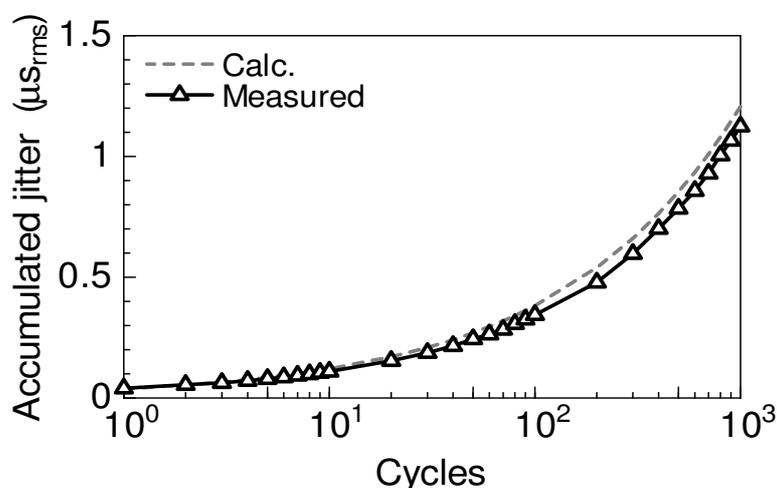


図 5.17: クロックサイクル数に対する蓄積ジッタの測定結果 (電源電圧 : 1.0 V).

5.6.5 性能比較

表 5.1 に、提案した弛張発振回路と従来に提案された発振回路の性能比較表を示す [4-7]. 提案回路は、電源電圧と温度変動に対する発振周波数変動が小さく、また文献 [6] や第 3 章の従来ベースよりも高い、32.55 kHz の発振周波数を超低電力で実現した.

5.7 まとめ

本章では、時間計測用途に向けた弛張発振回路を提案した. 提案の弛張発振回路は、第 3 章で提案したコンパレータ回路の遅延補正変動技術、第 4 章で提案したコンパレータ回路の高速化技術を搭載した. さらに、低 V_{ref} を用いることで、弛張発振回路のエネルギーを抑制した. 0.18- μm CMOS プロセスを用いて試作し、測定により動作を確認した. 測定を行った結果、発振周波数 32.55 kHz, 1.8 V での消費電力 472 nW, 電源電圧依存性 1.1%/V, 温度依存性 120ppm/ $^{\circ}\text{C}$ であった. 提案する弛張発振回路は、WSN システムの時間計測回路において有用であることを実証した.

表 5.1: 性能比較

Ref.	[4]	[5]	[6]	[7]	chapter 3	This work
Process	90-nm	60-nm	65-nm	0.18- μ m	0.18- μ m	0.18- μ m
Temp. Range ($^{\circ}$ C)	-40 - 90	-20 - 100	-40 - 90	-	-40 - 120	-40 - 100
Supply Range (V)	0.725 - 0.9	1.6 - 3.2	>1.0	1.8	0.8 - 1.8	1.0 - 1.8
Freq. (kHz)	100	32.768	18.5	31.25	6.66	32.55
Current (μ A)	0.35	2.8	0.12	0.2	0.63	0.47
Temp. coefficient (ppm/ $^{\circ}$ C)	-	32.4	-	4000	56	120
Temp. variation (%)	± 0.68	$< \pm 0.1$	± 0.25	-	-0.62 - 0.29	± 0.84
Line regulation (%/V)	-	-	1	5	0.98	1.1
Supply variation (%)	± 0.82	$< \pm 0.1$	-	-	-0.86 - 0.12	± 0.44
Process sensitivity (%) with same wafer (σ/μ)	N/A	N/A	N/A	N/A	0.8	1.39
Chip area (mm ²)	0.12	0.048	0.032	0.016	20 samples	20 samples
					0.09	0.105

参考文献

- [1] D. A. Johns and K. Martin, "Phase-Locked Loops," in *Analog integrated circuit design*, John Wiley & Sons, Inc., 1997.
- [2] M. Wakayama and A. Abidi., "A 30-MHz Low-Jitter High-Linearity CMOS Voltage-Controlled Oscillator," in *IEEE J. Solid-State Circuits*, vol. 22, December, 1987, pp. 1074–1081.
- [3] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, 2002.
- [4] T. Tokairin, K. Nose, K. Takeda, K. Noguchi, T. Maeda, K. Kawai, M. Mizuno, "A 280 nW, 100 kHz, 1-cycle start-up time, on-chip CMOS relaxation oscillator employing a feedforward period control scheme," in *VLSI Circuits Symp. Dig. Tech. Papers*. June, 2012, pp. 16 - 17.
- [5] K.-J. Hsiao, "A 32.4 ppm/°C 3.2-1.6V self-chopped relaxation oscillator with adaptive supply generation," in *VLSI Circuits Symp. Dig. Tech. Papers*. June, 2012, pp. 14 - 15.
- [6] A. Paidimarri et al., "A 120nW 18.5 kHz RC Oscillator with Comparator Offset Cancellation for $\pm 0.25\%$ Temperature Stability," in *IEEE ISSCC Dig. Tech. Papers*, 2013, pp. 184–186.
- [7] J. Lim, K. Lee, and K. Cho, "Ultra Low Power RC Oscillator for System wake-up using highly precise Auto-Calibration Technique," in *ESSCIRC*, 2010 pp. 274 - 277.
- [8] Michael S. McCorquodale, Justin D. O'Day, Scott M. Pernia, Gordon A. Carichner, Sundus Kubba, and Richard B. Brown, "A Monolithic and Self-Referenced RF LC Clock Generator Compliant With USB 2.0," in *IEEE J. Solid-State Circuits*, vol. 42, no. 2, 2007, pp. 385 - 399.

第6章 結論

本論文では、ワイヤレスセンサネットワーク (WSN: Wireless Sensor Network) システムの時間計測回路の実現に向けて、ナノアンペアレベルの超低電流で動作する弛張発振回路に関する研究内容をまとめた。

第2章では、弛張発振回路の基礎について議論した。最初に、WSN システムの時間計測用途として有望な弛張発振回路の基本的な特性を説明した。次に、弛張発振回路における要素回路の遅延の影響について述べ、特にコンパレータ回路の遅延の影響が大きいことを説明した。そして、弛張発振回路とコンパレータ回路をシミュレーションにより解析し、コンパレータ回路の遅延は、高いPVT依存性を持つことを確認した。これは、弛張発振回路の発振精度に大きな影響を与える。最後に、弛張発振回路に用いるバイアス回路、抵抗とキャパシタの特性についてまとめ、過去のコンパレータ回路の遅延補正技術について議論した。

第3章では、弛張発振回路の遅延変動補正技術を提案した。提案する補正技術は、コンパレータ回路の補正時間を補正電圧として記憶し、時間計測の際にこれを用いることで遅延変動の影響を排除する。シミュレーション評価の結果、本アーキテクチャを用いた弛張発振回路でのコンパレータ回路の遅延変動は本アーキテクチャを用いない場合に比べ、60分の1程度に低下することを確認した。また、0.18- μm CMOS プロセスを用いて試作を行い、その効果を実証した。

第4章では、超低電流駆動のコンパレータ回路の高速化技術を提案した。提案したコンパレータ回路は電流の正帰還ループを用いて適応バイアス電流を生成し、高スルーレートかつ低消費電力を実現した。シミュレーション評価にて、適応バイアス電流の生成を確認し、適応バイアス電流生成技術を用いたコンパレータ回路の遅延は適応バイアス電流生成技術を用いない場合に比べ、10分の1程度に低下することを確認した。また、0.35- μm CMOS プロセスを用いて試作を行い、その効果を実証した。

第5章では、時間計測用途に向けた弛張発振回路を提案した。提案の弛張発振回路は第3章で提案したコンパレータ回路の遅延補正変動技術と第4章で提案したコンパレータ回路の高速化技術を搭載した。さらに、低 V_{ref} を用いることで、弛張発振回路のエネルギーを抑制した。0.18- μm CMOS プロセスを用いて試作し、測定により動作を確認した。測定を行った結果、発振周波数 32.55 kHz, 1.8 Vでの消費電力 472 nW, 電源電圧依存性 1.1%/V, 温度依存性 120ppm/ $^{\circ}\text{C}$ であった。提案する弛張発振回路は、WSN システムの時間計測回路において有用であることを実証した。

本論文は、ワイヤレスセンサネットワークシステムに向けた超低電力オンチップ発振回路を実現することを目的として行った研究内容である。WSN システムの時間計測用途として有望な弛張発振回路の基本的な特性を説明し、その問題点を明らかにした。そして、これらの問題点を打開する手法を提案した。シミュレーション評価ならびに試作チップによる測定結果から、超低消費電力と安定動作を両立する弛張発振回路の実現性を実証した。本研究での成果が、WSN システムの発展に貢献できることを期待する。

謝 辞

本研究は、神戸大学大学院工学研究科電気電子工学専攻 廣瀬哲也准教授のご指導の下に行われたものであり、本研究を遂行するにあたり、終始懇切な御指導、御鞭撻を賜りました。心より感謝致します。

本研究を進めるにあたり、貴重な御教示と御助言を頂きました。神戸大学大学院工学研究科電気電子工学専攻 沼 昌宏教授に深く感謝致します。

日頃から暖かい励ましと貴重な御助言を頂きました神戸大学大学院工学研究科電気電子工学専攻黒木修隆准教授に深く感謝いたします。

研究室における環境の便宜を図っていただきました神戸大学大学院工学研究科電気電子工学専攻松本 香技術専門職員、土居原和良氏に深く感謝いたします。

本研究を進めるにあたり、株式会社半導体理工学研究センター 小林 修氏、ルネサス エレクトロニクス株式会社 堀口真志氏、株式会社東芝 梅田俊之氏、株式会社富士通研究所 森 俊彦氏、ローム株式会社 加藤武徳氏、株式会社ヒューストン 岡田光司氏、セイコーエプソン株式会社 寺島義幸氏には大変貴重な御教示と御助言を頂きました。深く感謝致します。また、ルネサス エレクトロニクス株式会社 植木浩氏、清水徹氏、NEDO ノーマリーオフコンピューティング基板技術開発に従事されている方々には大変貴重な御教示と御助言を頂きました。深く感謝致します。

本研究を遂行するにあたり、神戸大学大学院工学研究科電気電子工学専攻 集積回路情報研究室の大崎勇士氏 (現 パナソニック株式会社)、辻川琢也氏 (現 株式会社日立製作所)、松本 啓氏 (現 ルネサス エレクトロニクス株式会社)、磯野航輔氏 (現 キヤノン株式会社)、志賀誠一郎氏 (現 日産自動車株式会社)、永山 淑氏 (現 トヨタ自動車株式会社)、田中 優氏、北村準也氏 (現 株式会社シグマ)、斉藤友輔氏 (現 株式会社日立製作所)、鶴屋由美子氏 (現 株式会社NTT ドコモ)、中村大悟氏 (現 旭化成株式会社)、増田長太郎氏 (現 旭化成株式会社)、小池和正氏、塚元瑞穂氏 (現 富士通株式会社)、長井崇浩氏 (現 株式会社村田製作所)、平井貴之氏 (現 ラピスセミコンダクタ株式会社) 山内貴仁氏 (現 ソニー株式会社)、尾崎年洋氏、田中勇氣氏、團野祐也氏、中澤明良氏、小國一道氏、木村祐太氏、浅野大樹氏、上田僚太氏、三好太朗氏、小島裕太氏、佐渡健司氏、秋原優樹氏、坪井惇紀氏とは多くの議論を致しました。そこで行った議論は本研究を進める上で大変有意義なものでありました。深く感謝致します。

最後に、常に暖かく見守っていただきました両親、兄、姉に心より感謝致します。

研究業績

学術論文

1. K. Tsubaki, T. Hirose, Y. Osaki, S. Shiga, N. Kuroki, and M. Numa, "A Fully On-Chip, 6.66-kHz, 320-nA, 56ppm/°C, CMOS Relaxation Oscillator with PVT Variation Compensation Circuit," IEICE Transactions on Electronics, vol. E97-C, no. 6, pp. 512-518, 2014.
2. K. Tsubaki, T. Hirose, N. Kuroki, and M. Numa, "A 32-kHz Real-Time Clock Oscillator with On-Chip PVT Variation Compensation Circuit for Ultra-Low Power MCUs," IEICE Trans. on Electronics. (採録予定)
3. K. Tsubaki, T. Hirose, Y. Osaki, N. Kuroki, and M. Numa, "An Ultra-Low Power Adaptive Bias Comparator Using Short Current of the Inverter," IEICE Electronics Express. (投稿中)

国際会議

1. T. Ozaki, T. Hirose, T. Nagai, K. Tsubaki, N. Kuroki, and M. Numa, "A 0. 21-V Input, 73.6% Efficiency, Fully Integrated Voltage Boost Converter with Maximum Power Point Tracking for Low-Voltage Energy Harvesters," Proceedings of the 40th European Solid-State Circuits Conference (ESSCIRC), pp. 255-258, Venice, Italy, Sep. 22-26, 2014.
2. T. Ozaki, T. Hirose, K. Tsubaki, N. Kuroki, and M. Numa, "A Nano-Watt Power Rail-to-Rail CMOS Amplifier with Adaptive Biasing for Ultra-Low Power Analog LSIs," Extended abstract of the 2014 International Conference on Solid State Devices and Materials (SSDM 2014), pp. 964-965, Tsukuba, Japan, Sep. 8-11, 2014.
3. K. Tsubaki, T. Hirose, N. Kuroki, and M. Numa, "A 32.55-kHz, 472-nW, 120ppm/°C, Fully On-chip, Variation Tolerant CMOS Relaxation Oscillator for a Real-Time Clock Application," 39th IEEE European Solid-State Circuits Conference (ESSCIRC 2013), pp. 315-318, Sep. 2013.
4. K. Tsubaki, T. Hirose, Y. Osaki, S. Shiga, N. Kuroki and M. Numa, "A 6.66-kHz, 940-nW, 56ppm/°C, Fully On-chip PVT Variation Tolerant CMOS Relaxation Oscillator," IEEE

- International Conference on Electronics, Circuits, and Systems 2012 (ICECS 2012) , pp. 97-100, Dec. 2012.
5. Y. Osaki, T. Hirose, K. Tsubaki, N. Kuroki and M. Numa, “A Low-Power Single-Slope Analog-to-Digital Converter with Digital PVT Calibration,” IEEE International Conference on Electronics, Circuits, and Systems 2012 (ICECS 2012) , pp. 613-616, Dec. 2012.
 6. K. Isono, T. Hirose, K. Tsubaki, N. Kuroki, and M. Numa, “A 18.9-nA standby current comparator with adaptive bias current generator,” IEEE Asian Solid-State Circuits Conference (A-SSCC 2011), pp. 237-240, Nov. 2011.

国内会議

1. 椿 啓志, 廣瀬哲也, 尾崎年洋, 黒木修隆, 沼 昌宏, “時間計測アプリケーションに向けた超低電力弛張発振回路,” 電子情報通信学会 集積回路研究専門委員会 集積回路研究会, pp.99 - 104, (札幌), 2014年8月5日.
2. 小國一道, 廣瀬哲也, 椿 啓志, 尾崎年洋, 黒木修隆, 沼 昌宏, “PWM 制御方式を用いた時間分解能型 AD コンバータの低電力化,” 第 27 回 回路とシステムワークショップ, pp.300-305, (兵庫), 2014年8月5日.
3. 松本 香, 廣瀬哲也, 椿 啓志, 黒木修隆, 沼 昌宏, “高耐圧 CMOS トランジスタによる低電力バンドギャップリファレンス回路,” 第 27 回 回路とシステムワーク ショップ, pp.31-35, (兵庫), 2014年8月4日.
4. 浅野大樹, 廣瀬哲也, 椿 啓志, 尾崎年洋, 黒木修隆, 沼 昌宏, “電力変換効率の負荷電流依存性を考慮したオンチップチャージポンプの高効率化,” 第 27 回 回路とシステムワークショップ, pp.25-30, (兵庫), 2014年8月4日.
5. 上田僚太 廣瀬哲也, 山内貴仁, 椿 啓志, 黒木修隆, 沼 昌宏, “逐次比較 AD コンバータに向けたコンパレータのオフセット補正アーキテクチャ,” 電子情報 通信学会 集積回路研究専門委員会 アナログ RF 研究会, no. 5, (鹿児島), 2014年7月17日.
6. 長井崇浩, 廣瀬哲也, 椿 啓志, 黒木修隆, 沼 昌宏, “低電圧エネルギー・ハーベスティングに向けた 0.27-V 入力, 効率 75%, オンチップ・チャージポンプ回路,” 第 26 回 回路とシステムワークショップ, pp. 319-324, 2013年7月.
7. 中澤明良, 廣瀬哲也, 大崎勇士, 椿 啓志, 黒木修隆, 沼 昌宏, “ばらつき補正技術を用いたシングルスロープ AD コンバータ,” LSI とシステムのワークショップ 2013, pp. 184-186, 2013年5月.
8. 尾崎年洋, 廣瀬哲也, 椿 啓志, 黒木修隆, 沼 昌宏, “適応バイアス電流生成技術を用いた超低電力・高速 Rail-to-Rail オペアンプ,” LSI とシステムのワークショップ 2013, pp. 235-237, 2013年5月.

9. 尾崎年洋, 廣瀬哲也, 椿 啓志, 黒木修隆, 沼 昌宏, “適応バイアス技術を用いた超低電力・高速 Rail-to-Rail オペアンプ,” 電子情報通信学会 総合大会, C-12-48, 2013 年 3 月.
10. 椿 啓志, 廣瀬哲也, 黒木修隆, 沼 昌宏, “低参照電圧を用いた実時間計測用弛張発振回路,” 電子情報通信学会 総合大会, C-12-61, 2013 年 3 月.
11. 椿 啓志, 廣瀬哲也, 黒木修隆, 沼 昌宏, “サブマイクロワットで動作する超低電力リアルタイムクロック回路,” STARC シンポジウム 2013 2013 年 2 月.
12. 椿 啓志, 廣瀬哲也, 大崎勇士, 志賀誠一郎, 黒木修隆, 沼 昌宏, “コンパレータのバラツキ補正技術を用いた弛張発振回路の評価,” 電子情報通信学会 ソサイエティ大会, C-12-17, 2012 年 9 月.
13. 椿 啓志, 廣瀬哲也, 大崎勇士, 黒木修隆, 沼 昌宏, “適応バイアス技術を用いた超低電力コンパレータのチップ測定,” STARC フォーラム/シンポジウム 2010, pp. 60, 2010 年 8 月.
14. 椿 啓志, 廣瀬哲也, 大崎勇士, 黒木修隆, 沼 昌宏, “適応バイアス技術を用いた極低消費電流コンパレータ,” 電子情報通信学会 総合大会, C-12-44, 2010 年 3 月.

特許

1. 廣瀬哲也, 椿 啓志, 磯野航輔, “コンパレータ回路,” 特願 2011-209587.
2. 廣瀬哲也, 椿 啓志, 沼 昌宏, “コンパレータ回路,” 特願 2010-044369.

神戸大学博士論文 全 95 頁

「ワイヤレス・センサネットワークシステムに向けた超低電力オンチップ弛張発振回路に関する研究」

提出日 2015 年 01 月 22 日

本博士論文が神戸大学機関リポジトリ Kernel にて掲載される場合、掲載登録日（公開日）はリポジトリの該当ページ上に掲載されます。

©椿 啓志

本論文の内容の一部あるいは全部を無断で複製・転載・翻訳することを禁じます。
