



# ワイヤレス・センサネットワークシステムに向けた超低電力オンチップ弛張発振回路に関する研究

椿, 啓志

---

(Degree)

博士 (工学)

(Date of Degree)

2015-03-25

(Date of Publication)

2016-03-01

(Resource Type)

doctoral thesis

(Report Number)

甲第6435号

(URL)

<https://hdl.handle.net/20.500.14094/D1006435>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



(別紙様式3)

## 論文内容の要旨

氏名 椿 啓志

専攻 工学研究科 電子電気工学専攻

論文題目 (外国語の場合は、その和訳を併記すること。)

ワイヤレス・センサネットワークシステムに向けた

超低電力オンチップ弛張発振回路に関する研究

指導教員 廣瀬 哲也 准教授

(注) 2,000字～4,000字でまとめること。

(氏名: 椿 啓志 NO. 1)

本論文は、ワイヤレスセンサネットワーク (WSN: Wireless Sensor Network) システムにおける時間計測回路の実現に向けて、ナノアンペアレベルの超低電流で動作する弛張発振回路に関する研究内容をまとめたものである。

将来、インターネットを介して、人と人とのコミュニケーションだけでなく、人とモノとのコミュニケーションを可能とする WSN システムの実現が期待されている。例えば、食べ物から取得できる鮮度やおいしさなどの情報や車から取得できる自車や他車の走行状況などの情報を取得することができる。

WSN システムには、人やモノから情報を取得し、処理するためのセンサデバイスが搭載される。センサデバイスはセンサ部で取得した環境の温度や湿度などのアナログ情報をマイクロコントローラ (MCU: Micro Controller Unit) 部に処理させ、MCU 内のメモリに格納する。RF 部はメモリに格納された情報をスマートフォンや PC などの端末に送信する。送信されたデータには、センシングしたデータの取得時間や取得場所を示す情報が付加されている。特に、センシングデータの取得時間はデータを時系列で管理するために用いられるため、非常に重要な情報である。センサデバイスには安定な電源を供給する電源回路やバイアス回路、そして信号処理用の発振回路の他に、センシングデータの取得時間を得るための時間計測用途のクロックを生成する発振回路が必要になる。

WSN システムでは様々な場所にセンサデバイスを設置することが想定される。センサデバイスの設置場所は不確定であるため、様々な環境下での動作が求められる。設置場所として、継続的な電源をセンサデバイスに供給できるインフラ設備が整っていない場所や気温差が激しい場所、そして暗い場所などが考えられる。従って、センサデバイスはバッテリー駆動や環境エネルギー駆動による限られた電力での動作が必要になる。また、その駆動時間は莫大な数のセンサデバイスのメンテナンスが困難であることを考慮すると、年単位でなければならない。つまり、WSN システムに搭載するセンサデバイスは超低電力で動作しなければならない。

センサデバイスを間欠動作させることで消費電力を大幅に削減することができる。間欠動作では、時間計測用途の発振回路で生成されたクロックを用い、スリープ状態にあるセンサデバイスを動作状態へと移行させる。そして、動作完了と共にセンサデバイスは動作状態からスリープ状態へと移行する。この間欠動作を繰り返すことで、センサデバイスの電力を大幅に抑えることができる。ただし、センサデバイスの時間を計測する発振回路である時間計測回路は常に動作し続けなければならないため、超低電力動作が必要になる。

一般的な時間計測回路は、32.768 kHz の水晶発振回路と 16 ビットのカウンタ回路で構成される。この回路は、水晶発振回路で生成されたクロックをカウンタ回路でカウントし、16 ビット目が '1' になると 1 秒が経過する。時間計測に必要な水晶発振回路は、環境変化に対し頑健かつ高精度なクロックが生成できる。しかし、水晶発振回路は高価であり、

さらに CMOS (Complementary Metal Oxide Semiconductor) プロセスとの親和性がなく、LSI (Large Scale Integration) に搭載できない。したがって、CMOS プロセスで構成されるセンサデバイスに水晶発振回路をオフチップで搭載すると、サイズが増大し、さらにコストも上がる。

CMOS プロセスのみで構成される時間計測用の発振回路として、弛張発振回路が広く用いられている。これは CMOS と受動素子で構成されるため、LSI への搭載が容易であり、さらに設計方法によって高い発振周波数精度と超低消費電力動作の実現ができるためである。弛張発振回路は、2つのキャパシタ C を 0V から基準電圧に達するまで交互に一定の電流で充電させ、クロック信号を生成する。この弛張動作によって生成されるクロックの発振周波数は、温度や電圧などの環境変化に対し大きく変動する。また、この発振周波数の変動は、主に弛張発振回路に搭載されるコンパレータ回路の遅延とオフセット電圧によって引き起こされる。

コンパレータ回路は 2 つの入力信号の大きさを比較し、ある一定時間後にその結果を出力する。コンパレータ回路が比較に要する時間は、コンパレータ回路に流れるバイアス電流に反比例する。つまり、バイアス電流が低ければコンパレータ回路の遅延は長くなるため、弛張発振回路の発振周波数変動が大きくなる。さらに、超低電流駆動のコンパレータ回路はスループットが劣化し、後段に接続される論理ゲートの消費電力を増大させる。また、コンパレータ回路に生じるオフセット電圧は、比較結果に誤差を生じさせ、弛張発振回路の発振周波数を変動させる。したがって、コンパレータ回路の遅延補正技術と高速化技術の開拓が求められる。

そこで、本論文では、弛張発振回路の性能劣化の原因となるコンパレータの遅延を補正するための回路技術と高速化のための回路技術の開拓を行い、超低電力オンチップ発振回路の実現を目指した。本論文は大きく分けて 3 つのテーマで構成される。

第一に、弛張発振回路の遅延変動補正技術を検討した。先に説明したように、超低電流駆動コンパレータ回路の遅延とオフセット電圧は弛張発振回路の発振周波数を大きく変動させる。そのため、コンパレータ回路の遅延を補正する技術の開拓が必要になる。提案する補正技術は、コンパレータ回路の補正時間を補正電圧として記憶し、時間計測の際にこれを用いることで遅延変動の影響を排除する。シミュレーション評価の結果、本アーキテクチャを用いた弛張発振回路でのコンパレータ回路の遅延変動は、本アーキテクチャを用いない場合に比べ 1/60 程度にまで抑制された。また、0.18- $\mu\text{m}$  CMOS プロセスを用いて試作を行い、その効果を実証した。

第二に、超低電流駆動の高速コンパレータ回路を検討した。コンパレータ回路はバイアス電流が低下すると、出力のスループットが劣化し、後段に繋がる論理ゲートの貫通電流を増加させる。この結果、弛張発振回路に搭載されるコンパレータ回路の消費電力は

減少するが、制御回路の消費電力が増加し、回路全体の消費電力が増大する。提案するコンパレータ回路は電流の正帰還ループを用いて適応バイアス電流を生成し、高スループットかつ低消費電力を実現した。シミュレーション評価にて、適応バイアス電流の生成を確認した。また、0.35- $\mu\text{m}$  CMOS プロセスを用いて試作を行い、その効果を実証した。

最後に、時間計測用途に向けた弛張発振回路を検討した。提案する弛張発振回路は、第 3 章で提案した弛張発振回路の遅延補正変動技術と第 4 章で提案した超低電流駆動コンパレータ回路の高速化技術を搭載した。さらに、第 3 章で用いた基準電圧よりも低い電圧値を用いることで、弛張発振回路のエネルギーを抑制した。0.18- $\mu\text{m}$  CMOS プロセスを用いて試作し、測定により動作を確認した。測定を行った結果、発振周波数 32.55 kHz、1.8 V での消費電力 472 nW、電源電圧依存性 1.1% /V、温度依存性 120ppm/ $^{\circ}\text{C}$  であった。提案する弛張発振回路は、WSN システムの時間計測回路において有用であることを実証した。

本論文では、WSN システムの時間計測用途として有望な弛張発振回路の基本的な特性を説明し、その問題点を明らかにした。そして、これらの問題点を打開する手法を提案した。シミュレーション評価ならびに試作チップによる測定結果から、超低消費電力と安定動作を両立する弛張発振回路の実現性を実証した。

氏名	榎 啓志		
論文題目	ワイヤレス・センサネットワークシステムに向けた超低電力オンチップ弛張発振回路に関する研究		
審査委員	区分	職名	氏名
	主査	准教授	廣瀬 哲也
	副査	教授	沼 昌宏
	副査	教授	増田 澄男
	副査	教授	八坂 保能

要旨

本論文は、ワイヤレスセンサネットワーク (WSN: Wireless Sensor Network) システムにおける時間計測回路の実現に向けて、ナノアンペアレベルの超低電流で動作する弛張発振回路に関する研究内容をまとめたものである。

将来、インターネットを介して、人と人とのコミュニケーションだけでなく、人とモノとのコミュニケーションを可能とする WSN システムの実現が期待されている。例えば、食べ物から取得できる鮮度やおいしさなどの情報や車から取得できる自車や他車の走行状況などの情報を取得することができる。

WSN システムには、人やモノから情報を取得し、処理するためのセンサデバイスが搭載される。センサデバイスはセンサ部で取得した環境の温度や湿度などのアナログ情報をマイクロコントローラ (MCU: Micro Controller Unit) 部に処理させ、MCU 内のメモリに格納する。RF 部はメモリに格納された情報をスマートフォンや PC などの端末に送信する。送信されたデータには、センシングしたデータの取得時間や取得場所を示す情報が付加されている。特に、センシングデータの取得時間はデータを時系列で管理するために用いられるため、非常に重要な情報である。センサデバイスには安定な電源を供給する電源回路やバイアス回路、そして信号処理用の発振回路の他に、センシングデータの取得時間を得るための時間計測用途のクロックを生成する発振回路が必要になる。

WSN システムでは様々な場所にセンサデバイスを設置することが想定される。センサデバイスの設置場所は不確定であるため、様々な環境下での動作が求められる。例えば、継続的な電源をセンサデバイスに供給できるインフラ設備が整っていない場所や気温差が激しい場所、そして暗い場所などが考えられる。従って、センサデバイスはバッテリー駆動や環境エネルギー駆動による限られた電力での動作が必要になる。また、その駆動時間は莫大な数のセンサデバイスのメンテナンスが困難であることを考慮すると、年単位でなければならない。つまり、WSN システムに搭載するセンサデバイスは超低電力で動作しなければならない。

センサデバイスを間欠動作させることで消費電力を大幅に削減することができる。間欠動作では、時間計測用途の発振回路で生成されたクロックを用い、スリープ状態にあるセンサデバイスを動作状態へと移行させる。そして、動作完了と共にセンサデバイスは動作状態からスリープ状態へと移行する。この間欠動作を繰り返すことで、センサデバイスの電力を大幅に抑えることができる。ただし、センサデバイスの時間を計測する発振回路である時間計測回路は常に動作し続けなければならないため、超低電力動作が必要になる。

一般的な時間計測回路は、32.768 kHz の水晶発振回路と 16 ビットのカウンタ回路で構成される。この回路は、水晶発振回路で生成されたクロックをカウンタ回路でカウントし、16 ビット目が '1' になると 1 秒が経過する。時間計測に必要な水晶発振回路は、環境変化に対し頑健かつ高精度なクロックが生成できる。しかし、水晶発振回路は高価であり、さらに CMOS (Complementary Metal Oxide Semiconductor) プロセスとの親和性がなく、LSI (Large Scale Integration) に搭載できない。したがって、CMOS プロセスで構成されるセンサデバイスに水晶発振回路をオフチップで搭載すると、サイズが増大し、さらにコストも上がる。

CMOS プロセスのみで構成される時間計測用の発振回路として、弛張発振回路が広く用いられている。これは CMOS と受動素子で構成されるため、LSI への搭載が容易であり、さらに設計方法によって高い発振周波数精度と超低消費電力動作の実現ができるためである。弛張発振回路は、2つのキャパシタ C を 0 V から基準電圧に達するまで交互に一定の電流で充電させ、クロック信号を生成する。この弛張動作に

氏名	榎 啓志
----	------

よって生成されるクロックの発振周波数は、温度や電圧などの環境変化に対し大きく変動する。また、この発振周波数の変動は、主に弛張発振回路に搭載されるコンパレータ回路の遅延とオフセット電圧によって引き起こされる。コンパレータ回路は 2つの入力信号の大きさを比較し、ある一定時間後にその結果を出力する。コンパレータ回路が比較に要する時間は、コンパレータ回路に流れるバイアス電流に反比例する。つまり、バイアス電流が低ければコンパレータ回路の遅延は長くなるため、弛張発振回路の発振周波数変動が大きくなる。さらに、超低電流駆動のコンパレータ回路はスルーレートが劣化し、後段に接続される論理ゲートの消費電力を増大させる。また、コンパレータ回路に生じるオフセット電圧は、比較結果に誤差を生じさせ、弛張発振回路の発振周波数を変動させる。したがって、コンパレータ回路の遅延補正技術と高速化技術の開拓が求められる。

そこで、本論文では、弛張発振回路の性能劣化の原因となるコンパレータの遅延を補正するための回路技術と高速化のための回路技術の開拓を行い、超低電力オンチップ発振回路の実現を目指した。本論文は大きく分けて 8つのテーマで構成されている。

第一に、弛張発振回路の遅延変動補正技術を検討した。先に説明したように、超低電流駆動コンパレータ回路の遅延とオフセット電圧は弛張発振回路の発振周波数を大きく変動させる。そのため、コンパレータ回路の遅延を補正する技術の開拓が必要になる。提案する補正技術は、コンパレータ回路の補正時間を補正電圧として記憶し、時間計測の際にこれを用いることで遅延変動の影響を排除する。シミュレーション評価の結果、本アーキテクチャを用いた弛張発振回路でのコンパレータ回路の遅延変動は、本アーキテクチャを用いない場合に比べ 1/60 程度にまで抑制された。また、0.18- $\mu$ m CMOS プロセスを用いて試作を行い、その効果を実証した。

第二に、超低電流駆動の高速コンパレータ回路を検討した。コンパレータ回路はバイアス電流が低下すると、出力のスルーレートが劣化し、後段に繋がる論理ゲートの貫通電流を増加させる。この結果、弛張発振回路に搭載されるコンパレータ回路の消費電力は減少するが、制御回路の消費電力が増加し、回路全体の消費電力が増大する。提案するコンパレータ回路は電流の正帰還ループを用いて適応バイアス電流を生成し、高スルーレートかつ低消費電力を実現した。シミュレーション評価にて、適応バイアス電流の生成を確認した。また、0.35- $\mu$ m CMOS プロセスを用いて試作を行い、その効果を実証した。

最後に、時間計測用途に向けた弛張発振回路を検討した。提案する弛張発振回路は、弛張発振回路の遅延補正変動技術と超低電流駆動コンパレータ回路の高速化技術を搭載した。さらに、より低い基準電圧を用いることで、弛張発振回路のエネルギーを抑制した。0.18- $\mu$ m CMOS プロセスを用いて試作し、測定により動作を確認した。測定を行った結果、発振周波数 32.55 kHz、1.8 V での消費電力 472 nW、電源電圧依存性 1.1% /V、温度依存性 120ppm/ $^{\circ}$ C であった。提案する弛張発振回路は、WSN システムの時間計測回路において有用であることを実証した。

本論文では、超低電力オンチップ弛張発振回路の実現に向け、超低電流動作における既存の弛張発振回路の問題点を明らかにし、製造プロセスや動作環境の変化に対して安定に動作する時間計測用の発振回路を提案している。シミュレーション評価ならびに試作チップによる測定結果から、超低消費電力と安定動作を両立する時間計測用の発振回路が実現可能であることを示している。

このように本研究は、次世代のワイヤレスセンサネットワークにおける基盤技術の役割を果たす研究成果であり、重要な知見を得たものとして価値ある集積である。よって、提出された論文は工学研究科学位論文評価基準を満たしており、学位申請者の榎 啓志は、博士 (工学) の学位を得る資格があると認める。