



低電圧動作に向けた低電力デジタル集積回路設計に関する研究

栗, 譲

(Degree)

博士 (工学)

(Date of Degree)

2016-03-25

(Date of Publication)

2017-03-01

(Resource Type)

doctoral thesis

(Report Number)

甲第6637号

(URL)

<https://hdl.handle.net/20.500.14094/D1006637>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博士論文

低電圧動作に向けた
低電力デジタル集積回路設計に関する研究

平成 28 年 1 月

神戸大学大学院工学研究科

雫 讓

内容梗概

近年、スマートフォンやタブレット端末などの携帯型マルチメディア機器の普及に伴い、Internet of Things (IoT) に代表される次世代型情報化社会の実現に向けた、高機能な大規模集積回路 (LSI: Large Scale Integration) の重要性が増している。次世代型情報化社会では、コンピュータのような情報・通信機器のみならず、身の回りの様々な「モノ」に通信機能を付加することで、「モノ」と「モノ」とが能動的にネットワークに接続し、相互通信・制御を行う。スマートフォンや自動車、農作物といったあらゆる「モノ」にセンサ・デバイスを搭載することで、世界中のどこにいても必要な情報を取得することが可能となる。

このような次世代型情報化社会の実現に向けてキーデバイスとなるのが、スマートセンサ LSI である。スマートセンサ LSI は、電源回路ブロック、アナログ回路ブロック、デジタル回路ブロック、メモリブロック、そして通信ブロックで構成される。また、小型化・軽量化が求められるスマートセンサ LSI の電源としては、コインバッテリーや自然エネルギーの利用が想定される。コインバッテリーや自然エネルギーから得られる電力・電圧は限られるため、スマートセンサ LSI 内部の各種回路は、低消費電力かつ低電源電圧でも安定に動作することが不可欠となる。

集積回路の小型化、低消費電力化に関しては、プロセスの微細化によって実現してきたが、90 nm 以降の非常に微細なプロセスにおいては、回路全体の消費電力に対するリーク電力の割合が増加し、単純な微細化や電源電圧の低下が困難となっている。そのため、プロセスの微細化のみに頼るのではなく、回路設計技術による低消費電力化が重要となる。一方で、環境センサのような高機能・高性能なプロセッサを必要としない状況での低消費電力化を目的として、トランジスタのサブスレッショルド領域での特性を利用した回路の設計手法がある。サブスレッショルド領域とは、電源電圧をトランジスタのしきい値電圧 V_{th} 以下とした動作領域であり、通常であれ

ば μA オーダ程度の電流消費を, nA オーダに抑制することができる。本来は, トランジスタのオフ状態とみなされる動作領域であるが, 回路構成の工夫によって低消費電力化が可能となる。このため, トランジスタのサブスレッショルド領域を利用した回路設計は, 集積回路の低消費電力化手法として注目されている。しかし, サブスレッショルド領域動作では消費電力を大幅に削減できる一方, 回路性能がトランジスタの形状ばらつき, しきい値電圧の変動, 電源電圧の変動, そして温度変化に大きく影響を受けて劣化するため, タイミングなどの制約を満たすことが困難となる場合がある。これを解決するために, 低電圧下での動作保障用の付加回路を追加することが考えられるが, 付加回路による消費電力や遅延の増加が懸念される。以上より, サブスレッショルド領域を利用した回路設計では, 回路の安定動作と安定動作実現に必要な各種オーバーヘッドについて十分に考慮する必要がある。

本論文では, デジタル集積回路の低消費電力化手法として, 回路アーキテクチャの工夫による低消費電力化と, 電源電圧の低減に向けた回路構成の工夫による低消費電力化の 2 つのアプローチを採用し, 低消費電力 LSI 実現へ向けた回路設計手法の提案を目的とする。

本研究は, 大きく分けて以下の 3 つのテーマで構成される。

- 1) 乗算器における桁上げ吸収回路の低消費電力化手法
- 2) デジタル集積回路に向けた要素回路の低電圧動作および低電力化手法
- 3) 極低電圧動作に向けた高エネルギー効率非同期式 AES 暗号回路の構築

第一のテーマでは乗算器の桁上げ吸収回路の小面積化および, 低消費電力化手法を提案する。Digital Signal Processor (DSP) などに幅広く利用されている乗算器は, 一般的に部分積生成部, 部分積加算部, 桁上げ吸収部の 3 つの回路ブロックで構成されている。各回路ブロックには, 必要とする性能に応じて様々な回路方式が採用される。乗算器のクリティカル・パスとなる桁上げ吸収部では, 回路性能の低下を回避するため, 高速動作が可能な回路構成が採用される。しかし, 部分積加算部から桁上げ吸収部へ伝搬する信号は, ビット位置によって異なる遅延を含んでいるため, 遅延を考慮せずに高速動作する回路へ信号を入力すると, 必要以上の高速動作により消費電力が増加する。そこで, 部分積加算部の出力信号に含まれる遅延を考慮するため, 桁上げ吸収部をビット位置によって 3 つのブロックに分割し, それぞれの遅延に対応させた回路構成を適用することで低電力化を実現する設計手法を提案する。提案回路の効果を確認するため, SPICE シミュレーションによる比

較評価を行った結果、提案回路が従来回路と比較して遅延時間を 5.5%、消費電力を 8.4%、PD 積を 13.5% 削減できる効果を確認した。

第二のテーマでは、同期式順序回路において記憶素子として利用される D フリップフロップと、非同期式順序回路においてデータ通信の制御に利用される C 素子について、高エネルギー効率かつ小面積な回路構成を提案する。デジタル集積回路設計における回路性能、消費電力、そして回路規模を決定する要素として、スタンダードセルがある。スタンダードセルの中でも D フリップフロップは広く利用されており、消費電力は回路全体の消費電力の 20~30% を占めるため、低消費電力化が強く求められる。また、サブスレッショルド領域動作を利用したデジタル回路では、D フリップフロップが回路の最低動作可能電圧を決定するため、低電源電圧下においても安定に動作することが求められる。しかし、スタンダードセル・ライブラリに利用される D フリップフロップは、一般にクロック・インバータとトランスマッション・ゲートで構成されるため、低電圧動作に不向きである。そこで、スタティック CMOS ゲートのみで構成することで、低電圧時の動作安定性を向上させた低電力 D フリップフロップを提案する。提案回路のチップ設計・試作を行った上で、実測による評価を行った結果、電源電圧 0.352 V において 5.9 nW の低消費電力で動作し、TGFF と比較して消費電力を 13% 削減可能であることを確認した。C 素子回路に関しては、高エネルギー効率かつ小面積な回路構成を提案した。提案回路は、基本的な C 素子の構成に含まれるインバータ・ラッチ部の出力端子に、pMOSFET を抵抗として挿入することで、インバータ・ラッチ部に遅延を発生させ、入力段からの信号が出力端子まで正常に伝搬する構成とした。提案回路を利用することで、 $V_{DD} = 1.08 \text{ V}$ において PD 積が最小の 4.32 aJ となり、従来のスタティック C 素子と比較して、9.3% の PD 積削減を実現した。

第三のテーマでは、共通鍵暗号で利用されるアルゴリズムである AES (Advanced Encryption Standard) の一処理で、平文と暗号文の相関を壊す仕組みである S-BOX 演算について、非同期式回路で構成する手法を提案する。次世代型情報化社会において、無線通信による情報伝達では、通信内容に生体信号などの個人情報や、自動車の車両情報といった情報が含まれている場合、外部からの傍受を防ぐため通信内容を暗号化する必要がある。AES は、広く利用されている暗号化アルゴリズムであり、Bluetooth 通信における暗号化などでモバイル機器においても普及している。しかし、AES を実現する回路の消費電力は μW オーダであるため、モ

バイル機器やスマートセンサ LSI などのバッテリー容量に制限がある機器においては、長時間駆動の実現は困難となる。そこで、エネルギー効率の高い AES 回路の実現へ向けて、AES 回路の主要な演算回路である S-BOX 回路について非同期式回路方式を採用して構築する。S-BOX 回路のサブスレッショルド領域動作を可能とし、低電源電圧化および高エネルギー効率化を図る。提案回路をチップとして設計・試作を行った上で測定を行った結果、提案非同期式 S-BOX 回路は、電源電圧 330 mV において 0.99 pJ を実現し、同期式 S-BOX 回路と比較して消費エネルギーを 12% 削減可能となった。非同期式回路方式は、ニアスレッショルド領域やサブスレッショルド領域における動作に有効であることを確認した。

本研究では、低消費電力 LSI を実現するために、従来のプロセス微細化にともなう単純な低電圧化に頼らない、回路構成上の工夫による低消費電力回路設計技術を提案・実現した。シミュレーション評価および試作チップの実測評価より、回路構成やアーキテクチャの工夫によって消費電力の削減効果を高めることが可能となり、回路設計技術によって低消費電力 LSI の実現が可能であることを示した。

目次

第 1 章 緒論	1
第 2 章 デジタル集積回路の低電力設計技術	9
2.1 緒言	9
2.2 半導体集積回路の技術背景	10
2.3 低電力回路設計技術	12
2.3.1 多電源電圧化	13
2.3.2 サブスレッショルド領域動作を利用した回路設計	14
2.3.2.1 サブスレッショルド・デジタル回路の遅延補正技術	15
2.3.2.2 DLS (Dynamic Leakage Suppression) ロジックに基づく バッテリーレス Cortex M0+ プロセッサ	16
2.3.2.3 非同期式回路方式の利用	19
2.4 結言	19
第 3 章 乗算器における桁上げ吸収回路の低電力化手法	23
3.1 緒言	23
3.2 乗算器の構成と動作	24
3.3 全加算器の構成と動作	25
3.3.1 全加算器の基本構成	25
3.3.2 全加算器の回路構成	26

3.4	加算回路の種類	27
3.4.1	RCA (Ripple Carry Adder) の構成と動作	28
3.4.2	CLA (Carry Lookahead Adder) の構成と動作	28
3.4.3	Kogge-Stone Parallel Prefix Adder の構成と動作	29
3.4.4	APPNA (Alternative Parallel Prefix Adder) の構成と動作	31
3.4.5	Carry Bypass Adder の構成と動作	31
3.5	入力信号間の遅延差を考慮した桁上げ吸収回路の低電力化手法	32
3.5.1	入力信号間に生じる遅延	32
3.5.2	入力信号の遅延への対応	33
3.5.3	入力信号間に生じる遅延を考慮した桁上げ吸収回路	34
3.6	回路シミュレーションによる評価	35
3.6.1	シミュレーション条件と評価項目	35
3.6.2	比較評価に関する結果と考察	36
3.7	結言	39
第 4 章 デジタル CMOS LSI の低電圧動作に向けた要素回路の 低電力化手法		43
4.1	緒言	43
4.2	D フリップフロップの回路構成と動作	43
4.2.1	D フリップフロップの基本構成	44
4.2.2	従来 D フリップフロップの構成	45
4.2.3	Contention-less D Flip-Flop の構成	47
4.3	Circuit-Shared Static D Flip-Flop の提案	49
4.4	D フリップフロップに関するシミュレーション評価	50

4.4.1	シミュレーション条件と評価項目	51
4.4.2	シミュレーションによる比較評価結果	51
4.5	D フリップフロップの実測評価	56
4.5.1	実測環境と評価条件	57
4.5.2	消費電力に関する実測評価	57
4.5.3	遅延測定用回路の検討	58
4.5.4	遅延時間に関する実測評価	65
4.6	C 素子回路の動作と基本構成	69
4.6.1	マラーの C 素子	69
4.6.2	スタティック C 素子	70
4.7	提案する C 素子回路	70
4.8	C 素子に関するシミュレーション評価	71
4.8.1	シミュレーション条件と評価項目	71
4.8.2	シミュレーションによる比較評価結果	72
4.9	結言	75
第 5 章 極低電圧動作に向けた高エネルギー効率		
	非同期式 AES S-BOX 回路の構築	81
5.1	緒言	81
5.2	非同期式回路	82
5.2.1	束データ方式の処理概要	83
5.2.2	二線方式の処理概要	83
5.3	低電圧 S-BOX 回路に関する検討	85
5.3.1	S-BOX 回路の構築	85

5.3.2	0.5 V 対応同期式セルライブラリ.....	86
5.3.3	0.5 V 対応非同期式セルライブラリ.....	87
5.4	シミュレーションによる評価	87
5.5	実測による評価.....	90
5.6	結言.....	91
第 6 章	結 論	95
謝 辞		99
本研究に関する発表論文		101

第 1 章

緒論

近年, スマートフォンやタブレット端末などの携帯型マルチメディア機器の普及に伴い, Internet of Things (IoT) [1] や Wireless Body Area Networks (WBAN) [2] に代表される次世代型情報化社会の実現に向けた, 高機能な大規模集積回路 (LSI: Large Scale Integration) の重要性が増している。

IoT は, コンピュータといった情報・通信機器のみならず, 身の回りの様々な「モノ」に通信機能を付加することで, 「モノ」と「モノ」が能動的にネットワークに接続し, 相互通信・制御を行う。今後実現が期待される IoT の応用例を図 1.1 に示す。スマートフォンや自動車, 農作物といったあらゆる「モノ」にセンサ・デバイスを搭載することで,



図 1.1 IoT の応用例

世界中のどこにいても必要な情報を取得することが可能となる。例えば、自動車の走行状況をもとに得られた周辺道路の交通情報の取得を可能とすることや、また、農作物に搭載したセンサ・デバイスにより、収穫時期や作物の生育状況を確認することが可能となる。

一方、WBAN では、図 1.2 に示すように人の体内や皮膚に小型デバイスを装着することで装着者のバイタル・データを取得し、日々の健康管理や患者の術後観察などに役立てることができる。IoT や WBAN の実現には、多数のセンサ・デバイスが必要となる。このようなセンサ・デバイスは環境中や人体へ設置するため、設置場所の制限や設置する個数の問題から、小型かつ軽量であり、電池交換の必要がないなどのメンテナンス・フリーなデバイスであることが強く望まれる。

上記のような、次世代型情報化社会の実現に向けてキーデバイスとなるのが、図 1.3 に示すスマートセンサ LSI である。図 1.3 に示すように、スマートセンサ LSI は、ボルテージレギュレータのような電源回路ブロック、各種センサや DAC (Digital to Analog Converter), ADC (Analog to Digital Converter) のようなアナログ回路ブロック、DPS (Digital Signal Processor) やメモリのようなデジタル回路ブロック、そして RF トランスミッタのような通信ブロックで構成される。また、スマートセンサ LSI は小型・軽量のデバイスとする必要があるため、その電力はコインバッテリーや自然エネルギーによって供給することを想定している。コインバッテリーや自然エネルギーから得られる電力・電圧は一般的に小さく、例えば代表的なコインバッテリーの容量は約 200 mAh,

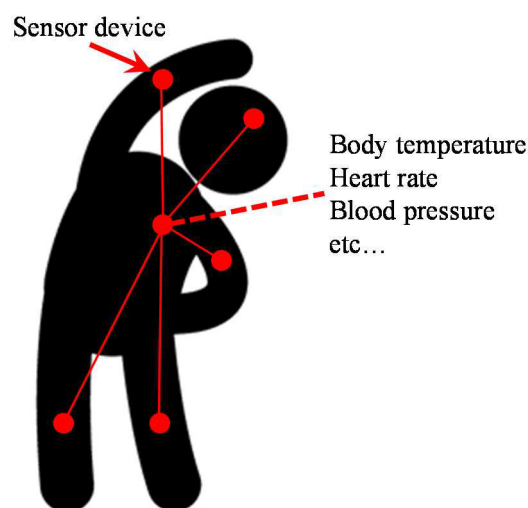


図 1.2 WBAN の例

太陽電池の出力電圧は約 0.5 V に過ぎない。そのため、スマートセンサ LSI 内部の回路は、低電力かつ低電圧でも安定に動作することが求められる。

本研究では、スマートセンサ LSI を構成する回路ブロックの中で、特にデジタル回路の低電力化および低電圧化に着目する。

近年のプロセス微細化により、LSI の高集積化および高性能化を実現し、プロセスルール、すなわちトランジスタのチャンネル長が 90 nm となる世代までは、電源電圧を約 1.0 V まで低減することで、トランジスタのスイッチングにおける充放電電力の削減を図ってきた。一方で、電源電圧の低下にともなう回路の動作速度低下を回避するため、トランジスタのしきい値電圧 V_{th} を低減する必要が生じた。90 nm 以前の世代では、電源電圧および V_{th} の低減により、デジタル回路の高性能化と低電力化の両立が可能であった。しかし、90 nm 以降の世代では V_{th} の低減にともない、トランジスタのゲート・ソース間電圧: $V_{GS} = 0$ としたオフ状態でも流れるリーク電流の増加による、リーク電力が無視できなくなる点が問題となっている [3]。このため、 V_{th} の低減が困難となり、電源電圧に関しても 1.0 V 以下に低減することが困難となっている。

一方で、さほど高い処理能力を必要としない回路については、トランジスタのサブスレッショルド領域での特性を利用した設計手法が適用できる。サブスレッショルド領域とは、電源電圧をトランジスタのしきい値電圧 V_{th} 以下とした動作領域であり、図 1.4 に示すグラフの水色背景部分が該当する。通常であれば数十～数百 μA オーダ程度の電流消費を、nA オーダに抑制する。サブスレッショルド領域は本来、トランジスタのオフ状態とみなされる領域であるが、回路構成の工夫によって極めて低電

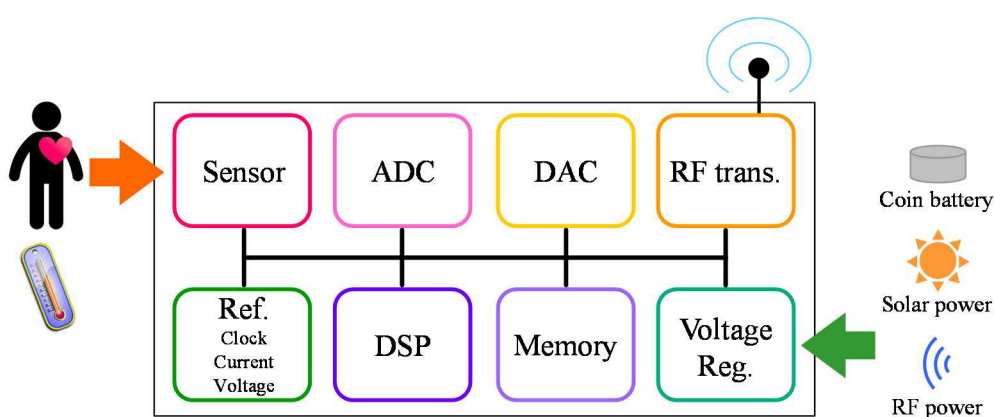


図 1.3 スマートセンサ LSI の概要

力な回路の設計に応用できるため、LSI の低電力化手法として注目されている。サブスレッショルド領域における、ドレイン電流 I_{sub} は

$$I_{\text{sub}} = \mu C_{\text{OX}} (\eta - 1) V_{\text{th}}^2 \frac{W}{L} \exp\left(\frac{V_{\text{GS}} - V_{\text{th}}}{\eta V_{\text{th}}}\right) \left(1 - \exp\left(\frac{-V_{\text{DS}}}{V_{\text{th}}}\right)\right) \quad (1.1)$$

の式で表される。ここで、 μ は移動度、 C_{OX} は酸化膜容量、 η はサブスレッショルド・スロープ係数、 V_{th} はトランジスタのしきい値電圧、 W はトランジスタのチャネル幅、 L はトランジスタのチャネル長、 V_{GS} はゲート・ソース間電圧、 V_{DS} はドレイン・ソース間電圧をそれぞれ表している。サブスレッショルド領域では、消費電流の削減により消費電力を大幅に削減できる一方、ドレイン電流 I_{sub} が V_{th} に依存して指数関数的にばらつくため、回路の安定動作に影響を及ぼす点が課題となる。したがって、サブスレッショルド領域を利用した回路設計では、回路の安定動作について十分に考慮する必要がある。

本論文では、デジタル集積回路の低電力化手法として、回路アーキテクチャの工夫による低消費電力化と、電源電圧の低減に向けた回路構成の工夫による低消費電力化の 2 つのアプローチを採用し、低消費電力 LSI 実現へ向けた回路設計手法の提案を目的とする。

本研究は、大きく分けて以下の 3 つのテーマで構成される。

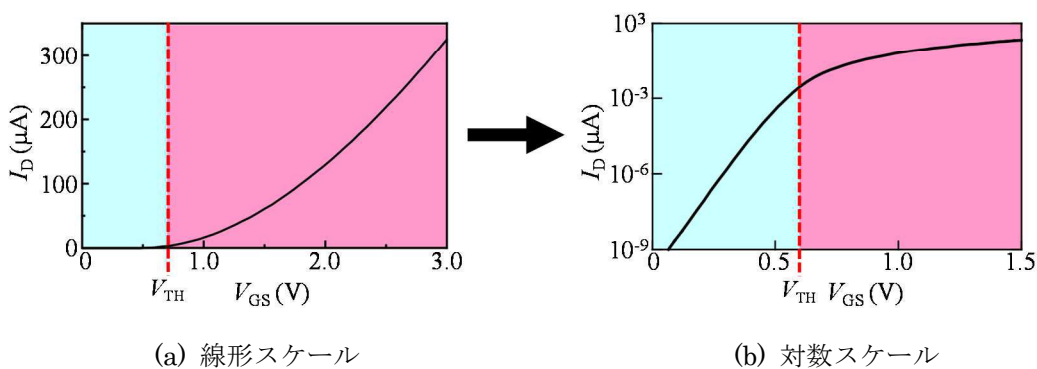
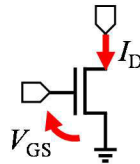


図 1.4 MOSFET における $V_{\text{GS}}-I_{\text{D}}$ 特性の例

- 1) 乗算器における桁上げ吸収回路の低電力化手法
- 2) デジタル集積回路の低電圧動作に向けた要素回路の低電力化手法
- 3) 極低電圧動作に向けた高エネルギー効率非同期式 AES 暗号回路の構築

第一のテーマについて述べる。Digital Signal Processor (DSP)などに幅広く利用されている乗算器は、一般に部分積生成部、部分積加算部、桁上げ吸収部の3つの回路ブロックで構成されている。各回路ブロックには、必要とする性能に応じて様々な回路方式が採用される。たとえば部分積生成部には、AND ゲート並列やブース・アルゴリズムが利用され、部分積加算部には、全加算器の多段接続やWallace 木や4-2 木のような木構造が利用される。さらに、乗算器のクリティカル・パスとなる桁上げ吸収部では、回路性能の低下を回避するため、高速動作が可能な回路構成が採用される。しかし、部分積加算部から桁上げ吸収部へ伝搬する信号は、ビット位置によって異なる遅延を含んでいるため、遅延を考慮せずに高速動作する回路へ信号を入力すると、必要以上の高速動作により消費電力が増加する。そこで、桁上げ吸収部をビット位置によって3つのブロックに分割し、それぞれの入力信号遅延に対応させた回路構成を適用することで低電力化を実現する設計方式を提案する。提案手法により、桁上げ吸収部への入力信号と、桁上げ吸収部内部での信号伝播のタイミングを揃えることで、不要な信号遷移による消費電力を削減し、回路規模を縮小できる。

第二のテーマについて述べる。デジタル集積回路の多くが、様々な論理回路の性能が記されたセル・ライブラリとCAD ツールを利用して、自動で配置・配線を行うスタンダードセル方式で設計・実現されている。スタンダードセル・ライブラリとして用意される基本ゲートや複合ゲート、フリップフロップなどの各種セルの特性が、設計・実現されたデジタル集積回路の性能、電力、規模の各要素を決定する重要な要素となる。スタンダードセルの中でもDフリップフロップ [4] は、広く利用されており、消費電力は回路全体の消費電力のうち20~30%を占めるため、低消費電力化が強く求められる。また、トランジスタのサブスレッショルド領域動作を利用したデジタル回路では、Dフリップフロップが回路の最低動作可能電圧を決定する重要な要素となるため、低電圧下においても安定に動作するDフリップフロップが求められる。しかし、従来のスタンダードセル・ライブラリに含まれるDフリップフロップの多くが、クロック・インバータとトランスミッション・ゲートで構成されるため、低電圧動作に不向きである。そこで、スタティック CMOS ゲートのみで構成した、低電圧動作に向けた

低電力 D フリップフロップを提案する。スタティック CMOS ゲートは、トランスマッション・ゲートなどのパストランジスタ論理と比較して低電圧下での動作安定性が高い点に特徴がある。提案手法を利用することで、従来手法と比較して低電圧時の安定性を確保しつつ、低電力化を実現することが可能となる。さらに、非同期式回路方式においてデータ通信の制御に利用される C 素子 [5] 回路に関して、高エネルギー効率、かつ小面積な回路構成を提案する。提案回路は、基本的な C 素子の構成に含まれるインバータ・ラッチ部の出力端子に、pMOSFET を抵抗として挿入することでインバータ・ラッチ部に遅延を発生させ、入力段からの信号が出力端子まで正常に伝搬する構成とした。

第三のテーマについて述べる。IoT などの次世代型情報化社会では、通信機能を持ったデバイス同士が無線通信によって情報のやり取りを行う。このとき、通信内容に生体信号などの個人情報や、自動車の車両情報といった情報が含まれている場合、外部からの傍受を防ぐため通信内容を暗号化する必要がある。暗号化方式としては、共通鍵暗号と公開鍵暗号の 2 つがある。共通鍵暗号で利用されるアルゴリズムには、RC4 (Rivest's Cipher 4), DES (Data Encryption Standard), 3DES (Triple DES), AES (Advanced Encryption Standard) などがある。また、公開鍵暗号で利用されるアルゴリズムには、RSA (Rivest Shamir Adleman), ElGamal などがある。中でも、現在主流となっている方式は AES であり、米国商務省標準技術局 (NIST) によって制定された DES に代わる新世代標準暗号化方式である。Bluetooth 通信における暗号化など、モバイル機器における暗号化アルゴリズムに関しても、AES が広く利用されている。しかし、AES の消費電力は μW オーダであるため、モバイル機器やスマートセンサ LSI などのバッテリー容量に制限がある機器においては、長時間駆動を実現することが困難となる。そこで、エネルギー効率の高い AES 回路の実現へ向けて、AES 回路の主要な演算回路であり、平文と暗号文の相関を壊す仕組みである S-BOX 演算回路について非同期式回路方式を採用して構築することで、低電圧化および高エネルギー効率化を図る。非同期式回路方式は、一般的な同期式回路方式で利用されるグローバル・クロックを必要とせず、回路ブロック同士が動作完了の信号を相互に通信することでデータのやり取りを行う。このため、回路の遅延時間がグローバル・クロックの周波数に制限されず、電源電圧の大幅な低減が可能となる。また、デジタル回路の消費電力は

$$P_{\text{total}} = \alpha_t f C_L V_{\text{DD}}^2 + I_{\text{SC}} V_{\text{DD}} + I_{\text{leak}} V_{\text{DD}} \quad (1.2)$$

で表される。ここで、 α はスイッチング確率、 f は動作周波数、 C_L は負荷容量、 V_{DD} は電源電圧、 I_{SC} は貫通電流、 I_{leak} は漏れ電流をそれぞれ表している。式 (1.2) より、電力 P_{total} は電源電圧 V_{DD} の 2 乗に比例するため、 V_{DD} の低電圧化により消費電力の削減が可能となる。

参考文献

- [1] K. Ashton, "That 'Internet of Thing's' thing," RFID Journal, 2009.
- [2] S. Ullah, H. Higgins, B. Braem, B. Latre, C. Blondia, I. Moerman, S. Saleem, Z. Rahman and K. S. Kwak, "A Comprehensive survey of wireless body area networks: on PHY, MAC, and network layers solutions," Journal of Medical Systems (Springer), vol. 36, issue 3, pp. 1065-1094, 2012.
- [3] International Technology Roadmap for Semiconductor 2006 update edition.
- [4] V. G. Oklobdzija, V. M. Stojanovic, D. M. Markovic, and N. M. Nedovic, "Dgital system clocking," IEEE Press, 2003.
- [5] D. E. Muller and W. S. Bartky, "A theory of asynchronous circuits," in Proceedings of an International Symposium on the Theory of Switching, pp. 204-243, 1959.

第 2 章

デジタル集積回路の低電力設計技術

2.1 緒言

本章では、現在 LSI の低電力化に有効とされている回路設計技術について述べる。これまでは、トランジスタの微細化によって、LSI の高性能化、高集積化および低電力化を実現してきた。しかし、プロセスルールが 65 nm や 45 nm 時代へ突入すると、数百 nm 世代のトランジスタでは問題とならなかったデバイス特性に起因する問題が顕在化した。その一つとして特に問題となっているのが、トランジスタが待機時に消費するオフリーク電力である。従来行われてきた一定の比率でトランジスタのチャネル長を縮小する微細化は、物理的な限界に達しつつあると予測されており、これまで主流であったトランジスタ構成方法に替わる新たなトランジスタに向けたプロセス技術開発が急務となっている。そこで近年では、FinFET [1] といったデバイス技術が考案されるなど、次世代型のトランジスタやプロセス技術に注目が集まっている。しかし、新たなプロセス技術による LSI 設計への移行は、従来の設計フローや回路モデル、さらには CAD ツールの機能を見直す必要が生じる。そこで、既存の数百 nm 世代のプロセスを利用し、回路の動作状況に応じて電源電圧や動作周波数を動的に制御する方式により低電力化を図るなど、微細化による先端プロセスに頼ることのない、低電力回路設計技術が重要となる。

本章の構成は以下の通りである。2.2 節で半導体集積回路についてデバイス／回路設計の技術背景を述べた後、2.3 節では従来の回路設計技術による低電力化へのアプローチ方法を示す。最後に、2.4 節で本章のまとめを述べる。

2.2 半導体集積回路の技術背景

近年、様々なモバイル・マルチメディア機器が普及するにつれて、IoT (Internet of Things) に代表される次世代型情報化社会の実現に向け、多様な情報をセンシング、処理するための様々な機能を一つのチップに集積した SoC (System on a Chip) に代表される、高機能な LSI の重要性が増している。これまで、トランジスタの寸法を一定の比率で縮小するスケーリング則にもとづき、主にプロセスの微細化によって LSI の性能向上を達成してきた。プロセスの微細化によって、トランジスタ単体の動作速度向上と消費電力削減を両立しつつ高集積化を実現できる。しかし、同一のチップ面積とした場合、トランジスタ数の増加によってチップ全体の消費電力は増加する。特に、IoT のような次世代型情報化社会で利用されるスマートセンサ LSI は、周辺環境や体内に大量に設置するため、バッテリーによる長時間駆動が求められる。そのため、LSI の低電力化が必要不可欠となる。しかし、先端のプロセスでは回路がオフ状態であっても、充放電とは無関係なトランジスタの漏れ電流によって消費されるリーク電力が増加する。このため、トランジスタ全体の消費電力に対するリーク電力の割合が増加し、低電力化の妨げとなっている [2]。

ここで、デジタル回路が消費する電力について述べる。デジタル回路の全消費電力 P_{total} は、

$$P_{\text{total}} = P_{\text{dyn}} + P_{\text{sc}} + P_{\text{leak}} \quad (2.1)$$

と表すことができる。第一項 P_{dyn} は充放電電力を表しており、CMOS 論理回路中のトランジスタが負荷容量の充放電を行う際に消費される電力である。デジタル回路では nMOSFET, pMOSFET の 2 種類のトランジスタをスイッチとして利用する。したがって、トランジスタのオン/オフが瞬時に切り替わるならば、その消費電力は動作電力のみとなる。しかし実際は、論理回路としての動作以外に、トランジスタのアナログ的な電流特性に起因する第二項、第三項に示される電力が消費される。第二項 P_{sc} は貫通電力を表している。貫通電力とは、CMOS 論理回路の出力が次の状態へ遷移する過程で、pMOSFET と nMOSFET の両方が同時にオンとなる期間に電源 V_{DD} から GND まで流れる貫通電流によって消費される電力である。そして第三項 P_{leak} は、リーク電力を表している。リーク電力とは、ソースやドレイン接合の逆方向電流のような、トランジスタがオフ状態であってもソース・ドレイン間に流れるサブスレッショルド・リーク電流によって消費される電力である。これまでの CMOS LSI における

消費電力においては、充放電電力が最も支配的であり、低電力回路設計では主に充放電電力の削減に焦点が当てられてきた。充放電電力 P_{dyn} は、

$$P_{\text{dyn}} = p_t f C_L V_{\text{DD}}^2 \quad (2.2)$$

と示され [3], p_t はスイッチング確率, f はクロックの動作周波数, C_L は負荷容量, V_{DD} は電源電圧を表す。これらのパラメータを小さく設定することで、充放電電力を削減できる。特に、充放電電力は電源電圧の 2 乗に比例するため、プロセスの微細化にともなう低電源電圧化は、電力削減に効果的であった。一方で、ゲート伝播遅延 t_{pd} は k を定数として、

$$t_{\text{pd}} = \frac{k C_L V_{\text{DD}}}{(V_{\text{DD}} - V_{\text{th}})^\alpha}, \quad (\alpha \approx 1.3) \quad (2.3)$$

で近似され [4], 電源電圧の低下にともないゲート伝播遅延が増加する。通常は速度低下を防ぐため、低電源電圧化と同時にトランジスタのしきい値電圧 V_{th} を下げることで対処する。しかし、 V_{DD} と同時に V_{th} も低下させた場合

$$P_{\text{leak}} = I_0 10^{-\frac{V_{\text{th}}}{S}} V_{\text{DD}} \quad (2.4)$$

の式で表されるリーク電力 P_{leak} が指数関数的に増加する。ここで、 I_0 は定数, S はサブスレッショルド係数である。式 (2.4) に表されるように、プロセスの微細化にともない V_{th} の低減が進むと、CMOS LSI の全消費電力に対するリーク電力 P_{leak} の割合が増加する。このように、電源電圧としきい値電圧を同時に低減させることでリーク電力の増加が深刻となることが、LSI の低電力化と高性能化を妨げる要因となっている。

さらに、素子サイズの縮小にともなう製造ばらつきの影響についても深刻な問題となりつつある。製造条件の変動により、ゲート長、ゲート幅、ゲート酸化膜厚などのトランジスタ形状にばらつきが発生するとともに、不均一な不純物濃度によってしきい値電圧が変動し、トランジスタの電気的特性にも影響を与える。

一方で、第 1 章で言及したように、高速な信号処理の必要がない LSI に関しては、LSI へ供給する電源電圧をしきい値電圧 V_{th} 以下の極低電圧にすることで、低電力化を実現することができる。このような、電源電圧 V_{DD} が V_{th} 以下となる領域をサブスレッショルド領域と呼び、nA オーダの極めて小さな消費電流でトランジスタが駆動する。本来はトランジスタがオフした状態とみなされる動作領域であるが、微小な電流で駆動できるよう回路構成を工夫することで極低電力な回路を設計する

ことができる。このため、トランジスタのサブスレッショルド領域を利用した回路設計技術は、LSIの低電力化手法として注目されている。しかし、サブスレッショルド領域におけるトランジスタのドレイン電流は、しきい値電圧やゲート・ソース間電圧の変動に対して指数関数的に変動するため、回路の安定性に問題を生じる。サブスレッショルド領域動作を利用した回路設計では、回路の安定性確保が重要となる。

以上のように、プロセス微細化技術による低電力化や、サブスレッショルド領域動作を利用した低電力化は様々な問題点が存在する。しかし、特にサブスレッショルド領域動作を利用した低電力化では、ばらつきの影響を補正する技術などを利用することで、高エネルギー効率な回路の実現を期待できる。

2.3 低電力回路設計技術

次に、低電力LSIを実現するための、具体的な回路設計技術に関して説明する。

90 nm までの世代では、プロセスの微細化にともない、スケーリング則にもとづいて、電源電圧としきい値電圧を同時に低減することで、高速化と低電力化を両立してきた。これにより、プロセス微細化技術の発展とともに、回路設計に特別な変更を加えることなく、低電源電圧化によって式 (2.2) に従った LSI の動作電力を削減することが可能であった。しかし、90 nm 世代以降のプロセスではリーク電流の増加によって、しきい値電圧を下げられない状況に陥っており、従来通りの低電圧化と動作速度の維持の両立は困難である。さらに、微細化の進んだプロセスにおいて電源電圧を低下させると、製造ばらつきに影響を大きく受けるために回路性能が劣化する問題が生じる。

従来のプロセス微細化による高性能化および低電力化に対して、高速な演算処理の必要がない LSI に関しては、トランジスタのサブスレッショルド領域動作の利用によって低電源電圧化および低電力化を実現する手法が注目されている。特に、次世代型情報化社会において必要とされるセンサデバイスでは、限られた電力供給量で数年単位の長時間駆動が求められるため、トランジスタのサブスレッショルド領域動作を利用した低電力化は有効であると考えられる。サブスレッショルド領域動作では、トランジスタへの供給電圧をしきい値電圧以下の低電圧とするため、製造ばらつきだけでなく電源電圧、温度の変動によって回路性能が著しく劣化する恐れがある。そのため、ばらつきに対する頑健性を高める手法が重要視されている。

従来のプロセス微細化では、リーク電力や製造ばらつきの影響が増大する問題が生じる。そのため、先端のプロセス技術のみに頼るのではなく、回路設計技術の工夫による LSI の低電力化の実現が重要となる。一般に、電源電圧、動作周波数、負荷容量、スイッチング確率、そしてしきい値電圧といったパラメータは、LSI の消費電力を決定する重要な要素であり、これらのパラメータを最適化することで消費電力を削減することが可能となる。そこで、所望の性能が実現できるように、回路設計の段階でこれらのパラメータの調整を行うのが、回路設計技術に基づく低電力化手法である。さらに、これらの回路設計方式の実現を容易とするプロセス技術の開発が進むことで、プロセス技術と回路設計技術の融合によるさらなる消費電力の削減を追求できる。

本節では、低電力 LSI を実現する回路設計技術として実用性の高い電源電圧の制御方式について解説する。さらに、トランジスタのサブスレッショルド領域動作を利用した回路設計手法について述べた後、最後にまとめを述べる。

2.3.1 多電源電圧化

式 (2.2) に表されるように、電源電圧の低減によって LSI の消費電力を効果的に削減することができる。低電圧化は、動作時の充放電電力のみならず、サブスレッショルド・リークやゲート・リークに代表されるリーク電力の削減にも効果がある。通常、LSI への供給電源は 1 種類に設定されており、制約などの仕様を満たすために 1.0 V 程度の電圧とされることが一般的である。この場合、LSI 全体において高速動作が可能となるが、クリティカル・パスを含まない信号経路においても高速に動作することで消費電力が増加する。

そこで、回路ブロックの特徴に応じて供給電圧を変更する手法が提案されている。一例として、2 種類の電源電圧を利用する CVS (Clustered Voltage Scaling) [5] について述べる。これは、図 2.1 に示すように回路中の遅延制約が厳しいクリティカル・パス上のセルに対しては、その LSI の定格電源電圧 (V_{DDH}) を供給し、遅延制約に余裕のあるノンクリティカル・パスには低電源電圧 (V_{DDL}) を供給する手法である。これにより、回路の最大遅延時間を増加させることなく、低電力化を実現できる。この手法を利用することで、充放電電力だけでなくサブスレッショルド・リークによって生じるリーク電力の削減も可能である。CVS による消費電力の削減効果は、 V_{DDL} の設定値と V_{DDL} を割り当て可能なセル数に依存する。 V_{DDL} を低く設定すると、一つのセ

ルに関しては低電力となるが V_{DDL} を割り当て可能なセル数が減少する。一方で、 V_{DDL} を高く設定すると V_{DDL} の割り当ては容易となるが、一つのセル当たりの電力削減効果は小さくなる。 V_{DDL} の設定値と V_{DDL} 割り当て可能セル数のトレードオフ関係は、回路中の全経路における遅延時間の分布によって決定される。つまり、経路中にクリティカル・パスとなる可能性の高い経路が多く存在すると、 V_{DDL} を低く設定することが困難となるだけでなく、 V_{DDL} を割り当て可能なセル数が減少する。このトレードオフを考慮すると、 $V_{DDL} = 0.6 \sim 0.7 V_{DDH}$ と設定した場合に最大のエネルギー効率を実現できることが報告されている [6]。また CVS では、 V_{DDL} セルと V_{DDH} セルの間でデータのやり取りを行う。しかし、 V_{DDL} セルの出力信号を直接 V_{DDH} セルへ入力すると、 V_{DDH} セル内の pMOSFET と nMOSFET が同時にオン状態となる期間が長くなり、貫通電流の増加による電力増加が問題となる。そこで、 V_{DDH} セルと V_{DDL} セルの間にレベルシフタを挿入して V_{DDL} セルの出力信号を V_{DDL} から V_{DDH} へ変換することで、貫通電流を抑制しつつ信号を伝搬することができる [7]。しかし、レベルシフタを過剰に挿入すると、回路面積や遅延時間、そして消費電力の増大を招く。このため、フリップフロップ (FF: Flip Flop) でのみ電圧変換を行うことを想定した、レベルシフタ機能を有するフリップフロップが提案されている [8]。

2.3.2 サブスレッシュولد領域動作を利用した回路設計

2.3.1 節において、多電源電圧化による低電力化手法について述べた。消費電力を削減するアプローチとしてトランジスタのサブスレッシュولد領域動作を利用した回路設計も有効な手法である。本節では、サブスレッシュولد領域動作を利用した低電力化手法について述べる。

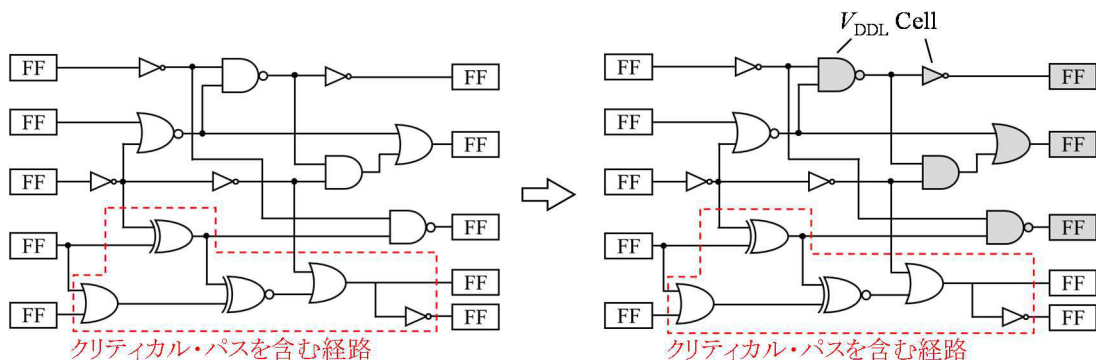


図 2.1 Clustered Voltage Scaling による電源電圧割当ての概要

2.3.2.1 サブスレッショルド・デジタル回路の遅延補正技術

トランジスタをサブスレッショルド領域にて動作させる場合、各トランジスタを流れるドレイン電流は、式 (1.1) で表される。式 (1.1) より、サブスレッショルド領域におけるドレイン電流は、トランジスタのしきい値電圧 V_{th} やゲート・ソース間電圧 V_{GS} 、ドレイン・ソース間電圧 V_{DS} に対して指数関数的に変動する。このため、トランジスタの形状ばらつきや電圧変動によって回路性能が著しく劣化する問題がある。この問題を解決するため、サブスレッショルド領域動作を利用した回路のばらつき補正技術が考案されている。

ここでは、遅延ばらつき補正技術について述べる。デジタル回路のゲート伝播遅延は

$$\tau \approx \frac{C_L V_{DD}}{I_{on}} \quad (2.5)$$

で表すことができる。 C_L は負荷容量、 V_{DD} は電源電圧、そして I_{on} はトランジスタに流れ込む電流をそれぞれ表している。サブスレッショルド領域におけるゲート伝播遅延は、式 (2.5) 中の I_{on} に式 (1.1) で表されるドレイン電流が代入される。そのため、前述したばらつきによってゲート伝播遅延が指数関数的に変動し、所望の回路動作が困難となる。

そこで、サブスレッショルド・デジタル回路の遅延変動を、電源電圧の制御によって補正する手法が提案されている [9]。図 2.2 に遅延ばらつき補正回路のアーキテクチャを、図 2.3 に V_{thp} モニタ回路をそれぞれ示す。本手法は、サブスレッショルド・デジタル回路のしきい値電圧をモニタする回路を電流源回路に付加し、そのモニタ信号をサブスレッショルド・デジタル回路の電源電圧として利用することで、サブスレッショルド・デジタル回路のしきい値電圧変動を補正する手法である。サブスレッショルド・デジタル回路の電源電圧の変動 ΔV_{DD} を

$$\Delta V_{DD} = w \Delta V_{thn} + (1 - w) \Delta V_{thp} \quad (2.7)$$

の式によって近似することで、トランジスタのしきい値電圧の変動と関連付ける。ここで、 V_{thn} は nMOSFET のしきい値電圧、 V_{thp} は pMOSFET のしきい値電圧、 w は重みである。式 (2.7) より、 $V_{thp} > V_{thn}$ であるとき、 ΔV_{DD} は ΔV_{thp} によって決定される。 ΔV_{thp} モニタ回路に流れる I_{REF} が ΔV_{thp} に応じて変動することで、トランジスタのしきい値電圧変動に対応した電源電圧を供給することが可能となる。試作チップに対する実測

評価結果より、遅延補正回路を付加することで、 $-20^{\circ}\text{C} \sim 100^{\circ}\text{C}$ における 51 段のリング発振器の発振周波数変動を、 $0.321 \text{ kHz} \sim 212 \text{ kHz}$ から $5.26 \text{ kHz} \sim 19.2 \text{ kHz}$ へと大幅に抑制できることが確認できた。遅延補正技術を利用することで、電源電圧低下にともなう遅延ばらつきを抑制しつつ低電力化を実現できる。

2.3.2.2 DLS (Dynamic Leakage Suppression) ロジックに基づくバッテリーレス Cortex M0+ プロセッサ

本節では、ARM Cortex M0+ プロセッサを DLS (Dynamic Leakage Suppression) ロジックで構築し、低電圧下動作による低電力化手法 [10] について述べる。

次世代型情報化社会において、身の回りの情報を収集・処理するため、センサデ

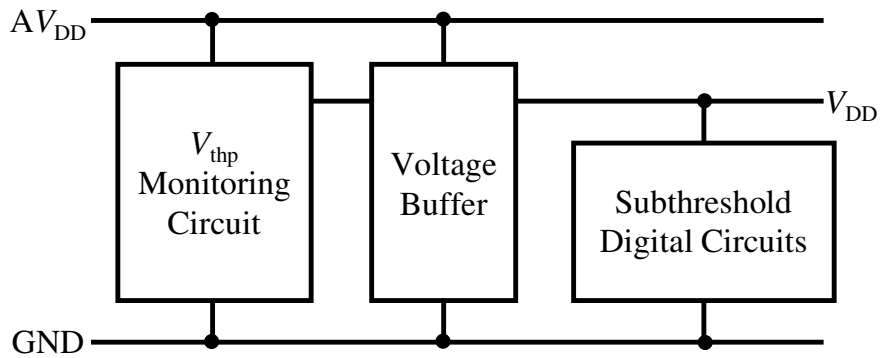


図 2.2 遅延ばらつき補正アーキテクチャ

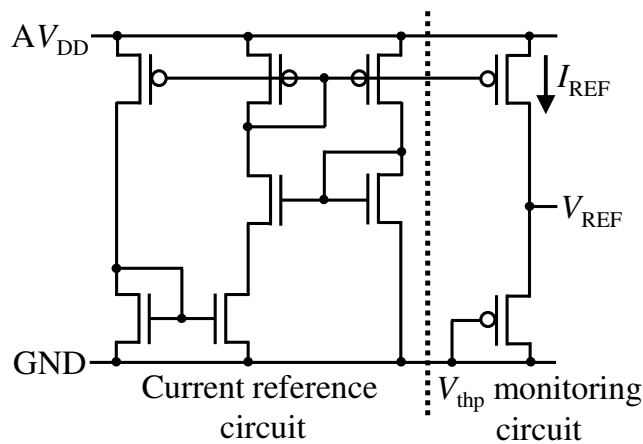


図 2.3 V_{THP} モニタ回路

バイスを環境中に多数設置する必要がある。これらのセンサデバイスでは、センサの動作中はバッテリーから電源を供給し、センサの休止中にハーベスタよりバッテリーの充電を行うシステムが一般的に利用される。そのため、一度のバッテリー充電に対するセンサの駆動時間延長と、バッテリーへの再充電時間の削減が重要となる。しかし、バッテリーには耐用年数と小型化に関して課題がある。

そこで、本節で述べる手法は、バッテリーを利用せずハーベスタより直接給電を行うシステムに注目した。このシステムでは、システムが必要とする電力のみを消費するため、ハーベスタから引き抜く電力を極力抑えることが重要となる。低電力化を実現するため、DLSL (Dynamic Leakage Suppression Logic) を利用した新たな LSI 設計手が提案された。

図 2.4 に DLS インバータを示す。ゲートの出力電圧は、最下段の pMOSFET (M_{PB}) と最上段の nMOSFET (M_{NT}) へフィードバックされ、リーク電流を流すトランジスタを super-cutoff 状態とする。nMOSFET における super-cutoff 状態は、ソース電圧がゲート電圧より高く、ドレイン電流が極めて小さく抑えられた状態を指す。一方、pMOSFET における super-cutoff 状態は、ゲート電圧がソース電圧より高く、nMOSFET と同様にドレイン電流が極めて小さく抑えられた状態を指す。入力端子 $IN = 0$ の時、リーク電流は M_{NB} と M_{PB} に依存する。 M_{PB} のゲートに high レベルが入力されているため、n2 のノードがおおよそ V_{DD} の半分の電位に固定され、 M_{NB} と M_{PB} が super-cutoff となる。 $IN = V_{DD}$ のとき、 M_{NT} と M_{PT} にも同様に super-cutoff 状態となる。

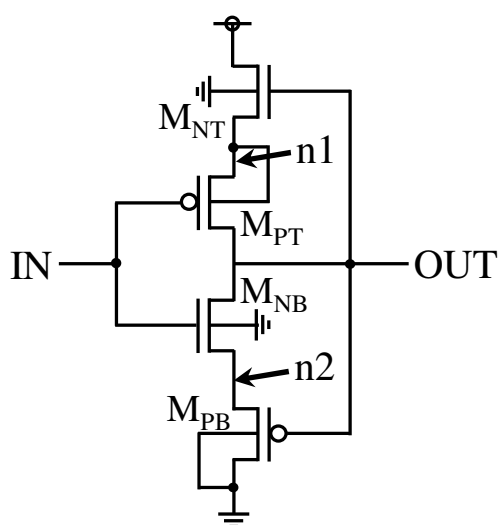


図 2.4 DLSL インバータ

DLSL の動作時、出力端子 OUT は最上段と最下段のトランジスタのリーク電流によって遷移する。入力信号が 0 V から V_{DD} へと遷移すると、 M_{NB} が super-cutoff 状態から weak-inversion 状態へと変化し、n2 ノードの電位が出力端子と同電位となるように動作する。これには以下の2つの効果がある。

- 1) M_{PB} が super-cutoff から通常のカットオフバイアス点へと変化する。
- 2) M_{NB} が n2 ノードの電位を引き上げることで、出力は放電を続け、n1 ノードもある程度放電されることで V_{DD} の約半分の電位となる。

これらの効果により、 M_{NT} と M_{PT} が super-cutoff 状態となり、 V_{DD} から OUT へのリーク電流を大幅に削減する。同時に、 M_{PB} から流れるリーク電流によって OUT の放電を継続する。さらに、 M_{NT} と M_{PT} のリークを抑制することで、出力端子の放電を促進する。super-cutoff 効果により、DLSL はヒステリシスを有し、標準的な CMOS インバータと比較して、スタティック・ノイズマージンが 1.45 倍となった。

0.4 V において、DLSL は nMOSFET と pMOSFET をそれぞれ 2 直列接続したインバータと比較して、リーク電力を 320 分の一に抑制することができる。これは、DLSL では super-cutoff 機構が 2 つの直列接続されたトランジスタで構成されることと、super-cutoff トランジスタが相補的な性質の nMOSFET と pMOSFET で構成されることで、中間ノードである n1, n2 の電位を V_{DD} の半分の電位に固定することができるためである。また、super-cutoff 状態では、電流のオン/オフ比を大きくすることができ、静的な頑健性を高めることができる。しかし、DLSL はリーク電流で動作させるため、プロセス変動によるしきい値変動に敏感に反応する。そのため、回路を構成するトランジスタのサイジングが重要となる。

本手法では、DLSL を利用したスタンダード・セルライブラリを作成し、このセルライブラリによって 32 bit RISC ARM Cortex M0+ プロセッサを構築、試作が行われた。試作チップの実測による評価の結果、最低動作可能電圧は 0.16 V ととなり、 0.55 V において消費電力が最小の 295 pW となった。さらに、 0.09 mm^2 のシリコン太陽電池からの直接給電によって動作することを確認した。この時の電源電圧は 0.32 V 、動作周波数は 12 Hz 、消費電力は 970 pW となった。従来の低電圧デジタルシステムと比較して、1 ゲート当たりの動作電力を $1/80$ に抑制した。

DLSL を利用することで、pW オーダの低電力で動作可能となる。しかし、動作速度が極めて低速であるため、適用可能なアプリケーションが限られると考える。

2.3.2.3 非同期式回路方式の利用

サブスレッショルド領域動作へ適した回路構成手法として、非同期式回路方式がある [11]。非同期式回路方式では、同期式回路方式において回路ブロック間のタイミングを制御するグローバル・クロックを必要とせず、各回路ブロックが処理完了の信号を互いに通信することでデータの受け渡しを行う。非同期式回路方式では実遅延で回路が動作するため、タイミング制約違反を考慮することなく電源電圧を低減することが可能となり、低電力化を実現できる。非同期式回路方式に関する詳細については第 5 章で述べる。

2.4 結言

本章では、現在 LSI の低電力化に有効とされている回路設計技術について述べた。これまでのプロセス微細化により、高性能化および低電力化を実現してきたトランジスタは、消費電力の増加問題をはじめとする様々な問題が顕在化し、今後従来通りのプロセス微細化を継続することが困難となっている。デバイス製造技術の変遷として、これまでの 2 次元構造から FinFET や 3 次元積層 LSI のような立体構造トランジスタへと変化する動きがある。しかし、現行のバルク MOSFET からの移行を考慮すると、これまでの設計フローや回路モデルを利用できるようなデバイスが必要となる。従来のバルク MOSFET に代わる新たなトランジスタの開発だけではなく、回路設計の面においても革新的な設計技術を確立することは急務となっている。低電力化において重要となる回路設計技術としては、回路を構成するトランジスタのパラメータを最適化するだけでなく、電源電圧や動作周波数、しきい値電圧といった各種パラメータを LSI の動作状況に合わせて動的に変化させる方式が有力視されている。さらに、電源電圧をトランジスタのしきい値電圧以下とするトランジスタのサブスレッショルド領域動作の利用により、極低電力化の実現が可能となる。これらの回路設計技術は、プロセス技術やトランジスタ構造に依存せず適用できる。デバイスの特性を適切に利用することでプロセス技術と回路設計技術の相乗効果を得ることができ、よって本研究では、低電源電圧動作に適した回路構成をトランジスタ・レベルやアーキテクチャ・レベルで考案し、LSI の低電力化を目的とする。

参考文献

- [1] D. Hisamoto, W. C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, T. J. King, J. Bokor, and C. Hu, "A folded-channel MOSFET for deep-sub-tenth micron era," IEDM Tech. Dig., pp. 1032-1034, Dec. 1998.
- [2] International Technology Roadmap for Semiconductor 2006 update edition.
- [3] 榎本忠儀, CMOS 集積回路, 培風館, 1996.
- [4] T. Sakurai and A. R. Newton, "Alpha Power Law MOSFET Model and its Applications to CMOS Inverter Delay and other formulas," IEEE Journal of Solid-State Circuits, vol.25, no. 2, pp. 584-594, Apr. 1990.
- [5] K. Usami, and M. Horowitz, "Clustered voltage scaling technique for low-power design," Proceedings of 1995 International Symposium on Low Power Design, pp. 3-8, Apr. 1995.
- [6] M. Hamada, M. Takahashi, H. Arakida, A. Chiba, T. Terazawa, T. Ishikawa, M. Kanazawa, M. Igarashi, and K. Usami, "A top-down low power design technique using clustered voltage scaling with variable supply-voltage scheme," Proceedings of IEEE Custom Integrated Circuits Conference, pp. 495-498, May 1998.
- [7] K. Usami, K. Nogami, M. Igarashi, F. Minami, Y. Kawasaki, T. Ishikawa, M. Kanazawa, T. Aoki, M. Takano, C. Mizuno, M. Ichida, S. Sonoda, M. Takahashi, and N. Hatanaka, "Automated low-power technique exploiting multiple supply voltages applied to a media processor," in Proceedings of IEEE Custom Integrated Circuits Conference, pp. 131-134, May 1997.
- [8] M. Takahashi, M. Hamada, T. Nishikawa, H. Arakida, T. Fujita, F. Hatori, S. Mita, K. Suzuki, A. Chiba, T. Terazawa, F. Sano, Y. Watanabe, K. Usami, M. Igarashi, T. Ishikawa, M. Kanazawa, and T. Kuroda, "A 60-mW MPEG4 video codec using clustered voltage scaling with variable supply-voltage scheme," IEEE Journal of Solid-State Circuits, vol. 33, no. 11, pp. 1772-1780, Nov. 1998.
- [9] Y. Osaki, T. Hirose, K. Matsumoto, N. Kuroki, and M. Numa, "Robust sub-threshold CMOS digital circuit design with on-chip adaptive supply voltage scaling technique," IEICE Trans. Electron., vol.E94-C, no.1, pp. 80-88, Jan.

2011.

- [10] W. Lim, I. Lee, D. Sylvester, and D. Blaauw, "Batteryless sub-nW Cortex-M0+ processor with dynamic leakage-suppression logic," IEEE International Solid-State Circuits Conference (ISSCC), pp. 1-3, 2015.
- [11] Chris J. Myers, 米田友洋, 非同期式回路の設計, 共立出版株式会社, 2003.

第 3 章

乗算器における桁上げ吸収回路の低電力化手法

3.1 緒言

本章では、乗算器において、部分積加算回路の出力信号間に生じる遅延差を考慮した回路構成を適用することにより、桁上げ吸収回路の低消費電力化を図る手法を提案する。

一般に乗算器は、部分積生成部、部分積加算部、そして桁上げ吸収部から成り立っている。最終段となる桁上げ吸収回路は、乗算器のクリティカル・パスを決定する回路となるため、高速動作可能な回路構成の適用が一般的である。しかし、部分積加算回路からの出力信号間に生じる遅延を考慮せずにすべてのビットに対して高速動作をさせると、回路規模の増大や、不要な信号遷移のために消費電力が増大する問題が生じる。そこで、桁上げ吸収回路への各入力信号間に生じる遅延の特徴に着目し、入力信号間に生じる遅延を考慮した回路構成を適用することで、従来回路と同等の動作速度を確保しながら桁上げ吸収回路の低電力化手法を提案する。提案手法では、含まれる遅延によって 32 bit の桁上げ吸収回路を下位ビット、中間ビット、上位ビットの三つのブロックに分割し、それぞれのブロックにおいて生じる遅延の特徴に適した回路構成を適用する。

本章の構成は以下の通りである。まず 3.2 節で乗算器の回路構成と動作について述べた後、3.3 節で全加算器の特徴を示し、3.4 節で加算回路の種類について説明する。そして、3.5 節で従来の桁上げ吸収回路の問題点とその対策について述べ、問題点を改善するための桁上げ吸収回路のアーキテクチャを提案する。3.6 節では、回路シミュレーションによって回路性能、電力削減効果について評価する。最後に、3.7 節で本章のまとめを述べる。

3.2 乗算器の構成と動作

N bit \times N bit の乗算において、 N bit の被乗数 X 、乗数 Y は、

$$X = \sum_{i=0}^{N-1} x_i 2^i = x_{N-1} \cdots x_1 x_0 \quad (3.1)$$

$$Y = \sum_{j=0}^{N-1} y_j 2^j = y_{N-1} \cdots y_1 y_0 \quad (3.2)$$

と表され、2数の乗算結果である積 S は、

$$S = X \cdot Y = \sum_{j=0}^{N-1} \left(\sum_{i=0}^{N-1} p_{ij} \cdot 2^{i+j} \right) \quad (3.3)$$

と表すことができる [1]。乗算の例として、図 3.1 に 4 bit \times 4 bit の乗算を示す。乗数 Y の最下位ビット y_0 と被乗数 X の積より、部分積 0 が算出される。同様の処理で y_1 、 y_2 、 y_3 と被乗数 X から、部分積 1、部分積 2、部分積 3 が算出される。部分積 0～部分積 3 を各ビットで足し合わせることで、積 S を算出する。

図 3.2 に基本的な乗算器の構成を示す。乗算器は、部分積生成部、部分積加算

	x_3	x_2	x_1	x_0	被乗数 X			
×)	y_3	y_2	y_1	y_0	乗数 Y			
	p_{30}	p_{20}	p_{10}	p_{00}	部分積 0			
	p_{31}	p_{21}	p_{11}	p_{01}	部分積 1			
	p_{32}	p_{22}	p_{12}	p_{02}	部分積 2			
+)	p_{33}	p_{23}	p_{13}	p_{03}	部分積 3			
s_7	s_6	s_5	s_4	s_3	s_2	s_1	s_0	積 S

図 3.1 4 bit \times 4 bit の乗算

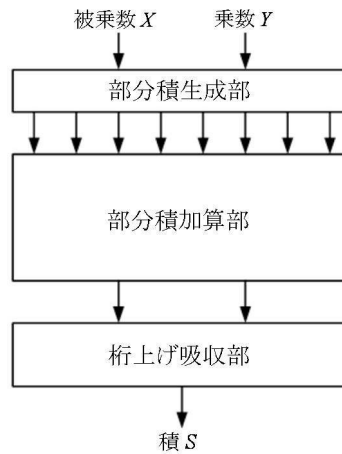


図 3.2 基本的な乗算器の構成

部,そして桁上げ吸収部で構成される。部分積生成部では,AND ゲートの並列演算によって部分積 p_{ij} を求める。部分積加算部では部分積生成部で求めた p_{ij} を全加算器によって足し合わせ,各ビットの和信号と,次桁ビットへの桁上げ信号を生成する。桁上げ吸収部において,部分積加算部で圧縮された和信号と桁上げ信号の最終的な加算を行い,積 S が求まる。部分積加算部において多数の論理ゲートを通過した信号と,最下位ビットから伝搬してきた桁上げ信号が足し合わされる可能性があるため,この桁上げ吸収部が乗算器のクリティカル・パスとなる。そのため,桁上げ吸収回路については,電力・面積を犠牲にしても,高速動作する加算回路を用いることが一般的であった。しかし,近年ではデバイスの低消費電力化の動きにともない,動作速度の維持と低消費電力化に関するトレード・オフが課題となっている。また,乗算器内部における部分積加算部から桁上げ吸収部への出力信号には,ビットごとに異なる遅延が生じる。これにより,入力信号の到達にずれが生じ,1 bit 加算器において,入力信号が同時に到達した場合と比較して,出力信号の遷移回数が増加する場合がある。この不要な信号遷移を原因とする,消費電力の増大が問題となっている。

3.3 全加算器の構成と動作

加算器は,多くのデジタル集積回路で必要とされる論理回路である。乗算器においては,部分積加算回路および桁上げ吸収回路に用いられている。本節では,全加算器の基本的な回路構成とその動作について述べる。

3.3.1 全加算器の基本構成

全加算器は,被加算数 A , 加数 B および下位ビットからの桁上げ信号 C_i の 3 入力をもとに,和信号 S と上位ビットへの桁上げ信号 C_o を出力する [2]。下位の桁上げ信号を上位の桁上げ入力に接続することにより,任意の桁数の 2 進数の加算が可能となる。図 3.3 に示すように全加算器は,2 個の半加算器(HA: Half Adder)と 1 個の OR ゲートから構成することができる。

全加算器の出力 S は,表 3.1 に示す真理値表より

$$S = \bar{A} \cdot B \cdot \bar{C}_i + A \cdot \bar{B} \cdot \bar{C}_i + \bar{A} \cdot \bar{B} \cdot C_i + A \cdot B \cdot C_i \quad (3.4)$$

または,

$$S = A \oplus B \oplus C_i \quad (3.5)$$

表 3.1 全加算器の真理値表

A	B	C_i	C_o	S
0	0	0	0	0
0	1	0	0	1
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0
1	0	1	1	0
1	1	1	1	1

と表される。

一方、出力 C_o は

$$C_o = A \cdot B + (A \oplus B) \cdot C_i \quad (3.6)$$

と表すことができる。以上のようにして、2進数1桁に対応した加算を行う。

3.3.2 全加算器の回路構成

全加算器の代表例として、28個のトランジスタからなる T28 Adder について、その構成を述べる。図 3.4 に示すように、T28 Adder は nMOS と pMOS が対称的に配置された全加算器である。このように CMOS 複合ゲートで構成することで、図 3.3 に示した論理ゲート構成よりもトランジスタ数を削減することが可能となる。加算機能が対称的であるために、より規則正しいレイアウトを実現可能である。

基本的な動作は CMOS 回路の動作に従っている。この回路構成では、各入力から C_o までに通過するトランジスタ数よりも、 S までに通過するトランジスタ数の方が多

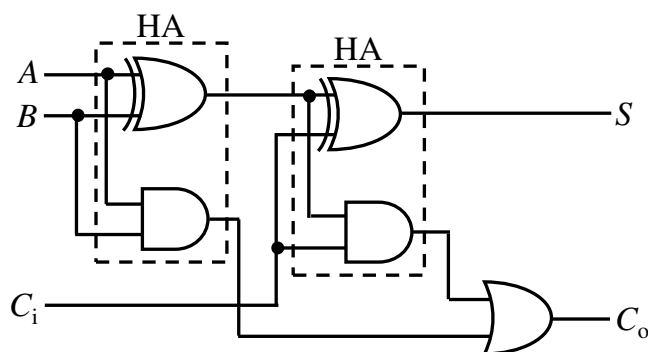


図 3.3 全加算器の論理ゲート表現

い。そのため、 C_0 と比べて S の算出に要する遅延が増加する。しかし、RCA (Ripple Carry Adder)の構成にT28 Adderを利用する場合は、 C_i からの信号が C_0 へ伝搬する際に多くの加算器を通過するため、 S の遅延は重要ではなくなる [1]。

3.4 加算回路の種類

加算回路に関して、これまで多くのアーキテクチャが提案されてきた [2]。それぞれの加算回路には遅延時間、消費電力、面積などにトレード・オフの関係があり、用途に合わせて使い分けられている。本節では、本研究で利用する加算回路の構成とその動作について述べる。

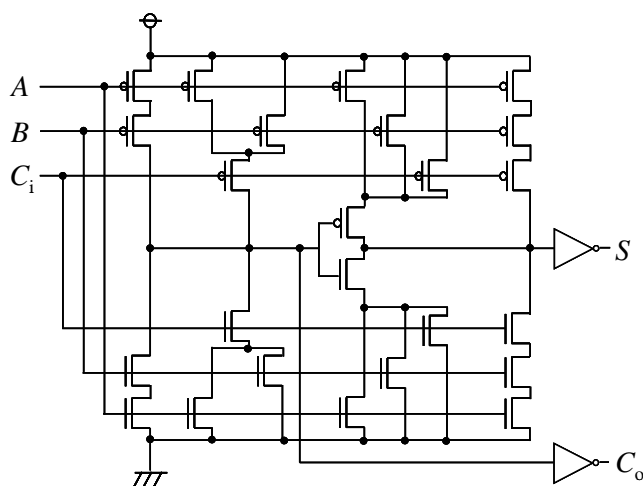


図 3.4 T28 Adder の構成

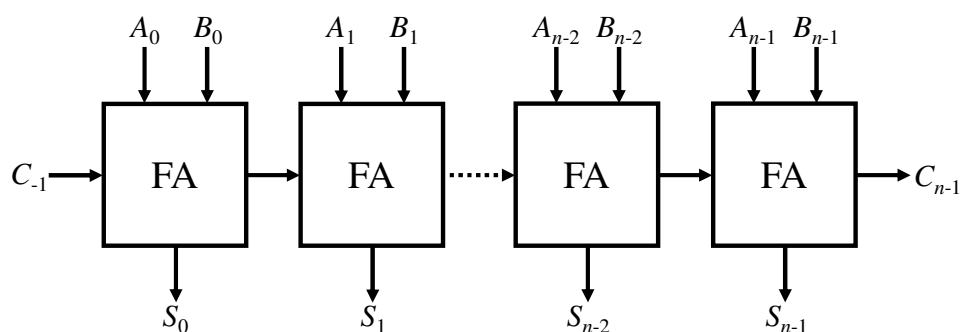


図 3.5 RCA の構成

3.4.1 RCA (Ripple Carry Adder) の構成と動作

RCA (Ripple Carry Adder) の構成を図 3.5 に示す [1]。RCA は、1 bit 全加算器を任意のビット数に対応して多段接続した加算回路である。RCA では、下位ビットの演算結果が順番に上位ビットへ伝搬するため、下位ビットでの演算が完了するまで桁上げ信号が定まらず、遅延が増加する。1 bit 全加算器を多段に接続しているため、 n bit RCA の場合、最上位の桁上げ信号の生成に必要な段数は n 段となる。

3.4.2 CLA (Carry Lookahead Adder) の構成と動作

CLA (Carry Lookahead Adder) の論理ゲート表現を図 3.6 に示す [3]。各ビットの入力 A_i, B_i から、桁上げ伝搬信号 P_i と桁上げ生成信号 G_i を求める。 P_i 信号は前段からの桁上げ伝搬の有無を判断する信号で、 G_i 信号は後段への桁上げ発生の有無を判断する信号である。桁上げ伝搬信号 P_i 、桁上げ生成信号 G_i は、

$$P_i = A_i \oplus B_i \quad (3.7)$$

$$G_i = A_i \cdot B_i \quad (3.8)$$

と表され、1 段目の XOR ゲート、AND ゲートによって生成される。生成された P_i, G_i は、下位からの桁上げ信号 C_{i-1} とともに、全ての桁上げ先見発生回路に入力される。また、 C_0 は

$$C_0 = G_0 + P_0 \cdot C_{-1} \quad (3.9)$$

と表せる。 A_0, B_0, C_{-1} は与えられているので、 C_0 はただちに求まる。また、 S_0 も式

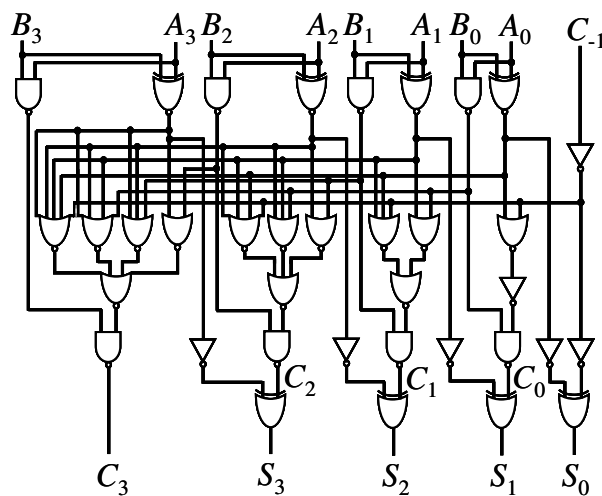


図 3.6 CLA の論理ゲート表現

(3.5) より求まる。

同様に, n ビット目への桁上げ信号 C_{n-1} は

$$\begin{aligned}
 C_{n-1} = & G_{n-1} \\
 & + P_{n-1} \cdot G_{n-2} \\
 & + P_{n-1} \cdot P_{n-2} \cdot G_{n-3} \\
 & \dots \\
 & + P_{n-1} \cdot P_{n-2} \cdot P_{n-3} \cdots P_2 \cdot P_1 \cdot G_0 \\
 & + P_{n-1} \cdot P_{n-2} \cdot P_{n-3} \cdots P_2 \cdot P_1 \cdot P_0 \cdot C_{-1} \quad (3.10)
 \end{aligned}$$

と表される。 $A_i, B_i (i = 0 \cdots n-1)$ と C_{-1} は最初から与えられているので, C_{n-1} は信号が入力された段階で求まる [2]。これにより, 全ての桁上げ信号を並列に生成できる。図 3.6 に示すように, n bit CLA の桁上げ信号 C_{n-1} の生成に必要な論理ゲート段数は, n の値に関わらず 4 段となる。しかし, 上位ビットになるにつれて多入力ゲートの入力数が増加するため, 上位ビットの桁上げ信号生成遅延が増大するという問題点がある。また, 高速演算が可能となる反面, 素子数増加のために消費電力が増大することも問題となる。

3.4.3 Kogge-Stone Parallel Prefix Adder の構成と動作

Parallel Prefix Adder の一般的な回路構成を図 3.7 に示す [1]。まず, 前段で各ビットの入力 A_i, B_i によって P_i, G_i を求める。そして, 中段で各ビットへの桁上げを計算し, 最終段で桁上げを考慮した和 S_i を求める。桁上げ伝搬信号 P_i , 桁上げ生成信

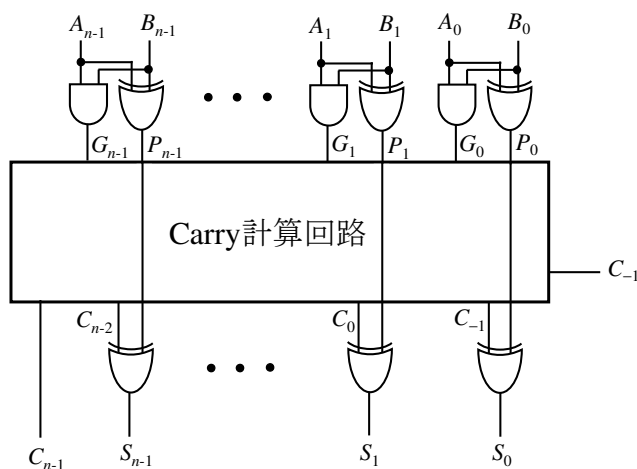
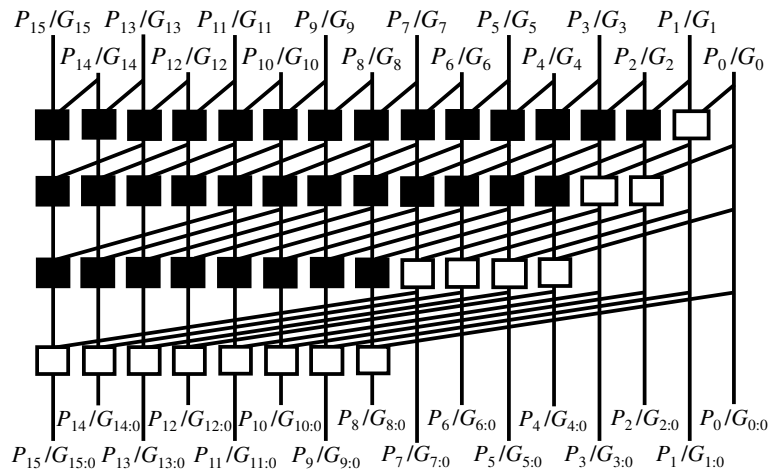


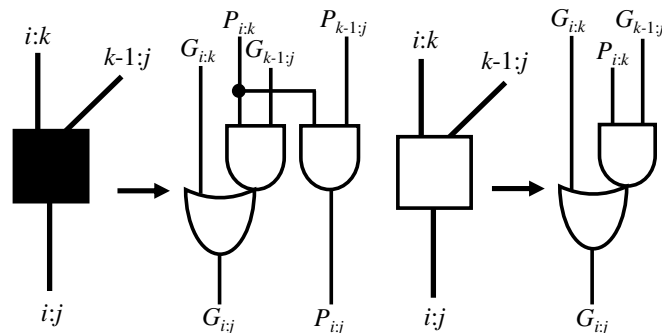
図 3.7 Parallel Prefix Adder の構成

号 G_i は、3.4.2 節の式 (3.7) , 式 (3.8) と同様に表すことができる。 $G_i = 1$ のとき桁上げが発生し、 $P_i = 1$ のときに下位からの桁上げを伝搬させる。 P_i, G_i 信号は、信号が入力された時点ですべての桁で並列に計算できる。このように、桁上げを並列に計算する加算回路を総称して、Parallel Prefix Adder と呼ぶ。

Parallel Prefix Adder の一例として、Kogge-Stone Parallel Prefix Adder (Kogge-Stone) の Carry 計算回路を図 3.8 (a) に示す [4]。Kogge-Stone は Parallel Prefix Adder の一種であり、桁上げ信号生成に必要な段数は $\log_2 n$ に抑えることができる。その一方で、構成するトランジスタ数が多いため、RCA や CLA と比較して面積や電力が増加する。各セルの内部構成を図 3.8 (b) に示す。白色のセルは、そのビットの桁上げ伝搬信号 $P_{i:k}$ と下位ビットからの桁上げ生成信号 $G_{k-1:j}$ の AND をとり、その信号とそのビットの桁上げ生成信号 $G_{i:k}$ の OR をとることで、次段への桁上げ生成信



(a) Carry 計算回路



(b) 各セルの内部構成

図 3.8 Kogge-Stone Parallel Prefix Adder

号 G_{ij} を生成する。一方、黒色のセルは、そのビットの桁上げ伝搬信号 P_{ik} と下位ビットからの桁上げ伝搬信号 $P_{k-1,j}$ の AND をとり、次段への桁上げ伝搬信号 P_{ij} と、ピンク色のセルにおける桁上げ生成信号 G_{ij} を生成する。

3.4.4 APPNA (Alternative Parallel Prefix Adder) の構成と動作

APPNA (Alternative Parallel Prefix Adder) の論理表現を図 3.9 に示す [5]。APPNA は、CLA の欠点であった、ビット数が増加するにつれ桁上げ先見発生回路が多入力となり、高速性の維持が困難となる問題を解消する回路である。各ビットの桁上げ先見発生回路に同じ入力の項目が存在することに着目し、同じ項目を各ビットで共有することによって、ビット数の増加にともなうファンアウトの増加を抑制する加算回路である。

3.4.5 Carry Bypass Adder の構成と動作

CBA (Carry Bypass Adder) の構成を図 3.10 に示す [6], [7]。CBA は、着目するビットにおける入力信号の組合せによって、下位ビットからの桁上げ信号を全加算器を通過することなく上位のビットに伝搬させる加算回路である。たとえば、図 3.10 において $P_{0:3}$ がすべて 1 となる場合は、上位のビットに桁上げ信号 C_{-1} を伝搬させる。 $P_{0:3}$ のうち一つでも 0 となる場合は、各全加算器で生じる桁上げ信号を上位のビ

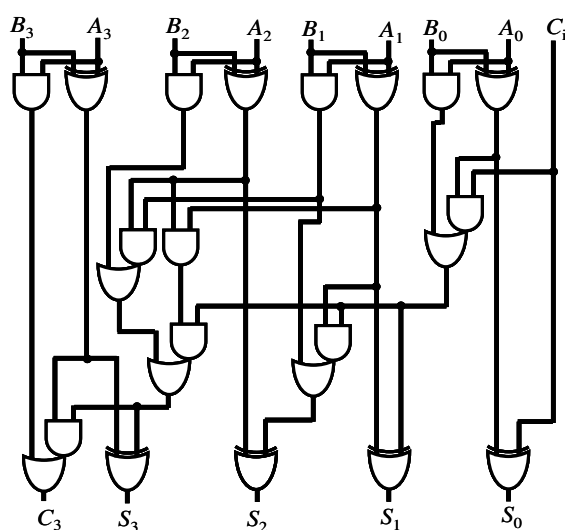


図 3.9 4 bit APPNA の論理表現

ットに伝搬させる。これにより、着目するビット全てを桁上げ信号が伝搬する場合でも、加算器を次々に通過して演算する必要がなくなり遅延増加を抑制することが可能となる。MUX の制御に入力信号の XOR 演算結果を利用するため、回路中に XOR の構造をもたない全加算器の場合、制御回路として着目するビット数分の XOR ゲートを付加する必要がある。そのため、付加回路分の消費電力増加が問題となる。

3.5 入力信号間の遅延差を考慮した桁上げ吸収回路の低電力化手法

本節では、従来の桁上げ吸収回路に生じる問題について述べ、その問題点を解決する回路構成を提案する。

3.5.1 入力信号間に生じる遅延

乗算器は、3.2 節で述べたように部分積生成部、部分積加算部、そして桁上げ吸収部で構成される。クリティカル・パス上の演算において、桁上げ吸収回路は下位ビットから上位ビットにかけて順番に演算を行うため、演算速度がクリティカル・パスの遅延に大きな影響を及ぼす。そこで、従来の桁上げ吸収回路には、CLA や APPNA のような高速動作が可能な加算回路が用いられてきた [2]。加算木構成の部分積加算回路は、ビット位置によって異なる段数の加算器を多段に接続した構成となる。そのため、桁上げ吸収回路への入力信号には図 3.11 に示すように、ビットごとに異なる遅延が生じる。16 bit 乗算器において、部分積加算の結果得られる 32 bit データの場合、13 bit 付近まではビット位置に対して線形に遅延が増加し、13 bit から 24

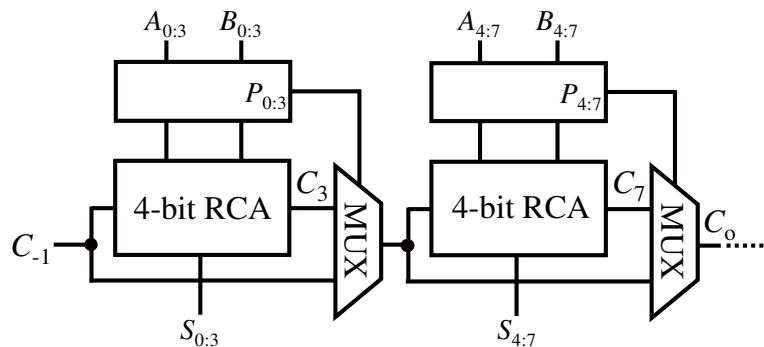


図 3.10 Carry Bypass Adder (CBA) の構成

bit 付近まではほぼ横ばいとなっている。そして、24 bit から 31 bit にかけて緩やかに遅延が減少している。次節以降で、入力信号間に生じる遅延差の影響を抑制する回路構成を提案する。

3.5.2 入力信号の遅延への対応

入力信号間に生じる遅延を考慮したアーキテクチャを構成するアプローチとして、まず、桁上げ吸収部をビット位置によって三つのブロックに分割し、それぞれ

- a) 下位ビット部 (bit 0 ~ 12)
- b) 中間ビット部 (bit 13 ~ 24)
- c) 上位ビット部 (bit 25 ~ 31)

とする。これらのビット位置について適した回路構成を検討する。

- a) 下位ビット部 (bit 0 ~ 12)

桁上げ吸収回路の下位ビット部への入力信号を生成する部分積加算回路の段数が、上位のビットへ近づくにつれて増加する。そのため、下位ビット部への入力信号間に生じる遅延は、ビット位置に従って線形的に増加する傾向にある。また、中間ビット部への入力信号間に生じる遅延に比べて、下位ビット部への入力信号間に生じる遅延は小さい。これより、下位ビット部の加算回路は、中間ビット部と比較して高

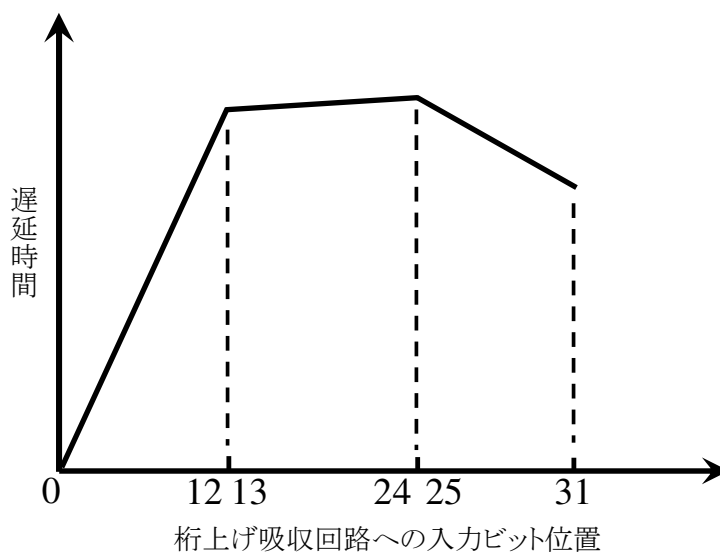


図 3.11 部分積加算部の出力信号に含まれる遅延

速に動作する必要がなく、低消費電力動作する回路構成を適用可能であると考えられる。

b) 中間ビット部 (bit 13 ~ 24)

中間ビット部へは、下位ビットや上位ビットの入力信号間に生じる遅延より大きな遅延が生じた信号が入力されるため、クリティカル・パスとなる可能性が高くなる。したがって、高速動作が可能な加算回路を適用する必要がある。中間ビット部では、入力信号間に生じる遅延が最大となるため、消費電力が増加しても上位ビット部への桁上げ信号を高速に出力できる回路構成が望ましい。

c) 上位ビット部 (bit 25 ~ 31)

上位ビットでは、部分積加算回路の段数が中間ビットよりも少ないため、早く入力信号が到達する。その一方で、中間ビットからの桁上げ信号は入力信号よりも遅く伝搬してくるため、中間ビットからの桁上げ信号の遅延が、回路全体の遅延に影響を及ぼさないような回路構成が必要となる。

3.5.3 入力信号間に生じる遅延を考慮した桁上げ吸収回路

前節での検討をふまえて、各ビット位置に適用する加算回路を以下のように決定した上で、図 3.12 に示す桁上げ吸収回路を提案する。下位ビット部には、動作速度は遅いが消費電力の低い RCA を適用する。下位ビット部への入力信号間に含まれる遅延は、上位のビットへ入力される信号ほど増加する。桁上げ信号が順次伝搬する RCA を用いることで、遅れて到達する入力信号と桁上げ信号をほぼ同じタイミングで後段の加算器へ入力し、演算することが可能となると考えられる。これにより、グ

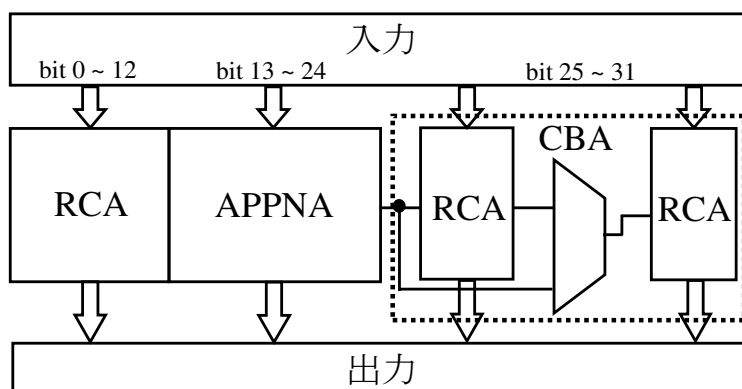


図 3.12 提案する桁上げ吸収回路の構成

表 3.2 中間ビット部に関するシミュレーション結果

加算回路	遅延時間 (ns)	消費電力 (μ W)
12 bit Kogge-Stone	1.78	140.7
12 bit APPNA	1.50	86.4

リッチによる消費電力を抑制できる。

中間ビット部に採用する回路構成の選定にあたり、高速動作が可能な 12 bit Kogge-Stone と 12 bit APPNA についてシミュレーションによる比較を行った結果を表 3.2 に示す。表 3.2 より、12 bit APPNA の遅延時間および消費電力が 12 bit Kogge-Stone と比較して 39% 削減されている。これより、中間ビット部には 12 bit APPNA を採用する。12 bit APPNA は、4 bit APPNA を 3 段接続した構成となる。

そして、上位ビット部では、中間ビット部からの桁上げ信号の伝搬が遅いことと、入力信号間に生じる遅延が中間ビット部に比べ少ないことを考慮し、bit 25 ~ 28 に Carry Bypass 構造を付加した 7 bit CBA が適していると考えられる。CBA は、着目するビットの入力信号の組み合わせによって、下位からの桁上げ信号が加算器を通過することなく、上位に引き渡すことが可能な構造である。そのため、着目するビットすべてを G_i が伝搬する場合でも、加算器を次々に通過することなく最上位ビットに信号を伝搬することができる。したがって、上位ビット部には 7 bit CBA を適用する。

以上より、提案する桁上げ吸収部の構成として、bit 0 ~ bit 12 に RCA, bit 12 ~ bit 24 に APPNA, bit 25 ~ bit 31 に CBA を適用する。

3.6 回路シミュレーションによる評価

本章では、前節で提案した、入力信号に含まれる遅延を考慮した桁上げ吸収回路の低消費電力化手法の効果を、HSPICE を利用した回路シミュレーションにより評価する。

3.6.1 シミュレーション条件と評価項目

提案手法による効果を評価するため、0.18 μ m CMOS プロセスに対応したモデルを用い、HSPICE による回路シミュレーションを行った。電源電圧を 1.8 V とし、32 bit 桁上げ吸収回路を対象として遅延時間、消費電力、そして PD 積に関する評価を行った。図 3.13 に示すように、出力に負荷容量 $C_L = 50$ fF を接続した。入力信号には、

部分積加算回路からの出力信号に含まれる遅延時間を付加した、ランダムな入力パターンを用いた。動作周波数は 25 MHz とした。従来手法の 32 bit 桁上げ吸収回路として図 3.14 に示す 4 bit CLA を 8 段接続した 32 bit CLA を構成し、提案回路は図 3.12 に示す構成とする。シミュレーションの正確性を高めるために、従来回路と提案回路のレイアウト設計を行い、レイアウト・データから抽出した寄生容量・寄生抵抗を付加してシミュレーションを行った。また、面積の評価も行った。

3.6.2 比較評価に関する結果と考察

レイアウトは、0.18 μm CMOS プロセスの設計ルールに従い作成した。作成したレイアウトより、従来回路は 7,622 μm^2 、提案回路は 5,889 μm^2 となり、提案回路では従来回路と比較して面積が 22.7% 削減された。

表 3.3 に桁上げ吸収回路への入力信号に生じる遅延を考慮しない場合と考慮した場合のシミュレーション結果を示す。表 3.3 中の“a. 遅延なし”は入力信号間に遅



図 3.13 シミュレーション対象回路

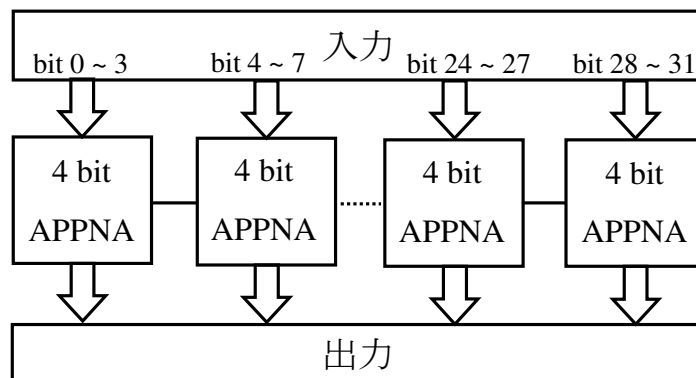


図 3.14 従来型桁上げ吸収回路 (32 bit APPNA) の構成

表 3.3 従来回路と提案回路の比較評価結果

桁上げ吸収回路	遅延時間 (ns)		消費電力 (μW)	
	a. 遅延なし	b. 遅延あり(b - a)	a. 遅延なし	b. 遅延あり(b - a)
従来回路	2.17	3.64(+1.47)	253.2	299.0(+46.8)
提案回路	2.04	3.44(+1.40)	237.5	273.8(+36.3)

延生じる遅延を考慮しない場合のシミュレーション結果を示しており、“b. 遅延あり”は入力信号間に生じる遅延を考慮した場合のシミュレーション結果を示している。“b. 遅延あり”の結果より、提案回路では従来回路と比較して、遅延時間を 5.5%、消費電力を 8.4% 削減できた。この結果、従来回路と比較して PD 積を 13.5% 削減した。

ここで、“a. 遅延なし”と“b. 遅延あり”のシミュレーション結果を比較し、入力信号間に遅延が生じた場合における提案回路の効果について述べる。表 3.3 中の“b - a”で示した結果が、入力信号間に生じる遅延を考慮しない場合と、遅延を考慮した場合の遅延時間と消費電力の変化量である。従来回路の結果に注目すると、入力信号間の遅延を考慮することで、遅延時間が 1.47 ns、消費電力が 46.8 μW それぞれ増加した。一方で提案回路では、遅延時間が 1.40 ns、消費電力が 36.3 μW それぞれ増加した。これは、提案回路を 3 種類の加算回路を組み合わせることで、部分積加算回路によって生じた各入力信号間の遅延に対応させることができたためと考えられる。図 3.15 に各ビット位置における消費電力を示す。図 3.15 より、提案回路の下位ビット部における消費電力の削減率が 15.8% と最も高い。これは、高

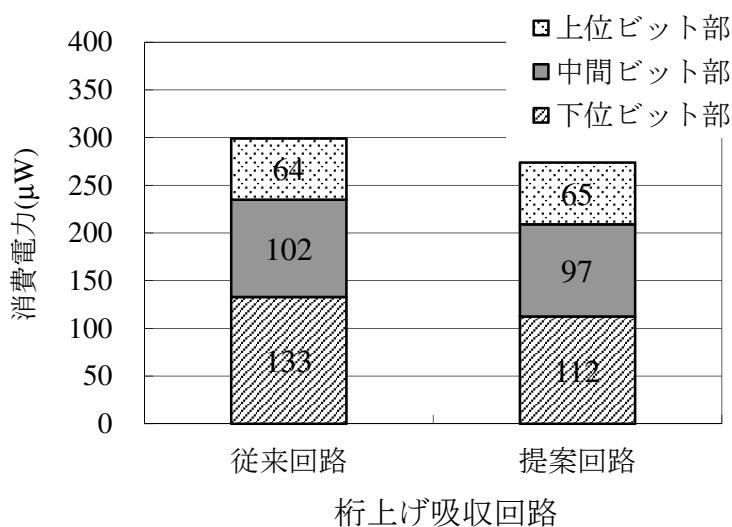


図 3.15 各ビット位置における消費電力

速動作する APPNA の代わりに RCA を利用することで、回路内を伝搬するキャリア信号と入力信号の到達タイミングを揃えることができ、下位ビット部におけるグリッチを削減できたためと考えられる。入力信号間に生じる遅延を考慮しない場合、PD 積の改善率は 11.8% であったが、遅延を考慮した場合は改善率を 13.5% まで高めることができた。

さらに、従来回路と提案回路に関して遅延時間と消費電力、PD 積の電源電圧依存性に関する評価結果について述べる。電源電圧依存性の評価における動作周波数は 1 MHz とした。遅延時間に関する結果を図 3.16 に、消費電力に関する結果を図 3.17 に、PD 積に関する結果を図 3.18 にそれぞれ示す。

図 3.16 より、 $V_{DD} = 0.6 \text{ V}$ までは提案回路と従来回路の遅延時間は同等の値であるが、 $V_{DD} = 0.5 \text{ V}$ において提案回路の遅延時間が、従来回路と比較して 6.8% 増加した。これは、電源電圧がトランジスタのしきい値に近い値となったため、提案回路における RCA の駆動力が低下したことが原因であると考えられる。また、図 3.17 より、すべての電源電圧において提案回路が従来回路と比較して低電力で動作することが確認できる。消費電力の削減率は最大で 9.7% であった。これは、提案回路のアーキテクチャによって、桁上げ吸収回路内のグリッチを削減できたためと考えられる。図 3.18 より、ほとんどの電源電圧において提案回路が従来回路と比較して PD 積を削減できた。PD 積の削減率は最大で 13.0% であった。これは、提案回路

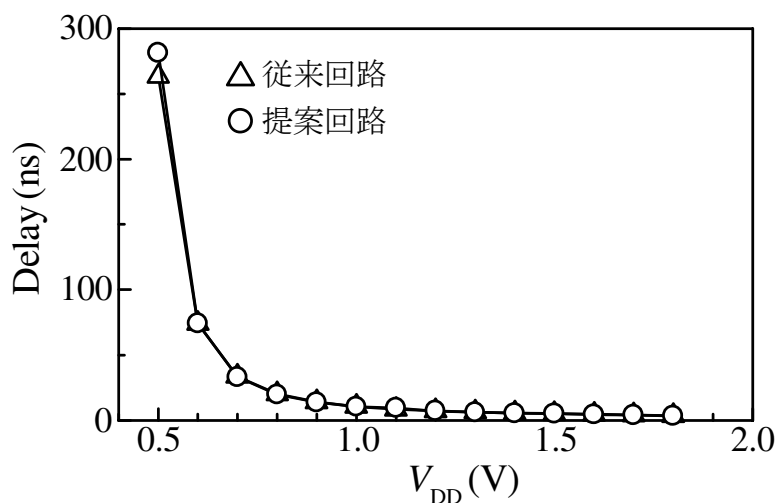


図 3.16 遅延時間の電源電圧依存性

では遅延時間を同程度に抑制しつつ、消費電力を削減できたためと考えられる。以上の結果より、幅広い電源電圧範囲に対する遅延時間と消費電力の削減効果を確認できた。

3.7 結言

本論文では、乗算器において、部分積加算回路からの出力信号間に生じる遅延を考慮した回路構成を適用することにより、桁上げ吸収回路の低消費電力化を図る手法を提案した。入力信号間に生じる遅延によって桁上げ吸収回路を下位ビット部、

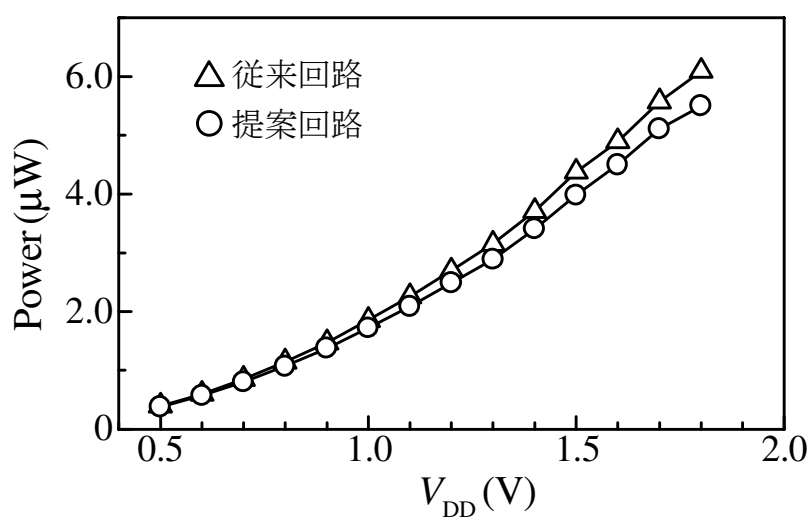


図 3.17 消費電力の電源電圧依存性

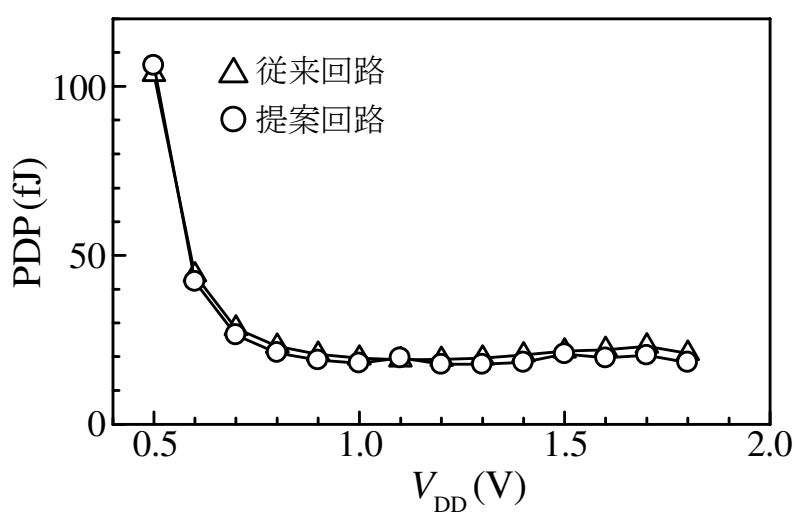


図 3.18 PD 積の電源電圧依存性

中間ビット部, 上位ビット部の 3 つのブロックに分割し, それぞれのブロックに生じる遅延の特徴に適した回路構成を適用した。下位ビット部ではビット位置に対して1次関数的に遅延が増加することから, 桁上げ信号が順次伝搬する RCA を適用した。中間ビット部では他のビット位置と比較して入力信号間に生じる遅延が増加するため高速動作する APPNA を適用した。そして, 上位ビットでは消費電力削減と桁上げ信号生成の高速化を考慮し, CBA を適用した。

本手法の評価にあたり, 提案手法と従来手法に対して, 部分積加算回路からの出力を模したランダムな入力パターンを入力した際の遅延時間, 消費電力, PD 積の比較評価を行った。シミュレーションの結果, 提案手法を用いた場合, 従来手法と比較して遅延時間を 5.5%, 消費電力を 8.4%, PD 積を 13.5% 削減できる効果を確認した。

参考文献

- [1] N. H. E. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, Pearson Education, Inc., 2010.
- [2] 榎本忠儀, *CMOS 集積回路*, 培風館, 1996.
- [3] A. Weinberger and J. Smith, "A logic for high-speed addition," System design of digital computer at the national bureau of standards: methods for high-Speed addition and multiplication," National Bureau of Standards, Circular 591, Section 1, Feb. 1958, pp. 3-12.
- [4] P. Kogge and H. Stone, "A parallel algorithm for the efficient solution of a general class of recurrence equations," *IEEE Trans. Computers*, vol. C-22, no. 8, Aug. 1973, pp. 786-793.
- [5] 鈴木昌治, *デジタル数値演算回路の実用設計*, CQ 出版, 2006.
- [6] C. Morgan and D. Jarvis, "Transistor logic using current switching routing techniques and its application to a fast carry-propagation adder," *Proc. IEE*, vol. 106B, 1959, pp. 467-468.
- [7] M. Lehman and N. Bulra, "Skip technique for high-speed carry-propagation in binary arithmetic units," *IRE Trans. Electronic Computers*, vol. 10, Dec. 1961, pp. 691-698.

第 4 章

デジタル CMOS LSI の低電圧動作に向けた 要素回路の低電力化手法

4.1 緒言

本章では、デジタル CMOS LSI の低電圧動作に向けて、要素回路のトランジスタレベルでの低電力回路設計手法を提案する。対象回路は、同期式回路の記憶素子として利用される D フリップフロップ [1] と非同期式回路の記憶素子として利用されると C 素子 [2] とした。D フリップフロップに関しては、NOR ゲートとインバータのみを利用し、従来回路として広く利用されている回路構成と同じトランジスタ数で構成することで、低電源電圧・低消費電力動作を実現する。そして、C 素子に関しては、論理ゲートの出力端子同士が直接接続される wired-OR によって充放電の競合が発生することで、従来回路では動作不可能であった低電源電圧下においても動作可能な回路構成を提案する。

以下、本章ではまず、4.2 節で D フリップフロップ回路の基本構成と動作について述べ、4.3 節で提案する D フリップフロップの回路構成について述べる。そして、4.4 節で提案する D フリップフロップに関して回路シミュレーションによって評価を行い、4.5 節で実測評価の結果を示す。続いて、4.6 節で C 素子の基本構成について述べた後、4.7 節で提案する C 素子の回路構成について述べる。さらに 4.8 節で C 素子について回路シミュレーションによる評価結果を示し、4.9 節でまとめを述べる。

4.2 D フリップフロップの回路構成と動作

本章では、同期式回路方式において記憶素子として利用されている D フリップフロップについて、基本的な回路構成と動作を説明する。

表 4.1 D フリップフロップの真理値表

CK	D	Q
0	x	Q_0
1	x	Q_0
↑	0	0
	1	1

4.2.1 D フリップフロップの基本構成

D フリップフロップは、デジタル LSI システムにおいて入出力レジスタやパイプラインレジスタのような記憶回路や、有限ステートマシンとして広く利用されているため、重要な要素回路となっている [3-6]。D フリップフロップを利用する目的は、現在のデータと直前のデータを切り離すことで、回路の逐次動作を実現することである。D フリップフロップは、図 4.1 に示すように D ラッチを 2 つ直列に接続した構成をしている。初段の D ラッチ回路をマスター・ラッチと呼び、後段の D ラッチ回路をスレーブ・ラッチと呼ぶ。図 4.1 のようにマスター・ラッチとスレーブ・ラッチからなる D フリップフロップをマスター・スレーブ型 D フリップフロップと呼ぶ。

表 4.1 に D フリップフロップ (DFF) の真理値表を示す。表中の記号 x は、値が 0 または 1 のいずれの値も取り得ることを示す。また Q_0 は保持されている出力値を

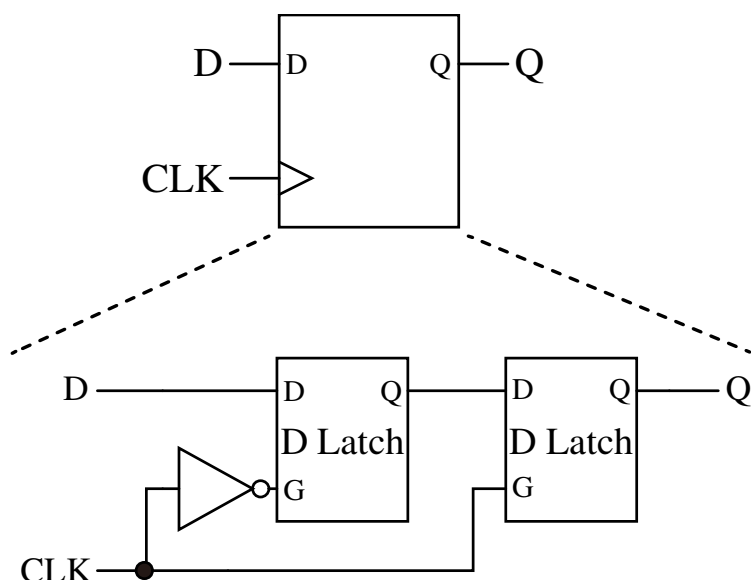


図 4.1 D フリップフロップの基本構成

示す。

クロック信号が“Low”である場合、マスター・ラッチでは入力端子 D から新たなデータを取り込み、スレーブ・ラッチでは直前のデータを保持する。一方、クロック信号が“High”となると、マスター・ラッチにおいて取得したデータをスレーブ・ラッチへと伝播させ、スレーブ・ラッチでは伝播してきたデータを出力端子 Q から出力する。このようにして、クロックの立ち上がりごとにデータの更新を行う。D フリップフロップの動作例として、図 4.2 にタイムチャートを示す $t = 1$ のとき、 CK の立ち上がり直前で $D = 0$ なので $Q = 0$ を出力し、次にクロックが立ち上がる $t = 3$ までは、 Q の値を保持する。 $t = 3$ のとき、 CK の立ち上がり直前で $D = 1$ の状態なので $Q = 1$ を出力し、 $t = 5$ まで Q の値を保持する [7]。以降も同様に動作する。

4.2.2 従来 D フリップフロップの構成

前節において、D フリップフロップの基本構成について述べた。本節では、従来の D フリップフロップの回路構成と動作について述べる。

図 4.3 に NAND ラッチ型 D フリップフロップ (NAND Latch Based D Flip-Flop: NLFF) の構成を示す [1]。NLFF は、図 4.4 に示す NAND ゲートで構成した D ラッチを 2 つ直列に接続した構成となっている。通常、重積するトランジスタ数が増加すると、安定動作のために電源電圧を高くする必要があるが、NLFF は余分にトランジスタを重積する必要のないスタティック CMOS ゲートのみで構成されているため、低電源電圧下において安定に動作することができる。しかし、NLFF はトランジスタを 40 個必要とするため、大面積となり消費電力も増加する問題がある。

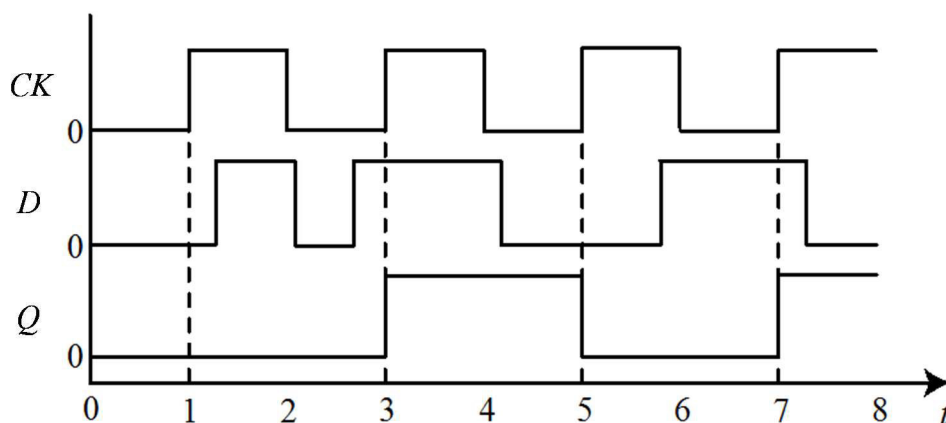


図 4.2 D フリップフロップのタイムチャート

図 4.5 にトランスマッション・ゲート型 D フリップフロップ (Transmission-gate D flip-flop: TGFF) の構成を示す。TGFF は、トランスマッション・ゲート、クロック・インバータおよびインバータで構成される D フリップフロップであり、多くの半導体メーカーのスタンダード・セルライブラリに利用されている [3]。構成に必要なトランジスタ数は 24 個と少なく、小面積で構成することが可能である。しかし、図 4.5 中に示すよう

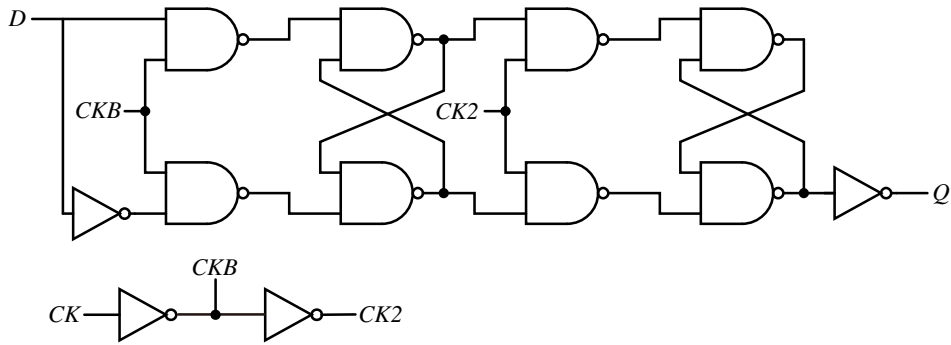


図 4.3 NLFF の回路構成

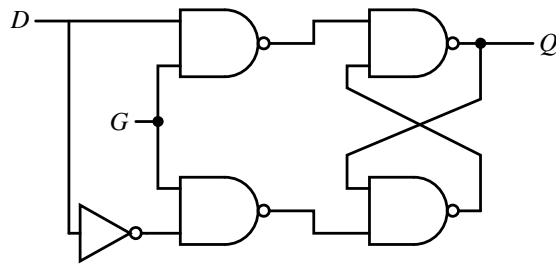


図 4.4 D ラッチの論理表現

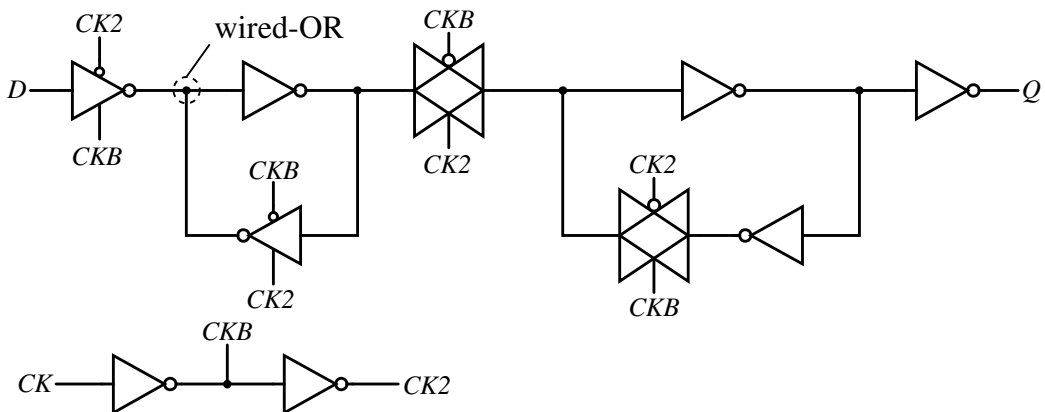


図 4.5 TGFF の回路構成

に入力のクロック・インバータ出力と、マスター・ラッチ内部のクロック・インバータ出力が wired-OR となるため、wired-OR 部分において充放電の競合によるコンテンションが発生し、しきい値電圧以下の極低電源電圧下では、消費電力の増加と動作不良を引き起こす [8-10]。

4.2.3 Contention-less D Flip-Flop の構成

近年、CMOS LSI の低消費電力化に対する要求が高まっており、低電圧で回路を動作させる研究が盛んに行われている。D フリップフロップは、集積回路において最低動作可能電圧を決定する回路である。そのため、低電圧下における D フリップフロップの安定動作が重要となる。従来回路である NLFF と TGFF は、前節で述べた通り低消費電力動作や低電源電圧動作に不向きであることが問題となっている。

図 4.6 に示す Contention-less Flip-Flop (CLFF) が提案されている [8]。CLFF は、マスター・ラッチは NOR で構成され、スレーブ・ラッチは NAND で構成される。以下で CLFF の動作について説明する。

マスター・ラッチの動作に関して述べる。NOR ゲートは、入力信号に 1 が含まれるときに “0” を出力する。したがって、 $CK2$ と CKB が “1” のときに、DB ノードと FB ノードがそれぞれリセットされる。DB ノードについて考えると、 $CK2$ が “0” のとき、NOR ゲートはインバータと同様の動作をするので、 D に入力されたデータ ($D1$) が $D1B$ として DB ノードに取り込まれる。このとき、DB ノードが “ $D1B$ ” であり、FB

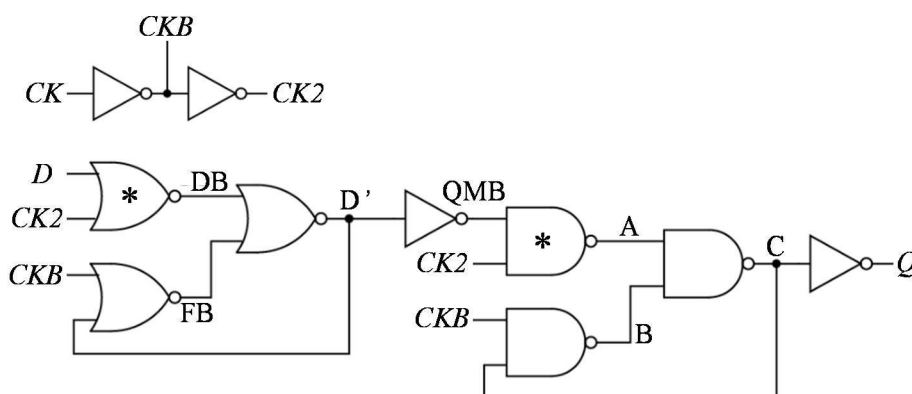


図 4.6 CLFF の回路構成

ノードが“0”なので、D'ノードには“DI”のデータが取り込まれる。

スレーブ・ラッチの動作に関して述べる。NAND ゲートは入力信号に“0”が含まれるとき“1”を出力する。したがって、CK2とCKBが“0”のとき、AノードとBノードがそれぞれ“1”にセットされる。CK2が立ち上がるとNANDゲートはインバータとして動作するため、QMBノードの“DIB”が取り込まれ、Aノードが“DI”となる。このとき、Aノードが“DI”、Bノードが“1”であるため、Cノードは“DIB”となる。以降、この動作を繰り返すことで、データの保持を行う。

この回路ではFBノードにDBノードのデータを取り込む必要があるため、クロックの立ち上がりからDBノードのデータの立ち下がりまで(t_{DB})と、クロックの立ち上がりからFBノードのデータの立ち上がりまで(t_{FB})の間に $t_{DB} > t_{FB}$ の関係が成り立つ必要がある。そこで、このフリップフロップでは、データが入力される NOR と NAND(*のついた NOR, NAND)をそれぞれ図4.7の構成とし、CK2の立ち上がりからDBノードの立ち下がりまでの遅延を増加させることで $t_{DB} > t_{FB}$ を成立させている。

CLFFによって、NLFFと比較して回路規模を削減しTGFFと比較して低電源電圧で動作することが可能となったが、依然として34個のトランジスタを必要とするため、さらなる回路規模の削減が必要となる。

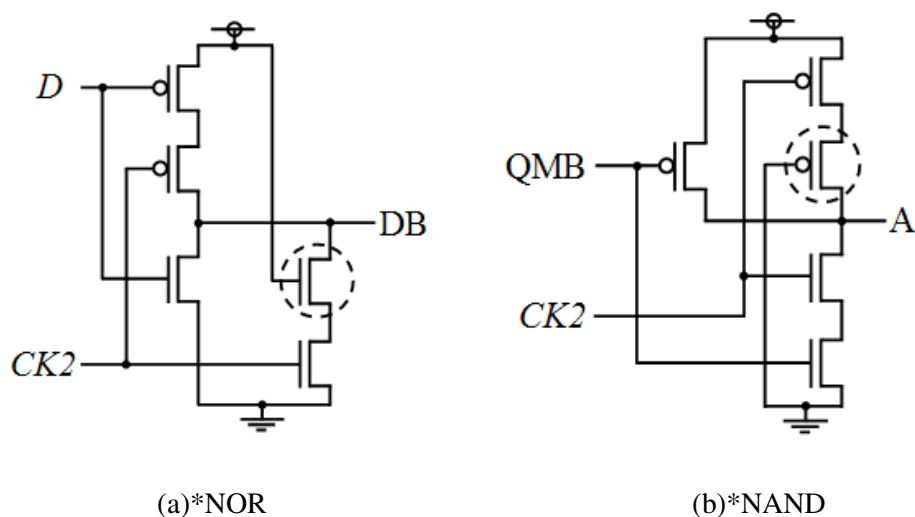


図 4.7 *NOR と*NAND の構成

4.3 Circuit-Shared Static D Flip-Flop の提案

前節で、従回路として 3 種類の D フリップフロップについて述べたが、いずれの回路に関しても、低電源電圧での動作不良、回路規模の増大や消費電力増加の問題が生じている。そこで本節では、低電源電圧および低消費電力動作可能かつ小面積で構成可能な D フリップフロップを提案する。

図 4.8 に、提案する Circuit Shared Static D Flip-Flop (CS²FF) の回路構成を示す。CS²FF は、5 つのスタティック CMOS NOR ゲートと 2 つの CMOS インバータで構成される。以下において、図 4.9 に示す CS²FF のタイミングダイアグラムを利用して、その動作を説明する。

マスター・ラッチの動作に関して述べる。マスター・ラッチは、CK2 の立ち上がりエッジを利用して動作する。入力端子 D, CK2 および CKB がそれぞれ “D0”, “0”, “1” のとき、NOR1 はインバータとして動作し、NOR3 の出力は “0” へとリセットされる。これにより、NOR2 がインバータとして動作するため QM ノードに “D0” としてデータが伝播される。このとき、CK2 と CKB がそれぞれ “1” と “0” へ切り替わると、NOR1 の出力が “0” にリセットされることで、MFB ノードに “D0B” としてデータが保持される。このようにして、NOR2 と NOR3 がマスター・ラッチを形成する。

スレーブ・ラッチの動作に関して述べる。スレーブ・ラッチは CK の立ち下がりエッジを利用して動作する。CK および CKB がそれぞれ “1” と “0” のとき、NOR4 の

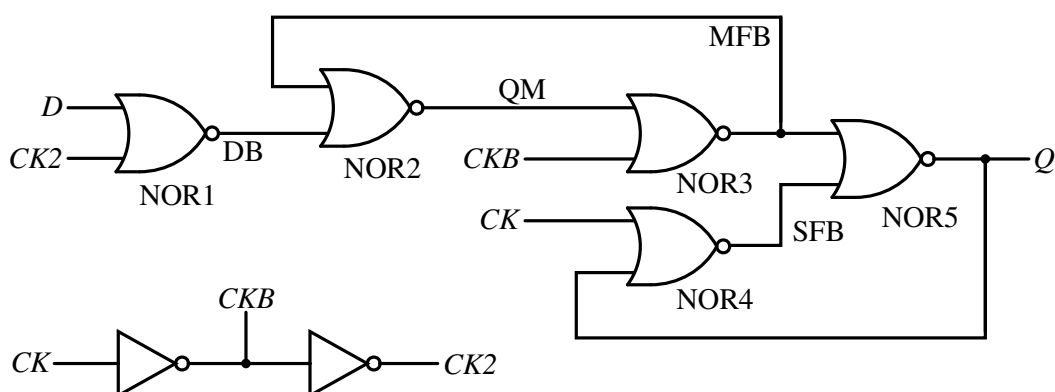


図 4.8 CS²FF の回路構成

出力が“0”へとリセットされ、NOR5がインバータとして動作する。これより、MFBノードに“D0B”として保持されていたデータがQに出力される。このとき、CKとCKBがそれぞれ“0”と“1”に切り替わると、NOR3の出力が“0”にリセットされることで、Qノードに“D0”としてデータが保持される。このようにして、NOR4とNOR5がスレーブ・ラッチを形成する。

4.4 Dフリップフロップに関するシミュレーション評価

本節では、4.2節および4.3節で説明したDフリップフロップに関して、回路シミュレーションを行うことで提案回路の効果を確認する。まず、シミュレーション条件と評価項目を述べた後、各評価結果を示し、考察を行う。

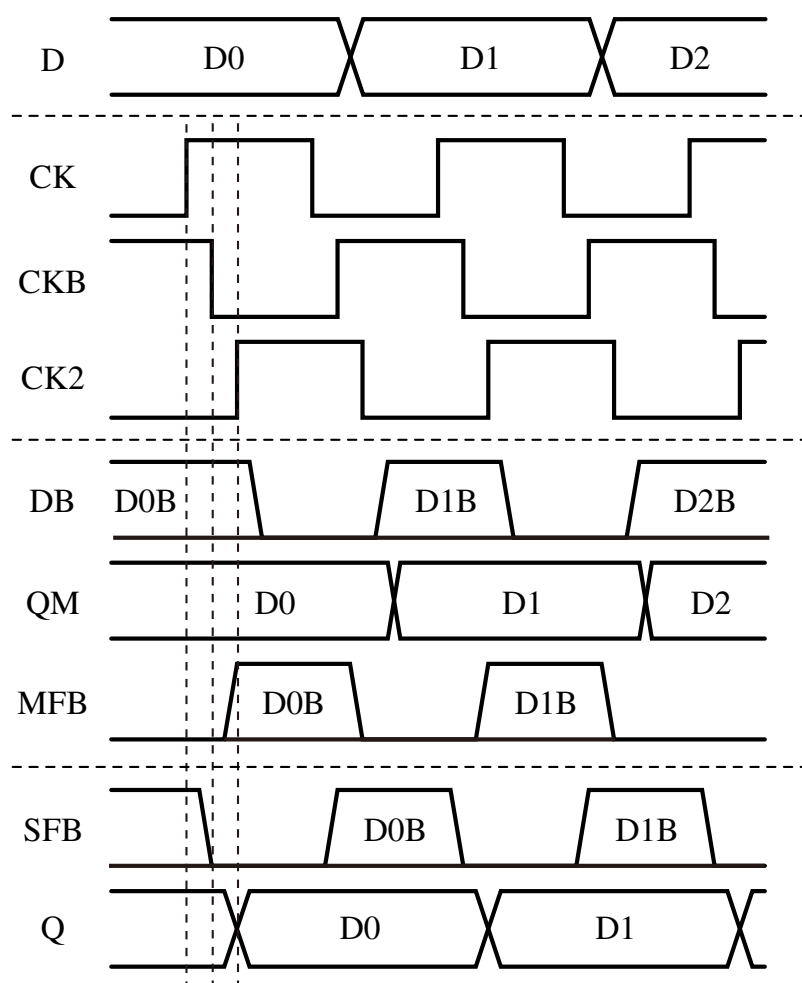


図 4.9 CS²FF のタイムチャート

表 4.2 D フリップフロップに関するシミュレーション結果

DFFs	トランジスタ数	面積 (μm^2)	$t_{\text{CK-Q}}$ (ns)	t_s (ns)	t_H (ns)	消費電力 (nW)
TGFF1	24	41.7	21.3	11.2	4.6	12.8
TGFF2	24	41.7	22.0	10.5	4.5	11.1
NLFF	40	87.8	28.3	13.2	7.6	15.1
CLFF	34	68.1	24.3	9.5	-0.5	12.9
CS ² FF	24	48.3	18.3	10.0	5.5	9.7

4.4.1 シミュレーション条件と評価項目

提案する CS²FF の評価を行うため、0.18 μm CMOS プロセスに対応したトランジスタ・モデルを利用して、SPICE による回路シミュレーションを行った。シミュレーション項目は、面積、消費電力、Clock-to-Q Delay ($t_{\text{CK-Q}}$)、セットアップ・タイム (t_s)、ホールド・タイム (t_H)、そして最低動作可能電圧とする。また、Activity Ratio Test を行い、動作率の変化に対する消費電力の変化について調査した。さらに、モンテカルロ・シミュレーションを行うことで、各 D フリップフロップの消費電力のばらつきについても評価を行った。消費電力、遅延時間の評価およびモンテカルロ・シミュレーションに関しては、 $V_{\text{DD}} = 0.5 \text{ V}$ 、 $f = 1 \text{ MHz}$ とし、最低動作可能電源電圧の評価に関しては、 $f = 1 \text{ MHz}$ とした。なお、すべての回路シミュレーションは、レイアウトから抽出した配線容量や、トランジスタの寄生抵抗、寄生容量を付加したポストレイアウト・シミュレーションを行った。

4.4.2 シミュレーションによる比較評価結果

図 4.10 に 4 種類の D フリップフロップのレイアウトを示す。各 D フリップフロップに関して、nMOSFET と pMOSFET のチャンネル長は、 $L_n = L_p = 0.18 \mu\text{m}$ とした。また、TGFF 以外の D フリップフロップのチャンネル幅 W_n 、 W_p は、各 D フリップフロップが最も低電源電圧で動作可能な値となるように設計した。TGFF のシミュレーションに関しては、TGFF1 と TGFF2 の 2 種類について評価を行った。TGFF1 は半導体メーカーから提供されているスタンダード・セルライブラリに含まれている TGFF であり、TGFF2 は TGFF1 をより低消費電力で動作するよう、トランジスタ・サイズを調整した TGFF である。

表 4.2 に各 D フリップフロップに関する比較結果を示す。表 4.2 より、各 D フリップフロップの面積はそれぞれ、TGFF1 および TGFF2 が $41.7 \mu\text{m}^2$ 、NLFF が 87.8

μm^2 , CLFF が $68.1 \mu\text{m}^2$, CS^2FF が $48.3 \mu\text{m}^2$ となり, TGFF1 および TGFF2 が最も小さい面積で構成できることを確認した。NLFFとCLFFの面積が増大した要因は, 構成に必要なトランジスタ数がどちらの回路も 30 個以上と多いためである。一方, CS^2FF の面積が同じトランジスタ数で構成している TGFF より大きくなった要因は, TGFF を構成する論理ゲートの大半がクロック・インバータとインバータであることから, レイアウトの容易性が高いのに対して, CS^2FF は大半を NOR で構成しているため, レイアウトの容易性に関して劣っていたことが考えられる。

消費電力に関しては, CS^2FF が TGFF と比較して, 13% 削減された。 CS^2FF と TGFF の構成に必要なトランジスタ数はどちらも 24 個であるが, TGFF 中の電源から GND までのパスと比べて, CS^2FF 中の電源から GND までのパスの方が少ないため, CS^2FF の消費電力が削減できたと考えられる。

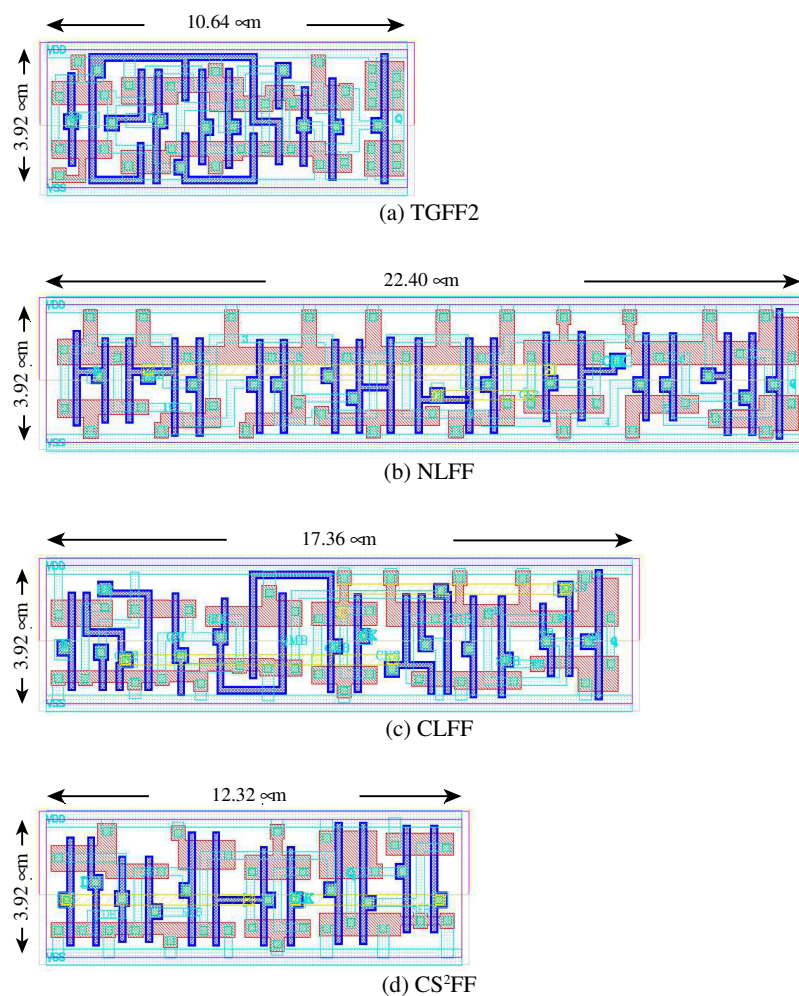


図 4.10 フリップフロップのレイアウト

遅延時間に関する評価結果について考察を加える。各遅延時間の定義を図 4.11 に示す。図 4.11 より、 t_{CK_Q} は、 CK 信号の立ち上がりから、 Q 信号の変化(立ち上がりもしくは立ち下がり)までの遅延時間、 t_s は、 CK 信号の立ち上がりまでに D 信号が確定していなければならない時間、 t_H は、 CK 信号の立ち上がり後に D 信号がその値を保持していなければならない時間をそれぞれ表している。表 4.2 より、 CS^2FF の t_{CK_Q} が最小となることが確認できる。これは、 CS^2FF 以外の D フリップフロップでは、 CK の変化後に最低でもインバータ 1 段以上の論理ゲートを通して Q に信号が伝播するのに対して、 CS^2FF は、 CK の変化後に $NOR1$ 段通過するのみで Q へ信号を伝播させられるためと考えられる。 t_s と t_H に関する評価に関しては、通常、 D フリップフロップとして動作する限界まで t_s および t_H を小さい値とすると、 t_{CK_Q} が指数関数的に上昇するため [1]、 t_s 、 t_H の最小値の比較では各 D フリップフロップ間での公正な比較が困難となる。これより、本論文での t_s および t_H は、 t_{CK_Q} が表 4.2 に示す結果と同じ値となる時の結果を示した。

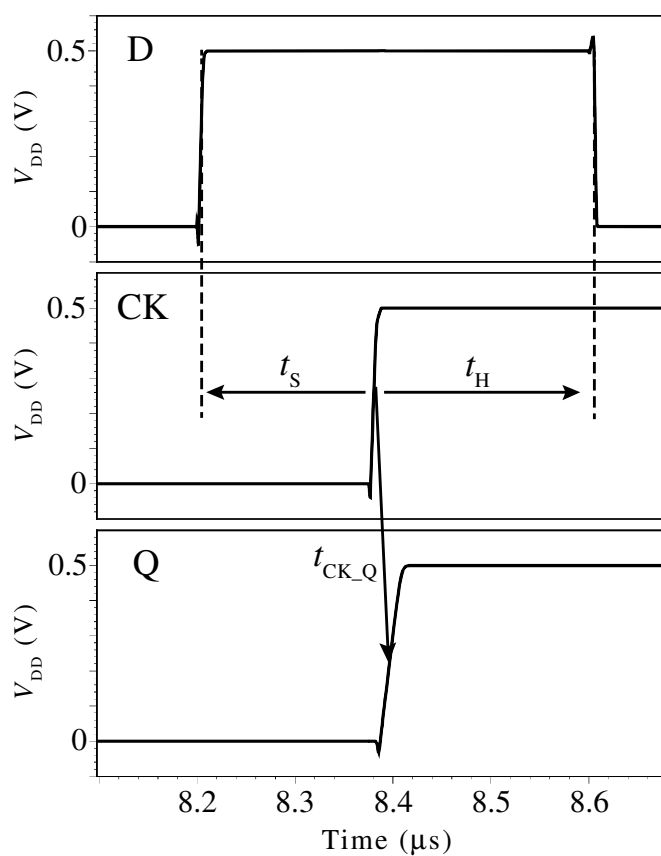


図 4.11 遅延時間の定義

表 4.3 最低動作可能電圧に関するシミュレーション結果

DFFs	V_{DDmin} (mV)	$t_{CK,Q}$ (ns)	消費電力 (nW)
TGFF2	0.344	701.6	5.2
NLFF	0.337	882.3	6.7
CLFF	0.337	819.8	5.7
CS ² FF	0.339	537.4	4.2

表 4.3 に最低動作可能電圧の評価結果を示す。最低動作可能電圧に関しては、NLFF と CLFF が最も低電源電圧で動作することが確認できる。しかし、CS²FF の最低動作可能電圧と 2 mV の差であり、消費電力に関しては CS²FF が NLFF と比較して 26% 削減しているため、低電源電圧動作と低消費電力動作を実現していると考えられる。ここで、TGFF が低電源電圧動作に不利となる原因について述べる。図 4.12 に TGFF1 および CS²FF の電源電圧 0.4 V、動作周波数 800 kHz におけるモンテカルロ・シミュレーションの動作波形を示す。図 4.12 より、CS²FF と比較

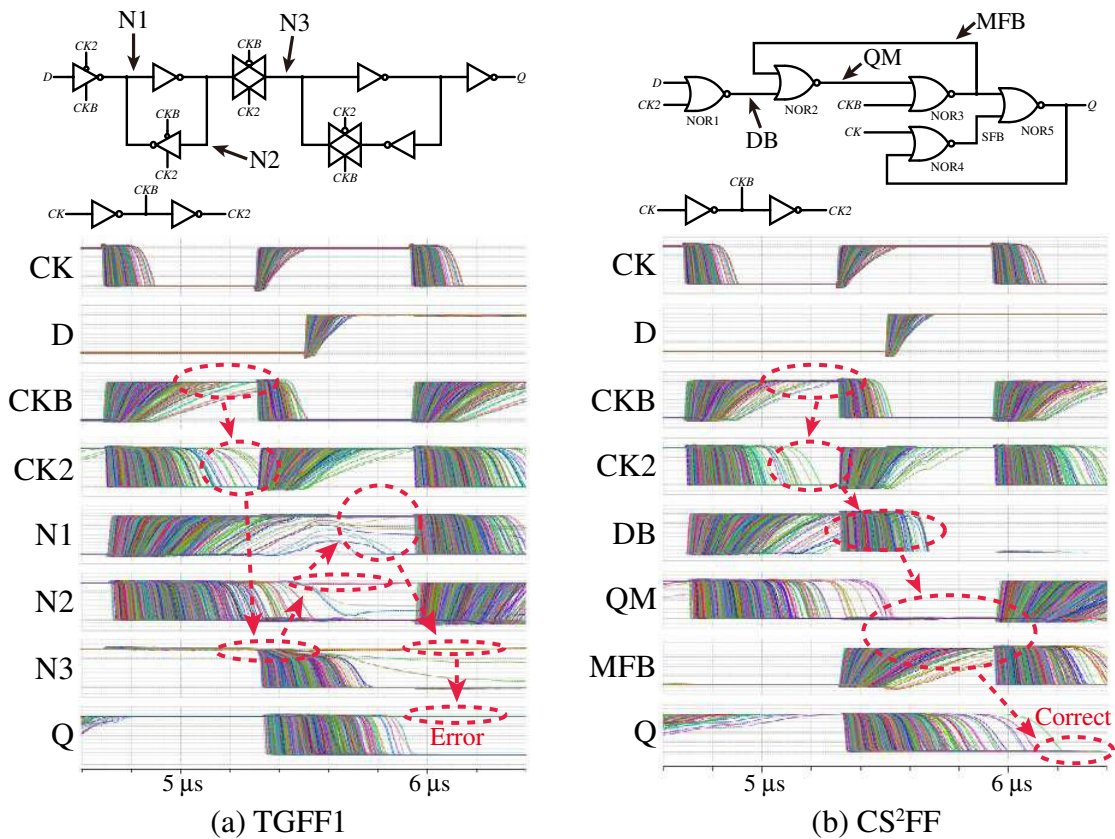


図 4.12 TGFF1 および CS²FF の内部ノード波形

表 4.4 PRBS を利用したシミュレーション結果

DFFs	消費電力 (nW)
TGFF1	12.5
TGFF2	11.7
NLFF	15.0
CLFF	14.2
CS ² FF	12.4

して CKB と CK2 の信号に鈍りが生じていることを確認できる。これは、TGFF に含まれる CKB および CK2 生成用のインバータのファンアウト数が CS²FF と比較して大きいことが原因と考えられる。このため、低電源電圧下ではマスター・ラッチ内のクロック・インバータとトランスミッション・ゲートを正常に駆動することが困難となり、ノード N3 の信号がノード N1, N2 に伝播することで、TGFF の動作不良を引き起こす。

D フリップフロップの動作率に対する消費電力の依存性を確認するため、PRBS (Pseudo-random Binary Sequence) シミュレーションを行った。PRBS シミュレーションとは、擬似乱数によって生成したランダムな信号を評価回路への入力信号に利用するシミュレーションである。これにより、ランダムパターンを入力した際の回路動作および性能を評価することができる。表 4.4 に PRBS シミュレーションの評価結果を示す。表 4.4 より、PRBS シミュレーションにおいて TGFF が最も低消費電力となった。ここで、その他の動作率に関して評価を行うため、0~100% まで 10% 刻みで動作率を変化させシミュレーションを行った。図 4.13 に動作率を変化させた場合の評価結果をグラフで示す。図より提案回路では、70% 以上の動作率において最も低消費電力で動作することが確認できる。提案回路は、D 入力に“0”が入力される割合が増加することで、回路に含まれる NOR ゲートが CLK 信号の遷移に合わせてオン/オフを繰り返すため、動作率が低い領域において消費電力が増加したと考えられる。ここで、PRBS シミュレーションおよび動作率を変化させた場合における消費電力は、D フリップフロップの CK 端子への入力信号を生成するクロックドライバの消費電力も含めた値としている。

消費電力のモンテカルロ・シミュレーションの結果を表 4.5 に、遅延時間のモンテカルロ・シミュレーションの結果を表 4.6 にそれぞれ示す。TGFF に関しては、低消費電力で動作する TGFF2 のみを評価対象とした。表 4.5 および表 4.6 より、どのフリップフロップに関しても、Yield(歩留まり)が 100% となり $V_{DD} = 0.5 \text{ V}$ において全てのフリップフロップが正常に動作していた。このとき、消費電力の μ に関しては、

表 4.5 消費電力に関するモンテカルロ・シミュレーションの結果

DFFs	Yield (%)	μ (nW)	σ (nW)	Min. (nW)	Max. (nW)
TGFF2	100	10.7	0.17	10.2	11.2
NLFF	100	14.5	0.20	13.9	15.3
CLFF	100	12.4	0.20	11.8	13.1
CS ² FF	100	9.3	0.18	8.8	9.9

表 4.6 遅延時間に関するモンテカルロ・シミュレーションの結果

DFFs	Yield (%)	μ (ns)	σ (ns)	Min. (ns)	Max. (ns)
TGFF2	100	24.3	11.2	5.9	91.7
NLFF	100	31.4	13.0	9.8	112.1
CLFF	100	27.4	12.2	6.5	85.5
CS ² FF	100	19.9	8.9	5.6	69.3

CS²FF が最も低消費電力で動作しており、また、TGFF の最低消費電力と比較して、CS²FF の最高消費電力が 3% 小さい値となっていることから、トランジスタにばらつきが生じた場合においても、低消費電力動作が可能であると考えられる。

4.5 D フリップフロップの実測評価

前節のシミュレーションにおいて低消費電力であった、TGFF2、CLFF、そして CS²FF に関して実測による比較評価を行うためチップ試作を行ったので、その結果

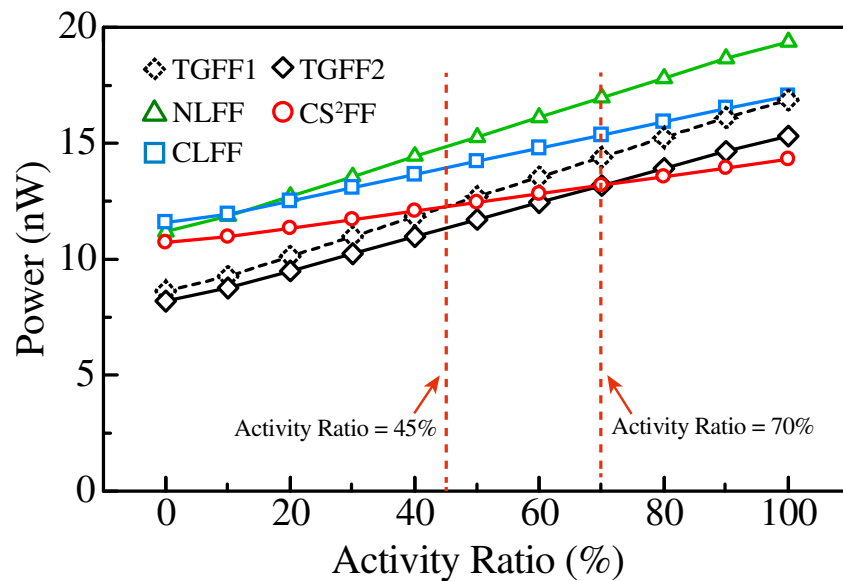


図 4.13 消費電力の動作率依存性

を議論する。

4.5.1 実測環境と評価条件

試作チップの写真を図 4.14 に示す。チップ写真中の各 D フリップフロップの詳細なレイアウトは、図 4.10 に示す通りである。測定環境を図 4.15 に示す。図に示すように、各 D フリップフロップへの電源供給には半導体デバイスアナライザを、入力信号の生成にはファンクションジェネレータを、波形の観測にはオシロスコープをそれぞれ利用した。実測における評価項目は、消費電力の電源電圧依存性 ($f = 1$ MHz), 消費電力の周波数依存性 ($V_{DD} = 0.5$ V), 最低動作可能電圧とした。

4.5.2 消費電力に関する実測評価

図 4.16 に CS²FF の動作波形を示す。CK 信号の立ち上がりエッジに応じて、Q 信号が変化しており、正常に動作することが確認できる。図 4.17 に消費電力の電源電圧依存性のグラフを、図 4.18 に消費電力の周波数依存性のグラフをそれぞれ

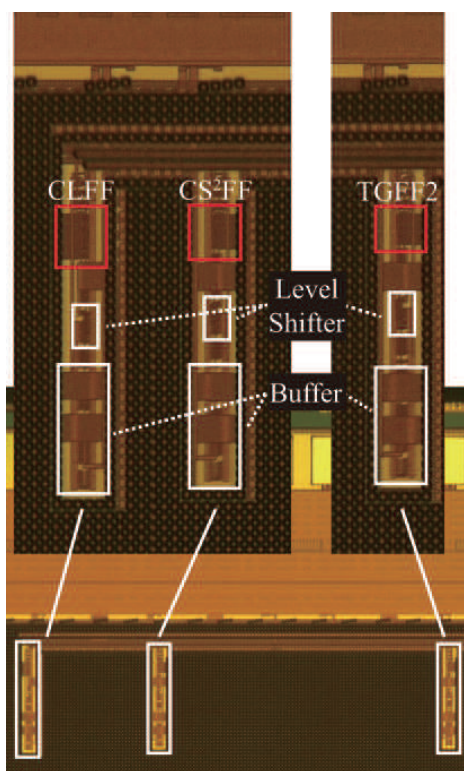


図 4.14 チップ写真

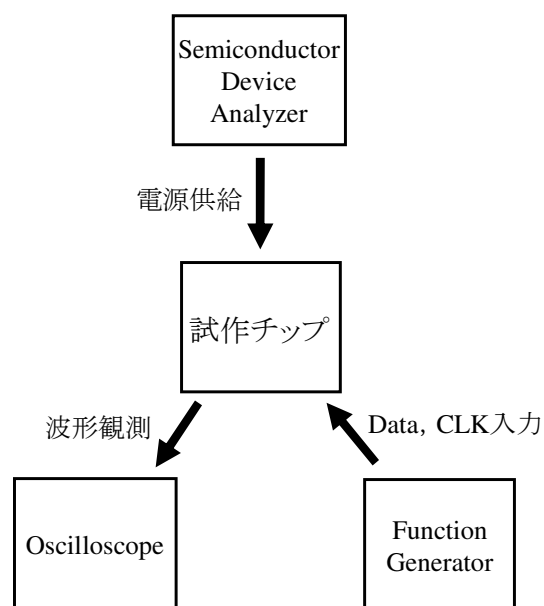


図 4.15 測定環境

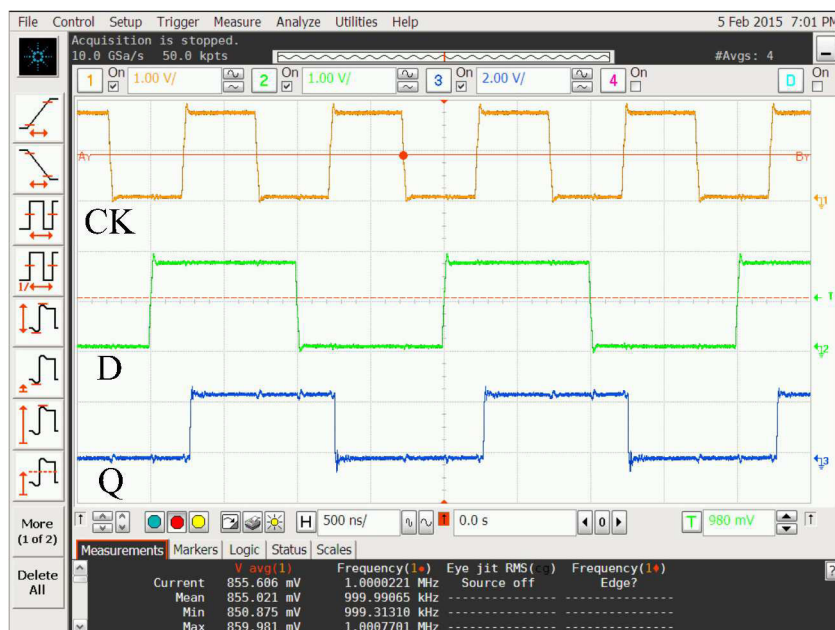
表 4.7 最低動作可能電圧の実測結果

DFFs	V_{DDmin}		Energy	
	μ (mV)	σ (mV)	μ (fJ)	σ (fJ)
TGFF	359	8.53	6.78	0.38
CLFF	354	6.29	8.29	0.40
CS ² FF	352	6.50	5.93	0.34

れ示す。図 4.17, 図 4.18 より, 各電源電圧範囲および動作周波数範囲において提案回路が最も低消費電力で動作することが確認できる。表 4.7 に最低動作可能電圧の結果を示す。ここで, μ は平均値, σ は標準偏差をそれぞれ表している。表 4.7 より, CS²FF が最も低電源電圧かつ高エネルギー効率で動作することが確認できる。

4.5.3 遅延測定用回路の検討

クロックの立ち上がりから出力が変化するまでの遅延である t_{CK_Q} に関しても実測評価を行った。図 4.14 に示す消費電力を測定した試作回路では, D フリップフロップの出力端子にレベルシフタや出力バッファを接続しているため, 正確な t_{CK_Q} を測定することが困難である。そこで, 図 4.19 に示すアーキテクチャによって t_{CK_Q} を測定する [11]。図 4.19 に示すアーキテクチャはそれぞれ, D フリップフロップとインバ

図 4.16 CS²FF の動作波形

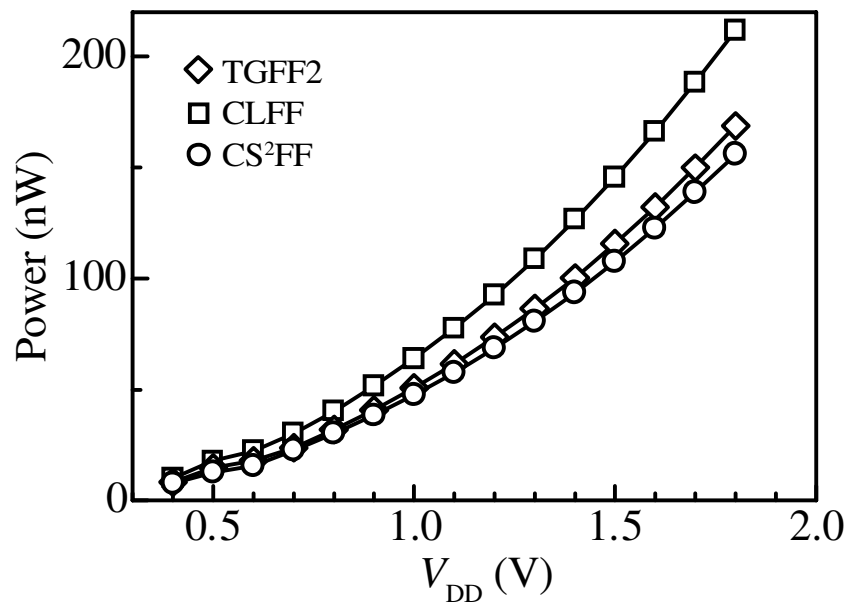


図 4.17 消費電力の電源電圧依存性

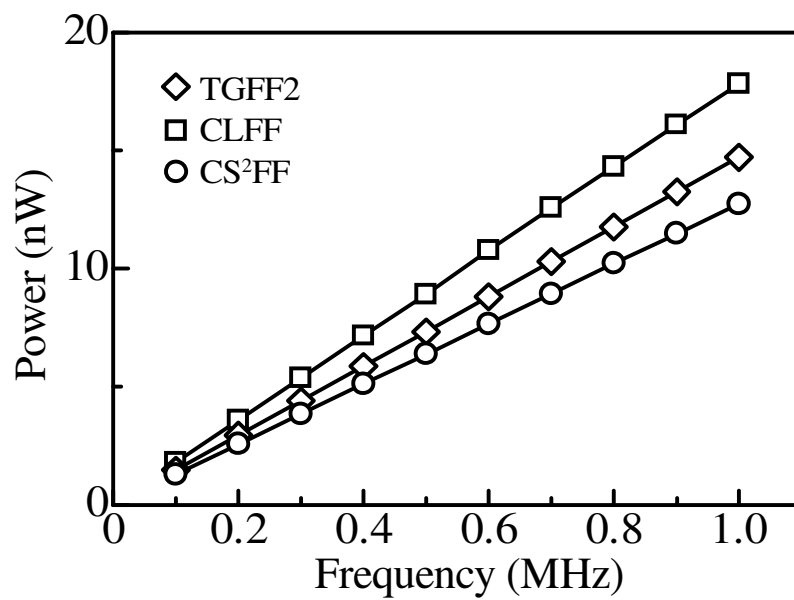


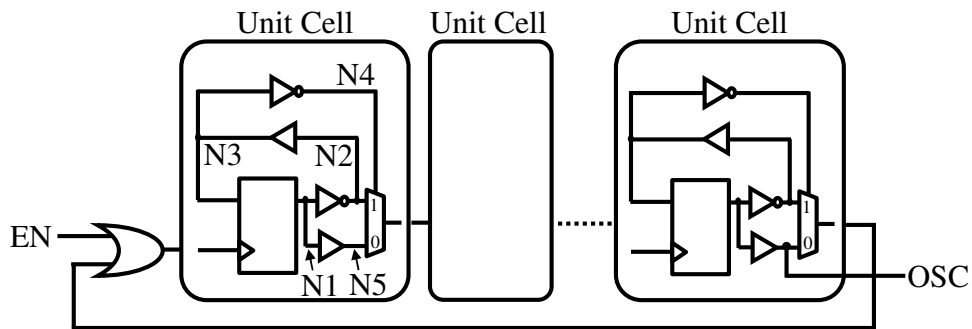
図 4.18 消費電力の周波数依存性

ータ、バッファ、マルチプレクサ (MUX) によって構成したリング発振器 (DFF_ROSC) と、インバータ、バッファ、マルチプレクサ (MUX) によって構成した参照リング発振器 (REF_ROSC) である。DFF_ROSC は、各 Unit Cell においてある幅を持ったパルスを生成し、そのパルスを後段の Unit Cell へ順番に伝搬させることで一定の周期ごとに出力を反転させ、発振動作を実現している。Unit Cell のパルス幅は、ノード N2 が変化してからノード N4 が変化するまでの遅延時間によって決定される。上記 2 種類のリング発振器の発振周期数より、DFF_ROSC の 1 周期 t_{DFF_ROSC} と REF_ROSC の 1 周期 t_{REF_ROSC} を求め、

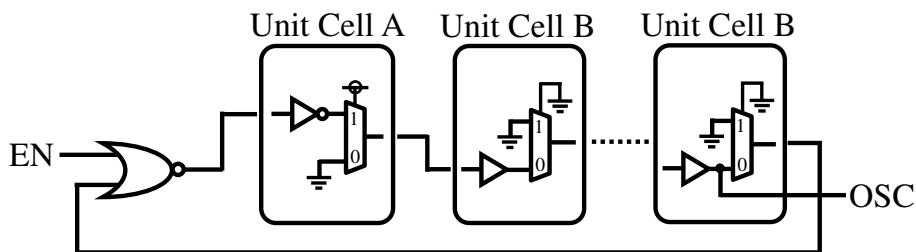
$$t_{CK_Q} = (t_{DFF_ROSC} - t_{REF_ROSC}) / 2N \quad (4.1)$$

で表される式によって、 t_{CK_O} を算出する。ここで、 N は Unit Cell の段数である。これにより、リング発振器の出力端子に接続されている付加回路に影響されることなく、D フリップフロップの t_{CK_O} を評価することが可能となる。

図 4.19 のアーキテクチャにより t_{CK_O} の実測が可能となるが、図 4.19 中の DFF_ROSC に含まれる Unit Cell の構成では、トランジスタのしきい値電圧が sf コー



(a) D フリップフロップで構成したリング発振器 (DFF_ROSC)



(b) 参照リング発振器

図 4.19 t_{CK_O} 測定用回路のアーキテクチャ

ナーと ff コーナーとなる場合に正常に発振動作を行わないという問題がある。sf コーナーとは、nMOSFET のしきい値電圧が標準値より高く、pMOSFET のしきい値電圧が標準値より低い状態を指す。一方、fs コーナーとは、nMOSFET のしきい値電圧が標準値より低く、pMOSFET のしきい値電圧が標準値より高い状態を指す。図

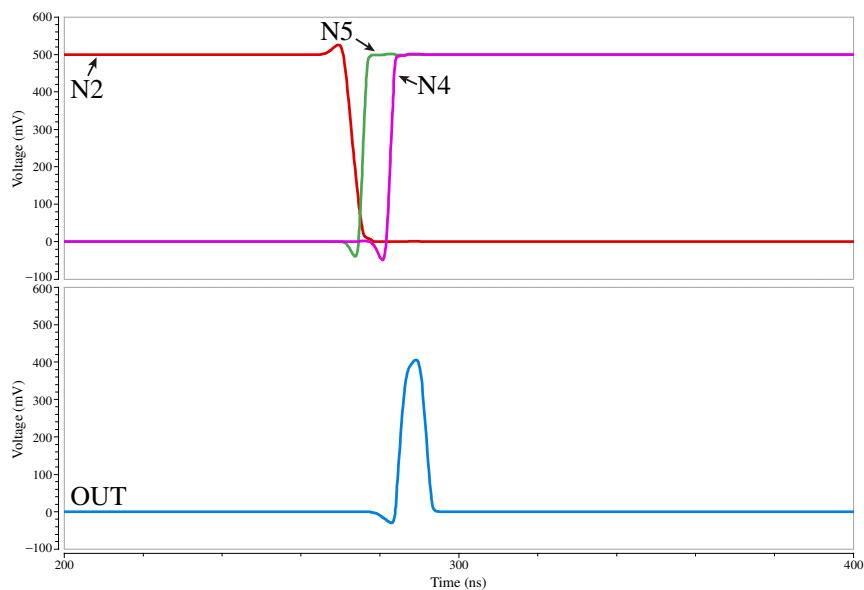


図 4.20 sf コーナーにおける Unit Cell の内部ノード波形

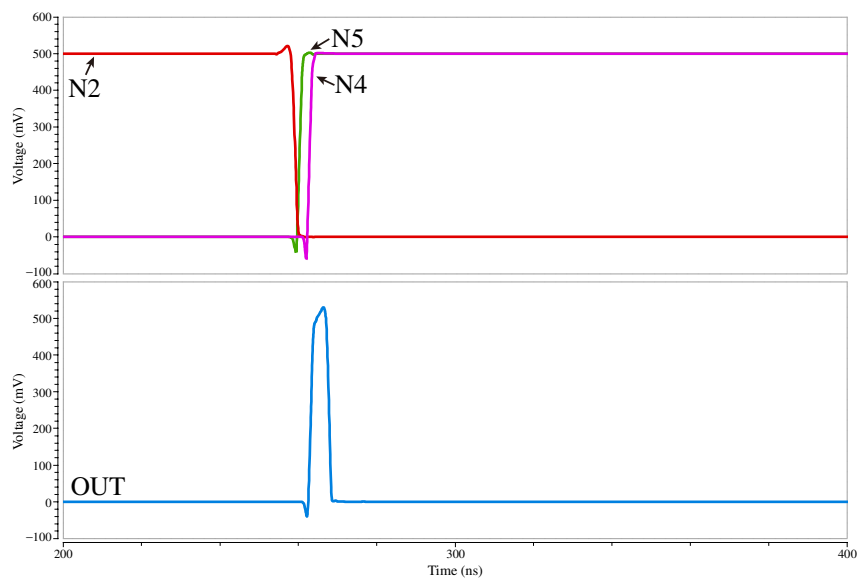


図 4.21 ff コーナーにおける Unit Cell の内部ノード波形

4.20 および図 4.21 に、トランジスタの sf コーナーおよび ff コーナーにおける Unit Cell の内部ノード波形を示す。図 4.20 より、sf コーナーでは Unit Cell の出力信号が電源電圧まで上昇せず、さらにパルス幅が狭いことが確認できる。これは、sf コーナーにおいて出力部分の MUX が、制御信号の切り替わりに十分に応答することができなかつたのが原因であると考えられる。このため、後段の D フリップフロップを駆動するために必要なパルスを出力できず、発振動作の妨げとなっている。また ff コーナーに関しても、1 段目の Unit Cell にてパルスを出力することはできているが、そのパルス幅が 5 ns 程度と非常に小さいことが確認できる。Unit Cell の入力端子は、D フリップフロップの CLK 端子へ接続されている。入力されるパルス幅が小さいと、D フリップフロップのホールド時間より短い時間で $CLK = 0$ と変化する。データ出力中に新たなデータを読み込むこととなり、出力信号が不定となる。これにより、Unit Cell の各構成素子に所望の信号が伝播せず、2~3 段目の Unit Cell 以降パルスが生成されなくなり、発振不可能となったと考えられる。

以上の問題を解決するため、図 4.22 に示す Unit Cell への改良を行った。図 4.19 中の Unit Cell からの改良点は、ノード N2 からノード 4 までの間にバッファを追加した点である。先述した通り、Unit Cell から出力されるパルスの幅は、ノード N2 が変化してからノード N4 が変化するまでの遅延時間によって決定されるため、バッファを遅延素子としてノード N2 からノード N4 の間に挿入する事で、MUX が応答できる十分な遅延を持たせることが狙いである。

提案する Unit Cell を利用した場合の、sf コーナーおよび ff コーナーにおけるシミュレーション評価を行ったので、その結果を示す。評価対象回路は、CS²FF を利用

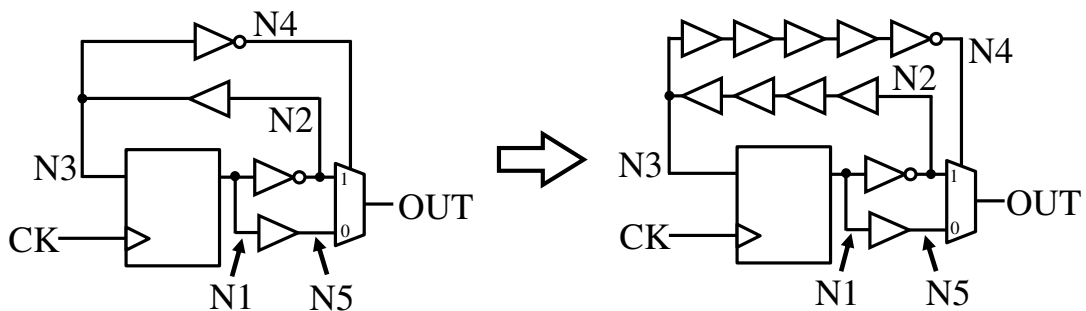
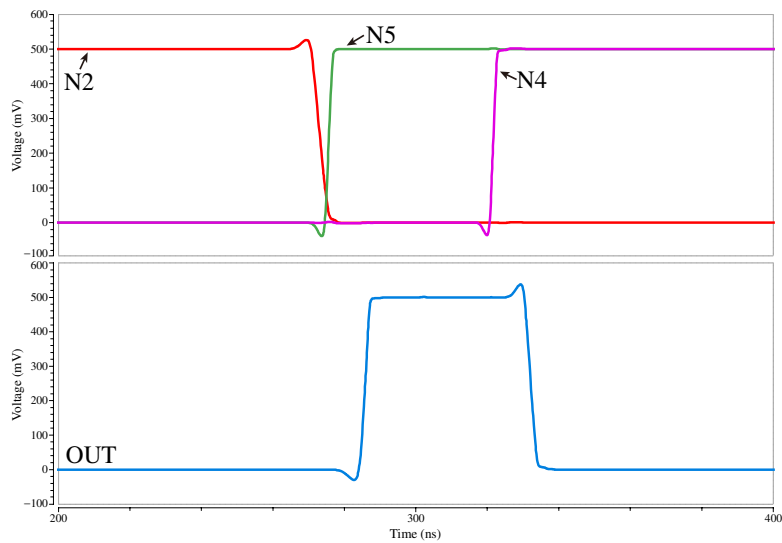
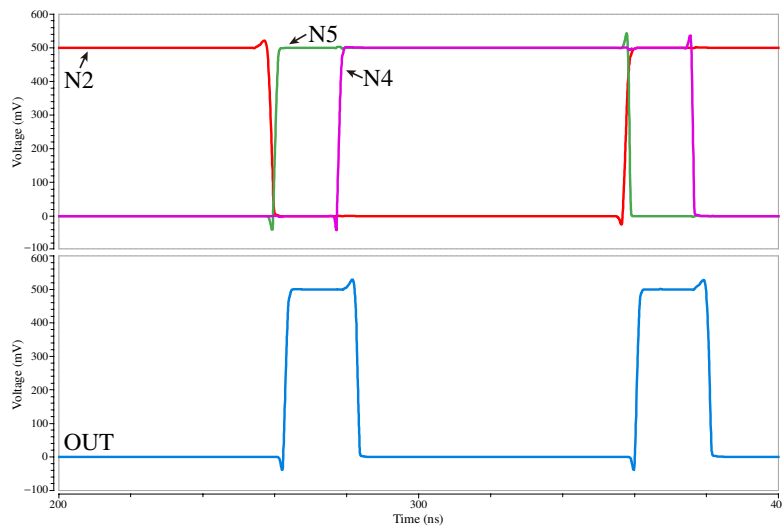


図 4.22 改良型 Unit Cell の構成

した DFF_ROSC とした。シミュレーション条件として、電源電圧を 0.5 V とした。評価項目は、sf コーナーおよび ff コーナーにおける各 Unit Cell の動作確認と発振動作の確認である。また、発振周波数より DFF_ROSC の算出も行った。sf コーナーおよび ff コーナーにおける内部ノード波形を図 4.23 に示す。また、sf コーナーおよび ff コーナーにおける DFF_ROSC の動作波形を図 4.24 に示す。図 4.23 より、どちらのコーナーにおいても Unit Cell が正常にパルスを出力できていることが確認できる。

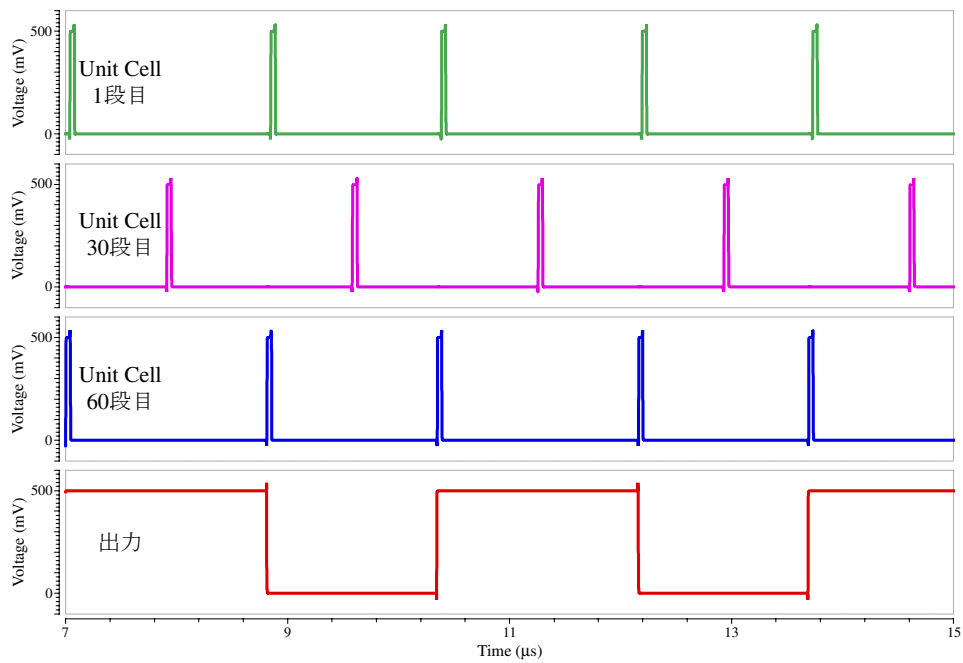


(a) sf コーナーにおける動作波形

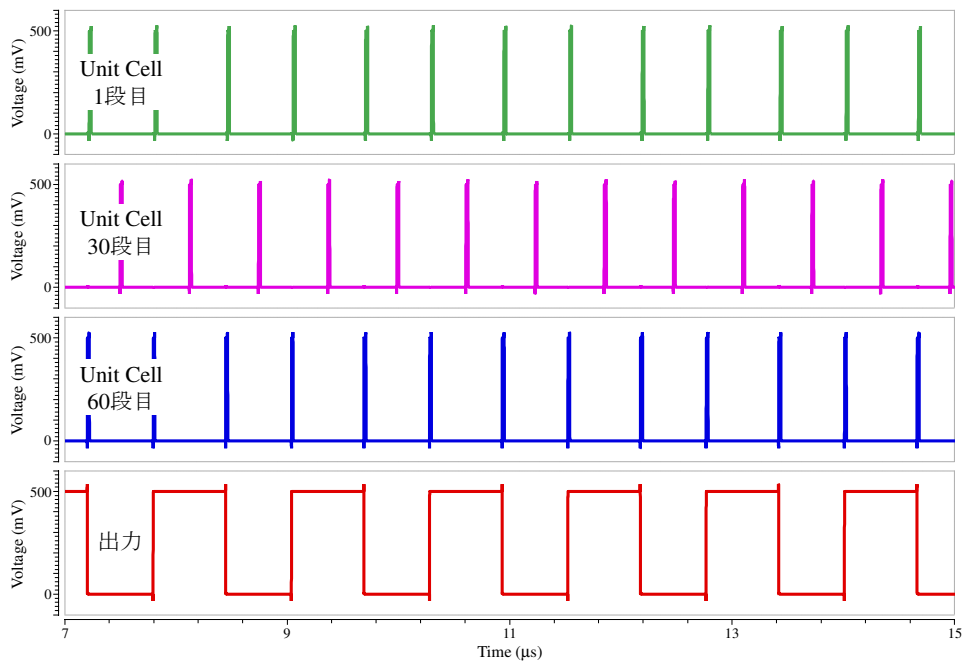


(b) ff コーナーにおける動作波形

図 4.23 改良型 Unit Cell の内部ノード波形



(a) sf コーナーにおける動作波形



(b) ff コーナーにおける動作波形

図 4.24 コーナー解析の動作波形

表 4.8 DFF_ROSC を利用した各 D フリップフロップの遅延時間の実測結果

DFF_ROSC	t_{CK_Q} (ns)	
	PL Sim.	Meas.
TGFF2	22.0	21.9
CLFF	24.3	25.4
CS ² FF	18.3	18.2

図 4.24 より、どちらのコーナーにおいても各 Unit Cell をパルスが伝播し、DFF_ROSC が正常に発振していることが確認できる。さらに、DFF_ROSC と REF_ROSC の発振周波数より t_{CK_Q} を算出すると 17.3 ns となり、D フリップフロップ単体で評価した t_{CK_Q} の値 18.3 ns と同等の結果が得られた。これより、DFF_ROSC によって信頼できる t_{CK_Q} を測定できると考えられる。

4.5.4 遅延時間に関する実測評価

前節での検討を踏まえて、提案する Unit Cell を利用した DFF_ROSC を TGFF2, CLFF, CS²FF について構成し、実測による t_{CK_Q} の評価を行った。図 4.25 に試作回路のチップ写真を示す。各リング発振器の段数は、 $N = 60$ とした。図 4.26 と図 4.27 に各リング発振器の動作波形を示す。図 4.26, 4.27 より、どのリング発振器も正常に発振動作を行っていることが確認できる。さらに、表 4.8 に各リング発振器の発振周波数より算出した t_{CK_Q} 、各 D フリップフロップ単体についてポストレイアウト・シミュレーションを行って得た t_{CK_Q} の値をまとめる。発振周波数より算出した t_{CK_Q} については、10 チップを測定した際の平均値を示している。表 4.8 より、実測した t_{CK_Q} とシミュレーションによって得た t_{CK_Q} の値が同等の値となることが確認できる。図 4.28 に実測およびポストレイアウト・シミュレーションにおける t_{CK_Q} の電源電圧依存性の結果を示す。図 4.28 より、電源電圧依存性に関しても実測とポストレイアウト・シミュレー

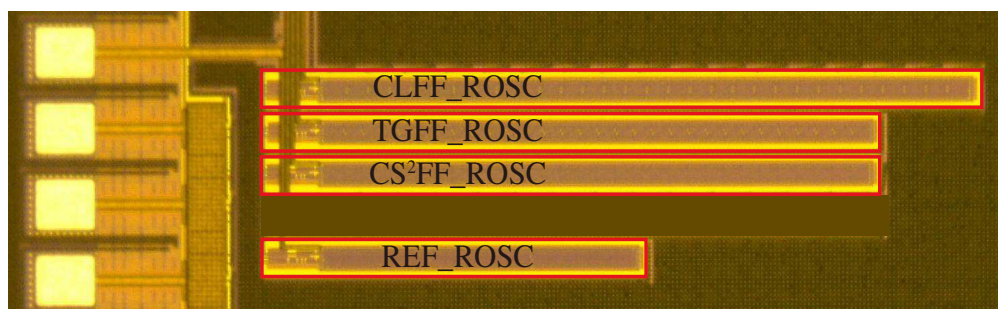
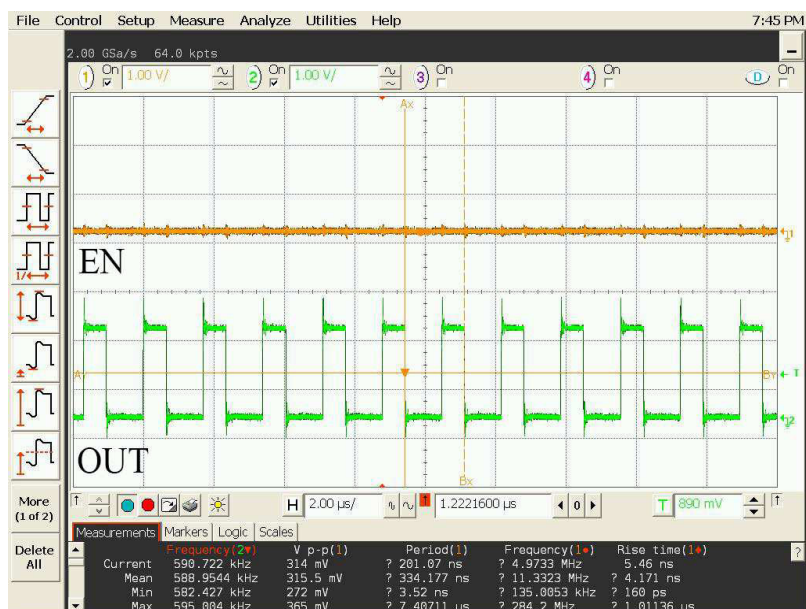
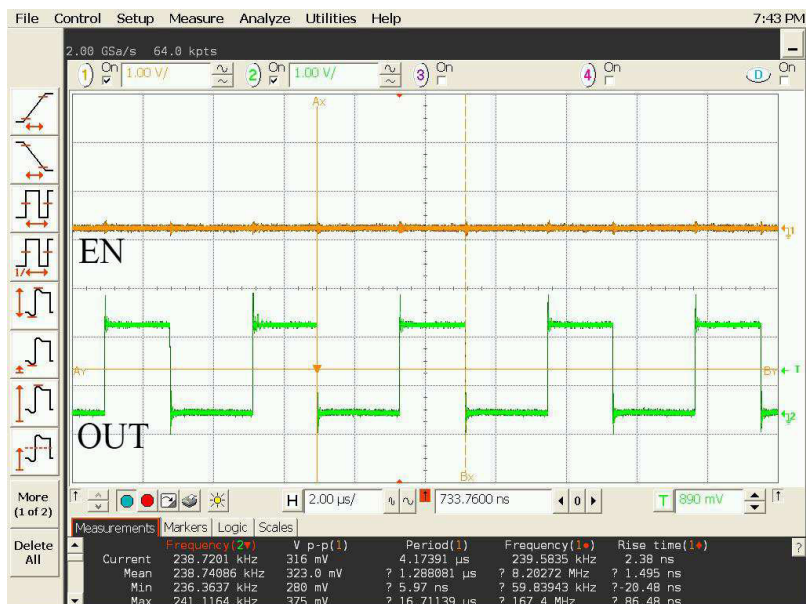


図 4.25 遅延測定用回路のチップ写真

シヨンの傾向が一致することが確認できる。これより、提案した Unit Cell を利用した DFF_ROSC によって、D フリップフロップの t_{CK_Q} を実測により評価できると考えられる。



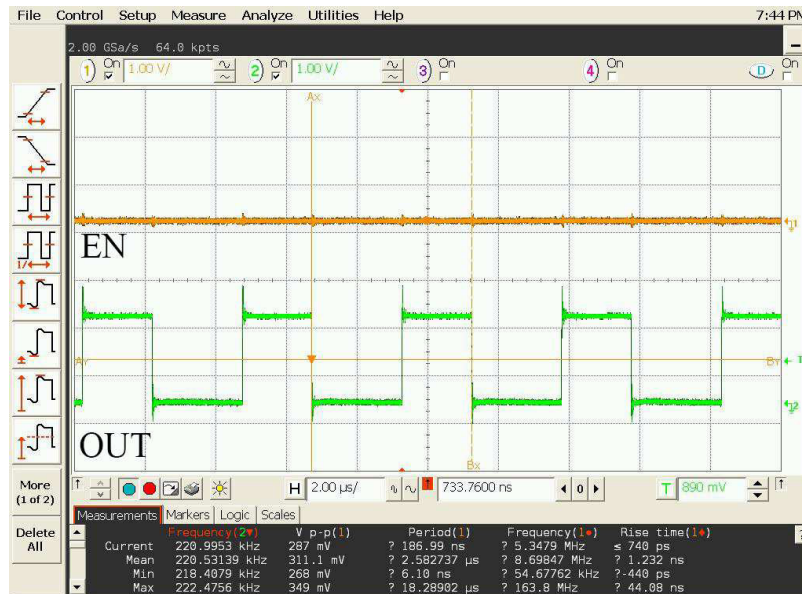
(a) REF の動作波形



(b) TGFF の動作波形

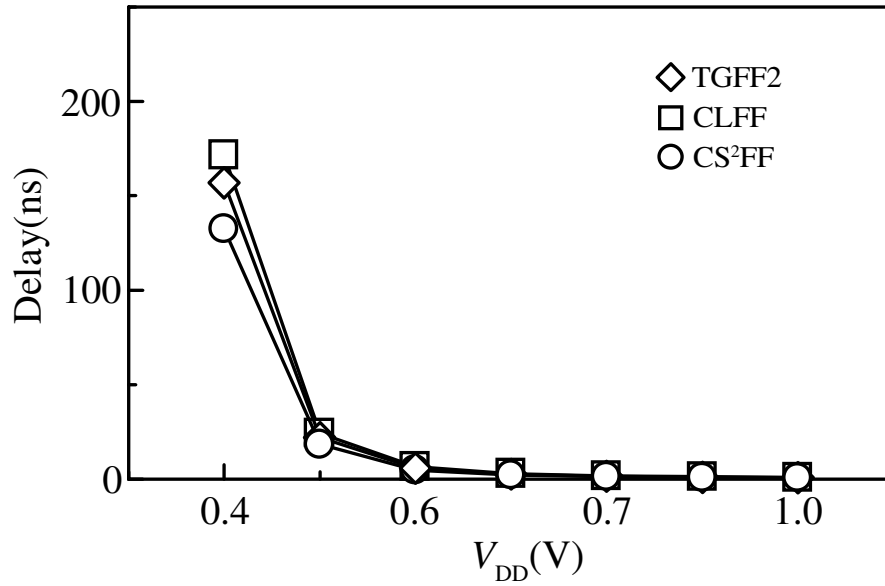
図 4.26 REF, TGFF の実測波形

以上より、提案回路を利用することで実際の VLSI においても、低電源電圧かつ低消費電力で動作すると考えられる。また t_{CK_Q} に関しては、 t_{CK_Q} 測定用回路の利用によって、実測による評価が可能であることが確認できた。

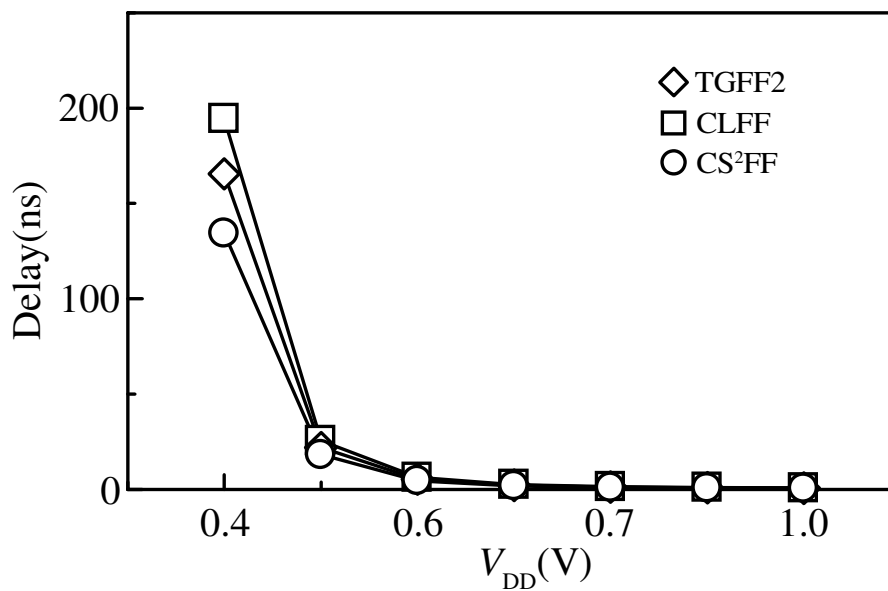


(a) CLFF の動作波形

(b) CS²FF (提案回路) の動作波形図 4.27 CLFF, CS²FF の実測波形



(a) ポストレイアウト・シミュレーション結果



(b) 実測結果

図 4.28 $t_{CK,Q}$ の電源電圧依存性

表 4.9 C 素子の真理値表

A	B	Y
1	1	1
1	0	keep
0	1	keep
0	0	0

4.6 C 素子回路の動作と基本構成

マラーの C 素子は、非同期式回路システムにおいて各回路ブロックの信号同期を図る目的で広く利用されている [2], [12]。C 素子の動作は、イベント駆動型の AND ゲートとなっており、表 4.9 に示す真理値表に従って動作する。2 つ入力端子に同じ信号が入力されると、表 4.9 に示すように入力と同じ信号が出力され、それぞれの入力端子に異なる信号が入力されると、直前の値を保持する。以上より、C 素子の入力端子に変化が生じると、その出力端子にも変化が生じる。以降で、従来の C 素子回路について説明を行う。

4.6.1 マラーの C 素子

図 4.29 に基本的なマラーの C 素子の回路構成を示す。マラーの C 素子は、2 つの nMOSFET と 2 つの pMOSFET、およびインバータ・ラッチによって構成される。図 4.29 の構成では、8 個のトランジスタで構成できる。

フィードバック部分に含まれるウィーク・インバータと、入力段の pMOSFET の間で発生する充放電の競合が原因で、ラッチの値を更新できない問題がある。その

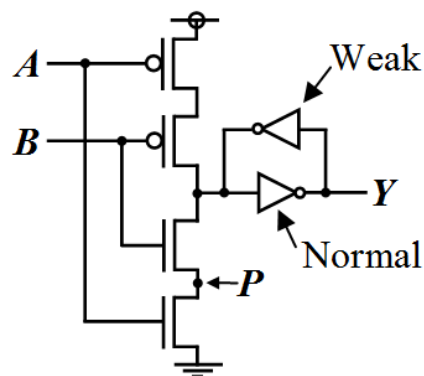


図 4.29 基本的な C 素子の回路構成

ため、ウィーク・インバータの駆動力を弱める必要がある。この充放電の競合が発生することで、出力が変化する際に消費電力が増加する傾向がある。さらに、低電源電圧動作において PVT ばらつきを考慮した場合、図 4.29 の構成では正確に動作しない恐れがある。

4.6.2 スタティック C 素子

図 4.30 にスタティック C 素子の回路構成を示す [13]。図 4.30 の回路は基本的なマラーの C 素子をもとに、2 つの nMOSFET と 2 つの pMOSFET を付加した構成となっている。付加した 4 つのトランジスタにより、低電源電圧化においても正確に動作することができる。しかし、基本的な C 素子と比較してトランジスタ数が 4 つ増加しているため、面積の増加が問題となる。

4.7 提案する C 素子回路

前節において従来の C 素子について述べた。基本的な C 素子では、低電源電圧下における動作が困難である。スタティック C 素子では、追加するトランジスタによって面積の増加が問題となっている。本節では、上記 2 種類の C 素子の問題を解決するため、小面積かつ低電源電圧動作可能な新たな C 素子回路を提案する。

一般的に C 素子は、入力信号がすべて同じ場合は入力を通過させ、それ以外は直前の値を保持する、状態保持回路である。しかし、基本的な C 素子では、入力段の出力端子のモニタと信号の出力を、ウィーク・インバータとノーマル・インバータによって同時に行っているため、回路中に充放電の競合を発生させている。こ

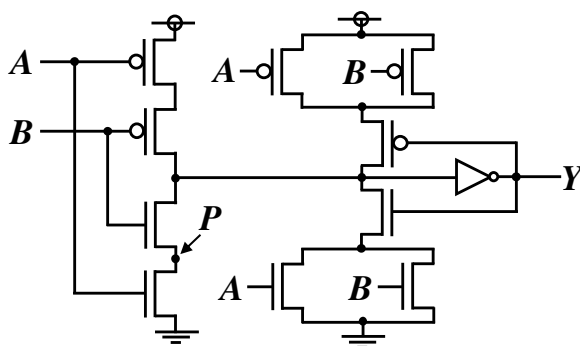


図 4.30 スタティック C 素子の回路構成

れにより、低電源電圧下での動作が困難となっている。

この問題を解決するため、インバータ・ラッチ内部に遅延を発生させる手法を提案する。図 4.31 に提案する C 素子の回路構成を示す。提案回路も、基本的な C 素子もとに構成しており、インバータ・ラッチ内部に pMOSFET を 1 つ追加している。追加した pMOSFET は抵抗として動作し、インバータ・ラッチ内部、特にウィーク・インバータの出力部分の信号に対して遅延を発生させている。これにより、入力段の出力信号がノーマル・インバータへ素早く伝播され、レーシングを抑制することができ、低電源電圧下においても頑健な動作が可能となる。

4.8 C素子に関するシミュレーション評価

本節では、4.6 節および 4.7 節で説明した C 素子に関して、回路シミュレーションを行うことで提案回路の効果を確認する。まず、シミュレーション条件と評価項目を述べた後、各評価結果を示し、考察を行う。

4.8.1 シミュレーション条件と評価項目

提案する C 素子の評価を行うため、0.18 μm CMOS プロセスに対応したトランジスタ・モデルを利用して、SPICE による回路シミュレーションを行った。シミュレーション項目は、面積、消費電力、遅延時間、PD 積とする。また、モンテカルロ・シミュレーションを行うことで、各 C 素子の消費電力のばらつきについても評価を行った。なお、すべての回路シミュレーションは、レイアウトから抽出した配線容量や、トランジスタの寄生抵抗、寄生容量を付加したポストレイアウト・シミュレーションを行った。

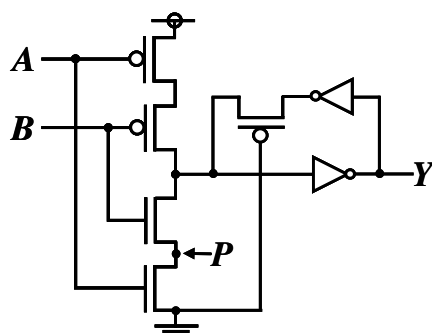
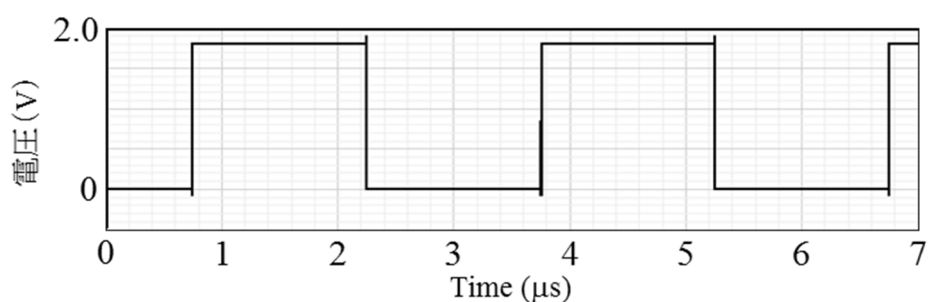


図 4.31 提案回路の構成

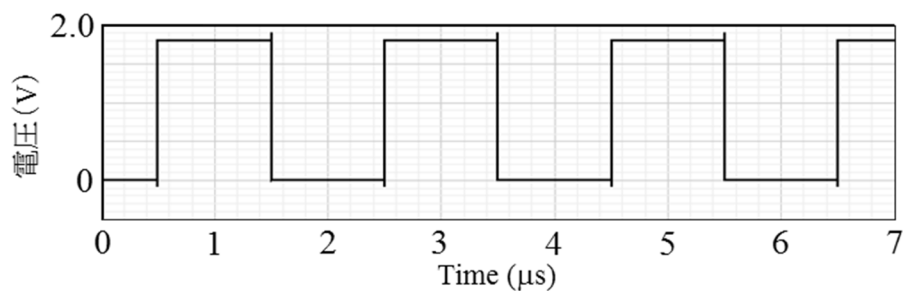
4.8.2 シミュレーションによる比較評価結果

各 C 素子の nMOSFET と pMOSFET のチャンネル長およびチャンネル幅は最小サイズを利用してシミュレーションを進める。

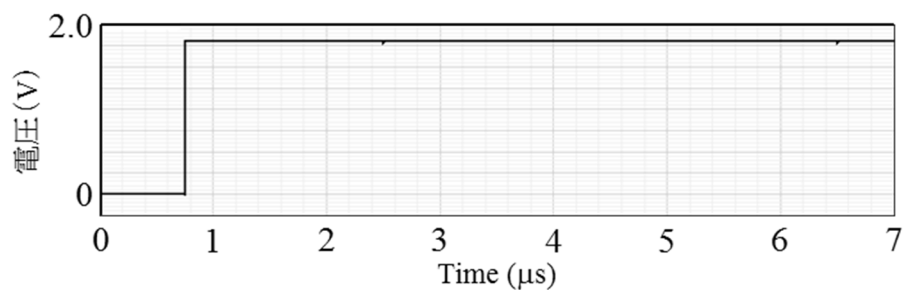
図 4.32 に基本的な C 素子の動作波形を示す。図 4.32 は、 $V_{DD} = 1.8 \text{ V}$ としたときの動作波形であるが、入力信号 (A, B) が (1, 0) から (0, 0) へと遷移した場合に、出力信号 Y が "0" へと遷移していないことが確認できる。これは、入力段の pMOSFET の駆動力と比較して、ウィーク・インバータ中の nMOSFET の駆動力が



(a) 入力信号 A



(b) 入力信号 B

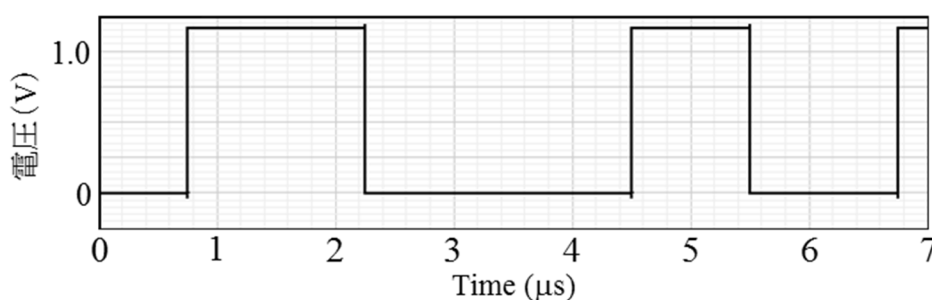


(c) 出力信号 Y

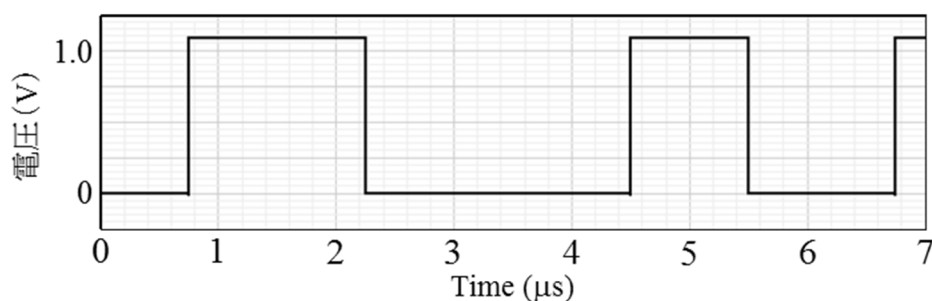
図 4.32 基本的な C 素子の動作波形

高いことが原因である。このため、ウィーク・インバータ中の nMOSFET のチャンネル長を長く設計する必要がある。ウィーク・インバータ中の nMOSFET のチャンネル長を決定するためにシミュレーションを行ったところ、最小サイズの 7 倍のチャンネル長とすることで、C 素子としての動作を確認できた。以降では、基本的な C 素子のチャンネル長を最小サイズの 7 倍に設定してシミュレーションを行うものとする。

図 4.33 に $V_{DD} = 1.16 \text{ V}$ におけるスタティック C 素子の出力波形と $V_{DD} = 1.08 \text{ V}$ における提案回路の出力波形を、図 4.34 に 3 種類の C 素子の内部ノード P の電位をそれぞれ示す。図 4.33 より、スタティック C 素子および提案回路が 1 V 付近の低電圧においても正常に動作していることが確認できる。図 4.34 より、入力端子 B の入力信号が”0”から”1”へと遷移した際に、スタティック C 素子と提案回路ではノード P の電位が上昇している。これより、B の信号遷移が完了するまでの間、ウィーク・インバータによる放電を抑制できたと考えられる。一方、基本的な C 素子ではノード P の電位が常に 0 V となっている。これは、入力段の出力端子に保持されるはずの電荷が、ウィーク・インバータの nMOSFET から放電されたことが原因である。



(a) スタティック C 素子の出力波形 ($V_{DD} = 1.16 \text{ V}$)

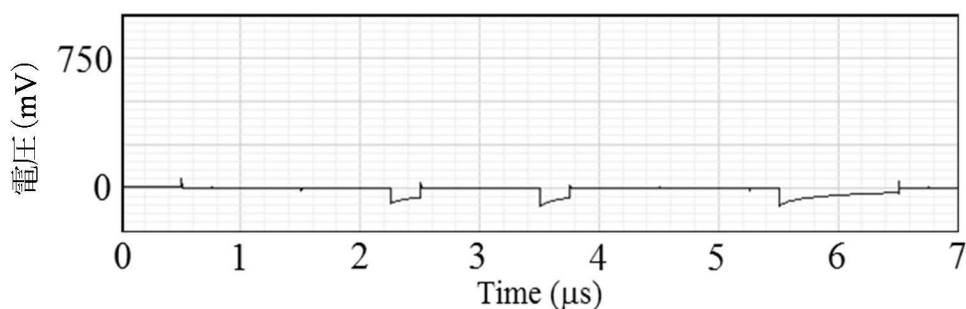


(b) 提案回路の出力波形 ($V_{DD} = 1.08 \text{ V}$)

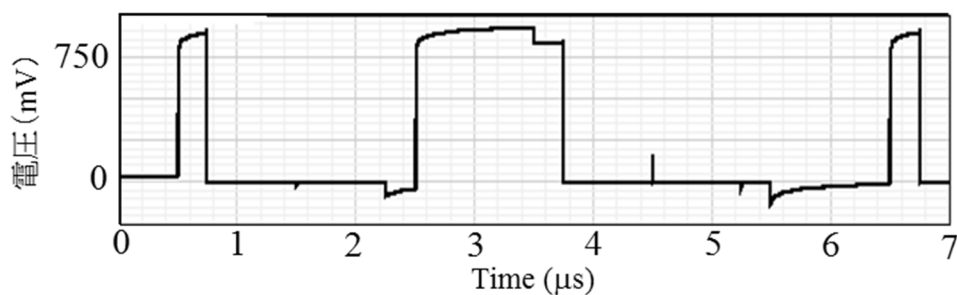
図 4.33 C 素子の出力波形

図 4.34 から、基本的な C 素子におけるウィーク・インバータのサイズ設定が重要であることが確認できる。

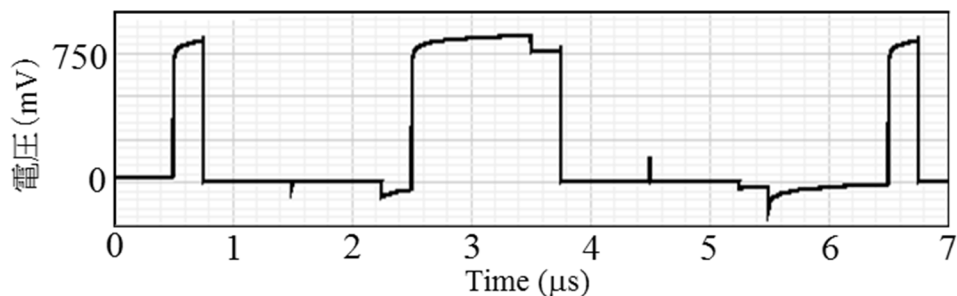
図 4.35 にスタティック C 素子と提案回路における消費電力および遅延時間の電源電圧依存性のグラフを、図 4.36 にスタティック C 素子と提案回路における PD 積の電源電圧依存性をそれぞれ示す。図 4.35 より、どの電源電圧においても提案回路の遅延時間が、スタティック C 素子の遅延時間と比較して、小さい値となっている。一方、消費電力に関しては、スタティック C 素子が提案回路と比較して、小さい



(a) 基本的な C 素子



(b) スタティック C 素子



(c) 提案回路

図 4.34 内部ノード P の波形

表 4.10 C 素子に関するシミュレーション結果

Circuit	トランジスタ数	面積 (μm^2)
基本構成*	8	28.54
Static	12	35.12
提案回路	9	28.54

Circuit	V_{DD} (V)	遅延時間 (ns)	消費電力 (nW)	最小 PD 積 (aJ)
基本構成*	1.41	1.09	20.6	22.4
Static	1.16	0.66	7.24	4.76
提案回路	1.08	0.62	6.99	4.32

*基本構成の C 素子のチャンネル長は、最小サイズの 7 倍の大きさとした

値となっている。これは、スタティック C 素子では、2 つの入力信号が同じ値となった時、電源から GND までの電流パスが遮断されることで、消費電流を削減できているためと考えられる。その反面、出力信号が変化する際は、縦積みにしたトランジスタを通過した電流によって出力インバータを駆動するため、提案回路と比較して遅延時間が増加したと考えられる。図 4.36 より PD 積が最小となるのは、提案回路が $V_{\text{DD}} = 1.08 \text{ V}$ 、スタティック C 素子が $V_{\text{DD}} = 1.16 \text{ V}$ であることが確認できる。また、1 V 以下の低電源電圧下では、提案回路がスタティック C 素子と比較して、PD 積を削減している。これは、低電源電圧下における提案回路の遅延時間が、スタティック C 素子と比較して削減できているためと考えられる。これより、提案回路は低電源電圧下において、エネルギー効率の良い回路であると考えられる。

最後に、表 4.10 に各 C 素子に関するシミュレーション結果をまとめる。いずれのシミュレーション結果も、PD 積が最小となる電源電圧における結果を示している。表 4.9 より、評価対象回路の面積は、基本的な C 素子が 28.54 mm^2 、スタティック C 素子が 35.12 mm^2 、提案回路が 28.54 mm^2 となり、提案回路の面積がスタティック C 素子の面積と比較して 19% 削減された。これは、提案回路のトランジスタ数が、スタティック C 素子のトランジスタ数と比較して削減できたためと考えられる。また、PD 積に関しては、提案回路がスタティック C 素子と比較して 9.3% 削減された。

4.9 結言

本章では、低消費電力デジタル CMOS LSI に向けた低電源電圧動作および低消費電力動作可能な要素回路を提案した。特に、記憶素子として利用する回路で

ある、D フリップフロップと C 素子について新たな回路構成を提案した。

まず、D フリップフロップに関しては、マスター・ラッチとスレーブ・ラッチにおいて、NOR を共有することで回路規模を削減する CS²FF を提案した。CS²FF は 5 つの NOR ゲートと 2 つのインバータで構成され、24 個のトランジスタを利用した。SPICE シミュレーションの結果、 t_{CK-Q} が 18.3 ns、 t_S が 10.0 ns、 t_H が 5.5 ns、消費電力が 9.7 nW となり、消費電力に関しては従来回路の TGFF と比較して、13% 削減された。また、提案回路の実測結果では、0.352 V において 5.9 nW の極低消費電力で動作可能である。最小可動電源電圧における消費電力は、TGFF と比較して 13% 削減

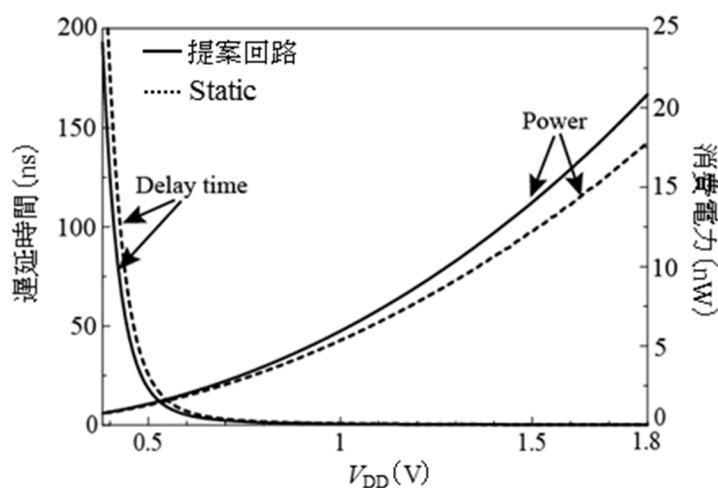


図 4.35 消費電力および遅延時間の電源電圧依存性

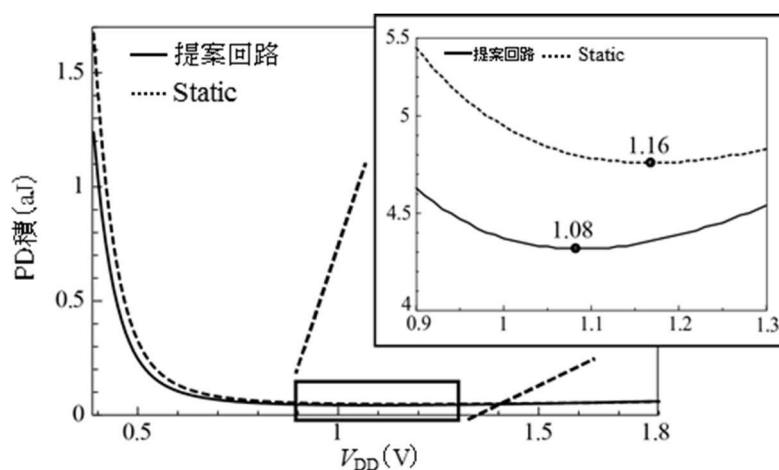


図 4.36 PD 積の電源電圧依存性

された。また、 t_{CK_Q} 測定用回路の試作を行い、実測による t_{CK_Q} の評価を行ったところ、D フリップフロップ単体でシミュレーションを行った場合と同等の値となることを確認した。

C 素子に関しては、基本的な C 素子の構成に含まれるインバータ・ラッチ部の出力端子に、pMOSFET を抵抗として挿入することで、インバータ・ラッチ部に遅延を発生させ、入力段からの信号が出力端子まで正常に伝播する構成を提案した。提案回路を利用することで、 $V_{DD} = 1.08 \text{ V}$ において PD 積が最小の 4.32 aJ となり、従来のスタティック C 素子と比較して、9.3% の PD 積削減を実現した。

参考文献

- [1] V. G. Oklobdzija, V. M. Stojanovic, D. M. Markovic, and N. M. Nedovic, "Digital System Clocking," IEEE Press, 2003.
- [2] D. E. Muller and W. S. Bartky, "A theory of asynchronous circuits," in Proceedings of an International Symposium on the Theory of Switching, pp. 204-243, Harvard University Press, Apr. 1959.
- [3] R. J. Baker, "CMOS Circuit Design, Layout, and Simulation, Second Edition," IEEE Press, 2004.
- [4] N. Weste and D. Harris, "CMOS VLSI design, 4th Edition," Addison-Wesley, 2010.
- [5] A. Wang, B.H. Clhoun, and A.P. Chandrakasan, "Sub-threshold design for ultra low-power systems," Springer, 2006.
- [6] J. Warnock, L. Sigal, D. Wendel, K.P. Muller, J. Friedrich, V. Zyuban, and E. Cannon, A.J. KleinOsowski, "POWER7™ local clocking and clocked storage elements," in IEEE ISSCC Dig. Tech. Papers, 2010, pp. 178 - 179.
- [7] 松下俊介, 基礎からわかる論理回路, 森北出版, 2004.
- [8] H. Fuketa, K. Hirairi, T. Yasufuku, M. Takamiya, M. Nomura, H. Shinohara, T. Sakurai, "12.7-times energy efficiency increase of 16-bit Integer unit by power supply voltage (VDD) scaling from 1.2V to 310mV enabled by contention-less flip-flops (CLFF) and separated VDD between flip-flops and combinational Logics," Int. Symp. Low Power Electronics and Design (ISLPED), pp. 163-168, 2011.
- [9] J. Kwong, Y. Ramadass, N. Verma, M. Koesler, K. Huber, H. Moormann, and A. Chandrakasan, "A 65 nm sub-Vt microcontroller with integrated SRAM and switched capacitor DC-DC converter," IEEE J. Solid-State Circuits, vol. 44, pp. 115-126, 2009.
- [10] Y. Kim, W. Jung, I. Lee, Q. Dong, M. Henry, D. Sylvester, and D. Blaauw, "A static contention-free single-phase-clocked 24T flip-flop in 45nm for low-power applications," IEEE International Solid-State Circuits Conference (ISSCC), pp. 466-468, 2014.

- [11] R. D. Jorgenson, L. Sorensen, D. Leet, M. S. Hagedorn, D. R. Lamb, T.H. Fridell, and W. P. Snapp, "Ultralow-power operation in subthreshold regimes applying clockless logic," Proceedings of the IEEE, vol.98, no.2, pp. 299-314, Feb. 2010.
- [12] I. E. Sutherland, "Micropipelines," In Communications of the ACM, vol. 32, no. 6, pp. 720-738, 1989.

第 5 章

極低電圧動作に向けた高エネルギー効率

非同期式 AES S-BOX 回路の構築

5.1 緒言

本章では、暗号化アルゴリズムの一種である AES (Advanced Encryption Standard) の S-BOX 演算回路について、非同期式回路方式を利用したエネルギー効率改善手法について述べる。

スマートフォンやタブレット端末に代表されるモバイル機器の普及にともない、“Internet of Things (IoT)”が注目されている。IoT では、様々なモバイル機器やセンサ同士の通信に、ワイヤレスネットワークは必要不可欠となっている。このような機器同士の通信を安全に行うためにデータの暗号化が行われている。中でも、AES は生体信号や個人情報などの重要なデータ通信において頻繁に利用されている。モバイル機器やセンサは、バッテリーによる長時間動作が求められるため、ナノワット・オーダーの消費電力に抑える必要がある。しかし、AES S-BOX 回路の消費電力は、一般的にマイクロワット・オーダーであるため、その低消費電力化が求められる [1], [2]。

現在、低消費電力化手法として、電源電圧のスケーリングが効果的とされている。デジタル LSI の消費電力は、式 (1.1) で表される。式 (1.1) より、デジタル LSI の動作電力は、 p_t , f , C_L , V_{DD} の 2 乗に比例する。したがって、 V_{DD} を低下させることで大幅な動作電力の削減を期待することができる。しかし、電源電圧の低下にともない、PVT (Process, Voltage, Temperature) ばらつきの影響を大きく受け回路性能が著しく低下する問題が生じる [3]。

省電力指向のアプリケーションにおいて、ばらつきに対して頑健な回路を実現するため、DI (Delay-Insensitive) や QDI (Quasi-Delay-Insensitive) といった非同期式回

路方式が注目されている。また、論理回路における不要な信号遷移の抑制についても関心を集めている。動作率 α は、グリッチによって低電源電圧下において増加する傾向がある [4]。

本研究では、

- 1) 電源電圧を 1.8 V から 0.5 V 以下への低電源電圧下
- 2) ハザードフリーな動作率の最小化

に着目する。低電源電圧下におけるシミュレーションを行うため、同期式回路と非同期式回路それぞれについて 0.5 V に対応したセルライブラリを構築し、S-BOX 回路を設計した。また本論文では、高速処理などの高性能化ではなくバッテリーの長寿命化に重点を置くため、一般的にデジタル回路の性能指標として利用される PDP (Power-Delay Product) に代えて、1 動作当たりのエネルギーを性能指標とする。以上より本論文では、同期式回路による S-BOX 回路と比較して、非同期式回路による S-BOX 回路がより低消費エネルギー動作が可能であることを示す。

本章の構成は以下の通りである。5.2 節で非同期式回路について説明し、5.3 節で非同期式 AES S-BOX 回路と利用するセルライブラリについて説明する。次に、5.4 節でシミュレーション評価用のセルライブラリの概要と評価対象回路について説明した後、5.5 節で、試作チップの測定評価結果を示し、5.8 節で本章のまとめを述べる。

5.2 非同期式回路

グローバル・クロックを利用しないデジタル回路設計手法が多数存在し、それらはクロックレス回路や非同期式回路と呼ばれている。非同期式回路には、設計方法によって様々な利点と欠点が存在する [5]。非同期式回路と同期式回路には、入力データや演算結果の保持をするためのレジスタや、演算中のデータを後段の演算回路へ伝播させないようにするためのレジスタを備える点で類似している。非同期式回路では、同期式回路におけるグローバル・クロックを必要としない代わりに、非同期コントローラによりレジスタ間の通信を制御する。この通信方式をハンドシェイクと呼ぶ。また、data 信号と req 信号の処理方法によって、束データ方式と二線方式に分けることができる。

5.2.1 束データ方式の処理概要

束データ方式の基本構成を図 5.1 に示す。束データ方式は **data** と **req** をそれぞれ独立させる方式であり、通信のタイミングを遅延素子で保証している。

処理の流れについて述べる。送信側が受信側に受け入れを要求する時には **req** 信号を立ち上げる。**req** 信号は、遅延素子により一定時間遅れて受信側に伝わり、受信側はレジスタを開ける。つまり、組み合わせ回路の遅延が遅延素子以下ならば、レジスタに正しい値が保存されることになる。受け入れが完了した後は、受信側は **ack** 信号を立ち上げて送信側のレジスタを閉める。

この方式では、既存の組み合わせ回路が使用できるので実装が容易であることと、回路規模が既存の回路とさほど変わらないことが利点となる。しかし、遅延素子の遅延を超える遅延が組み合わせ回路で発生した場合は、正しい通信を保証できない欠点がある。

5.2.2 二線方式の処理概要

本研究では、二線方式で符号化されたデータによって通信の完了を検出する QDI 方式に着目する。二線方式は **data** の変化を **req** の変化として利用した方式であり、信号の“0”と“1”をそれぞれ意味する信号線を用意する。二線方式では、“0”は (0,1)，“1”は (1,0) とそれぞれ符号化される。また (0,0) は、ニュートラル、(1,1) は禁止入力とされている。したがって、二線方式を適用した回路では、演算完了を正確に検出するため、演算実行前に回路を初期化する必要がある。この初期化を、図 5.2 に示すように **spacer** と呼ぶ。

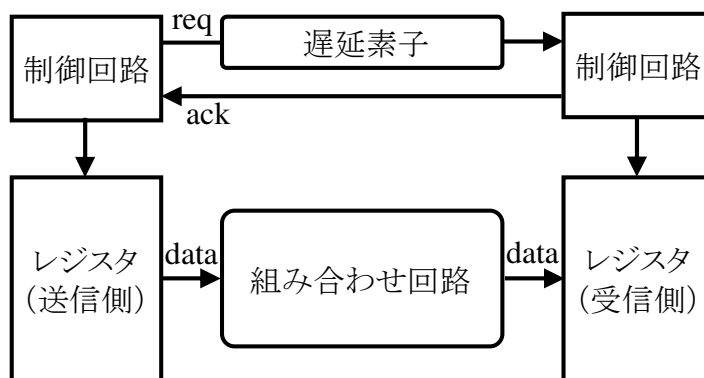


図 5.1 束データ方式の概要

図 5.3 に QDI 方式による半加算器 (Half-Adder:HA) の具体的な動作例を示す。図 5.3 において, 同期式 HA の出力はクロックの立ち上がりエッジに応じて変化する。一方非同期式 HA の場合は, 完了検出器によって初期化が検出された後, 新たな入力信号が入力され演算を開始する。その後, 演算の完了が検出されると, spacer が HA に入力されることで HA が初期化される。このため, 二線方式を適用した回路では, 同期式回路と比較して回路動作が 2 倍となり, 動作周波数が 2 倍に増加する。しかし, 回路中にハザードが存在しない場合, 動作率 α は 1 に固定さ

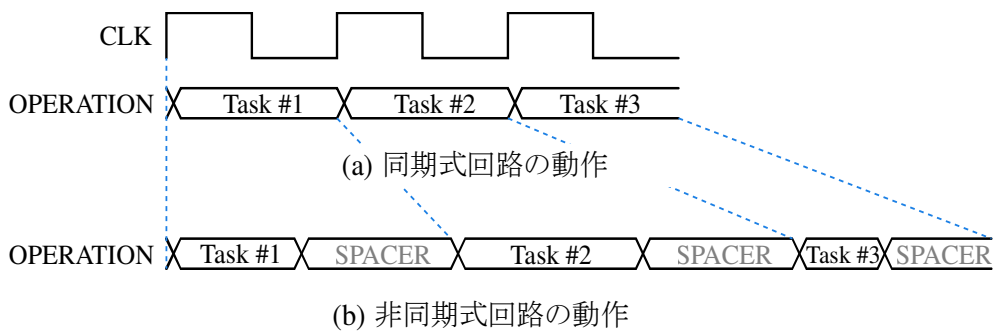


図 5.2 同期式回路と非同期式回路の動作の際

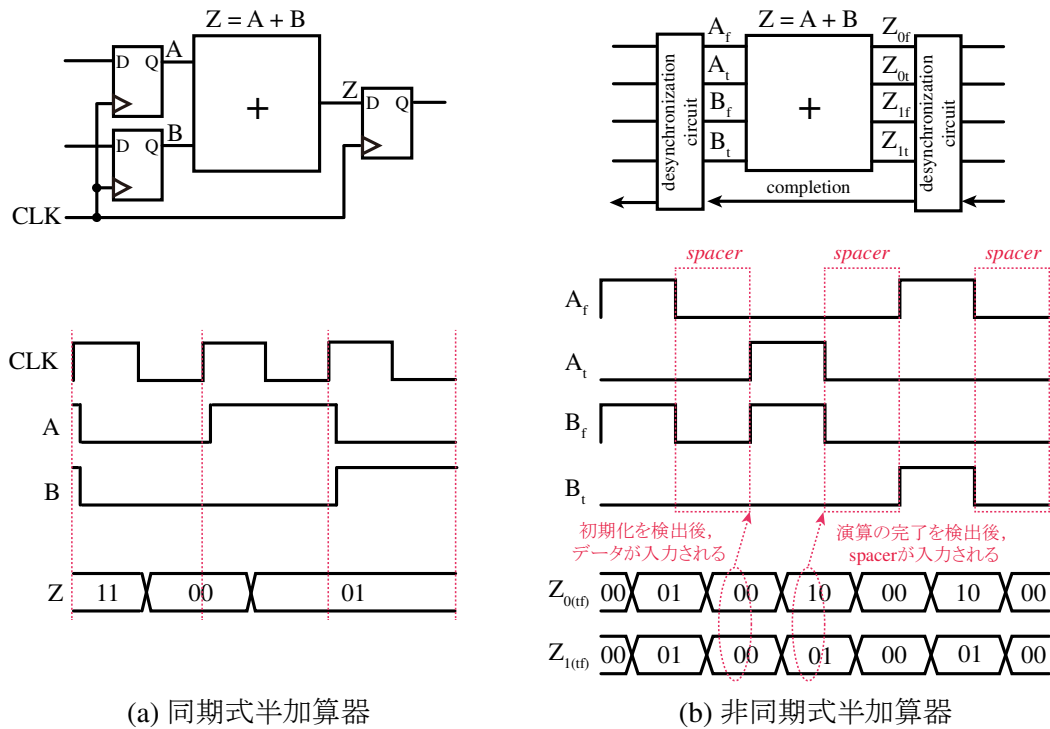


図 5.3 二線方式の概要

れる。同期式回路では、動作率 α_i は以前の入力データや状態に依存する。これは、組み合わせ回路における、信号間の遅延差によって生じるグリッチに影響を及ぼす。実際、非同期式回路はイベント駆動型の回路方式であり、命令や spacer の持続時間は完了検出回路によって決定される。したがって、PVT バラツキが発生した場合においても、実行時間がバラツキに対応して変化する。符号化の利用による障害の検出も容易である。通常、(1,1)は禁止されているが、仮に(1,1)が検出された場合は、spacer (0,0)を挿入した後に再演算することが可能である。

5.3 低電圧 S-BOX 回路に関する検討

5.3.1 S-BOX 回路の構築

図 5.4 に本研究で設計した S-BOX 回路のアーキテクチャを示す。この S-BOX 回路では、SubBytes 演算回路と逆 SubBytes 演算回路を共有する構成を採用した。SubBytes 演算回路と逆 SubBytes 演算回路の共有部分は、ガロア体 $GF(2^8)$ 上の逆元演算、アフィン変換、そして逆アフィン変換の組み合わせで構成されている。また、消費電力を最小化するため、オペラント・アイソレーションを採用した。オペラント・アイソレーションとは、演算が必要な回路のみに信号を伝播させ、不要な回路動作を削減する手法である。設計した S-BOX 回路では、面積を削減するため、 $GF(((2^2)^2)^2)$ の合成体を $GF(((2^2)^2)^2)$ の逆元演算として実装した。 $GF(((2^2)^2)^2)$ の逆元演算回路は、AND ゲートと XOR ゲートの 2 種類のセルで構成される。図 5.4 において、 $GF(((2^2)^2)^2)$ の逆元として $\lambda = \{1100\}_2$ を、図中の x^{-1} として記述されている

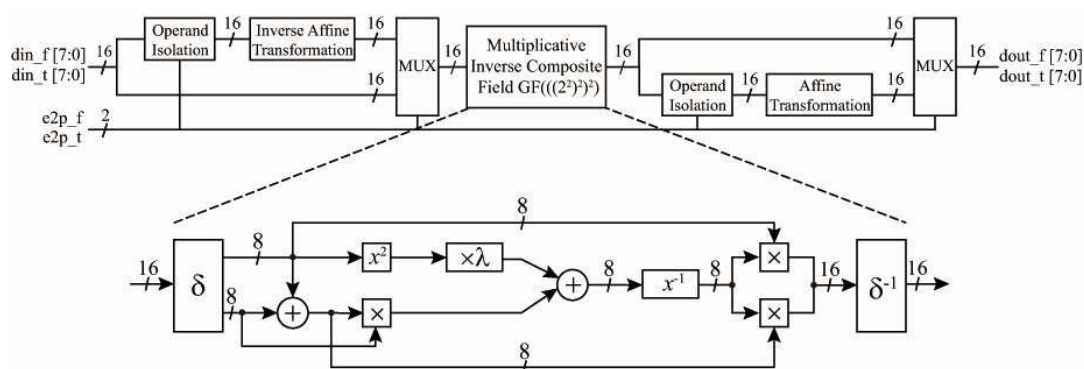


図 5.4 S-BOX 回路のアーキテクチャ

表 5.1 論理合成結果

No.	回路方式	セルライブラリ	電源電圧(V)	面積(μm^2)
c0	同期式	スタンダード・セルライブラリ	1.8	3,809
c1	同期式	0.5 V 同期式	0.5	6,019
c2	非同期式	0.5 V 同期式	0.5	10,127
c3	非同期式	0.5 V 非同期式	0.5	12,476

$GF((2^2)^2)$ の逆元として $\Phi = \{00\}_2$ を利用した。通常、大規模回路に対するシミュレーションにおいては Verilog-HL などの HDL が利用され、その際に必要となる回路情報として、半導体メーカーから提供されているスタンダード・セルライブラリを利用する。現在、我々が利用しているプロセスは、 $V_{DD} = 1.8 \text{ V}$ に対応した $0.18 \mu\text{m}$ CMOS プロセスであるため、提供されているセルライブラリでは、 $V_{DD} = 1.8 \text{ V}$ 以外の電源電圧におけるシミュレーションが実行できない。そこで本研究では、低電源電圧におけるシミュレーションを可能とするため、2種類の $V_{DD} = 0.5 \text{ V}$ に対応したセルライブラリを構築した。構築した2種類の 0.5 V 対応セルライブラリは、同期式回路ライブラリと非同期式回路ライブラリである。

図 5.4 に示した S-BOX 回路について、構築した2種類のセルライブラリを利用して、論理合成の実行やゲートレベルの遅延評価、電力評価を行った。表 5.1 に、設計した回路の概要についてまとめる。表 5.1 より、論理合成による面積評価において、提案非同期式 S-BOX 回路(c3)は、 $12,476 \mu\text{m}^2$ となった。提案非同期式 S-BOX 回路におけるクリティカル・パスは、 $GF(((2^2)^2)^2)$ の逆元演算部であり、パス中に24個のゲートが存在する。一方、 0.5 V に対応した同期式セルライブラリを利用した S-BOX 回路(c1)の面積は $6,019 \mu\text{m}^2$ となった。各回路の詳細については、5.4 節で述べる。

5.3.2 0.5 V 対応同期式セルライブラリ

表 5.2 に、 0.5 V 対応同期式セルライブラリに含まれる回路とその性能を示す。同期式セルライブラリに含まれる回路は、6種類の CMOS 回路となっている。このような構成ゲート数の少ないセルライブラリは、遅延や面積、消費電力の面で不利となる [6]。 0.5 V に対応した同期式セルライブラリに含まれる論理ゲートの構成は、 1.8 V に対応したスタンダード・セルライブラリに含まれる論理ゲートと同じ構成となって

表 5.2 同期式セルライブラリの性能諸元 ($V_{dd} = 0.5 \text{ V}$)

セル	遅延時間 (ns)	消費電力 (nW)	面積 (μm^2)
INV	3.10	0.70	10.98
NAND	3.76	0.89	13.17
NOR	7.68	0.87	13.17
XOR	15.6	3.84	26.34
D-FF	25.4	8.43	54.88
MUX	16.9	1.98	24.15

表 5.3 非同期式セルライブラリの性能諸元 ($V_{dd} = 0.5 \text{ V}$)

セル	遅延時間 (ns)	消費電力 (nW)	面積 (μm^2)
非同期式 AND	11.1	3.42	39.93
非同期式 XOR	22.4	5.70	52.68

いる。これらのセルライブラリは、供給電圧の設定値が異なるため、異なる回路性能を示す [6]。Verilog-HDL ツールによる低電源電圧下でのシミュレーションを行うため、0.5 V セルライブラリを採用した。

5.3.3 0.5 V 対応非同期式セルライブラリ

0.5 V 対応非同期式セルは、0.5 V 対応同期式セルによって構成することが可能である。図 5.5 に同期式セルを利用した非同期式 AND ゲートと非同期式 XOR ゲートを示す。しかし、同期式セルによって構成した非同期式セルは、面積と消費電力の増加を招く。そこで、表 5.3 に示す 0.5 V 非同期式セルライブラリを構築した。非同期式セルライブラリに含まれる各セルの構成を図 5.6 に示す。二線方式における信号の反転は、出力信号の配線を入れ替えることで実現できる。これにより、信号反転のためのトランジスタを追加する必要がなくなる。

5.4 シミュレーションによる評価

表 5.1 に示す各種 S-BOX 回路に関して、表 5.2、表 5.3 に示す本研究で構築したセルライブラリを利用したシミュレーションを行った。

図 5.7 に、同期式 S-BOX 回路 (c0) のシミュレーション結果として、S-BOX 回路への入力信号と、アフィン変換された出力信号を示す。図 5.7 中の出力信号には、

組合せ回路中で生じる信号遷移のずれによって引き起こされた、多数のグリッチが確認できる。これらのグリッチは、消費電力の増加を招く。

図 5.8 に、提案非同期式 S-BOX 回路 (c3) のシミュレーション結果として、S-BOX 回路への入力信号と、アフィン変換された出力信号を示す。図 5.8 より、提案非同期式 S-BOX 回路の出力信号にはグリッチが全く含まれておらず、不要な信号遷移が生じていないことが確認できる。

図 5.9 に、消費電力のシミュレーション結果を示す。上側の曲線は、スイッチング

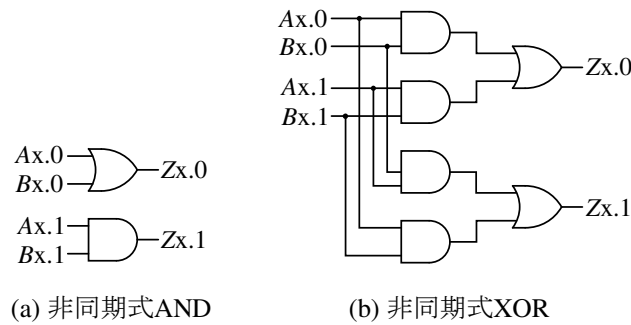


図 5.5 同期式セルによる非同期式セルの構成

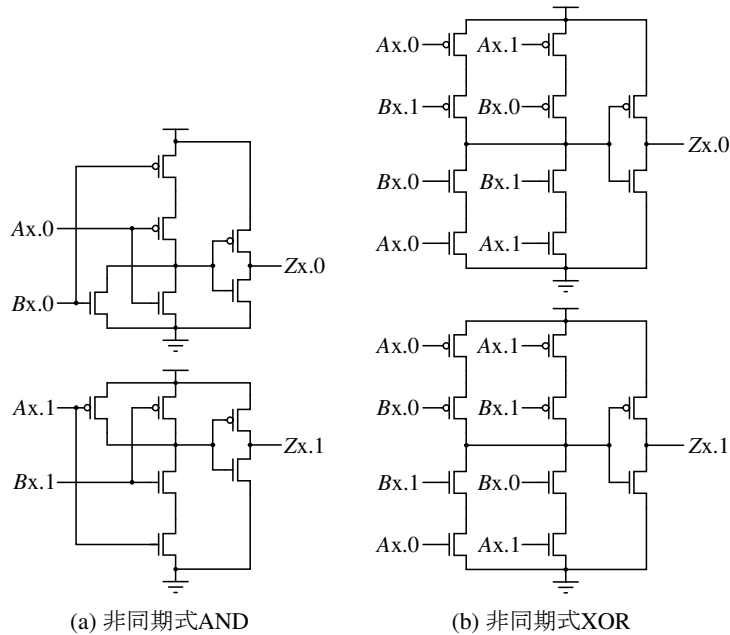


図 5.6 提案非同期セルライブラリに含まれる回路の構成

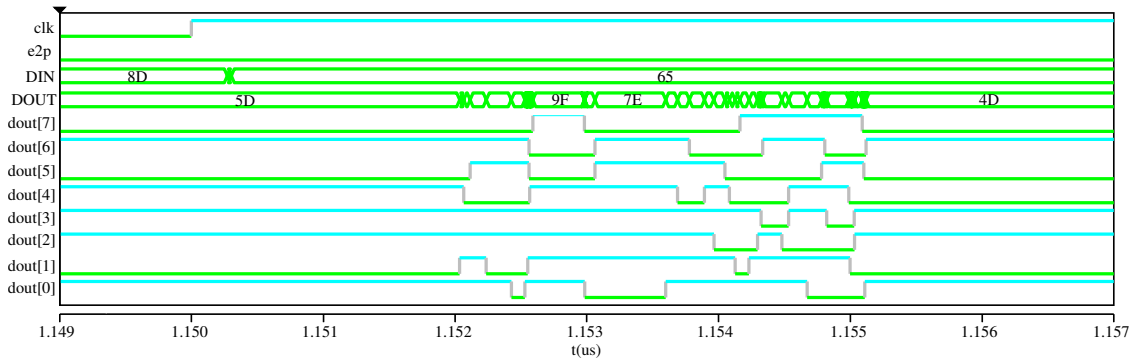


図 5.7 同期式 S-BOX 回路のシミュレーション結果

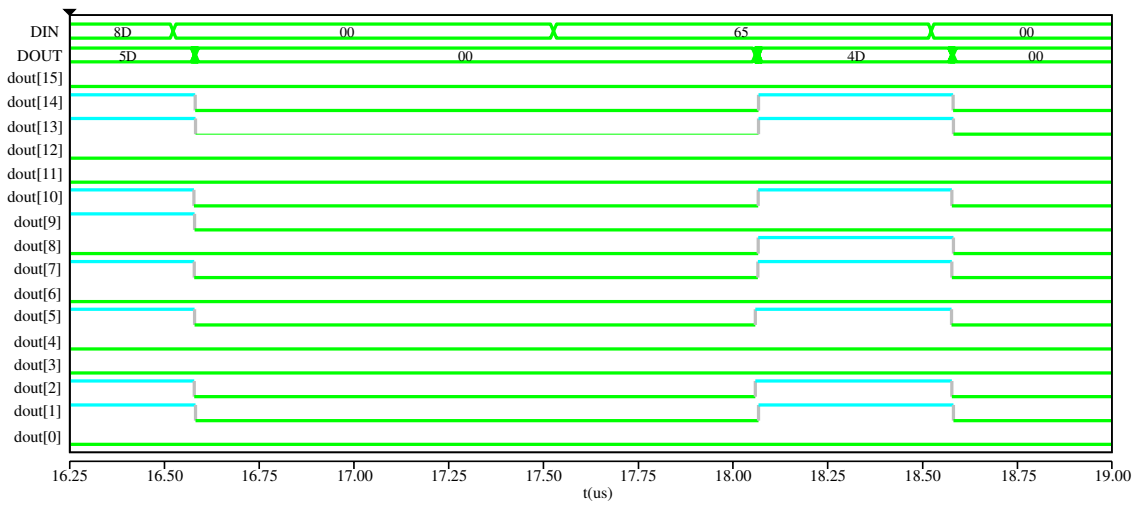


図 5.8 提案非同期式 S-BOX 回路のシミュレーション結果

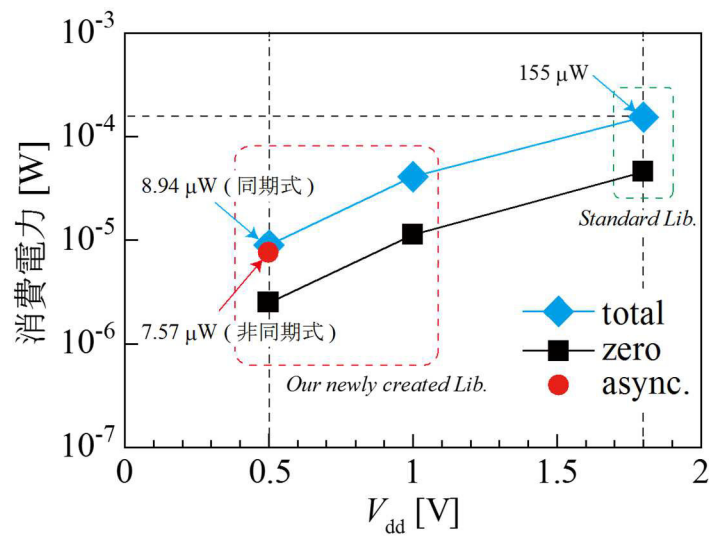


図 5.9 消費電力のシミュレーション結果

電力や内部電力, リーク電力の合計値を示している。V_{DD} = 1.8 V の点は, スタンダード・セルライブラリを利用した S-BOX 回路の結果であり, 消費電力は 155 μ W となった。対照的に, 0.5 V 対応同期式セルライブラリを利用した S-BOX 回路の消費電力は, 8.94 μ W であった。提案非同期式 S-BOX 回路の消費電力結果もまた, 図 5.9 中の V_{DD} = 0.5 V の点に示している。提案非同期式 S-BOX 回路の消費電力は 7.57 μ W となり, 同期式 S-BOX 回路と比較して 15.3% 削減された。

5.5 実測による評価

同期式 S-BOX 回路と非同期式 S-BOX 回路について, 0.18 μ m CMOS プロセスを利用したチップ試作を行った。4 種類の S-BOX 回路を同一のチップ上に実装した。チップ写真を図 5.10 に示す。同期式 S-BOX 回路は, 図 5.10 中の c0 と c1 である。c0 は 1.8 V 対応スタンダード・セルライブラリによって構築し, c1 は 0.5 V 対応同期式セルライブラリによって構築した。非同期式 S-BOX 回路は, 図 5.10 中の c2 と c3 である。c2 は 0.5 V 対応同期式セルライブラリによって構築し, c3 は 0.5 V 対応非同期式セルライブラリによって構築した。c0, c1, c2, そして c3 の面積はそれぞれ, 5,176 μ m², 8,150 μ m², 23,628 μ m², 17,024 μ m² となった。測定において, 出力信号の確認のために過去に設計したレベルシフタ [7] を利用した。

図 5.11 に, 電源電圧を 0.2 V から 0.8 V まで変化させた場合の, 1 動作当たりの消費エネルギー結果を示す。図 5.11 より, ニアスレッショルド領域やサブスレッショ

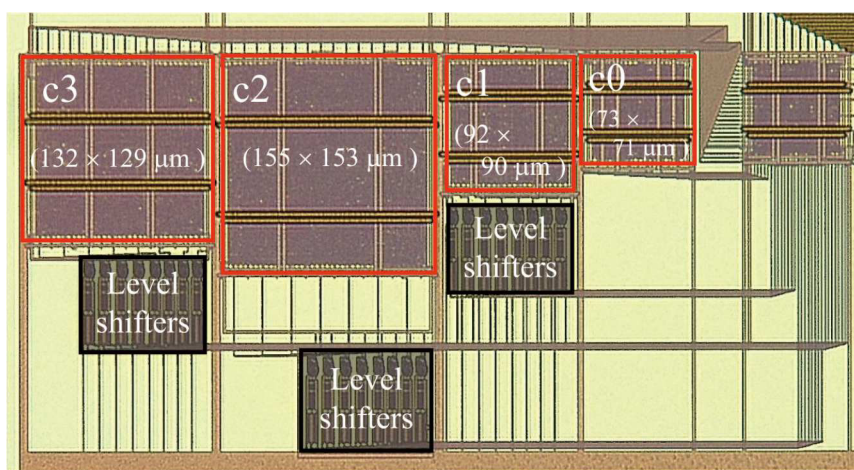


図 5.10 チップ写真

表 5.4 S-BOX 回路の性能諸元

文献番号	[8]	[9]	
アーキテクチャ	Composite-Field	Optimized Composite-Field	
評価方法	Chip	Simulation	
プロセス	0.13 μm FSG	0.13 μm GP / LL	65 nm LP / HVT
電源電圧	0.75 V	1.2 V	1.2 V
消費エネルギー	1.66 pJ	1.21 pJ	0.635 pJ
リーク電力	-	142 nW	3.65 nW
回路構成	S-BOX & S-BOX ⁻¹	S-BOX	

文献番号	[10]		提案回路	
アーキテクチャ	Composite-Field	3-stage PPRM	Composite-Field	Asynchronous Composite-Field
評価方法	Simulation		Chip	
プロセス	0.13 μm		0.18 μm GP	
電源電圧	1.5 V		310 mV	330 mV
消費エネルギー	17.9 pJ	7.9 pJ	1.13 pJ	0.99 pJ
リーク電力	-	-	16.5 nW	13.6 nW
回路構成	S-BOX & S-BOX ⁻¹		S-BOX & S-BOX ⁻¹	

ルド領域において、電圧スケールリング則に従って徐々に消費エネルギーが減少していることが確認できる。提案非同期式 S-BOX 回路(c3)は、 $V_{dd} = 240$ mV まで動作可能であることを確認した。しかし、この電源電圧付近ではリーク電力が支配的となっている。同期式 S-BOX 回路(c1)と比較すると、c3 は 12% の消費エネルギー削減となった。さらに c3 は、 $V_{dd} = 330$ mV、動作周波数 9.765 kHz において、最小消費エネルギー 0.99 pJ を実現した。これより、組合せ回路における不要な信号遷移の削減は、消費エネルギーの削減に効果的であることを確認した。

表 5.4 に、他の研究成果 [8-10] における、同期式 S-BOX 回路と非同期式 S-BOX 回路の性能諸元をまとめる。表 5.4 より、提案非同期式 S-BOX 回路が、最も大きいプロセスを利用しているにも関わらず、最低動作電圧が最も低く、高エネルギー効率であることを確認した。

5.6 結言

本稿では、QDI 方式を採用した、高エネルギー効率非同期式 S-BOX 回路を提

案した。提案非同期式 S-BOX 回路は、非同期式回路の性質より PVT バラツキに頑健であり、単純電力解析や差分電力解析のようなサイドチャネル攻撃に高い耐性を有している。測定結果より、提案非同期式 S-BOX 回路は、電源電圧 330 mV において 0.99 pJ を実現し、同期式 S-BOX 回路と比較して 12% の消費エネルギー削減となった。データパスに QDI 方式を採用した回路は、ニアスレッショルド領域やサブスレッショルド領域における動作に有効であることを確認した。

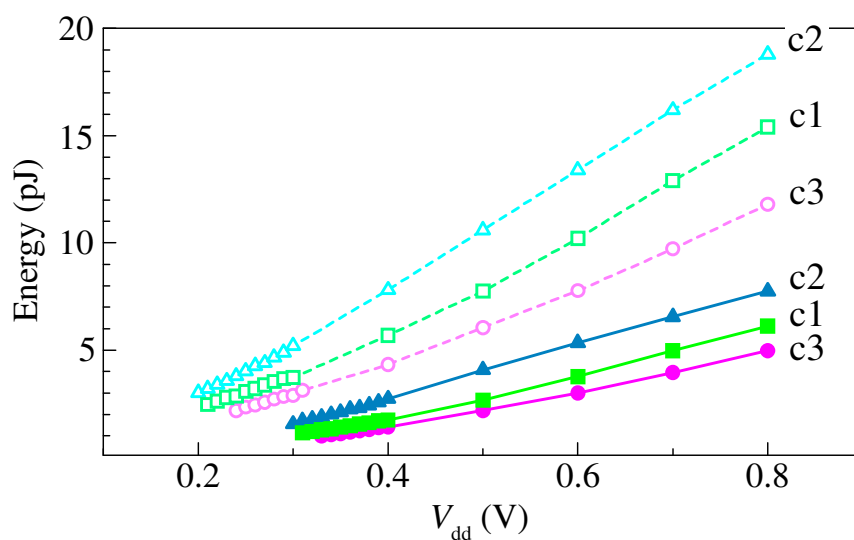


図 5.11 消費エネルギーの実測結果(実線:9.765 kHz, 点線:1.219 kHz)

参考文献

- [1] M. Feldhofer, S. Dominikus and J. Wolkerstorfer, "Strong authentication for RFID systems using the AES algorithm," In M. Joye, and J.-J. Quisquater (Eds): Sixth Int. Workshop on Cryptographic Hardware and Embedded Systems, Boston, USA, August 2004, LNCS 3156, pp. 357-370 (Springer, 2004).
- [2] Y. M. Feldhofer, J. Wolkerstorfer and V. Rijmen: IEE Proc. in Information Security (2005).
- [3] B. Zhai, S. Hanson, D. Blaauw, and D. Sylvester, "Analysis and mitigation of variability in subthreshold design," in Proc. Int. Symp. Low Power Electron. Design, pp. 20-25, Aug. 2005.
- [4] D. Kamel, C. Hocquet, O.-X. Standaert, D. Flandre, and D. Bol, "Glitch-Induced Within-Die variations of dynamic energy in voltage-scaled nano-CMOS circuits," ESSCIRC, 2010 Proceedings, pp. 518-521.
- [5] R.D. Jorgenson, L. Sorensen, D. Leet, M.S. Hagedorn, D.R. Lamb, T.H. Friddell, and W.P. Snapp, "Ultralow-power operation in subthreshold regimes applying clockless logic," Proceedings of the IEEE, vol.98, no.2, pp. 299-314, Feb. 2010.
- [6] N.M. Duc, and T. Sakurai, "Compact yet high-performance (CyHP) library for short time-to-market with new technologies," Design Automation Conference 2000, Proc. of the ASP-DAC2000, pp. 475-480, June 2000.
- [7] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "A low-power level shifter with logic error correction for extremely low-voltage digital CMOS LSIs," IEEE Journal of Solid-State Circuits, vol.47, no.7, pp. 1776-1783, July 2012.
- [8] T. Good, and M. Benaissa, "629-nW Advanced encryption standard (AES) on a 0.13-um CMOS," IEEE Transactions on VLSI Systems, vol.18, no.12, pp. 1753-1757, Dec. 2010.
- [9] D. Kamel, O.-X. Standaert, and D. Flandre, "Scaling trends of the AES S-Box low power consumption in 130 and 65nm CMOS technology nodes," ISCAS, pp. 1385-1388, May 2009.
- [10] S. Morioka, and A. Satoh, "An Optimized s-box circuit architecture for low power AES design," CHES, in proceedings, pp. 172-186, 2002.

第 6 章

結 論

次世代型情報化社会の実現に向けて、スマートセンサ LSI が注目されている。このスマートセンサ LSI は、小型・軽量のデバイスとする必要があるため、その電力供給はコインバッテリーや環境エネルギーによって行うことを想定している。コインバッテリーや環境エネルギーから得られる電力・電圧は小さいため、スマートセンサ LSI 内部の回路は、低消費電力かつ低い電源電圧でも安定に動作することが求められる。そこで、スマートセンサ LSI を構成する LSI の小型化、低消費電力化が不可欠となる。これまで LSI の性能向上や低消費電力化は、トランジスタの微細化によって達成してきた。しかし、微細化のみでは、厳しい消費電力の制約を満たしつつ性能を向上させることは容易ではなくなっている。そのため、従来のバルク MOSFET における素子寸法の縮小に頼らない、回路設計技術の重要性が増している。本論文では、デジタル回路の低消費電力化手法として、回路アーキテクチャの工夫による低消費電力化と、電源電圧の低下に向けた回路構成の工夫による低消費電力化の 2 つのアプローチを採用し、低消費電力 VLSI 実現へ向けた回路設計手法の提案を目的とした。本研究は、大きく分けて以下の 3 つのテーマで構成した。

- 1) 乗算器における桁上げ吸収回路の低電力化手法(第 3 章)
- 2) デジタル集積回路に低電圧動作に向けた要素回路の低電力化手法
(第 4 章)
- 3) 極低電圧動作に向けた高エネルギー効率非同期式 AES 暗号回路の構築
(第 5 章)

以下、各章で得られた結論についてまとめる。

第 3 章では、乗算器の 1 つの構成回路ブロックである桁上げ吸収回路の低消費

電力化手法を提案した。乗算器における、部分積加算回路からの出力信号間に生じる遅延を考慮した回路構成を適用することにより、桁上げ吸収回路の低消費電力化を図る手法を提案した。入力信号間に生じる遅延によって桁上げ吸収回路を下位ビット部、中間ビット部、上位ビット部の 3 つのブロックに分割し、それぞれのブロックに生じる遅延の特徴に適した回路構成を適用した。下位ビット部ではビット位置に対して 1 次関数的に遅延が増加することから、桁上げ信号が順次伝搬する RCA を適用した。中間ビット部では他のビット位置と比較して入力信号間に生じる遅延が増加するため高速動作する APPNA を適用した。そして、上位ビットでは消費電力削減と桁上げ信号生成の高速化を考慮し、CBA を適用した。本手法の評価にあたり、提案手法と従来手法に対して、部分積加算回路からの出力を模したランダムな入力パターンを入力した際の遅延時間、消費電力、PD 積の比較評価を行った。シミュレーションの結果、提案手法を用いた場合、従来手法と比較して遅延時間を 5.5%、消費電力を 8.4%、PD 積を 13.5% 削減できる効果を確認した。

第 4 章では、同期式回路方式において記憶素子として利用される D フリップフロップと、非同期式回路方式において D フリップフロップと同様の役割を担う C 素子の低消費電力化および低電源電圧化を実現する手法を提案した。D フリップフロップに関しては、マスター・ラッチとスレーブ・ラッチにおいて、NOR を共有することで回路規模を削減する CS²FF を提案した。CS²FF は 5 つの NOR ゲートと 2 つのインバータで構成され、24 個のトランジスタを利用した。SPICE シミュレーションの結果、消費電力が 9.7 nW となり、消費電力に関しては従来回路の TGFF と比較して、13% の削減となった。また、提案回路の実測結果では、0.352 V において 5.9 nW の極低消費電力で動作可能である。最小可動電源電圧における消費電力は、TGFF と比較して 13% の削減効果を確認した。また、クロックの立ち上がりから出力が変化するまでの遅延である $t_{CK,Q}$ 測定用回路の試作を行い、実測による $t_{CK,Q}$ の評価を行ったところ、D フリップフロップ単体でシミュレーションを行った場合と同等の値となることを確認した。C 素子に関しては、基本的な C 素子の構成に含まれるインバータ・ラッチ部の出力端子に、pMOSFET を抵抗として挿入することで、インバータ・ラッチ部に遅延を発生させ、入力段からの信号が出力端子まで正常に伝播する構成を提案した。提案回路を利用することで、 $V_{DD} = 1.08$ V において PD 積が最小の 4.32 aJ となり、従来のスタティック C 素子と比較して、9.3% の PD 積削減を実現した。

第 5 章では、AES 暗号化回路に含まれる S-BOX 回路に関して、QDI 方式を採

用した, 低電源電圧動作可能な高エネルギー効率非同期式 S-BOX 回路を提案した。提案非同期式 S-BOX 回路は, 非同期式回路の性質より PVT バラツキに頑健であり, 単純電力解析や差分電力解析のようなサイドチャネル攻撃に高い耐性を有している。測定結果より, 提案非同期式 S-BOX 回路は, 電源電圧 330 mV において 0.99 pJ を実現し, 同期式 S-BOX 回路と比較して 12% の消費エネルギー削減となった。データパスに QDI 方式を採用した回路は, ニアスレッショルド領域やサブスレッショルド領域における動作に有効であることを確認した。

本研究では, 低消費電力 LSI を実現するために, 従来のプロセス微細化にともなう単純な低電圧化に頼らない, 回路構成上の工夫による低消費電力回路設計技術を提案・実現した。シミュレーション評価および試作チップの実測評価より, 回路構成やアーキテクチャの工夫によって低消費電力 LSI の実現が可能であることを示した。

謝 辞

本研究の機会を与えて頂き、ご指導を賜りました神戸大学大学院工学研究科電気電子工学専攻 沼 昌宏教授に深く感謝致します。本研究の動機づけをして頂くとともに、熱心な御指導と貴重な御助言を与えて頂きました。謹んで感謝の意を表します。

本研究を論文としてまとめるにあたって大変貴重な御教示と御助言を頂きました、神戸大学大学院工学研究科電気電子工学専攻 増田 澄男教授，同研究科電気電子工学専攻 北村 雅季教授，同研究科電気電子工学専攻 廣瀬 哲也准教授に深く感謝致します。

日頃から暖かい励ましと活発な議論を通じ貴重な御助言を頂きました神戸大学大学院工学研究科電気電子工学専攻 黒木 修隆准教授に心より感謝致します。

研究室における環境の便宜を図って下さいました神戸大学工学部電気電子工学科 松本 香技術専門職員，土居原 和良氏に深く感謝致します。

本研究を進めるにあたり，貴重な御教示と御助言を頂きました，岡田 光司氏に心より感謝致します。

さらに，本研究を遂行するにあたり，神戸大学大学院工学研究科電気電子工学専攻 集積回路情報研究室の小暮 武氏(現在 (株)村田製作所)，藤岡 達也氏，Son Yang-uk 氏(現在)，北山 貴彦氏(現在 ルネサスエレクトロニクス(株))，佐々木 仁氏(現在 川崎重工業(株))，道畠 昂平氏(現在 富士通(株))，坂本 博之氏，切山 亜弓氏(現在 パナソニック(株))，陸井 賢人氏(現在 (株)小松製作所)，松塚 凌氏，古井 秀弥氏，浅野 茂生氏，篠永 恭平氏，村田 大智氏，望月 香那氏には，本研究以外の内容に関しても様々な議論の場において多大なる御協力を頂きました。また，塩木 講輔氏(現在 パナソニックシステムネットワークス(株))，渡辺 浩介氏(現在 オムロン(株))，千崎 弘人(現在 西日本旅客鉄道(株))，松山 友紀氏(現在 裕幸計装(株))，谷岡 駿氏(現在 ソニー(株))，天満 健氏，下野

友大氏(現在 西日本旅客鉄道(株)), 片山 直樹氏(現在 新日鉄住金ソリューションズ(株)), 山本 直也氏, 澤井 剛史氏, 竹崎 彩乃氏には研究生生活や課外活動によって本研究への志気高揚という面におきましても大きく御貢献くださいました。改めてここに深く感謝いたします。

最後に, 大学生生活と研究生生活を温かく見守ってくださいました両親と兄弟に心より感謝致します。

本研究に関する発表論文

【学術論文】

- [1] Y. Shizuku, T. Hirose, N. Kuroki, M. Numa, and M. Okada, "Energy-efficient AES subbytes transformation circuit using asynchronous circuits for ultra-low voltage operation," IEICE Electronics Express, vol. 12, no. 4, pp. 1-10, Jan. 2015.
- [2] Y. Shizuku, T. Hirose, N. Kuroki, M. Numa, and M. Okada, "An Energy-efficient 24T flip-flop consisting of standard CMOS gates for ultra-low power digital VLSIs," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E98-A, no. 12, pp. 2600-2606, Dec. 2015.

【国際会議】

- [3] Y. Shizuku, T. Kogure, T. Fujioka, T. Hirose, N. Kuroki, and M. Numa, "Saving power consumption in final stage adder of multiplier by using difference in arrival times with input signals," The 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2012), pp. 192-196, Mar. 2012.
- [4] Y. Son, Y. Shizuku, T. Kogure, T. Hirose, N. Kuroki, and M. Numa, "Reduction of glitches for low-power multipliers using 4-2 compressors based on hybrid-CMOS logic style," The 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2012), pp. 534-538, Mar. 2012.
- [5] T. Kitayama, K. Michibata, Y. Shizuku, T. Hirose, N. Kuroki, and M. Numa,

- "Hardware architecture for real-time operation of learning-based super-resolution using binary search tree," The 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2012), pp. 492-496, Mar. 2012.
- [6] J. Sasaki, Y. Shizuku, T. Hirose, N. Kuroki, and M. Numa, "A technique for accelerating SVM-based image recognition using GPU," The 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2012), pp. 28-32, Mar. 2012.
- [7] Y. Shizuku, T. Hirose, Y. Danno, N. Kuroki, and M. Numa, "A compact and energy-efficient Muller C-element for low-voltage asynchronous CMOS digital circuits," The 18th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI 2013), pp. 118-122, Oct. 2013.
- [8] K. Kugai, Y. Shizuku, T. Hirose, N. Kuroki, and M. Numa, "A technique for accelerating adaptive super resolution technique based on local features of images using GPU," The 18th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI 2013), pp. 170-175, Oct. 2013.
- [9] A. Kiriya, R. Matsuzuka, K. Michibata, T. Kitayama, Y. Shizuku, T. Hirose, N. Kuroki, and M. Numa, "A memory Saving technique for 4K super-resolution circuit with binary tree dictionary," The 18th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI 2013), pp. 360-365, Oct. 2013.
- [10] Y. Shizuku, T. Hirose, N. Kuroki, M. Numa, and M. Okada, "A 24-transistor static flip-flop consisting of NORs and inverters for low-power digital VLSIs," 12th IEEE International NEW Circuits And Systems (NEWCAS) conference, pp. 137-140, Jun. 2014.
- [11] R. Matsuzuka, T. Hirose, Y. Shizuku, N. Kuroki, and M. Numa, " A 0.19-V minimum input low energy level shifter for extremely low-voltage VLSIs," in Proceedings of International Symposium on Circuits and Systems (ISCAS), pp. 2948-2951, May. 2015.

【国内会議】

- [12] 小暮 武, 藤岡達也, 雫 讓, 廣瀬哲也, 黒木修隆, 沼 昌宏, "ハイブリッド型 CMOS 論理構成の 4-2 加算器による乗算器のグリッチ削減," 情報処理学会研究報告, vol. 2009-SLDM-142, no. 20, 2009 年 12 月.
- [13] 雫 讓, 藤岡達也, 小暮 武, 廣瀬哲也, 黒木修隆, 沼 昌宏, "入力信号間に生じる遅延を考慮した桁上げ吸収回路の低消費電力化", DA シンポジウム 2010, pp. 153-158, 2010 年 9 月.
- [14] Son Yang-uk, 雫 讓, 小暮 武, 廣瀬哲也, 黒木修隆, 沼 昌宏, "ビット構成の異なる加算器を組み合わせた木構造部分積加算回路による乗算器のグリッチ削減", DA シンポジウム 2011, pp. 57-62, 2011 年 8 月.
- [15] 佐々木 仁, 雫 讓, 廣瀬哲也, 黒木修隆, 沼 昌宏, "SVM に基づく画像認識処理の GPU を用いた高速化手法", DA シンポジウム 2011, pp. 153-158, 2011 年 9 月.
- [16] 道島昂平, 切山亜弓, 北山貴彦, 雫 讓, 廣瀬哲也, 黒木修隆, 沼 昌宏, "二分木辞書を用いた学習型超解像のストリーム処理型アーキテクチャ", DA シンポジウム 2012, pp. 31-36, 2012 年 8 月.
- [17] 坂本博之, 佐々木 仁, 雫 讓, 黒木修隆, 廣瀬哲也, 沼 昌宏, "ウェーブレット変換に基づく学習型超解像の GPU による高速化手法", 第 11 回情報科学技術フォーラム(FIT2012), B-004, 2012 年 9 月.
- [18] 佐々木 仁, 坂本博之, 雫 讓, 黒木修隆, 廣瀬哲也, 沼 昌宏, "マルチモーダル入力に対応した重み付き多数決による識別器の GPU による高速化", 第 11 回情報科学技術フォーラム(FIT2012), B-005, 2012 年 9 月.
- [19] 松塚 凌, 切山亜弓, 道島昂平, 雫 讓, 廣瀬哲也, 黒木修隆, 沼 昌宏, "学習型超解像による 4 倍拡大映像出力ハードウェアの実現と辞書探索回路の規模削減", 第 13 回情報科学技術フォーラム(FIT2014), C-001, 2014 年 9 月.
- [20] 篠永 恭平, 廣瀬 哲也, 雫 讓, 松塚 凌, 黒木 修隆, 沼 昌宏, "サブスレッショルド領域動作に適したスタンダードセルのサイジング手法", 第 28 回回路とシステムワークショップ, pp.88-93, 2015 年 8 月.
- [21] 松塚 凌, 廣瀬 哲也, 雫 讓, 黒木 修隆, 沼 昌宏, "幅広い電圧レベル変換を実現する低消費電力レベルシフタ", 平成 27 年度 VDEC デザイナー

ズフォーラム, 2015 年 8 月.

- [22] 村田大智, 切山亜弓, 雲 讓, 廣瀬哲也, 黒木修隆, 沼 昌宏, "自己学習型超解像に適用する K-means クラスタリング処理のハードウェアによる実現", 第 14 回情報科学技術フォーラム(FIT2015), C-010, 2015 年 9 月.

神戸大学博士論文 全 104 頁

「低電圧動作に向けた低電力デジタル集積回路設計に関する研究」

提出日 2016 年 01 月 22 日

本博士論文が神戸大学機関リポジトリ Kernel にて掲載される場合、掲載登録日（公開日）はリポジトリの該当ページ上に掲載されます。

© 零 護

本論文の内容の一部あるいは全部を無断で複製・転載・翻訳することを禁じます。
