

PDF issue: 2025-02-11

低電圧動作に向けた低電力ディジタル集積回路設計 に関する研究

雫, 譲

<mark>(Degree)</mark> 博士(工学)

(Date of Degree) 2016-03-25

(Date of Publication) 2017-03-01

(Resource Type) doctoral thesis

(Report Number) 甲第6637号

(URL) https://hdl.handle.net/20.500.14094/D1006637

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博士論文

低電圧動作に向けた 低電力ディジタル集積回路設計に関する研究

平成 28 年 1 月

神戸大学大学院工学研究科

雫 譲

内容梗概

近年、スマートフォンやタブレット端末などの携帯型マルチメディア機器の普及に 伴い、Internet of Things (IoT)に代表される次世代型情報化社会の実現に向けた、 高機能な大規模集積回路(LSI:Large Scale Integration)の重要性が増している。次 世代型情報化社会では、コンピュータのような情報・通信機器のみならず、身の回り の様々な「モノ」に通信機能を付加することで、「モノ」と「モノ」とが能動的にネットワ ークに接続し、相互通信・制御を行う。スマートフォンや自動車、農作物といったあら ゆる「モノ」にセンサ・デバイスを搭載することで、世界中のどこにいても必要な情報 を取得することが可能となる。

このような次世代型情報化社会の実現に向けてキーデバイスとなるのが、スマート センサLSIである。スマートセンサLSIは、電源回路ブロック、アナログ回路ブロック、 ディジタル回路ブロック、メモリブロック、そして通信ブロックで構成される。また、小 型化・軽量化が求められるスマートセンサLSIの電源としては、コインバッテリや自然 エネルギーの利用が想定される。コインバッテリや自然エネルギーから得られる電 力・電圧は限られるため、スマートセンサLSI内部の各種回路は、低消費電力かつ 低電源電圧でも安定に動作することが不可欠となる。

集積回路の小型化,低消費電力化に関しては,プロセスの微細化によって実現 してきたが,90 nm 以降の非常に微細なプロセスにおいては,回路全体の消費電力 に対するリーク電力の割合が増加し,単純な微細化や電源電圧の低下が困難とな っている。そのため,プロセスの微細化のみに頼るのではなく,回路設計技術による 低消費電力化が重要となる。一方で,環境センサのような高機能・高性能なプロセッ サを必要としない状況での低消費電力化を目的として,トランジスタのサブスレッショ ルド領域での特性を利用した回路の設計手法がある。サブスレッショルド領域とは, 電源電圧をトランジスタのしきい値電圧 V_{th}以下とした動作領域であり,通常であれ ば µA オーダ程度の電流消費を, nA オーダに抑制することができる。本来は, トラ ンジスタのオフ状態とみなされる動作領域であるが, 回路構成の工夫によって低消 費電力化が可能となる。このため, トランジスタのサブスレッショルド領域を利用した 回路設計は, 集積回路の低消費電力化手法として注目されている。しかし, サブス レッショルド領域動作では消費電力を大幅に削減できる一方, 回路性能がトランジ スタの形状ばらつき, しきい値電圧の変動, 電源電圧の変動, そして温度変化に大 きく影響を受けて劣化するため, タイミングなどの制約を満たすことが困難となる場 合がある。これを解決するために, 低電圧下での動作保障用の付加回路を追加す ることが考えられるが, 付加回路による消費電力や遅延の増加が懸念される。以上 より, サブスレッショルド領域を利用した回路設計では, 回路の安定動作と安定動作 実現に必要な各種オーバーヘッドについて十分に考慮する必要がある。

本論文では、ディジタル集積回路の低消費電力化手法として、回路アーキテクチャの工夫による低消費電力化と、電源電圧の低減に向けた回路構成の工夫による低消費電力化の2つのアプローチを採用し、低消費電力LSI実現へ向けた回路設計手法の提案を目的とする。

本研究は、大きく分けて以下の3つのテーマで構成される。

1) 乗算器における桁上げ吸収回路の低消費電力化手法

2) ディジタル集積回路に向けた要素回路の低電圧動作および低電力化手法

3) 極低電圧動作に向けた高エネルギー効率非同期式 AES 暗号回路の構築

第一のテーマでは乗算器の桁上げ吸収回路の小面積化および,低消費電力化 手法を提案する。Digital Signal Processor (DSP)などに幅広く利用されている乗算 器は,一般的に部分積生成部,部分積加算部,桁上げ吸収部の3つの回路ブロッ クで構成されている。各回路ブロックには,必要とする性能に応じて様々な回路方 式が採用される。乗算器のクリティカル・パスとなる桁上げ吸収部では,回路性能の 低下を回避するため,高速動作が可能な回路構成が採用される。しかし,部分積加 算部から桁上げ吸収部へ伝搬する信号は,ビット位置によって異なる遅延を含んで いるため,遅延を考慮せずに高速動作する回路へ信号を入力すると,必要以上の 高速動作により消費電力が増加する。そこで,部分積加算部の出力信号に含まれ る遅延を考慮するため,桁上げ吸収部をビット位置によって3つのブロックに分割し, それぞれの遅延に対応させた回路構成を適用することで低電力化を実現する設計 方式を提案する。提案回路の効果を確認するため,SPICE シミュレーションによる比 較評価を行った結果,提案回路が従来回路と比較して遅延時間を 5.5%,消費電力 を 8.4%, PD 積を 13.5% 削減できる効果を確認した。

第二のテーマでは、同期式順序回路において記憶素子として利用される D フリッ プフロップと,非同期式順序回路においてデータ通信の制御に利用されるC素子に ついて,高エネルギー効率かつ小面積な回路構成を提案する。ディジタル集積回 路設計における回路性能,消費電力,そして回路規模を決定する要素として,スタ ンダードセルがある。スタンダードセルの中でも D フリップフロップは広く利用されて おり,消費電力は回路全体の消費電力の 20~30% を占めるため,低消費電力化が 強く求められる。また,サブスレッショルド領域動作を利用したディジタル回路では, D フリップフロップが回路の最低動作可能電圧を決定するため,低電源電圧下にお いても安定に動作することが求められる。しかし、スタンダードセル・ライブラリに利用 されるDフリップフロップは、一般にクロックト・インバータとトランスミッション・ゲートで 構成されるため、低電圧動作に不向きである。そこで、スタティック CMOS ゲートの みで構成することで,低電圧時の動作安定性を向上させた低電力 D フリップフロッ プを提案する。提案回路のチップ設計・試作を行った上で,実測による評価を行っ た結果, 電源電圧 0.352 V において 5.9 nW の低消費電力で動作し, TGFF と比較し て消費電力を13% 削減可能であることを確認した。C素子回路に関しては、高エネ ルギー効率かつ小面積な回路構成を提案した。提案回路は,基本的なC素子の構 成に含まれるインバータ・ラッチ部の出力端子に、pMOSFET を抵抗として挿入する ことで、インバータ・ラッチ部に遅延を発生させ、入力段からの信号が出力端子まで 正常に伝搬する構成とした。提案回路を利用することで, VDD = 1.08 V において PD 積が最小の 4.32 aJ となり, 従来のスタティック C 素子と比較して, 9.3% の PD 積削 減を実現した。

第三のテーマでは、共通鍵暗号で利用されるアルゴリズムである AES (Advanced Encryption Standard)の一処理で、平文と暗号文の相関を壊す仕組みである S-BOX 演算について、非同期式回路で構成する手法を提案する。次世代型情報 化社会において、無線通信による情報伝達では、通信内容に生体信号などの個人 情報や、自動車の車両情報といった情報が含まれている場合、外部からの傍受を 防ぐため通信内容を暗号化する必要がある。AES は、広く利用されている暗号化ア ルゴリズムであり、Bluetooth 通信における暗号化などでモバイル機器においても普 及している。しかし、AES を実現する回路の消費電力は µW オーダであるため、モ

バイル機器やスマートセンサ LSI などのバッテリー容量に制限がある機器において は、長時間駆動の実現は困難となる。そこで、エネルギー効率の高い AES 回路の 実現へ向けて、AES 回路の主要な演算回路である S-BOX 回路について非同期式 回路方式を採用して構築する。S-BOX 回路のサブスレッショルド領域動作を可能と し、低電源電圧化および高エネルギー効率化を図る。提案回路をチップとして設 計・試作を行った上で測定を行った結果、提案非同期式 S-BOX 回路は、電源電圧 330 mV において0.99 pJを実現し、同期式 S-BOX 回路と比較して消費エネルギーを 12% 削減可能となった。非同期式回路方式は、ニアスレッショルド領域やサブスレッ ショルド領域における動作に有効であることを確認した。

本研究では、低消費電力 LSI を実現するために、従来のプロセス微細化にともな う単純な低電圧化に頼らない、回路構成上の工夫による低消費電力回路設計技術 を提案・実現した。シミュレーション評価および試作チップの実測評価より、回路構 成やアーキテクチャの工夫によって消費電力の削減効果を高めることが可能となり、 回路設計技術によって低消費電力 LSI の実現が可能であることを示した。

目 次

第1章緒論	1
第 2 章 ディジタル集積回路の低電力設計技術	9
2.1 緒言	9
2.2 半導体集積回路の技術背景	10
2.3 低電力回路設計技術	12
2.3.1 多電源電圧化	13
2.3.2 サブスレッショルド領域動作を利用した回路設計	14
2.3.2.1 サブスレッショルド・ディジタル回路の遅延補正技術…	15
2.3.2.2 DLS (Dynamic Leakage Suppression) ロジックに基づく バッテリレス Cortex M0+プロセッサ	16
2.3.2.3 非同期式回路方式の利用	19
2.4 結言	19
第 3 章 乗算器における桁上げ吸収回路の低電力化手法	23
3.1 緒言	23
3.2 乗算器の構成と動作	24
3.3 全加算器の構成と動作	25
3.3.1 全加算器の基本構成	25
3.3.2 全加算器の回路構成	

3.4	4 加拿	算回路の種類	·27
	3.4.1	RCA (Ripple Carry Adder)の構成と動作	·28
	3.4.2	CLA(Carry Lookahead Adder)の構成と動作	·28
	3.4.3	Kogge-Stone Parallel Prefix Adder の構成と動作	·29
	3.4.4	APPNA (Alternative Parallel Prefix Adder)の構成と動作	•31
	3.4.5	Carry Bypass Adder の構成と動作	•31
3.:	5 入力	カ信号間の遅延差を考慮した桁上げ吸収回路の低電力化手法	• 32
	3.5.1	入力信号間に生じる遅延・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	• 32
	3.5.2	入力信号の遅延への対応・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	• 33
	3.5.3	入力信号間に生じる遅延を考慮した桁上げ吸収回路	•34
3.	6 回题	格シミュレーションによる評価	•35
	3.6.1	シミュレーション条件と評価項目	•35
	3.6.2	比較評価に関する結果と考察・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	•36
3.	7 結言	₫	. 39
第 4	1 章	ディジタル CMOS LSI の低電圧動作に向けた要素回路の	
		低電力化手法	43
4.	1 緒言	₫·····	•43
4.	2 D 🕫	フリップフロップの回路構成と動作 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	•43
	4.2.1	D フリップフロップの基本構成	•44
	4.2.2	従来 D フリップフロップの構成	•45
	4.2.3	Contention-less D Flip-Flop の構成	·47
4.	3 Cire	cuit-Shared Static D Flip-Flop の提案	·49
4.4	4 D 🗆	フリップフロップに関するシミュレーション評価・・・・・・	.50

4.4.1	シミュレーション条件と評価項目	51
4.4.2	2 シミュレーションによる比較評価結果	51
4.5 D	フリップフロップの実測評価	56
4.5.1	実測環境と評価条件	57
4.5.2	2 消費電力に関する実測評価	57
4.5.3	3 遅延測定用回路の検討	58
4.5.4	4 遅延時間に関する実測評価	65
4.6 C	ま子回路の動作と基本構成	69
4.6.1	マラーの C 素子・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	69
4.6.2	2 スタティック C 素子・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	70
4.7 提	是案する C 素子回路	70
4.8 C	ま子に関するシミュレーション評価	71
4.8.1	シミュレーション条件と評価項目	71
4.8.2	2 シミュレーションによる比較評価結果	72
4.9 結	吉言	75
第5章	極低電圧動作に向けた高エネルギー効率	
	非同期式 AES S-BOX 回路の構築	81
5.1 緒	皆言	81
5.2 非	卡同期式回路	82
5.2.1	東データ方式の処理概要	83
5.2.2	2 二線方式の処理概要	83
5.3 低	氐電圧 S-BOX 回路に関する検討	85
5.3.1	S-BOX 回路の構築	85

:	5.3.2 0.5 V 対応同期式セルライブラリ	86
:	5.3.3 0.5 V 対応非同期式セルライブラリ	87
5.4	4 シミュレーションによる評価	87
5.5	5 実測による評価	90
5.6	6 結言	91
第 6	〕章 結 論	95
謝 辞	¥	99
本研	究に関する発表論文	101

第1章

緒論

近年,スマートフォンやタブレット端末などの携帯型マルチメディア機器の普及に 伴い, Internet of Things (IoT) [1] や Wireless Body Area Networks (WBAN) [2] に代表される次世代型情報化社会の実現に向けた,高機能な大規模集積回路 (LSI:Large Scale Integration)の重要性が増している。

IoT は、コンピュータといった情報・通信機器のみならず、身の回りの様々な「モノ」 に通信機能を付加することで、「モノ」と「モノ」が能動的にネットワークに接続し、相 互通信・制御を行う。今後実現が期待される IoT の応用例を図 1.1 に示す。スマート フォンや自動車、農作物といったあらゆる「モノ」にセンサ・デバイスを搭載することで、



図 1.1 IoT の応用例

世界中のどこにいても必要な情報を取得することが可能となる。例えば、自動車の 走行状況をもとに得られた周辺道路の交通情報の取得を可能とすることや、また、 農作物に搭載したセンサ・デバイスにより、収穫時期や作物の生育状況を確認する ことが可能となる。

一方, WBAN では, 図 1.2 に示すように人の体内や皮膚に小型デバイスを装着 することで装着者のバイタル・データを取得し, 日々の健康管理や患者の術後観察 などに役立てることができる。 IoT や WBAN の実現には, 多数のセンサ・デバイスが 必要となる。 このようなセンサ・デバイスは環境中や人体へ設置するため, 設置場所 の制限や設置する個数の問題から, 小型かつ軽量であり, 電池交換の必要がない などのメンテナンス・フリーなデバイスであることが強く望まれる。

上記のような、次世代型情報化社会の実現に向けてキーデバイスとなるのが、図 1.3 に示すスマートセンサ LSI である。図 1.3 に示すように、スマートセンサ LSI は、 ボルテージレギュレータのような電源回路ブロック、各種センサや DAC (Digital to Analog Converter), ADC (Analog to Digital Converter)のようなアナログ回路ブロッ ク、DPS (Digital Signal Processor)やメモリのようなディジタル回路ブロック、そして RF トランスミッタのような通信ブロックで構成される。また、スマートセンサ LSI は小型・ 軽量なデバイスとする必要があるため、その電力はコインバッテリや自然エネルギー によって供給することを想定している。コインバッテリや自然エネルギーから得られる 電力・電圧は一般的に小さく、例えば代表的なコインバッテリの容量は約 200 mAh、



図 1.2 WBANの例

太陽電池の出力電圧は約0.5 V に過ぎない。そのため、スマートセンサ LSI 内部の回路は、低電力かつ低電圧でも安定に動作することが求められる。

本研究では、スマートセンサ LSI を構成する回路ブロックの中で、特にディジタル 回路の低電力化および低電圧化に着目する。

近年のプロセス微細化により、LSI の高集積化および高性能化を実現し、プロセスルール、すなわちトランジスタのチャネル長が 90 nm となる世代までは、電源電圧を約 1.0 V まで低減することで、トランジスタのスイッチングにおける充放電電力の削減を図ってきた。一方で、電源電圧の低下にともなう回路の動作速度低下を回避するため、トランジスタのしきい値電圧 $V_{\rm th}$ を低減する必要が生じた。90 nm 以前の世代では、電源電圧および $V_{\rm th}$ の低減により、ディジタル回路の高性能化と低電力化の両立が可能であった。しかし、90 nm 以降の世代では $V_{\rm th}$ の低減にともない、トランジスタのゲート・ソース間電圧: $V_{\rm cs} = 0$ としたオフ状態でも流れるリーク電流の増加による、リーク電力が無視できなくなる点が問題となっている [3]。このため、 $V_{\rm th}$ の低減が困難となり、電源電圧に関しても 1.0 V 以下に低減することが困難となっている。

一方で、さほど高い処理能力を必要としない回路については、トランジスタのサブ スレッショルド領域での特性を利用した設計手法が適用できる。サブスレッショルド 領域とは、電源電圧をトランジスタのしきい値電圧 V_{th}以下とした動作領域であり、図 1.4 に示すグラフの水色背景部分が該当する。通常であれば数十~数百 μA オー ダ程度の電流消費を、nA オーダに抑制する。サブスレッショルド領域は本来、トラン ジスタのオフ状態とみなされる領域であるが、回路構成の工夫によって極めて低電



図 1.3 スマートセンサ LSI の概要

カな回路の設計に応用できるため、LSIの低電力化手法として注目されている。サ ブスレッショルド領域における、ドレイン電流 Isubは

$$I_{\rm sub} = \mu C_{\rm OX}(\eta - 1) V_{\rm th}^2 \frac{W}{L} \exp\left(\frac{V_{\rm GS} - V_{\rm th}}{\eta V_{\rm th}}\right) \left(1 - \exp\left(\frac{-V_{\rm DS}}{V_{\rm th}}\right)\right)$$
(1.1)

の式で表される。ここで、μは移動度、Cox は酸化膜容量、ηはサブスレッショルド・ス ロープ係数、Vthはトランジスタのしきい値電圧、W はトランジスタのチャネル幅、L は トランジスタのチャネル長、VGsはゲート・ソース間電圧、VDsはドレイン・ソース間電圧 をそれぞれ表している。サブスレッショルド領域では、消費電流の削減により消費電 力を大幅に削減できる一方、ドレイン電流 Isub が Vthに依存して指数関数的にばらつ くため、回路の安定動作に影響を及ぼす点が課題となる。したがって、サブスレッシ ョルド領域を利用した回路設計では、回路の安定動作について十分に考慮する必 要がある。

本論文では、ディジタル集積回路の低電力化手法として、回路アーキテクチャの 工夫による低消費電力化と、電源電圧の低減に向けた回路構成の工夫による低消 費電力化の2つのアプローチを採用し、低消費電力LSI実現へ向けた回路設計手 法の提案を目的とする。

本研究は、大きく分けて以下の3つのテーマで構成される。



図 1.4 MOSFET における V_{GS}-I_D特性の例

- 1) 乗算器における桁上げ吸収回路の低電力化手法
- 2) ディジタル集積回路の低電圧動作に向けた要素回路の低電力化手法
- 3) 極低電圧動作に向けた高エネルギー効率非同期式 AES 暗号回路の構築

第一のテーマについて述べる。Digital Signal Processor(DSP)などに幅広く利用 されている乗算器は、一般に部分積生成部、部分積加算部、桁上げ吸収部の3つ の回路ブロックで構成されている。各回路ブロックには、必要とする性能に応じて 様々な回路方式が採用される。たとえば部分積生成部には、ANDゲート並列やブ ース・アルゴリズムが利用され、部分積加算部には、全加算器の多段接続や Wallace 木や4-2 木のような木構造が利用される。さらに、乗算器のクリティカル・パ スとなる桁上げ吸収部では、回路性能の低下を回避するため、高速動作が可能な 回路構成が採用される。しかし、部分積加算部から桁上げ吸収部へ伝搬する信号 は、ビット位置によって異なる遅延を含んでいるため、遅延を考慮せずに高速動作 する回路へ信号を入力すると、必要以上の高速動作により消費電力が増加する。そ こで、桁上げ吸収部をビット位置によって3つのブロックに分割し、それぞれの入力 信号遅延に対応させた回路構成を適用することで低電力化を実現する設計方式を 提案する。提案手法により、桁上げ吸収部への入力信号と、桁上げ吸収部内部で の信号伝播のタイミングを揃えることで、不要な信号遷移による消費電力を削減し、 回路規模を縮小できる。

第二のテーマについて述べる。ディジタル集積回路の多くが、様々な論理回路の 性能が記されたセル・ライブラリと CAD ツールを利用して、自動で配置・配線を行う スタンダードセル方式で設計・実現されている。スタンダードセル・ライブラリとして用 意される基本ゲートや複合ゲート、フリップフロップなどの各種セルの特性が、設計・ 実現されたディジタル集積回路の性能、電力、規模の各要素を決定する重要な要 素となる。スタンダードセルの中でもDフリップフロップ [4] は、広く利用されており、 消費電力は回路全体の消費電力のうち 20 ~ 30% を占めるため、低消費電力化が 強く求められる。また、トランジスタのサブスレッショルド領域動作を利用したディジタ ル回路では、D フリップフロップが回路の最低動作可能電圧を決定する重要な要素 となるため、低電圧下においても安定に動作する D フリップフロップが求められる。 しかし、従来のスタンダードセル・ライブラリに含まれるDフリップフロップの多くが、ク ロックト・インバータとトランスミッション・ゲートで構成されるため、低電圧動作に不向 きである。そこで、スタティック CMOS ゲートのみで構成した、低電圧動作に向けた 低電力 D フリップフロップを提案する。スタティック CMOS ゲートは、トランスミッショ ン・ゲートなどのパストランジスタ論理と比較して低電圧下での動作安定性が高い点 に特徴がある。提案手法を利用することで、従来手法と比較して低電圧時の安定性 を確保しつつ、低電力化を実現することが可能となる。さらに、非同期式回路方式に おいてデータ通信の制御に利用される C 素子 [5] 回路に関して、高エネルギー 効率、かつ小面積な回路構成を提案する。提案回路は、基本的な C 素子の構成 に含まれるインバータ・ラッチ部の出力端子に、pMOSFET を抵抗として挿入するこ とでインバータ・ラッチ部に遅延を発生させ、入力段からの信号が出力端子まで正 常に伝搬する構成とした。

第三のテーマについて述べる。IoT などの次世代型情報化社会では,通信機能 を持ったデバイス同士が無線通信によって情報のやり取りを行う。このとき,通信内 容に生体信号などの個人情報や、自動車の車両情報といった情報が含まれている 場合、外部からの傍受を防ぐため通信内容を暗号化する必要がある。暗号化方式と しては、共通鍵暗号と公開鍵暗号の2 つがある。共通鍵暗号で利用されるアルゴリ ズムには, RC4 (Rivest's Chipher 4), DES (Data Encryption Standard), 3DES (Triple DES), AES (Advanced Encryption Standard) などがある。また, 公開鍵暗号で利用さ れるアルゴリズムには, RSA (Rivest Shamir Adleman), ElGamal などがある。中でも, 現在主流となっている方式は AES であり、米国商務省標準技術局(NIST)によって 制定された DES に代わる新世代標準暗号化方式である。Bluetooth 通信における 暗号化など、モバイル機器における暗号化アルゴリズムに関しても、AES が広く利用 されている。しかし, AES の消費電力は µW オーダであるため, モバイル機器やス マートセンサ LSI などのバッテリー容量に制限がある機器においては,長時間駆動 を実現することが困難となる。そこで、エネルギー効率の高い AES 回路の実現へ向 けて, AES 回路の主要な演算回路であり, 平文と暗号文の相関を壊す仕組みであ る S-BOX 演算回路について非同期式回路方式を採用して構築することで、低電圧 化および高エネルギー効率化を図る。非同期式回路方式は、一般的な同期式回路 方式で利用されるグローバル・クロックを必要とせず、回路ブロック同士が動作完了 の信号を相互に通信することでデータのやり取りを行う。このため、回路の遅延時間 がグローバル・クロックの周波数に制限されず、電源電圧の大幅な低減が可能とな る。また、ディジタル回路の消費電力は

$$P_{\text{total}} = \alpha_{\text{t}} f C_{\text{L}} V_{\text{DD}}^2 + I_{\text{SC}} V_{\text{DD}} + I_{\text{leak}} V_{\text{DD}}$$
(1.2)

で表される。ここで、 α はスイッチング確率、fは動作周波数、 C_L は負荷容量、 V_{DD} は 電源電圧、 I_{SC} は貫通電流、 I_{leak} は漏れ電流をそれぞれ表している。式 (1.2) より、 電力 P_{total} は電源電圧 V_{DD} の 2 乗に比例するため、 V_{DD} の低電圧化により消費電力 の削減が可能となる。

参考文献

- [1] K. Ashton, "That 'Internet of Thing's' thing," RFID Journal, 2009.
- S. Ullah, H. Higgins, B. Braem, B. Latre, C. Blondia, I. Moerman, S. Saleem,
 Z. Rahman and K. S. Kwak, "A Comprehensive survey of wireless body area networks: on PHY, MAC, and network layers solutions," Journal of Medical Systems (Springer), vol. 36, issue 3, pp. 1065-1094, 2012.
- [3] International Technology Roadmap for Semiconductor 2006 update edition.
- [4] V. G. Oklobdzija, V. M. Stojanovic, D. M. Markovic, and N. M. Nedovic, "Dgital system clocking," IEEE Press, 2003.
- [5] D. E. Muller and W. S. Bartky, "A theory of asynchronous circuits," in Proceedings of an International Symposium on the Theory of Switching, pp. 204-243, 1959.

第2章

ディジタル集積回路の低電力設計技術

2.1 緒言

本章では、現在 LSI の低電力化に有効とされている回路設計技術について述べる。これまでは、トランジスタの微細化によって、LSI の高性能化、高集積化および低電力化を実現してきた。しかし、プロセスルールが 65 nm や 45 nm 時代へ突入すると、数百 nm 世代のトランジスタでは問題とならなかったデバイス特性に起因する問題が顕在化した。その一つとして特に問題となっているのが、トランジスタが待機時に消費するオフリーク電力である。従来行われてきた一定の比率でトランジスタのチャネル長を縮小する微細化は、物理的な限界に達しつつあると予測されており、これまで主流であったトランジスタ構成方法に替わる新たなトランジスタに向けたプロセス技術開発が急務となっている。そこで近年では、FinFET [1] といったデバイス技術が考案されるなど、次世代型のトランジスタやプロセス技術に注目が集まっている。しかし、新たなプロセス技術による LSI 設計への移行は、従来の設計フローや回路モデル、さらには CAD ツールの機能を見直す必要が生じる。そこで、既存の数百 nm 世代のプロセスを利用し、回路の動作状況に応じて電源電圧や動作周波数を動的に制御する方式により低電力化を図るなど、微細化による先端プロセスに頼ることのない、低電力回路設計技術が重要となる。

本章の構成は以下の通りである。2.2節で半導体集積回路についてデバイス/回路設計の技術背景を述べた後,2.3節では従来の回路設計技術による低電力化へのアプローチ方法を示す。最後に,2.4節で本章のまとめを述べる。

2.2 半導体集積回路の技術背景

近年,様々なモバイル・マルチメディア機器が普及するにつれて, IoT (Internet of Things)に代表される次世代型情報化社会の実現に向け,多様な情報をセンシ ング,処理するための様々な機能を一つのチップに集積した SoC (System on a Chip)に代表される,高機能な LSI の重要性が増している。これまで,トランジスタ の寸法を一定の比率で縮小するスケーリング則にもとづき,主にプロセスの微細化 によって LSI の性能向上を達成してきた。プロセスの微細化によって,トランジスタ 単体の動作速度向上と消費電力削減を両立しつつ高集積化を実現できる。しかし, 同一のチップ面積とした場合,トランジスタ数の増加によってチップ全体の消費電 力は増加する。特に, IoT のような次世代型情報化社会で利用されるスマートセン サ LSI は,周辺環境や体内に大量に設置するため,バッテリによる長時間駆動が 求められる。そのため,LSI の低電力化が必要不可欠となる。しかし,先端のプロセ スでは回路がオフ状態であっても、充放電とは無関係なトランジスタの漏れ電流に よって消費されるリーク電力が増加する。このため、トランジスタ全体の消費電力に 対するリーク電力の割合が増加し、低電力化の妨げとなっている [2]。

ここで、ディジタル回路が消費する電力について述べる。ディジタル回路の全消費電力 P_{total}は、

$$P_{\text{total}} = P_{\text{dyn}} + P_{\text{sc}} + P_{\text{leak}} \tag{2.1}$$

と表すことができる。第一項 P_{dyn} は充放電電力を表しており, CMOS 論理回路中の トランジスタが負荷容量の充放電を行う際に消費される電力である。ディジタル回路 では nMOSFET, pMOSFET の 2 種類のトランジスタをスイッチとして利用する。した がって、トランジスタのオン/オフが瞬時に切り替わるならば、その消費電力は動作 電力のみとなる。しかし実際は、論理回路としての動作以外に、トランジスタのアナロ グ的な電流特性に起因する第二項、第三項に示される電力が消費される。第二項 P_{sc} は貫通電力を表している。貫通電力とは、CMOS 論理回路の出力が次の状態へ 遷移する過程で、pMOSFET と nMOSFET の両方が同時にオンとなる期間に電源 V_{DD} から GND まで流れる貫通電流によって消費される電力である。そして第三項 P_{leak} は、リーク電力を表している。リーク電力とは、ソースやドレイン接合の逆方向電 流のような、トランジスタがオフ状態であってもソース・ドレイン間に流れるサブスレッ ショルド・リーク電流によって消費される電力である。これまでの CMOS LSI における

10

消費電力においては,充放電電力が最も支配的であり,低電力回路設計では主に 充放電電力の削減に焦点が当てられてきた。充放電電力 P_{dyn}は,

$$P_{\rm dyn} = p_{\rm t} f C_{\rm L} V_{\rm DD}^{2} \tag{2.2}$$

と示され [3], p_t はスイッチング確率, fはクロックの動作周波数, C_L は負荷容量, V_{DD} は電源電圧を表す。これらのパラメータを小さく設定することで、充放電電力を削減できる。特に、充放電電力は電源電圧の2乗に比例するため、プロセスの微細化にともなう低電源電圧化は、電力削減に効果的であった。一方で、ゲート伝播遅延 t_{pd} は k を定数として、

$$t_{\rm pd} = \frac{k \, C_{\rm L} \, V_{\rm DD}}{\left(V_{\rm DD} - V_{\rm th}\right)^{\alpha}} , \ (\alpha \approx 1.3)$$
 (2.3)

で近似され [4], 電源電圧の低下にともないゲート伝搬遅延が増加する。通常は速度低下を防ぐため,低電源電圧化と同時にトランジスタのしきい値電圧 V_{th}を下げることで対処する。しかし, V_{DD}と同時に V_{th}も低下させた場合

$$P_{\text{leak}} = I_0 10^{-\frac{V_{\text{th}}}{S}} V_{\text{DD}}$$
(2.4)

の式で表されるリーク電力 P_{leak}が指数関数的に増加する。ここで, I₀は定数, S はサ ブスレッショルド係数である。式 (2.4) に表されるように, プロセスの微細化にともな い V_{th}の低減が進むと, CMOS LSI の全消費電力に対するリーク電力 P_{leak}の割合が 増加する。このように, 電源電圧としきい値電圧を同時に低減させることでリーク電力 の増加が深刻となることが, LSI の低電力化と高性能化を妨げる要因となっている。

さらに、素子サイズの縮小にともなう製造ばらつきの影響についても深刻な問題と なりつつある。製造条件の変動により、ゲート長、ゲート幅、ゲート酸化膜厚などのト ランジスタ形状にばらつきが発生するとともに、不均一な不純物濃度によってしきい 値電圧が変動し、トランジスタの電気的特性にも影響を与える。

一方で,第1章で言及したように,高速な信号処理の必要がないLSI に関して は,LSI へ供給する電源電圧をしきい値電圧 V_{th}以下の極低電圧にすることで,低 電力化を実現することができる。このような,電源電圧 V_{DD} が V_{th} 以下となる領域を サブスレッショルド領域と呼び, nA オーダの極めて小さな消費電流でトランジスタ が駆動する。本来はトランジスタがオフした状態とみなされる動作領域であるが,微 小な電流で駆動できるよう回路構成を工夫することで極低電力な回路を設計する ことができる。このため、トランジスタのサブスレッショルド領域を利用した回路設計 技術は、LSI の低電力化手法として注目されている。しかし、サブスレッショルド領 域におけるトランジスタのドレイン電流は、しきい値電圧やゲート・ソース間電圧の 変動に対して指数関数的に変動するため、回路の安定性に問題を生じる。サブス レッショルド領域動作を利用した回路設計では、回路の安定性確保が重要となる。

以上のように、プロセス微細化技術による低電力化や、サブスレッショルド領域動 作を利用した低電力化は様々な問題点が存在する。しかし、特にサブスレッショルド 領域動作を利用した低電力化では、ばらつきの影響を補正する技術などを利用す ることで、高エネルギー効率な回路の実現を期待できる。

2.3 低電力回路設計技術

次に、低電力LSIを実現するための、具体的な回路設計技術に関して説明する。

90 nm までの世代では、プロセスの微細化にともない、スケーリング則にもとづい て、電源電圧としきい値電圧を同時に低減することで、高速化と低電力化を両立し てきた。これにより、プロセス微細化技術の発展とともに、回路設計に特別な変更を 加えることなく、低電源電圧化によって式 (2.2) に従った LSI の動作電力を削減す ることが可能であった。しかし、90 nm 世代以降のプロセスではリーク電流の増加に よって、しきい値電圧を下げられない状況に陥っており、従来通りの低電圧化と動作 速度の維持の両立は困難である。さらに、微細化の進んだプロセスにおいて電源電 圧を低下させると、製造ばらつきに影響を大きく受けるために回路性能が劣化する 問題が生じる。

従来のプロセス微細化による高性能化および低電力化に対して,高速な演算処 理の必要がない LSI に関しては,トランジスタのサブスレッショルド領域動作の利用 によって低電源電圧化および低電力化を実現する手法が注目されている。特に, 次世代型情報化社会において必要とされるセンサデバイスでは,限られた電力供 給量で数年単位の長時間駆動が求められるため,トランジスタのサブスレッショルド 領域動作を利用した低電力化は有効であると考えられる。サブスレッショルド領域動 作では,トランジスタへの供給電圧をしきい値電圧以下の低電圧とするため,製造 ばらつきだけでなく電源電圧,温度の変動によって回路性能が著しく劣化する恐れ がある。そのため,ばらつきに対する頑健性を高める手法が重要視されている。 従来のプロセス微細化では、リーク電力や製造ばらつきの影響が増大する問題 が生じる。そのため、先端のプロセス技術のみに頼るのではなく、回路設計技術の 工夫による LSI の低電力化の実現が重要となる。一般に、電源電圧、動作周波数、 負荷容量、スイッチング確率、そしてしきい値電圧といったパラメータは、LSI の消費 電力を決定する重要な要素であり、これらのパラメータを最適化することで消費電力 を削減することが可能となる。そこで、所望の性能が実現できるように、回路設計の 段階でこれらのパラメータの調整を行うのが、回路設計技術に基づく低電力化手法 である。さらに、これらの回路設計方式の実現を容易とするプロセス技術の開発が 進むことで、プロセス技術と回路設計技術の融合によるさらなる消費電力の削減を 追求できる。

本節では、低電力 LSI を実現する回路設計技術として実用性の高い電源電圧の 制御方式について解説する。さらに、トランジスタのサブスレッショルド領域動作を利 用した回路設計手法について述べた後、最後にまとめを述べる。

2.3.1 多電源電圧化

式 (2.2) に表されるように、電源電圧の低減によってLSIの消費電力を効果的に 削減することができる。低電圧化は、動作時の充放電電力のみならず、サブスレッシ ョルド・リークやゲート・リークに代表されるリーク電力の削減にも効果がある。通常、 LSI への供給電源は1種類に設定されており、制約などの仕様を満たすために1.0 V程度の電圧とされることが一般的である。この場合、LSI全体において高速動作が 可能となるが、クリティカル・パスを含まない信号経路においても高速に動作すること で消費電力が増加する。

そこで、回路ブロックの特徴に応じて供給電圧を変更する手法が提案されている。 一例として、2種類の電源電圧を利用する CVS (Clustered Voltage Scaling) [5] に ついて述べる。これは、図 2.1 に示すように回路中の遅延制約が厳しいクリティカル・ パス上のセルに対しては、その LSI の定格電源電圧 (V_{DDH})を供給し、遅延制約に 余裕のあるノンクリティカル・パスには低電源電圧 (V_{DDL})を供給する手法である。こ れにより、回路の最大遅延時間を増加させることなく、低電力化を実現できる。この 手法を利用することで、充放電電力だけでなくサブスレッショルド・リークによって生 じるリーク電力の削減も可能である。CVS による消費電力の削減効果は、V_{DDL}の設 定値と V_{DDL}を割り当て可能なセル数に依存する。V_{DDL}を低く設定すると、一つのセ

13

ルに関しては低電力となるが VDDL を割り当て可能なセル数が減少する。一方で、 VDDL を高く設定すると VDDL の割り当ては容易となるが,一つのセル当たりの電力削 減効果は小さくなる。VDDLの設定値と VDDL 割り当て可能セル数のトレードオフ関係 は、回路中の全経路における遅延時間の分布によって決定される。 つまり、経路中 にクリティカル・パスとなる可能性の高い経路が多く存在すると、VDDLを低く設定する ことが困難となるだけでなく、VDDLを割り当て可能なセル数が減少する。このトレード オフを考慮すると、VDDL = 0.6~0.7 VDDHと設定した場合に最大のエネルギー効率を 実現できることが報告されている [6]。また CVS では、VDDL セルと VDDH セルの間で データのやり取りを行う。しかし、VDDL セルの出力信号を直接 VDDH セルへ入力する と、VDDHセル内のpMOSFETとnMOSFETが同時にオン状態となる期間が長くなり、 貫通電流の増加による電力増加が問題となる。そこで、VDDH セルと VDDL セルの間に レベルシフタを挿入して VDDL セルの出力信号を VDDL から VDDH へ変換することで、 貫通電流を抑制しつつ信号を伝搬することができる [7]。しかし、レベルシフタを過 剰に挿入すると、回路面積や遅延時間、そして消費電力の増大を招く。このため、 フリップフロップ (FF: Flip Flop) でのみ電圧変換を行うことを想定した, レベルシフタ 機能を有するフリップフロップが提案されている [8]。

2.3.2 サブスレッショルド領域動作を利用した回路設計

2.3.1 節において、多電源電圧化による低電力化手法について述べた。消費電力 を削減するアプローチとしてトランジスタのサブスレッショルド領域動作を利用した回 路設計も有効な手法である。本節では、サブスレッショルド領域動作を利用した低 電力化手法について述べる。



図 2.1 Clustered Voltage Scaling による電源電圧割当ての概要

2.3.2.1 サブスレッショルド・ディジタル回路の遅延補正技術

トランジスタをサブスレッショルド領域にて動作させる場合,各トランジスタを流れる ドレイン電流は,式 (1.1) で表される。式 (1.1) より,サブスレッショルド領域におけ るドレイン電流は,トランジスタのしきい値電圧 V_{th}やゲート・ソース間電圧 V_{GS},ドレイ ン・ソース間電圧 V_{DS} に対して指数関数的に変動する。このため,トランジスタの形 状ばらつきや電圧変動によって回路性能が著しく劣化する問題がある。この問題を 解決するため,サブスレッショルド領域動作を利用した回路のばらつき補正技術が 考案されている。

ここでは,遅延ばらつき補正技術について述べる。ディジタル回路のゲート伝播 遅延は

$$\tau \approx \frac{C_{\rm L} V_{\rm DD}}{I_{\rm on}} \tag{2.5}$$

で表すことができる。*C*Lは負荷容量,*V*DDは電源電圧,そして *I*onはトランジスタに流れ込む電流をそれぞれ表している。サブスレッショルド領域におけるゲート伝播遅延は,式 (2.5) 中の *I*on に式 (1.1) で表されるドレイン電流が代入される。そのため,前述したばらつきによってゲート伝播遅延が指数関数的に変動し,所望の回路動作が困難となる。

そこで、サブスレッショルド・ディジタル回路の遅延変動を、電源電圧の制御によって補正する手法が提案されている [9]。図 2.2 に遅延ばらつき補正回路のアーキ テクチャを、図 2.3 に V_{thp} モニタ回路をそれぞれ示す。本手法は、サブスレッショル ド・ディジタル回路のしきい値電圧をモニタする回路を電流源回路に付加し、そのモ ニタ信号をサブスレッショルド・ディジタル回路の電源電圧として利用することで、サ ブスレッショルド・ディジタル回路のしきい値電圧変動を補正する手法である。サブス レッショルド・ディジタル回路の電源電圧の変動ΔV_{DD}を

$$\Delta V_{\rm DD} = w \Delta V_{\rm thn} + (1 - w) \Delta V_{\rm thp} \tag{2.7}$$

の式によって近似することで、トランジスタのしきい値電圧の変動と関連付ける。ここ で、 V_{thn} は nMOSFET のしきい値電圧、 V_{thp} は pMOSFET のしきい値電圧、w は重み である。式 (2.7) より、 $V_{thp} > V_{thn}$ であるとき、 ΔV_{DD} は ΔV_{thp} によって決定される。 ΔV_{thp} モニタ回路に流れる I_{REF} が ΔV_{thp} に応じて変動することで、トランジスタのしきい値電 圧変動に対応した電源電圧を供給することが可能となる。試作チップに対する実測 評価結果より, 遅延補正回路を付加することで, -20℃ ~ 100℃における 51 段のリング発振器の発振周波数変動を, 0.321 kHz ~ 212 kHz から 5.26 kHz ~ 19.2 kHz ~ と大幅に抑制できることが確認できた。遅延補正技術を利用することで, 電源電圧低下にともなう遅延ばらつきを抑制しつつ低電力化を実現できる。

2.3.2.2 DLS(Dynamic Leakage Suppression)ロジックに 基づくバッテリレス Cortex M0+プロセッサ

本節では、ARM Cortex M0+ プロセッサを DLS (Dynamic Leakage Suppression) ロジックで構築し、低電圧下動作による低電力化手法 [10] について述べる。 次世代型情報化社会において、身の回りの情報を収集・処理するため、センサデ



図 2.2 遅延ばらつき補正アーキテクチャ



図 2.3 VTHP モニタ回路

バイスを環境中に多数設置する必要がある。これらのセンサデバイスでは、センサの 動作中はバッテリから電源を供給し、センサの休止中にハーベスタよりバッテリの充 電を行うシステムが一般的に利用される。そのため、一度のバッテリ充電に対するセ ンサの駆動時間延長と、バッテリへの再充電時間の削減が重要となる。しかし、バッ テリには耐用年数と小型化に関して課題がある。

そこで、本節で述べる手法は、バッテリを利用せずハーベスタより直接給電を行う システムに注目した。このシステムでは、システムが必要とする電力のみを消費する ため、ハーベスタから引き抜く電力を極力抑えることが重要となる。低電力化を実現 するため、DLSL (Dynamic Leakage Suppression Logic)を利用した新たな LSI 設計 手が提案された。

図 2.4 に DLS インバータを示す。ゲートの出力電圧は、最下段の pMOSFET (M_{PB}) と最上段の nMOSFET (M_{NT}) ヘフィードバックされ、リーク電流を流すトランジスタを super-cutoff 状態とする。nMOSFET における super-cutoff 状態は、ソース電圧がゲート電圧より高く、ドレイン電流が極めて小さく抑えられた状態を指す。一方、 pMOSFET における super-cutoff 状態は、ゲート電圧がソース電圧より高く、 nMOSFET における super-cutoff 状態は、ゲート電圧がソース電圧より高く、 nMOSFET と同様にドレイン電流が極めて小さく抑えられた状態を指す。入力端子 IN=0 の時、リーク電流は M_{NB} と M_{PB} に依存する。 M_{PB} のゲートに high レベルが入 力されているため、n2 のノードがおよそ V_{DD} の半分の電位に固定され、 M_{NB} と M_{PB} が super-cutoff 状態と M_{PB} にも同様に super-cutoff 状態と M_{PB} が super-cutoff 状態と



DLSL の動作時, 出力端子 OUT は最上段と最下段のトランジスタのリーク電流に よって遷移する。入力信号が 0 V から V_{DD} へと遷移すると, M_{NB} が super-cutoff 状態 から weak-inversion 状態へと変化し, n2 ノードの電位が出力端子と同電位となるよう に動作する。これには以下の 2 つの効果がある。

1) MPBが super-cutoff から通常のカットオフバイアス点へと変化する。

2) M_{NB}が n2 ノードの電位を引き上げることで、出力は放電を続け、n1 ノードも

ある程度放電されることで VDDの約半分の電位となる。

これらの効果により、M_{NT}とM_{PT}が super-cutoff 状態となり、V_{DD}から OUT へのリーク 電流を大幅に削減する。同時に、M_{PB}から流れるリーク電流によって OUT の放電を 継続する。さらに、M_{NT}と M_{PT} のリークを抑制することで、出力端子の放電を促進す る。super-cutoff 効果により、DLSL はヒシテリシス性を有し、標準的な CMOS インバ ータと比較して、スタティック・ノイズマージンが 1.45 倍となった。

0.4 V において、DLSL は nMOSFET と pMOSFET をそれぞれ 2 直列接続したイ ンバータと比較して、リーク電力を 320 分の一に抑制することができる。これは、DLSL では super-cutoff 機構が 2 つの直列接続されたトランジスタで構成されることと、 supercutoff トランジスタが相補的な性質の nMOSFET と pMOSFET で構成されることで、中 間ノードである n1, n2 の電位を V_{DD} の半分の電位に固定することができるためである。 また、 super-cutoff 状態では、電流のオン/オフ比を大きくすることができ、静的な頑健 性を高めることができる。しかし、DLSL はリーク電流で動作させるため、プロセス変動 によるしきい値変動に敏感に反応する。そのため、回路を構成するトランジスタのサイ ジングが重要となる。

本手法では、DLSL を利用したスタンダード・セルライブラリを作成し、このセルラ イブラリによって 32 bit RISC ARM Cortex M0+プロセッサを構築,試作が行われた。 試作チップの実測による評価の結果、最低動作可能電圧は 0.16 V ととなり、0.55 V において消費電力が最小の 295 pW となった。さらに、0.09 mm²のシリコン太陽電池 からの直接給電によって動作することを確認した。この時の電源電圧は 0.32 V、動 作周波数は 12 Hz、消費電力は 970 pW となった。従来の低電圧ディジタルシステ ムと比較して、1 ゲート当たりの動作電力を 1/80 に抑制した。

DLSL を利用することで, pW オーダの低電力で動作可能となる。しかし, 動作速度が極めて低速であるため, 適用可能なアプリケーションが限られると考える。

2.3.2.3 非同期式回路方式の利用

サブスレッショルド領域動作へ適した回路構成手法として,非同期式回路方式が ある [11]。非同期式回路方式では,同期式回路方式において回路ブロック間のタ イミングを制御するグローバル・クロックを必要とせず,各回路ブロックが処理完了の 信号を互いに通信することでデータの受け渡しを行う。非同期式回路方式では実遅 延で回路が動作するため、タイミング制約違反を考慮することなく電源電圧を低減 することが可能となり,低電力化を実現できる。非同期式回路方式に関する詳細に ついては第5章で述べる。

2.4 結言

本章では、現在 LSI の低電力化に有効とされている回路設計技術について述べ た。これまでのプロセス微細化により、高性能化および低電力化を実現してきたトラ ンジスタは、消費電力の増加問題をはじめとする様々な問題が顕在化し、今後従来 通りのプロセス微細化を継続することが困難となっている。デバイス製造技術の変遷 として、これまでの2次元構造から FinFET や3次元積層 LSI のような立体構造トラ ンジスタへと変化する動きがある。しかし,現行のバルクMOSFETからの移行を考慮 すると、これまでの設計フローや回路モデルを利用できるようなデバイスが必要とな る。従来のバルクMOSFET に代わる新たなトランジスタの開発だけではなく,回路設 計の面においても革新的な設計技術を確立することは急務となっている。低電力化 において重要となる回路設計技術としては、回路を構成するトランジスタのパラメー タを最適化するだけでなく、電源電圧や動作周波数、しきい値電圧といった各種パ ラメータを LSI の動作状況に合わせて動的に変化させる方式が有力視されている。 さらに、電源電圧をトランジスタのしきい値電圧以下とするトランジスタのサブスレッ ショルド領域動作の利用により、極低電力化の実現が可能となる。これらの回路設 計技術は、プロセス技術やトランジスタ構造に依存せず適用できる。デバイスの特性 を適切に利用することでプロセス技術と回路設計技術の相乗効果を得ることができ る。よって本研究では、低電源電圧動作に適した回路構成をトランジスタ・レベルや アーキテクチャ・レベルで考案し、LSIの低電力化を目的とする。

参考文献

- D. Hisamoto, W. C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, T. J. King, J. Bokor, and C. Hu, "A folded-channel MOSFET for deep-subtenth micron era," IEDM Tech. Dig., pp. 1032-1034, Dec. 1998.
- [2] International Technology Roadmap for Semiconductor 2006 update edition.
- [3] 榎本忠儀, CMOS 集積回路, 培風館, 1996.
- [4] T. Sakurai and A. R. Newton, "Alpha Power Law MOSFET Model and its Applications to CMOS Inverter Delay and other formulas," IEEE Journal of Solid-State Circuits, vol.25, no. 2, pp. 584-594, Apr. 1990.
- [5] K. Usami, and M. Horowitz, "Clustered voltage scaling technique for lowpower design," Proceedings of 1995 International Symposium on Low Power Design, pp. 3-8, Apr. 1995.
- [6] M. Hamada, M. Takahashi, H. Arakida, A. Chiba, T. Terazawa, T. Ishikawa,
 M. Kanazawa, M. Igarashi, and K. Usami, "A top-down low power design technique using clustered voltage scaling with variable supply-voltage scheme," Proceedings of IEEE Custom Integrated Circuits Conference, pp. 495-498, May 1998.
- [7] K. Usami, K. Nogami, M. Igarashi, F. Minami, Y. Kawasaki, T. Ishikawa, M. Kanazawa, T. Aoki, M. Takano, C. Mizuno, M. Ichida, S. Sonoda, M. Takahashi, and N. Hatanaka, "Automated low-power technique exploiting multiple supply voltages applied to a media processor," in Proceedings of. IEEE Custom Integrated Circuits Conference, pp. 131-134, May 1997.
- [8] M. Takahashi, M. Hamada, T. Nishikawa, H. Arakida, T. Fujita, F. Hatori, S. Mita, K. Suzuki, A. Chiba, T. Terazawa, F. Sano, Y. Watanabe, K. Usami, M. Igarashi, T. Ishikawa, M. Kanazawa, and T. Kuroda, "A 60-mW MPEG4 video codec using clustered voltage scaling with variable supply-voltage scheme," IEEE Journal of Solid-State Circuits, vol. 33, no. 11, pp. 1772-1780, Nov. 1998.
- [9] Y. Osaki, T. Hirose, K. Matsumoto, N. Kuroki, and M. Numa, "Robust subthreshold CMOS digital circuit design with on-chip adaptive supply voltage scaling technique," IEICE Trans. Electron., vol.E94-C, no.1, pp. 80-88, Jan.

2011.

- [10] W. Lim, I. Lee, D. Sylvester, and D. Blaauw, "Batteryless sub-nW Cortex-M0+ processor with dynamic leakage-suppression logic," IEEE International Solid-State Circuits Conference (ISSCC), pp. 1-3, 2015.
- [11] Chris J. Myers, 米田友洋, 非同期式回路の設計, 共立出版株式会社, 2003.

第3章

乗算器における桁上げ吸収回路の低電力化手法

3.1 緒言

本章では,乗算器において,部分積加算回路の出力信号間に生じる遅延差を考 慮した回路構成を適用することにより,桁上げ吸収回路の低消費電力化を図る手法 を提案する。

一般に乗算器は、部分積生成部、部分積加算部、そして桁上げ吸収部から成り 立っている。最終段となる桁上げ吸収回路は、乗算器のクリティカル・パスを決定す る回路となるため、高速動作可能な回路構成の適用が一般的である。しかし、部分 積加算回路からの出力信号間に生じる遅延を考慮せずにすべてのビットに対して 高速動作をさせると、回路規模の増大や、不要な信号遷移のために消費電力が増 大する問題が生じる。そこで、桁上げ吸収回路への各入力信号間に生じる遅延の 特徴に着目し、入力信号間に生じる遅延を考慮した回路構成を適用することで、従 来回路と同等の動作速度を確保しながら桁上げ吸収回路の低電力化手法を提案 する。提案手法では、含まれる遅延によって 32 bit の桁上げ吸収回路を下位ビット、 中間ビット、上位ビットの三つのブロックに分割し、それぞれのブロックにおいて生じ る遅延の特徴に適した回路構成を適用する。

本章の構成は以下の通りである。まず 3.2 節で乗算器の回路構成と動作につい て述べた後, 3.3 節で全加算器の特徴を示し, 3.4 節で加算回路の種類について説 明する。そして, 3.5 節で従来の桁上げ吸収回路の問題点とその対策について述べ, 問題点を改善するための桁上げ吸収回路のアーキテクチャを提案する。3.6 節では, 回路シミュレーションによって回路性能, 電力削減効果について評価する。最後に, 3.7 節で本章のまとめを述べる。

3.2 乗算器の構成と動作

N bit × *N* bit の乗算において, *N* bit の被乗数 *X*, 乗数 *Y* は,

$$X = \sum_{i=0}^{N-1} x_i 2^i = x_{N-1} \cdots x_1 x_0 \tag{3.1}$$

$$Y = \sum_{j=0}^{N-1} y_j 2^j = y_{N-1} \cdots y_1 y_0$$
(3.2)

と表され、2数の乗算結果である積Sは、

$$S = X \cdot Y = \sum_{j=0}^{N-1} \left(\sum_{i=0}^{N-1} p_{ij} \cdot 2^{i+j} \right)$$
(3.3)

と表すことができる [1]。乗算の例として、図 3.1 に 4 bit×4 bit の乗算を示す。乗数 Yの最下位ビット y_0 と被乗数Xの積より、部分積 0 が算出される。同様の処理で y_1 、 y_2 、 y_3 と被乗数Xから、部分積 1、部分積 2、部分積 3 が算出される。部分積 0~部 分積 3 を各ビットで足し合わせることにより、積Sを算出する。

図 3.2 に基本的な乗算器の構成を示す。乗算器は、部分積生成部、部分積加算

				x_3	x_2	x_1	x_0	被乗数 X
			X)	<i>y</i> ₃	<i>y</i> ₂	<i>y</i> ₁	<i>y</i> ₀	乗数 Y
				<i>p</i> ₃₀	<i>p</i> ₂₀	<i>p</i> ₁₀	p_{00}	部分積0
			p_{31}	p_{21}	p_{11}	p_{01}		部分積1
		p_{32}	p_{22}	p_{12}	p_{02}			部分積2
+)	p_{33}	p_{23}	<i>p</i> ₁₃	p_{03}				部分積3
<i>s</i> ₇	<i>s</i> ₆	s_5	s_4	<i>s</i> ₃	s_2	s_1	s_0	積S

図 3.1 4 bit×4 bit の乗算



図 3.2 基本的な乗算器の構成

部、そして桁上げ吸収部で構成される。部分積生成部では、AND ゲートの並列演 算によって部分積 pij を求める。部分積加算部では部分積生成部で求めた pij を全 加算器によって足し合わせ、各ビットの和信号と、次桁ビットへの桁上げ信号を生成 する。桁上げ吸収部において、部分積加算部で圧縮された和信号と桁上げ信号の 最終的な加算を行い、積 S が求まる。部分積加算部において多数の論理ゲートを 通過した信号と、最下位ビットから伝搬してきた桁上げ信号が足し合わされる可能性 があるため、この桁上げ吸収部が乗算器のクリティカル・パスとなる。そのため、桁上 げ吸収回路については、電力・面積を犠牲にしても、高速動作する加算回路を用い ることが一般的であった。しかし、近年ではデバイスの低消費電力化の動きにともな い、動作速度の維持と低消費電力化に関するトレード・オフが課題となっている。ま た、乗算器内部における部分積加算部から桁上げ吸収部への出力信号には、ビッ トごとに異なる遅延が生じる。これにより、入力信号の到達にずれが生じ、1 bit 加算 器において、入力信号が同時に到達した場合と比較して、出力信号の遷移回数が 増加する場合がある。この不要な信号遷移を原因とする、消費電力の増大が問題と なっている。

3.3 全加算器の構成と動作

加算器は、多くのディジタル集積回路で必要とされる論理回路である。乗算器においては、部分積加算回路および桁上げ吸収回路に用いられている。本節では、全加 算器の基本的な回路構成とその動作について述べる。

3.3.1 全加算器の基本構成

全加算器は、被加算数 A、加数 B および下位ビットからの桁上げ信号 Ciの 3 入力をもとに、和信号 S と上位ビットへの桁上げ信号 C。を出力する [2]。下位の桁上げ信号を上位の桁上げ入力に接続することにより、任意の桁数の 2 進数の加算が可能となる。図 3.3 に示すように全加算器は、2 個の半加算器(HA: Half Adder)と1 個の OR ゲートから構成することができる。

全加算器の出力 Sは,表 3.1 に示す真理値表より

$$S = \overline{A} \cdot \overline{B} \cdot \overline{C}_{1} + A \cdot \overline{B} \cdot \overline{C}_{1} + \overline{A} \cdot \overline{B} \cdot C_{1} + A \cdot B \cdot C_{1}$$
(3.4)

または,

$$S = A \oplus B \oplus C_{i} \tag{3.5}$$
Α	В	C_{i}	Co	S
0	0	0	0	0
0	1	0	0	1
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0
1	0	1	1	0
1	1	1	1	1

表 3.1 全加算器の真理値表

と表される。

一方, 出力 C。は

$$C_{o} = A \cdot B + (A \oplus B) \cdot C_{i} \tag{3.6}$$

と表すことができる。以上のようにして、2進数1桁に対応した加算を行う。

3.3.2 全加算器の回路構成

全加算器の代表例として,28 個のトランジスタからなる T28 Adder について,その構成を述べる。図 3.4 に示すように,T28 Adder は nMOS と pMOS が対称的に配置された全加算器である。このように CMOS 複合ゲートで構成することで,図 3.3 に示した論理ゲート構成よりもトランジスタ数を削減することが可能となる。加算機能が対称的であるために,より規則正しいレイアウトを実現可能である。

基本的な動作は CMOS 回路の動作に従っている。この回路構成では,各入力から C。までに通過するトランジスタ数よりも,Sまでに通過するトランジスタ数の方が多



い。そのため、 C_o と比べてSの算出に要する遅延が増加する。しかし、RCA(Ripple Carry Adder)の構成にT28 Adder を利用する場合は、 C_i からの信号が C_o へ伝搬する際に多くの加算器を通過するため、Sの遅延は重要ではなくなる [1]。

3.4 加算回路の種類

加算回路に関して、これまで多くのアーキテクチャが提案されてきた [2]。それぞれの加算回路には遅延時間、消費電力、面積などにトレード・オフの関係があり、用途に合わせて使い分けられている。本節では、本研究で利用する加算回路の構成とその動作について述べる。



図 3.4 T28 Adder の構成



図 3.5 RCA の構成

3.4.1 RCA(Ripple Carry Adder)の構成と動作

RCA (Ripple Carry Adder)の構成を図 3.5 に示す [1]。RCA は、1 bit 全加算器を 任意のビット数に対応して多段接続した加算回路である。RCA では、下位ビットの 演算結果が順番に上位ビットへ伝搬するため、下位ビットでの演算が完了するまで 桁上げ信号が定まらず、遅延が増加する。1 bit 全加算器を多段に接続しているた め、*n* bit RCA の場合、最上位の桁上げ信号の生成に必要な段数は*n* 段となる。

3.4.2 CLA(Carry Lookahead Adder)の構成と動作

CLA (Carry Lookahead Adder)の論理ゲート表現を図 3.6 に示す [3]。各ビットの 入力 A_{i}, B_{i} から,桁上げ伝搬信号 P_{i} と桁上げ生成信号 G_{i} を求める。 P_{i} 信号は前段 からの桁上げ伝搬の有無を判断する信号で、 G_{i} 信号は後段への桁上げ発生の有 無を判断する信号である。桁上げ伝搬信号 P_{i} ,桁上げ生成信号 G_{i} は、

$$P_i = A_i \oplus B_i \tag{3.7}$$

$$G_i = A_i \cdot B_i \tag{3.8}$$

と表され、1 段目の XOR ゲート、AND ゲートによって生成される。生成された P_i , G_i は、下位からの桁上げ信号 C_{i-1} とともに、全ての桁上げ先見発生回路に入力される。 また、 C_0 は

$$C_0 = G_0 + P_0 \cdot C_{-1} \tag{3.9}$$

と表せる。Ao, Bo, C-1 は与えられているので、Co はただちに求まる。また、So も式



図 3.6 CLA の論理ゲート表現

28

(3.5) より求まる。

同様に, nビット目への桁上げ信号 Cn-1は

$$C_{n-1} = G_{n-1}$$

$$+ P_{n-1} \cdot G_{n-2}$$

$$+ P_{n-1} \cdot P_{n-2} \cdot G_{n-3}$$

$$\cdots$$

$$+ P_{n-1} \cdot P_{n-2} \cdot P_{n-3} \cdot \cdots \cdot P_2 \cdot P_1 \cdot G_0$$

$$+ P_{n-1} \cdot P_{n-2} \cdot P_{n-3} \cdot \cdots \cdot P_2 \cdot P_1 \cdot P_0 \cdot C_{-1} \quad (3.10)$$

と表される。 A_i , B_i ($i = 0 \cdots n-1$)と C_{-1} は最初から与えられているので, C_{n-1} は信号が入力された段階で求まる [2]。これにより,全ての桁上げ信号を並列に生成できる。 図 3.6 に示すように、n bit CLA の桁上げ信号 C_{n-1} の生成に必要な論理ゲート段数は、n の値に関わらず4段となる。しかし,上位ビットになるにつれて多入力ゲートの入力数が増加するため,上位ビットの桁上げ信号生成遅延が増大するという問題点がある。また,高速演算が可能となる反面,素子数増加のために消費電力が増大することも問題となる。

3.4.3 Kogge-Stone Parallel Prefix Adder の構成と動作

Parallel Prefix Adder の一般的な回路構成を図 3.7 に示す [1]。まず, 前段で各ビットの入力 *A_i*, *B_i*によって *P_i*, *G_i*を求める。そして, 中段で各ビットへの桁上げを計算し, 最終段で桁上げを考慮した和 *S_i*を求める。桁上げ伝搬信号 *P_i*, 桁上げ生成信



図 3.7 Parallel Prefix Adder の構成

号 G_i は、3.4.2 節の式 (3.7)、式 (3.8) と同様に表すことができる。 $G_i = 1$ のとき桁上げが発生し、 $P_i = 1$ のときに下位からの桁上げを伝搬させる。 P_i 、 G_i 信号は、信号が入力された時点ですべての桁で並列に計算できる。このように、桁上げを並列に計算する加算回路を総称して、Parallel Prefix Adder と呼ぶ。

Parallel Prefix Adder の一例として, Kogge-Stone Parallel Prefix Adder (Kogge-Stone)の Carry 計算回路を図 3.8 (a) に示す [4]。Kogge-Stone は Parallel Prefix Adder の一種であり, 桁上げ信号生成に必要な段数は $\log_2 n$ に抑えることができる。 その一方で, 構成するトランジスタ数が多いため, RCA や CLA と比較して面積や電力が増加する。各セルの内部構成を図 3.8 (b) に示す。白色のセルは, そのビットの桁上げ伝搬信号 $P_{i:k}$ と下位ビットからの桁上げ生成信号 $G_{k-1:j}$ の AND をとり, その 信号とそのビットの桁上げ生成信号 $G_{i:k}$ の OR をとることで, 次段への桁上げ生成信



(a) Carry 計算回路



(b) 各セルの内部構成

☑ 3.8 Kogge-Stone Parallel Prefix Adder

号 $G_{i:j}$ を生成する。一方,黒色のセルは、そのビットの桁上げ伝搬信号 $P_{i:k}$ と下位ビットからの桁上げ伝搬信号 $P_{k-1:j}$ の AND をとり、次段への桁上げ伝搬信号 $P_{i:j}$ と、ピンク色のセルにおける桁上げ生成信号 $G_{i:j}$ を生成する。

3.4.4 APPNA(Alternative Parallel Prefix Adder)の構成と動作

APPNA(Alternative Parallel Prefix Adder)の論理表現を図 3.9 に示す [5]。AP-PNA は、CLA の欠点であった、ビット数が増加するにつれ桁上げ先見発生回路が 多入力となり、高速性の維持が困難となる問題を解消する回路である。各ビットの桁 上げ先見発生回路に同じ入力の項目が存在することに着目し、同じ項目を各ビット で共有することによって、ビット数の増加にともなうファンアウトの増加を抑制する加 算回路である。

3.4.5 Carry Bypass Adder の構成と動作

CBA (Carry Bypass Adder)の構成を図 3.10 に示す [6], [7]。 CBA は,着目する ビットにおける入力信号の組合せによって,下位ビットからの桁上げ信号を全加算 器を通過することなく上位のビットに伝搬させる加算回路である。たとえば,図 3.10 において P_{0:3} がすべて 1 となる場合は,上位のビットに桁上げ信号 C₋₁を伝搬させ る。P_{0:3} のうち一つでも 0 となる場合は,各全加算器で生じる桁上げ信号を上位のビ



図 3.9 4 bit APPNA の論理表現

ットに伝搬させる。これにより,着目するビット全てを桁上げ信号が伝搬する場合でも, 加算器を次々に通過して演算する必要がなくなり遅延増加を抑制することが可能と なる。MUX の制御に入力信号の XOR 演算結果を利用するため,回路中に XOR の構造をもたない全加算器の場合,制御回路として着目するビット数分の XOR ゲ ートを付加する必要がある。そのため,付加回路分の消費電力増加が問題となる。

3.5 入力信号間の遅延差を考慮した桁上げ吸収回路の 低電力化手法

本節では、従来の桁上げ吸収回路に生じる問題について述べ、その問題点を解決する回路構成を提案する。

3.5.1 入力信号間に生じる遅延

乗算器は、3.2 節で述べたように部分積生成部、部分積加算部、そして桁上げ吸 収部で構成される。クリティカル・パス上の演算において、桁上げ吸収回路は下位ビ ットから上位ビットにかけて順番に演算を行うため、演算速度がクリティカル・パスの 遅延に大きな影響を及ぼす。そこで、従来の桁上げ吸収回路には、CLAや APPNA のような高速動作が可能な加算回路が用いられてきた [2]。加算木構成の部分積 加算回路は、ビット位置によって異なる段数の加算器を多段に接続した構成となる。 そのため、桁上げ吸収回路への入力信号には図 3.11 に示すように、ビットごとに異 なる遅延が生じる。16 bit 乗算器において、部分積加算の結果得られる 32 bit デー タの場合、13 bit 付近まではビット位置に対して線形に遅延が増加し、13 bit から 24



図 3.10 Carry Bypass Adder (CBA)の構成

bit 付近までほぼ横ばいとなっている。そして, 24 bit から 31 bit にかけて緩やかに遅 延が減少している。次節以降で,入力信号間に生じる遅延差の影響を抑制する回 路構成を提案する。

3.5.2 入力信号の遅延への対応

入力信号間に生じる遅延を考慮したアーキテクチャを構成するアプローチとして, まず,桁上げ吸収部をビット位置によって三つのブロックに分割し,それぞれ

- a) 下位ビット部(bit 0~12)
- b) 中間ビット部(bit 13~24)
- c) 上位ビット部(bit 25~31)

とする。これらのビット位置について適した回路構成を検討する。

a) 下位ビット部(bit 0~12)

桁上げ吸収回路の下位ビット部への入力信号を生成する部分積加算回路の段数が,上位のビットへ近づくにつれて増加する。そのため,下位ビット部への入力信号間に生じる遅延は,ビット位置に従って線形的に増加する傾向にある。また,中間ビット部への入力信号間に生じる遅延に比べて,下位ビット部への入力信号間に生じる遅延は小さい。これより,下位ビット部の加算回路は,中間ビット部と比較して高



速に動作する必要がなく,低消費電力動作する回路構成を適用可能であると考え られる。

b) 中間ビット部(bit 13~24)

中間ビット部へは、下位ビットや上位ビットの入力信号間に生じる遅延より大きな 遅延が生じた信号が入力されるため、クリティカル・パスとなる可能性が高くなる。し たがって、高速動作が可能な加算回路を適用する必要がある。中間ビット部では、 入力信号間に生じる遅延が最大となるため、消費電力が増加しても上位ビット部へ の桁上げ信号を高速に出力できる回路構成が望ましい。

c) 上位ビット部(bit 25~31)

上位ビットでは,部分積加算回路の段数が中間ビットよりも少ないため,早く入力 信号が到達する。その一方で,中間ビットからの桁上げ信号は入力信号よりも遅く伝 搬してくるため,中間ビットからの桁上げ信号の遅延が,回路全体の遅延に影響を 及ぼさないような回路構成が必要となる。

3.5.3 入力信号間に生じる遅延を考慮した桁上げ吸収回路

前節での検討をふまえて、各ビット位置に適用する加算回路を以下のように決定 した上で、図 3.12 に示す桁上げ吸収回路を提案する。下位ビット部には、動作速度 は遅いが消費電力の低い RCA を適用する。下位ビット部への入力信号間に含まれ る遅延は、上位のビットへ入力される信号ほど増加する。桁上げ信号が順次伝搬す る RCA を用いることで、遅れて到達する入力信号と桁上げ信号をほぼ同じタイミン グで後段の加算器へ入力し、演算することが可能となると考えられる。これにより、グ



図 3.12 提案する桁上げ吸収回路の構成

表 3.2 中間ビット部に関するシミュレーション結果

加算回路	遅延時間 (ns)	消費電力 (μW)
12 bit Kogge-Stone	1.78	140.7
12 bit APPNA	1.50	86.4

リッチによる消費電力を抑制できる。

中間ビット部に採用する回路構成の選定にあたり,高速動作が可能な 12 bit Kogge-Stone と 12 bit APPNA についてシミュレーションによる比較を行った結果を 表 3.2 に示す。表 3.2 より, 12 bit APPNA の遅延時間および消費電力が 12 bit Kogge-Stone と比較して 39% 削減されている。これより,中間ビット部には 12 bit AP-PNA を採用する。12 bit APPNA は, 4 bit APPNA を 3 段接続した構成となる。

そして、上位ビット部では、中間ビット部からの桁上げ信号の伝搬が遅いことと、入 力信号間に生じる遅延が中間ビット部に比ベ少ないことを考慮し、bit 25 ~ 28 に Carry Bypass 構造を付加した 7 bit CBA が適していると考えられる。CBA は、着目 するビットの入力信号の組み合わせによって、下位からの桁上げ信号が加算器を通 過することなく、上位に引き渡すことが可能な構造である。そのため、着目するビット すべてを *G*_i が伝搬する場合でも、加算器を次々に通過することなく最上位ビットに 信号を伝搬することができる。したがって、上位ビット部には 7 bit CBA を適用する。

以上より, 提案する桁上げ吸収部の構成として, bit 0~bit 12 に RCA, bit 12~bit 24 に APPNA, bit 25~bit 31 に CBA を適用する。

3.6 回路シミュレーションによる評価

本章では,前節で提案した,入力信号に含まれる遅延を考慮した桁上げ吸収回路の低消費電力化手法の効果を,HSPICEを利用した回路シミュレーションにより評価する。

3.6.1 シミュレーション条件と評価項目

提案手法による効果を評価するため、0.18 μ m CMOS プロセスに対応したモデル を用い、HSPICE による回路シミュレーションを行った。電源電圧を 1.8 V とし、32 bit 桁上げ吸収回路を対象として遅延時間、消費電力、そして PD 積に関する評価を行 った。図 3.13 に示すように、出力に負荷容量 C_L =50 fFを接続した。入力信号には、 部分積加算回路からの出力信号に含まれる遅延時間を付加した, ランダムな入力 パターンを用いた。動作周波数は 25 MHz とした。従来手法の 32 bit 桁上げ吸収回 路として図 3.14 に示す 4 bit CLA を 8 段接続した 32 bit CLA を構成し, 提案回路 は図 3.12 に示す構成とする。シミュレーションの正確性を高めるために, 従来回路 と提案回路のレイアウト設計を行い, レイアウト・データから抽出した寄生容量・寄生 抵抗を付加してシミュレーションを行った。また, 面積の評価も行った。

3.6.2 比較評価に関する結果と考察

レイアウトは, 0.18 µm CMOS プロセスの設計ルールに従い作成した。作成したレ イアウトより, 従来回路は 7,622 µm², 提案回路は 5,889 µm²となり, 提案回路では従 来回路と比較して面積が 22.7% 削減された。

表 3.3 に桁上げ吸収回路への入力信号に生じる遅延を考慮しない場合と考慮した場合のシミュレーション結果を示す。表 3.3 中の"a. 遅延なし"は入力信号間に遅



図 3.13 シミュレーション対象回路



図 3.14 従来型桁上げ吸収回路(32 bit APPNA)の構成

桁上げ吸収回路	遅刻	É時間 (ns) 消費電		と電力 (μW)
	a. 遅延なし	b. 遅延あり(b-a)	a. 遅延なし	b. 遅延あり(b-a)
従来回路	2.17	3.64 (+1.47)	253.2	299.0(+46.8)
提案回路	2.04	3.44 (+1.40)	237.5	273.8(+36.3)

表 3.3 従来回路と提案回路の比較評価結果

延生じる遅延を考慮しない場合のシミュレーション結果を示しており、"b. 遅延あり" は入力信号間に生じる遅延を考慮した場合のシミュレーション結果を示している。"b. 遅延あり"の結果より、提案回路では従来回路と比較して、遅延時間を 5.5%、消費 電力を 8.4% 削減できた。この結果、従来回路と比較して PD 積を 13.5% 削減した。 ここで、"a. 遅延なし"と"b. 遅延あり"のシミュレーション結果を比較し、入力信号 間に遅延が生じた場合における提案回路の効果について述べる。表 3.3 中の"b – a"で示した結果が、入力信号間に生じる遅延を考慮しない場合と、遅延を考慮した 場合の遅延時間と消費電力の変化量である。従来回路の結果に注目すると、入力 信号間の遅延を考慮することで、遅延時間が 1.47 ns、消費電力が 36.3 µW それぞ れ増加した。これは、提案回路を 3 種類の加算回路を組み合わせて構成したこと で、部分積加算回路によって生じた各入力信号間の遅延に対応させることができた ためと考えられる。図 3.15 に各ビット位置における消費電力を示す。図 3.15 より、提 案回路の下位ビット部における消費電力の削減率が 15.8% と最も高い。これは、高



図 3.15 各ビット位置における消費電力

速動作する APPNA の代わりに RCA を利用することで,回路内を伝搬するキャリー 信号と入力信号の到達タイミングを揃えることができ,下位ビット部におけるグリッチ を削減できたためと考えられる。入力信号間に生じる遅延を考慮しない場合,PD 積 の改善率は 11.8% であったが,遅延を考慮した場合は改善率を 13.5% まで高める ことができた。

さらに、従来回路と提案回路に関して遅延時間と消費電力、PD 積の電源電圧依存性に関する評価結果について述べる。電源電圧依存性の評価における動作周波数は1 MHz とした。遅延時間に関する結果を図 3.16 に、消費電力に関する結果を図 3.17 に、PD 積に関する結果を図 3.18 にそれぞれ示す。

図 3.16より, V_{DD} = 0.6 V までは提案回路と従来回路の遅延時間は同等の値であ るが, V_{DD} = 0.5 V において提案回路の遅延時間が, 従来回路と比較して 6.8% 増 加した。これは, 電源電圧がトランジスタのしきい値に近い値となったため, 提案回 路における RCA の駆動力が低下したことが原因であると考えられる。また, 図 3.17 より, すべての電源電圧において提案回路が従来回路と比較して低電力で動作す ることが確認できる。消費電力の削減率は最大で 9.7% であった。これは, 提案回 路のアーキテクチャによって, 桁上げ吸収回路内のグリッチを削減できたためと考え られる。 図 3.18 より, ほとんどの電源電圧において提案回路が従来回路と比較して PD 積を削減できた。PD 積の削減率は最大で 13.0% であった。これは, 提案回路



図 3.16 遅延時間の電源電圧依存性

では遅延時間を同程度に抑制しつつ,消費電力を削減できたためと考えられる。 以上の結果より,幅広い電源電圧範囲に対する遅延時間と消費電力の削減効果を 確認できた。

3.7 結言

本論文では,乗算器において,部分積加算回路からの出力信号間に生じる遅延 を考慮した回路構成を適用することにより,桁上げ吸収回路の低消費電力化を図る 手法を提案した。入力信号間に生じる遅延によって桁上げ吸収回路を下位ビット部,



図 3.18 PD 積の電源電圧依存性

中間ビット部,上位ビット部の3つのブロックに分割し,それぞれのブロックに生じる 遅延の特徴に適した回路構成を適用した。下位ビット部ではビット位置に対して1次 関数的に遅延が増加することから,桁上げ信号が順次伝搬するRCAを適用した。 中間ビット部では他のビット位置と比較して入力信号間に生じる遅延が増加するた め高速動作する APPNA を適用した。そして,上位ビットでは消費電力削減と桁上 げ信号生成の高速化を考慮し,CBAを適用した。

本手法の評価にあたり,提案手法と従来手法に対して,部分積加算回路からの 出力を模したランダムな入力パターンを入力した際の遅延時間,消費電力,PD 積 の比較評価を行った。シミュレーションの結果,提案手法を用いた場合,従来手法と 比較して遅延時間を 5.5%,消費電力を 8.4%, PD 積を 13.5% 削減できる効果を確 認した。

参考文献

- N. H. E. Weste and D. Harris, CMOS VLSI Design: A Circuits and Systems Perspective, Pearson Education, Inc., 2010.
- [2] 榎本忠儀, CMOS 集積回路, 培風館, 1996.
- [3] A. Weinberger and J. Smith, "A logic for high-speed addition," System design of digital computer at the national bureau of standards: methods for high-Speed addition and multiplication," National Bureau of Standards, Circular 591, Section 1, Feb. 1958, pp. 3-12.
- [4] P. Kogge and H. Stone, "A parallel algorithm for the efficient solution of a general class of recurrence equations," IEEE Trans. Computers, vol. C-22, no. 8, Aug. 1973, pp. 786-793.
- [5] 鈴木昌治, ディジタル数値演算回路の実用設計, CQ 出版, 2006.
- [6] C. Morgan and D. Jarvis, "Transistor logic using current switching routing techniques and its application to a fast carry-propagation adder," *Proc. IEE*, vol. 106B, 1959, pp. 467-468.
- [7] M. Lehman and N. Bulra, "Skip technique for high-speed carry-propagation in binary arithmetic units," IRE Trans. Electronic Computers, vol. 10, Dec. 1961, pp. 691-698.

第4章

ディジタル CMOS LSI の低電圧動作に向けた 要素回路の低電力化手法

4.1 緒言

本章では、ディジタル CMOS LSI の低電圧動作に向けて、要素回路のトランジ スタレベルでの低電力回路設計手法を提案する。対象回路は、同期式回路の記 憶素子として利用される D フリップフロップ [1] と非同期式回路の記憶素子として 利用されると C 素子 [2] とした。D フリップフロップに関しては、NOR ゲートとイン バータのみを利用し、従来回路として広く利用されている回路構成と同じトランジス タ数で構成することで、低電源電圧・低消費電力動作を実現する。そして、C 素子 に関しては、論理ゲートの出力端子同士が直接接続される wired-OR によって充放 電の競合が発生することで、従来回路では動作不可能であった低電源電圧下に おいても動作可能な回路構成を提案する。

以下,本章ではまず,4.2節でDフリップフロップ回路の基本構成と動作について 述べ,4.3節で提案するDフリップフロップの回路構成について述べる。そして,4.4 節で提案するDフリップフロップに関して回路シミュレーションによって評価を行い, 4.5節で実測評価の結果を示す。続いて,4.6節でC素子の基本構成について述 べた後,4.7節で提案するC素子の回路構成について述べる。さらに4.8節でC素 子について回路シミュレーションによる評価結果を示し,4.9節でまとめを述べる。

4.2 Dフリップフロップの回路構成と動作

本章では、同期式回路方式において記憶素子として利用されている D フリップ フロップについて、基本的な回路構成と動作を説明する。

СК	D	Q
0	x	Q_0
1	x	Q_0
↑	0	0
I	1	1

表 4.1 Dフリップフロップの真理値表

4.2.1 Dフリップフロップの基本構成

D フリップフロップは、ディジタル LSI システムにおいて入出力レジスタやパイプ ラインレジスタのような記憶回路や、有限ステートマシンとして広く利用されているた め、重要な要素回路となっている [3-6]。D フリップフロップを利用する目的は、現 在のデータと直前のデータを切り離すことで、回路の逐次動作を実現することであ る。D フリップフロップは、図 4.1 に示すように D ラッチを 2 つ直列に接続した構成 をしている。初段の D ラッチ回路をマスター・ラッチと呼び、後段の D ラッチ回路を スレーブ・ラッチと呼ぶ。図 4.1 のようにマスター・ラッチとスレーブ・ラッチからなる D フリップフロップをマスター・スレーブ型 D フリップフロップと呼ぶ。

表 4.1 に D フリップフロップ (DFF)の真理値表を示す。表中の記号 x は, 値が 0 または 1 のいずれの値も取り得ることを示す。また Q₀は保持されている出力値を



図 4.1 Dフリップフロップの基本構成

示す。

クロック信号が "Low" である場合, マスター・ラッチでは入力端子 D から新たな データを取り込み, スレーブ・ラッチでは直前のデータを保持する。一方, クロック 信号が "High" となると, マスター・ラッチにおいて取得したデータをスレーブ・ラッ チへと伝播させ, スレーブ・ラッチでは伝播してきたデータを出力端子 Q から出力 する。このようにして, クロックの立ち上がりごとにデータの更新を行う。D フリップフ ロップの動作例として, 図 4.2 にタイムチャートを示す t = 1 のとき, CK の立ち上が り直前で D = 0 なので Q = 0 を出力し, 次にクロックが立ち上がる t = 3 までは, Q の値を保持する。t = 3 のとき, CK の立ち上がり直前で D = 1の状態なので Q = 1を出力し, t = 5 まで Q の値を保持する [7]。以降も同様に動作する。

4.2.2 従来 D フリップフロップの構成

前節において, D フリップフロップの基本構成について述べた。本節では, 従来の D フリップフロップの回路構成と動作について述べる。

図 4.3 に NAND ラッチ型 D フリップフロップ (NAND Latch Based D Flip-Flop: NLFF)の構成を示す [1]。NLFF は、図 4.4 に示す NAND ゲートで構成した D ラ ッチを 2 つ直列に接続した構成となっている。通常、重積するトランジスタ数が増加 すると、安定動作のために電源電圧を高くする必要があるが、NLFF は余分にトラ ンジスタを重積する必要のないスタティック CMOS ゲートのみで構成されているた め、低電源電圧下において安定に動作することができる。しかし、NLFF はトランジ スタを 40 個必要とするため、大面積となり消費電力も増加する問題がある。



図 4.2 D フリップフロップのタイムチャート

46 第4章 ディジタル CMOS LSI の低電圧動作に向けた要素回路の低電力化手法

図 4.5 にトランスミッション・ゲート型 D フリップフロップ (Transmission-gate D flipflop: TGFF) の構成を示す。TGFF は、トランスミッション・ゲート、クロックト・インバー タおよびインバータで構成される D フリップフロップであり、多くの半導体メーカー のスタンダード・セルライブラリに利用されている [3]。構成に必要なトランジスタ数 は 24 個と少なく、小面積で構成することが可能である。しかし、図 4.5 中に示すよう



図 4.3 NLFF の回路構成



図 4.4 D ラッチの論理表現



図 4.5 TGFF の回路構成

に入力のクロックト・インバータ出力と、マスター・ラッチ内部のクロックト・インバータ 出力が wired-OR となるため、wired-OR 部分において充放電の競合によるコンテ ンションが発生し、しきい値電圧以下の極低電源電圧下では、消費電力の増加と 動作不良を引き起こす [8-10]。

4.2.3 Contention-less D Flip-Flop の構成

近年, CMOS LSI の低消費電力化に対する要求が高まっており,低電圧で回路 を動作させる研究が盛んに行われている。D フリップフロップは,集積回路におい て最低動作可能電圧を決定する回路である。そのため,低電圧下における D フリ ップフロップの安定動作が重要となる。従来回路である NLFF と TGFF は,前節で 述べた通り低消費電力動作や低電源電圧動作に不向きであることが問題となって いる。

図 4.6 に示す Contention-less Flip-Flop(CLFF)が提案されている [8]。CLFF は, マスター・ラッチは NOR で構成され,スレーブ・ラッチは NAND で構成される。以 下で CLFF の動作について説明する。

マスター・ラッチの動作に関して述べる。NOR ゲートは、入力信号に1 が含まれるときに"0"を出力する。したがって、CK2 と CKB が"1"のときに、DB ノードとFB ノードがそれぞれリセットされる。DB ノードについて考えると、CK2 が"0"のとき、NOR ゲートはインバータと同様の動作をするので、D に入力されたデータ(D1)が D1B として DB ノードに取り込まれる。このとき、DB ノードが"D1B"であり、FB



図 4.6 CLFF の回路構成

ノードが "0" なので, D'ノードには "D1" のデータが取り込まれる。

スレーブ・ラッチの動作に関して述べる。NAND ゲートは入力信号に"0"が含まれるとき"1"を出力する。したがって, CK2 と CKB が"0"のとき, A ノードと B ノードがそれぞれ"1"にセットされる。CK2 が立ち上がると NAND ゲートはインバータとして動作するため, QMB ノードの"D1B"が取り込まれ, A ノードが"D1"となる。このとき, A ノードが"D1", B ノードが"1"であるため, C ノードは"D1B"となる。以降, この動作を繰り返すことで, データの保持を行う。

この回路では FB ノードに DB ノードのデータを取り込む必要があるため, クロック の立ち上がりから DB ノードのデータの立ち下がりまで (t_{DB})と, クロックの立ち上がり から FB ノードのデータの立ち上がりまで (t_{FB})の間に $t_{DB} > t_{FB}$ の関係が成り立つ必 要がある。そこで, このフリップフロップでは, データが入力される NOR と NAND(* のついた NOR, NAND)をそれぞれ図 4.7 の構成とし, *CK2* の立ち上がりから DB ノ ードの立ち下がりまでの遅延を増加させることで $t_{DB} > t_{FB}$ を成立させている。

CLFF によって、NLFF と比較して回路規模を削減し TGFF と比較して低電源電 圧で動作することが可能となったが、依然として 34 個のトランジスタを必要とするた め、さらなる回路規模の削減が必要となる。



(a)*NOR

(b)*NAND

図 4.7 *NOR と*NAND の構成

4.3 Circuit-Shared Static D Flip-Flop の提案

前節で,従来回路として3種類のDフリップフロップについて述べたが,いずれの回路に関しても,低電源電圧での動作不良,回路規模の増大や消費電力増加の問題が生じている。そこで本節では,低電源電圧および低消費電力動作可能かつ小面積で構成可能なDフリップフロップを提案する。

図 4.8 に, 提案する Circuit Shared Static D Flip-Flop(CS²FF)の回路構成を示す。 CS²FF は, 5 つのスタティック CMOS NOR ゲートと 2 つの CMOS インバータで構成 される。以下において, 図 4.9 に示す CS²FF のタイミングダイアグラムを利用して, そ の動作を説明する。

マスター・ラッチの動作に関して述べる。マスター・ラッチは、*CK2*の立ち上がりエ ッジを利用して動作する。入力端子 *D*、*CK2*および *CKB* がそれぞれ "*D0*"、"0"、 "1"のとき、NOR1 はインバータとして動作し、NOR3 の出力は "0"へとリセットさ れる。これにより、NOR2 がインバータとして動作するため QM ノードに "*D0*" とし てデータが伝播される。このとき、*CK2*と *CKB* がそれぞれ "1"と "0"へ切り替わ ると、NOR1 の出力が "0" にリセットされることで、MFB ノードに "*D0B*" としてデ ータが保持される。このようにして、NOR2と NOR3 がマスター・ラッチを形成する。

スレーブ・ラッチの動作に関して述べる。スレーブ・ラッチは CK の立ち下がりエッジを利用して動作する。CK および CKB がそれぞれ "1" と "0" のとき, NOR4 の



図 4.8 CS²FFの回路構成

出力が "0" へとリセットされ, NOR5 がインバータとして動作する。これより, MFB ノードに "*D0B*" として保持されていたデータがQに出力される。このとき, CKとCKB がそれぞれ "0" と "1" に切り替わると, NOR3 の出力が "0" にリセットされること で, Qノードに "*D0*" としてデータが保持される。このようにして, NOR4 と NOR5 が スレーブ・ラッチを形成する。

4.4 Dフリップフロップに関するシミュレーション評価

本節では, 4.2 節および 4.3 節で説明した D フリップフロップに関して, 回路シミュレーションを行うことで提案回路の効果を確認する。まず, シミュレーション条件と評価項目を述べた後, 各評価結果を示し, 考察を行う。



図 4.9 CS²FF のタイムチャート

DFFs	トランジスタ数	面積(µm ²)	$t_{\rm CK_Q}(\rm ns)$	$t_{\rm S}({\rm ns})$	$t_{\rm H}({\rm ns})$	消費電力(nW)
TGFF1	24	41.7	21.3	11.2	4.6	12.8
TGFF2	24	41.7	22.0	10.5	4.5	11.1
NLFF	40	87.8	28.3	13.2	7.6	15.1
CLFF	34	68.1	24.3	9.5	-0.5	12.9
CS ² FF	24	48.3	18.3	10.0	5.5	9.7

表 4.2 Dフリップフロップに関するシミュレーション結果

4.4.1 シミュレーション条件と評価項目

提案する CS²FF の評価を行うため, 0.18 µm CMOS プロセスに対応したトラン ジスタ・モデルを利用して, SPICE による回路シミュレーションを行った。シミュレー ション項目は, 面積, 消費電力, Clock-to-Q Delay (t_{CK_Q}), セットアップ・タイム (t_s), ホールド・タイム(t_H), そして最低動作可能電圧とする。また, Activity Ratio Test を行い, 動作率の変化に対する消費電力の変化について調査した。さらに, モンテカルロ・シミュレーションを行うことで, 各 D フリップフロップの消費電力のば らつきについても評価を行った。消費電力, 遅延時間の評価およびモンテカル ロ・シミュレーションに関しては, $V_{DD} = 0.5 \text{ V}$, f = 1 MHz とし, 最低動作可能電源 電圧の評価に関しては, f = 1 MHz とした。なお, すべての回路シミュレーションは, レイアウトから抽出した配線容量や,トランジスタの寄生抵抗,寄生容量を付加し たポストレイアウト・シミュレーションを行った。

4.4.2 シミュレーションによる比較評価結果

図 4.10 に 4 種類の D フリップフロップのレイアウトを示す。各 D フリップフロップ に関して、nMOSFET と pMOSFET のチャネル長は、 $L_n = L_p = 0.18 \mu m$ とした。ま た、TGFF 以外の D フリップフロップのチャネル幅 W_n 、 W_p は、各 D フリップフロップ が最も低電源電圧で動作可能な値となるように設計した。TGFF のシミュレーション に関しては、TGFF1 と TGFF2 の 2 種類について評価を行った。TGFF1 は半導体 メーカーから提供されているスタンダード・セルライブラリに含まれている TGFF であ り、TGFF2 は TGFF1 をより低消費電力で動作するよう、トランジスタ・サイズを調整 した TGFF である。

表 4.2 に各 D フリップフロップに関する比較結果を示す。表 4.2 より, 各 D フリッ プフロップの面積はそれぞれ, TGFF1 および TGFF2 が 41.7 μm², NLFF が 87.8 μm², CLFF が 68.1 μm², CS²FF が 48.3 μm²となり, TGFF1 および TGFF2 が最も 小さい面積で構成できることを確認した。NLFFとCLFFの面積が増大した要因は, 構成に必要なトランジスタ数がどちらの回路も 30 個以上と多いためである。一方, CS²FF の面積が同じトランジスタ数で構成している TGFF より大きくなった要因は, TGFF を構成する論理ゲートの大半がクロックト・インバータとインバータであること から, レイアウトの容易性が高いのに対して, CS²FF は大半を NOR で構成している ため, レイアウトの容易性に関して劣っていたことが考えられる。

消費電力に関しては、CS²FF が TGFF と比較して、13% 削減された。CS²FF と TGFF の構成に必要なトランジスタ数はどちらも 24 個であるが、 TGFF 中の電源か ら GND までのパスと比べて、CS²FF 中の電源から GND までのパスの方が少ない ため、CS²FF の消費電力が削減できたと考えられる。



図 4.10 フリップフロップのレイアウト

遅延時間に関する評価結果について考察を加える。各遅延時間の定義を図 4.11 に示す。図 4.11 より、 $t_{CK,Q}$ は、*CK*信号の立ち上がりから、*Q*信号の変化(立 ち上がりもしくは立ち下がり)までの遅延時間、 t_S は、*CK*信号の立ち上がりまでに*D* 信号が確定していなければならない時間、 t_H は、*CK*信号の立ち上がり後に*D*信号 がその値を保持していなければならない時間をそれぞれ表している。表 4.2 より、 CS²FFの $t_{CK,Q}$ が最小となることが確認できる。これは、CS²FF以外のDフリップフ ロップでは、*CK*の変化後に最低でもインバータ1段以上の論理ゲートを通過して *Q*に信号が伝播するのに対して、CS²FFは、*CK*の変化後にNOR1段通過するの みで*Q*へ信号を伝播させられるためと考えられる。 $t_S \ge t_H$ に関する評価に関しては、 通常、Dフリップフロップとして動作する限界まで t_S および t_H を小さい値とすると、 $t_{CK,Q}$ が指数関数的に上昇するため[1]、 t_S 、 t_H の最小値の比較では各Dフリップフ ロップ間での公正な比較が困難となる。これより、本論文での t_S および t_H は、 $t_{CK,Q}$ が表 4.2 に示す結果と同じ値となるときの結果を示した。



図 4.11 遅延時間の定義

第4章 ディジタル CMOS LSI の低電圧動作に向けた要素回路の低電力化手法

DFFs	$V_{\rm DDmin}({ m mV})$	$t_{CK_Q}(ns)$	消費電力(nW)
TGFF2	0.344	701.6	5.2
NLFF	0.337	882.3	6.7
CLFF	0.337	819.8	5.7
CS ² FF	0.339	537.4	4.2

表 4.3 最低動作可能電圧に関するシミュレーション結果

54

表 4.3 に最低動作可能電圧の評価結果を示す。最低動作可能電圧に関しては, NLFF と CLFF が最も低電源電圧で動作することが確認できる。しかし, CS²FF の 最低動作可能電圧と2 mV の差であり, 消費電力に関しては CS²FF が NLFF と比 較して 26% 削減しているため, 低電源電圧動作と低消費電力動作を実現してい ると考えられる。ここで, TGFF が低電源電圧動作に不利となる原因について述べ る。図 4.12 に TGFF1 および CS²FF の電源電圧 0.4 V, 動作周波数 800 kHz にお けるモンテカルロ・シミュレーションの動作波形を示す。図 4.12 より, CS²FF と比較



図 4.12 TGFF1 および CS²FF の内部ノード波形

DFFs	消費電力(nW)
TGFF1	12.5
TGFF2	11.7
NLFF	15.0
CLFF	14.2
CS ² FF	12.4

表 4.4 PRBS を利用したシミュレーション結果

して CKB と CK2 の信号に鈍りが生じていることを確認できる。これは、TGFF に含まれる CKB および CK2 生成用のインバータのファンアウト数が CS²FF と比較して大きいことが原因と考えられる。このため、低電源電圧下ではマスター・ラッチ内のクロックト・インバータとトランスミッション・ゲートを正常に駆動することが困難となり、ノード N3 の信号がノード N1、N2 に伝播することで、TGFF の動作不良を引き起こす。

D フリップフロップの動作率に対する消費電力の依存性を確認するため、PRBS (Pseudo-random Binary Sequence)シミュレーションを行った。PRBS シミュレーションとは、擬似乱数によって生成したランダムな信号を評価回路への入力信号に利用するシミュレーションである。これにより、ランダムパターンを入力した際の回路動作および性能を評価することができる。表 4.4 に PRBS シミュレーションの評価結果を示す。表 4.4 より、PRBS シミュレーションにおいて TGFF が最も低消費電力となった。ここで、その他の動作率に関して評価を行うため、0~100% まで10% 刻みで動作率を変化させシミュレーションを行った。図 4.13 に動作率を変化させた場合の評価結果をグラフで示す。図より提案回路では、70% 以上の動作率において最も低消費電力で動作することが確認できる。提案回路は、D 入力に"0"が入力される割合が増加することで、回路に含まれる NOR ゲートが CLK 信号の遷移に合わせてオン/オフを繰り返すため、動作率が低い領域において消費電力が増加したと考えられる。ここで、PRBS シミュレーションおよび動作率を変化させた場合における消費電力は、D フリップフロップの CK 端子への入力信号を生成するクロックドライバの消費電力も含めた値としている。

消費電力のモンテカルロ・シミュレーションの結果を表 4.5 に, 遅延時間のモンテカルロ・シミュレーションの結果を表 4.6 にそれぞれ示す。TGFF に関しては, 低消費電力で動作する TGFF2 のみを評価対象とした。表 4.5 および表 4.6 より, どのフリップフロップに関しても, Yield(歩留まり)が 100% となり V_{DD} = 0.5 V において全てのフリップフロップが正常に動作していた。このとき, 消費電力のµに関しては,

56

DFFs	Yield(%)	$\mu(nW)$	$\sigma(nW)$	Min. (nW)	Max. (nW)
TGFF2	100	10.7	0.17	10.2	11.2
NLFF	100	14.5	0.20	13.9	15.3
CLFF	100	12.4	0.20	11.8	13.1
CS ² FF	100	9.3	0.18	8.8	9.9

表 4.5 消費電力に関するモンテカルロ・シミュレーションの結果

表 4.6 遅延時間に関するモンテカルロ・シミュレーションの結果

DFFs	Yield(%)	$\mu(ns)$	$\sigma(ns)$	Min. (ns)	Max.(ns)
TGFF2	100	24.3	11.2	5.9	91.7
NLFF	100	31.4	13.0	9.8	112.1
CLFF	100	27.4	12.2	6.5	85.5
CS ² FF	100	19.9	8.9	5.6	69.3

CS²FF が最も低消費電力で動作しており,また,TGFF の最低消費電力と比較して, CS²FF の最高消費電力が 3% 小さい値となっていることから,トランジスタにばらつ きが生じた場合においても,低消費電力動作が可能であると考えられる。

4.5 Dフリップフロップの実測評価

前節のシミュレーションにおいて低消費電力であった, TGFF2, CLFF, そして CS²FF に関して実測による比較評価を行うためチップ試作を行ったので, その結果



図 4.13 消費電力の動作率依存性

を議論する。

4.5.1 実測環境と評価条件

試作チップの写真を図 4.14 に示す。チップ写真中の各 D フリップフロップの詳細なレイアウトは、図 4.10 に示す通りである。測定環境を図 4.15 に示す。図に示すように、各 D フリップフロップへの電源供給には半導体デバイスアナライザを、入力信号の生成にはファンクションジェネレータを、波形の観測にはオシロスコープをそれぞれ利用した。実測における評価項目は、消費電力の電源電圧依存性(*f* = 1 MHz)、消費電力の周波数依存性(*V*_{DD} = 0.5 V)、最低動作可能電圧とした。

4.5.2 消費電力に関する実測評価

図 4.16 に CS²FF の動作波形を示す。CK 信号の立ち上がりエッジに応じて、Q 信号が変化しており、正常に動作することが確認できる。図 4.17 に消費電力の電源電圧依存性のグラフを、図 4.18 に消費電力の周波数依存性のグラフをそれぞ



DEE	$V_{ m Dl}$	Dmin	Energy	
DFFS	$\mu(mV)$	$\sigma(mV)$	μ (fJ)	$\sigma(\mathrm{fJ})$
TGFF	359	8.53	6.78	0.38
CLFF	354	6.29	8.29	0.40
CS ² FF	352	6.50	5.93	0.34

表 4.7 最低動作可能電圧の実測結果

れ示す。図 4.17, 図 4.18 より, 各電源電圧範囲および動作周波数範囲において 提案回路が最も低消費電力で動作することが確認できる。表 4.7 に最低動作可能 電圧の結果を示す。ここで, μは平均値, σは標準偏差をそれぞれ表している。表 4.7 より, CS²FF が最も低電源電圧かつ高エネルギー効率で動作することが確認で きる。

4.5.3 遅延測定用回路の検討

クロックの立ち上がりから出力が変化するまでの遅延である tck_Q に関しても実測 評価を行った。図 4.14 に示す消費電力を測定した試作回路では, D フリップフロッ プの出力端子にレベルシフタや出力バッファを接続しているため, 正確な tck_Q を測 定することが困難である。そこで, 図 4.19 に示すアーキテクチャによって tck_Q を測 定する [11]。図 4.19 に示すアーキテクチャはそれぞれ, D フリップフロップとインバ



図 4.16 CS²FF の動作波形



図 4.17 消費電力の電源電圧依存性



図 4.18 消費電力の周波数依存性

ータ、バッファ、マルチプレクサ(MUX)によって構成したリング発振器(DFF_ROSC) と、インバータ、バッファ、マルチプレクサ(MUX)によって構成した参照リング発振 器(REF_ROSC)である。DFF_ROSC は、各 Unit Cell においてある幅を持ったパ ルスを生成し、そのパルスを後段の Unit Cell へ順番に伝搬させることで一定の周 期ごとに出力を反転させ、発振動作を実現している。Unit Cell のパルス幅は、ノー ド N2 が変化してからノード N4 が変化するまでの遅延時間によって決定される。上 記 2 種類のリング発振器の発振周波数より、DFF_OSC の 1 周期 t_{DFF_ROSC} と REF_ROSC の 1 周期 t_{REF_ROSC}を求め、

$$t_{\rm CK_Q} = \left(t_{\rm DFF_ROSC} - t_{\rm REF_ROSC} \right) / 2N \tag{4.1}$$

で表される式によって、*t*_{CK_O}を算出する。ここで、*N*は Unit Cell の段数である。これ により、リング発振器の出力端子に接続されている付加回路に影響されることなく、 Dフリップフロップの*t*_{CK_O}を評価することが可能となる。

図 4.19 のアーキテクチャにより t_{CK_0} の実測が可能となるが,図 4.19 中の DFF_ROSC に含まれる Unit Cell の構成では,トランジスタのしきい値電圧が sf コー



(a) D フリップフロップで構成したリング発振器(DFF_ROSC)



⁽b) 参照リング発振器

図 4.19 tck_o 測定用回路のアーキテクチャ

ナーと ff コーナーとなる場合に正常に発振動作を行わないという問題がある。sf コ ーナーとは、nMOSFET のしきい値電圧が標準値より高く、pMOSFET のしきい値電 圧が標準値より低い状態を指す。一方、fs コーナーとは、nMOSFET のしきい値電 圧が標準値より低く、pMOSFET のしきい値電圧が標準値より高い状態を指す。図



図 4.20 sf コーナーにおける Unit Cell の内部ノード波形



図 4.21 ffコーナーにおける Unit Cell の内部ノード波形
4.20 および図 4.21 に、トランジスタの sf コーナーおよび ff コーナーにおける Unit Cell の内部ノード波形を示す。図 4.20 より、sf コーナーでは Unit Cell の出力信号 が電源電圧まで上昇せず、さらにパルス幅が狭いことが確認できる。これは、sf コー ナーにおいて出力部分の MUX が、制御信号の切り替わりに十分に応答することが できなかったのが原因であると考えられる。このため、後段の D フリップフロップを駆 動するために必要なパルスを出力できず、発振動作の妨げとなっている。また ff コ ーナーに関しても、1 段目の Unit Cell にてパルスを出力することはできているが、そ のパルス幅が 5 ns 程度と非常に小さいことが確認できる。Unit Cell の入力端子は、 D フリップフロップの CLK 端子へ接続されている。入力されるパルス幅が小さいと、 D フリップフロップのホールド時間より短い時間で *CLK* = 0 と変化する。データ出力 中に新たなデータを読み込むこととなり、出力信号が不定となる。これにより、Unit Cell の各構成素子に所望の信号が伝播せず、2~3 段目の Unit Cell 以降パルスが 生成されなくなり、発振不可能となったと考えられる。

以上の問題を解決するため,図4.22 に示す Unit Cell への改良を行った。図4.19 中の Unit Cell からの改良点は、ノード N2 からノード 4 までの間にバッファを追加し た点である。先述した通り、Unit Cell から出力されるパルスの幅は、ノード N2 が変 化してからノード N4 が変化するまでの遅延時間によって決定されるため、バッファを 遅延素子としてノード N2 からノード N4 の間に挿入する事で、MUX が応答できる十 分な遅延を持たせることが狙いである。

提案する Unit Cell を利用した場合の, sf コーナーおよび ff コーナーにおけるシ ミュレーション評価を行ったので, その結果を示す。評価対象回路は, CS²FF を利用



図 4.22 改良型 Unit Cell の構成

した DFF_ROSC とした。シミュレーション条件として,電源電圧を 0.5 V とした。評価 項目は, sf コーナーおよび ff コーナーにおける各 Unit Cell の動作確認と発振動作 の確認である。また,発振周波数より DFF_ROSC の算出も行った。sf コーナーおよ び ff コーナーにおける内部ノード波形を図 4.23 に示す。また, sf コーナーおよび ff コーナーにおける DFF_ROSC の動作波形を図 4.24 に示す。図 4.23 より, どちらの コーナーにおいても Unit Cell が正常にパルスを出力できていることが確認できる。



64





図 4.24 コーナー解析の動作波形

DEE POSC	$t_{\rm CK_Q}({\rm ns})$		
DIT_KOSC	PL Sim.	Meas.	
TGFF2	22.0	21.9	
CLFF	24.3	25.4	
CS ² FF	18.3	18.2	

表 4.8 DFF_ROSC を利用した各 D フリップフロップの遅延時間の実測結果

図 4.24 より、どちらのコーナーにおいても各 Unit Cell をパルスが伝播し、 DFF_ROSC が正常に発振していることが確認できる。さらに、DFF_ROSC と REF_ ROSC の発振周波数より t_{CK_Q} を算出すると 17.3 ns となり、D フリップフロップ単体 で評価した t_{CK_Q} の値 18.3 ns と同等の結果が得られた。これより、DFF_ROSC によ って信頼できる t_{CK_Q} を測定できると考えられる。

4.5.4 遅延時間に関する実測評価

前節での検討を踏まえて,提案する Unit Cell を利用した DFF_ROSC を TGFF2, CLFF, CS²FF について構成し,実測による t_{CK_Q} の評価を行った。図 4.25 に試作回 路のチップ写真を示す。各リング発振器の段数は, N = 60 とした。図 4.26 と図 4.27 に各リング発振器の動作波形を示す。図 4.26, 4.27 より, どのリング発振器も正常に 発振動作を行っていることが確認できる。さらに,表 4.8 に各リング発振器の発振周 波数より算出した t_{CK_Q} ,各 D フリップフロップ単体についてポストレイアウト・シミュレ ーションを行って得た t_{CK_Q} の値をまとめる。発振周波数より算出した t_{CK_Q} について は、10 チップを測定した際の平均値を示している。表 4.8 より、実測した t_{CK_Q} とシミ ュレーションによって得た t_{CK_Q} の値が同等の値となることが確認できる。図 4.28 に 実測およびポストレイアウト・シミュレーションにおける t_{CK_Q} の電源電圧依存性の結 果を示す。図 4.28 より、電源電圧依存性に関しても実測とポストレイアウト・シミュレー



図 4.25 遅延測定用回路のチップ写真

66 第4章 ディジタル CMOS LSI の低電圧動作に向けた要素回路の低電力化手法

ションの傾向が一致することが確認できる。これより,提案した Unit Cell を利用した DFF_ROSC によって, D フリップフロップの *t*CK_Qを実測により評価できると考えられる。



(a) REF の動作波形





図 4.26 REF, TGFFの実測波形

以上より,提案回路を利用することで実際の VLSI においても,低電源電圧かつ 低消費電力で動作すると考えられる。また tck_Q に関しては, tck_Q 測定用回路の利 用によって,実測による評価が可能であることが確認できた。







(b) CS²FF(提案回路)の動作波形

図 4.27 CLFF, CS²FFの実測波形





(b) 実測結果

0

図 4.28 t_{CK_Q}の電源電圧依存性

Α	В	Y
1	1	1
1	0	keep
0	1	keep
0	0	0

表 4.9 C素子の真理値表

4.6 C素子回路の動作と基本構成

マラーの C 素子は, 非同期式回路システムにおいて各回路ブロックの信号同期 を図る目的で広く利用されている [2], [12]。C 素子の動作は, イベント駆動型の AND ゲートとなっており, 表 4.9 に示す真理値表に従って動作する。2 つ入力端子 に同じ信号が入力されると, 表 4.9 に示すように入力と同じ信号が出力され, それ ぞれの入力端子に異なる信号が入力されると, 直前の値を保持する。以上より, C 素子の入力端子に変化が生じると, その出力端子にも変化が生じる。以降で, 従 来の C 素子回路について説明を行う。

4.6.1 マラーの C 素子

図 4.29 に基本的なマラーの C 素子の回路構成を示す。マラーの C 素子は、2
つの nMOSFET と 2 つの pMOSFET、およびインバータ・ラッチによって構成される。
図 4.29 の構成では、8 個のトランジスタで構成できる。

フィードバック部分に含まれるウィーク・インバータと、入力段の pMOSFET の間 で発生する充放電の競合が原因で、ラッチの値を更新できない問題がある。その



図 4.29 基本的な C素子の回路構成

70 第4章 ディジタル CMOS LSI の低電圧動作に向けた要素回路の低電力化手法

ため, ウィーク・インバータの駆動力を弱める必要がある。この充放電の競合が発生することで, 出力が変化する際に消費電力が増加する傾向がある。さらに, 低電源電圧動作において PVT ばらつきを考慮した場合, 図 4.29 の構成では正確に動作しない恐れがある。

4.6.2 スタティック C 素子

図 4.30 にスタティック C 素子の回路構成を示す [13]。図 4.30 の回路は基本的 なマラーの C 素子をもとに、2 つの nMOSFET と 2 つの pMOSFET を付加した構 成となっている。付加した 4 つのトランジスタにより、低電源電圧化においても正確 に動作することができる。しかし、基本的な C 素子と比較してトランジスタ数が 4 つ 増加しているため、面積の増加が問題となる。

4.7 提案するC素子回路

前節において従来の C 素子について述べた。基本的な C 素子では,低電源電 圧下における動作が困難である。スタティック C 素子では,追加するトランジスタに よって面積の増加が問題となっている。本節では,上記 2 種類の C 素子の問題を 解決するため,小面積かつ低電源電圧動作可能な新たな C 素子回路を提案する。

一般的に C 素子は,入力信号がすべて同じ場合は入力を通過させ,それ以外 は直前の値を保持する,状態保持回路である。しかし,基本的な C 素子では,入 力段の出力端子のモニタと信号の出力を,ウィーク・インバータとノーマル・インバ ータによって同時に行っているため,回路中に充放電の競合を発生させている。こ



図 4.30 スタティック C 素子の回路構成

れにより,低電源電圧下での動作が困難となっている。

この問題を解決するため、インバータ・ラッチ内部に遅延を発生させる手法を提 案する。図 4.31 に提案する C 素子の回路構成を示す。提案回路も、基本的な C 素子もとに構成しており、インバータ・ラッチ内部に pMOSFET を 1 つ追加している。 追加した pMOSFET は抵抗として動作し、インバータ・ラッチ内部、特にウィーク・イ ンバータの出力部分の信号に対して遅延を発生させている。これにより、入力段の 出力信号がノーマル・インバータへ素早く伝播され、レーシングを抑制することがで き、低電源電圧下においても頑健な動作が可能となる。

4.8 C素子に関するシミュレーション評価

本節では, 4.6 節および 4.7 節で説明した C 素子に関して, 回路シミュレーション を行うことで提案回路の効果を確認する。まず, シミュレーション条件と評価項目を 述べた後, 各評価結果を示し, 考察を行う。

4.8.1 シミュレーション条件と評価項目

提案する C 素子の評価を行うため, 0.18 µm CMOS プロセスに対応したトランジ スタ・モデルを利用して, SPICE による回路シミュレーションを行った。シミュレーショ ン項目は, 面積, 消費電力, 遅延時間, PD 積とする。また, モンテカルロ・シミュレ ーションを行うことで, 各 C 素子の消費電力のばらつきについても評価を行った。 なお, すべての回路シミュレーションは, レイアウトから抽出した配線容量や, トラン ジスタの寄生抵抗, 寄生容量を付加したポストレイアウト・シミュレーションを行った。



図 4.31 提案回路の構成

4.8.2 シミュレーションによる比較評価結果

各 C 素子の nMOSFET と pMOSFET のチャネル長およびチャネル幅は最小サ イズを利用してシミュレーションを進める。

図 4.32 に基本的な C 素子の動作波形を示す。 図 4.32 は, $V_{DD} = 1.8$ V としたと きの動作波形であるが,入力信号 (A, B) が (1, 0) から (0, 0) へと遷移した場合 に,出力信号 Y が"0"へと遷移していないことが確認できる。これは,入力段の pMOSFET の駆動力と比較して,ウィーク・インバータ中の nMOSFET の駆動力が



図 4.32 基本的な C 素子の動作波形

高いことが原因である。このため、ウィーク・インバータ中の nMOSFET のチャネル 長を長く設計する必要がある。ウィーク・インバータ中の nMOSFET のチャネル長を 決定するためにシミュレーションを行ったところ,最小サイズの 7 倍のチャネル長と することで, C 素子としての動作を確認できた。以降では, 基本的な C 素子のチャ ネル長を最小サイズの7倍に設定してシミュレーションを行うものとする。

図 4.33 に V_{DD} = 1.16 V におけるスタティック C 素子の出力波形と V_{DD} = 1.08 V における提案回路の出力波形を,図4.34に3種類のC素子の内部ノードPの電 位をそれぞれ示す。図 4.33 より, スタティック C素子および提案回路が1V付近の 低電圧においても正常に動作していることが確認できる。図 4.34 より, 入力端子 B の入力信号が"0"から"1"へと遷移した際に、スタティック C 素子と提案回路ではノ ード P の電位が上昇している。これより, B の信号遷移が完了するまでの間, ウィー ク・インバータによる放電を抑制できたと考えられる。一方,基本的な C 素子ではノ ード P の電位が常に 0 V となっている。これは、入力段の出力端子に保持されるは ずの電荷が,ウィーク・インバータの nMOSFET から放電されたことが原因である。





(a) スタティック C 素子の出力波形(V_{DD} = 1.16 V)



(b) 提案回路の出力波形(Vpp = 1.08 V)



74 第4章 ディジタル CMOS LSI の低電圧動作に向けた要素回路の低電力化手法

図 4.34 からも, 基本的な C 素子におけるウィーク・インバータのサイズ設定が重要 であることが確認できる。

図 4.35 にスタティック C 素子と提案回路における消費電力および遅延時間の電 源電圧依存性のグラフを,図 4.36 にスタティック C 素子と提案回路における PD 積 の電源電圧依存性をそれぞれ示す。図 4.35 より,どの電源電圧においても提案回 路の遅延時間が,スタティック C 素子の遅延時間と比較して,小さい値となってい る。一方,消費電力に関しては,スタティック C 素子が提案回路と比較して,小さい



図 4.34 内部ノード P の波形

Circuit	トランジスタ数	面積(µm ²)
基本構成*	8	28.54
Static	12	35.12
提案回路	9	28.54

表 4.10 C 素子に関するシミュレーション結果

遅延時間(ns) Circuit $V_{\rm DD}({\rm V})$ 消費電力(nW) 最小 PD 積(aJ) 基本構成* 1.41 1.09 20.6 22.4 7.24 0.66 4.76 Static 1.16 6.99 4.32 提案回路 1.08 0.62

*基本構成のC素子のチャネル長は、最小サイズの7倍の大きさとした

値となっている。これは、スタティック C 素子では、2 つの入力信号が同じ値となった時、電源から GND までの電流パスが遮断されることで、消費電流を削減できているためと考えられる。その反面、出力信号が変化する際は、縦積みにしたトランジスタを通過した電流によって出力インバータを駆動するため、提案回路と比較して遅延時間が増加したと考えられる。図 4.36 より PD 積が最小となるのは、提案回路が $V_{DD} = 1.08 \text{ V}$ 、スタティック C 素子が $V_{DD} = 1.16 \text{ V}$ であることが確認できる。また、1 V 以下の低電源電圧下では、提案回路がスタティック C 素子と比較して、PD 積を削減している。これは、低電源電圧下における提案回路の遅延時間が、スタティック C 素子と比較して削減できているためと考えられる。これより、提案回路は低電源電圧下において、エネルギー効率の良い回路であると考えられる。

最後に,表 4.10 に各 C 素子に関するシミュレーション結果をまとめる。いずれの シミュレーション結果も、PD 積が最小となる電源電圧における結果を示している。表 4.9 より,評価対象回路の面積は,基本的な C 素子が 28.54 mm²,スタティック C 素 子が 35.12 mm²,提案回路が 28.54 mm²となり,提案回路の面積がスタティック C 素 子の面積と比較して 19% 削減された。これは,提案回路のトランジスタ数が,スタテ ィック C 素子のトランジスタ数と比較して削減できたためと考えられる。また,PD 積に 関しては,提案回路がスタティック C 素子と比較して 9.3% 削減された。

4.9 結言

本章では,低消費電力ディジタル CMOS LSI に向けた低電源電圧動作および低 消費電力動作可能な要素回路を提案した。特に,記憶素子として利用する回路で ある, D フリップフロップとC 素子について新たな回路構成を提案した。

まず、D フリップフロップに関しては、マスター・ラッチとスレーブ・ラッチにおいて、 NOR を共有することで回路規模を削減する CS²FF を提案した。CS²FF は 5 つの NOR ゲートと 2 つのインバータで構成され、24 個のトランジスタを利用した。SPICE シミュレーションの結果、 t_{CK_Q} が 18.3 ns, t_S が 10.0 ns, t_H が 5.5 ns, 消費電力が 9.7 nW となり、消費電力に関しては従来回路の TGFF と比較して、13% 削減された。ま た、提案回路の実測結果では、0.352 V において 5.9 nW の極低消費電力で動作 可能である。最小可動電源電圧における消費電力は、TGFF と比較して 13%削減



図 4.35 消費電力および遅延時間の電源電圧依存性



図 4.36 PD 積の電源電圧依存性

された。また, t_{CK_Q} 測定用回路の試作を行い, 実測による t_{CK_Q} の評価を行ったところ, D フリップフロップ単体でシミュレーションを行った場合と同等の値となることを確認した。

C 素子に関しては、基本的な C 素子の構成に含まれるインバータ・ラッチ部の出 力端子に、pMOSFETを抵抗として挿入することで、インバータ・ラッチ部に遅延を発 生させ、入力段からの信号が出力端子まで正常に伝播する構成を提案した。提案 回路を利用することで、 $V_{DD} = 1.08$ V において PD 積が最小の 4.32 aJ となり、従来 のスタティック C 素子と比較して、9.3% の PD 積削減を実現した。

参考文献

- V. G. Oklobdzija, V. M. Stojanovic, D. M. Markovic, and N. M. Nedovic, "Dgital System Clocking," IEEE Press, 2003.
- [2] D. E. Muller and W. S. Bartky, "A theory of asynchronous circuits," in Proceedings of an International Symposium on the Theory of Switching, pp. 204-243, Harvard University Press, Apr. 1959.
- [3] R. J. Baker, "CMOS Circuit Design, Layout, and Simulation, Second Edition," IEEE Press, 2004.
- [4] N. Weste and D. Harris, "CMOS VLSI design, 4th Edition," Addison-Wesley, 2010.
- [5] A. Wang, B.H. Clhoun, and A.P. Chandrakasan, "Sub-threshold design for ultra low-power systems," Springer, 2006.
- [6] J. Warnock, L. Sigal, D. Wendel, K.P. Muller, J. Friedrich, V. Zyuban, and E. Cannon, A.J. KleinOsowski, "POWER7TM local clocking and clocked storage elements," in IEEE ISSCC Dig. Tech. Papers, 2010, pp. 178 179.
- [7] 松下俊介, 基礎からわかる論理回路, 森北出版, 2004.
- [8] H. Fuketa, K. Hirairi, T. Yasufuku, M. Takamiya, M. Nomura, H. Shinohara, T. Sakurai," 12.7-times energy efficiency increase of 16-bit Integer unit by power supply voltage (VDD) scaling from 1.2V to 310mV enabled by ontention-less flip-flops (CLFF) and separated VDD between flip-flops and combinational Logics," Int. Symp. Low Power Electronics and Design (ISLPED), pp. 163-168, 2011.
- [9] J. Kwong, Y. Ramadass, N. Verma, M. Koesler, K. Huber, H.Moormann, and A. Chandrakasan, "A 65 nm sub-Vt microcontroller with integrated SRAM and switched capacitor DC-DC converter," IEEE J. Solid-State Circuits, vol. 44, pp. 115-126, 2009.
- [10] Y. Kim, W. Jung, I. Lee, Q. Dong, M. Henry, D. Sylvester, and D. Blaauw, "A static contention-free single-phase-clocked 24T flip-flop in 45nm for lowpower applications," IEEE International Solid-State Circuits Conference (ISSCC), pp. 466-468, 2014.

- [11] R. D. Jorgenson, L. Sorensen, D. Leet, M. S. Hagedorn, D. R. Lamb, T.H. Friddell, and W. P. Snapp, "Ultralow-power operation in subthreshold regimes appling clockless logic," Proceedings of the IEEE, vol.98, no.2, pp. 299-314, Feb. 2010.
- [12] I. E. Sutherland, "Micropipelines," In Communications of the ACM, vol. 32, no. 6, pp. 720-738, 1989.

第5章

極低電圧動作に向けた高エネルギー効率 非同期式 AES S-BOX 回路の構築

5.1 緒言

本章では、暗号化アルゴリズムの一種である AES (Advanced Encryption Standard) の S-BOX 演算回路について、非同期式回路方式を利用したエネルギー効率改善手法について述べる。

スマートフォンやタブレット端末に代表されるモバイル機器の普及にともない, "Internet of Things (IoT)"が注目されている。IoT では,様々なモバイル機器やセン サ同士の通信に,ワイヤレスネットワークは必要不可欠となっている。このような機器 同士の通信を安全に行うためにデータの暗号化が行われている。中でも,AES は生 体信号や個人情報などの重要なデータ通信において頻繁に利用されている。モバ イル機器やセンサは,バッテリによる長時間動作が求められるため,ナノワット・オー ダーの消費電力に抑える必要がある。しかし,AES S-BOX 回路の消費電力は,一 般的にマイクロワット・オーダーであるため,その低消費電力化が求められる [1],[2]。

現在,低消費電力化手法として,電源電圧のスケーリングが効果的とされている。 ディジタル LSI の消費電力は,式 (1.1) で表される。式 (1.1) より,ディジタル LSI の動作電力は, p_t , f, C_L , V_{DD} の 2 乗に比例する。したがって, V_{DD} を低下させること で大幅な動作電力の削減を期待することができる。しかし,電源電圧の低下にともな い, PVT (Process, Voltage, Temperature) ばらつきの影響を大きく受け回路性能が著 しく低下する問題が生じる [3]。

省電力指向のアプリケーションにおいて、ばらつきに対して頑健な回路を実現するため、DI(Delay-Insensitive)やQDI(Quasi-Delay-Insensitive)といった非同期式回

路方式が注目されている。また,論理回路における不要な信号遷移の抑制につい ても関心を集めている。動作率αは,グリッチによって低電源電圧下において増加 する傾向がある [4]。

本研究では,

1) 電源電圧を 1.8 V から 0.5 V 以下への低電源電圧下

2) ハザードフリーな動作率の最小化

に着目する。低電源電圧下におけるシミュレーションを行うため、同期式回路と非同 期式回路それぞれについて 0.5 V に対応したセルライブラリを構築し、S-BOX 回路 を設計した。また本論文では、高速処理などの高性能化ではなくバッテリの長寿命 化に重点を置くため、一般的にディジタル回路の性能指標として利用される PDP (Power-Delay Product)に代えて、1 動作当たりのエネルギーを性能指標とする。以 上より本論文では、同期式回路による S-BOX 回路と比較して、非同期式回路による S-BOX 回路がより低消費エネルギー動作が可能であることを示す。

本章の構成は以下の通りである。5.2 節で非同期式回路について説明し,5.3 節 で非同期式 AES S-BOX 回路と利用するセルライブラリについて説明する。次に, 5.4 節でシミュレーション評価用のセルライブラリの概要と評価対象回路について説 明した後,5.5 節で,試作チップの測定評価結果を示し,5.8 節で本章のまとめを述 べる。

5.2 非同期式回路

グローバル・クロックを利用しないディジタル回路設計手法が多数存在し、それら はクロックレス回路や非同期式回路と呼ばれている。非同期式回路には、設計方法 によって様々な利点と欠点が存在する [5]。非同期式回路と同期式回路には、入力 データや演算結果の保持をするためのレジスタや、演算中のデータを後段の演算 回路へ伝播させないようにするためのレジスタを備える点で類似している。非同期式 回路では、同期式回路におけるグローバル・クロックを必要としない代わりに、非同 期コントローラによりレジスタ間の通信を制御する。この通信方式をハンドシェイクと 呼ぶ。また、data 信号と req 信号の処理方法によって、東データ方式と二線方式に 分けることができる。

5.2.1 東データ方式の処理概要

東データ方式の基本構成を図 5.1 に示す。東データ方式は data と req をそれぞれ独立させる方式であり,通信のタイミングを遅延素子で保証している。

処理の流れについて述べる。送信側が受信側に受け入れを要求する時には req 信号を立ち上げる。req 信号は,遅延素子により一定時間遅れて受信側に伝わり, 受信側はレジスタを開ける。つまり,組み合わせ回路の遅延が遅延素子以下ならば, レジスタに正しい値が保存されることになる。受け入れが完了した後は,受信側は ack 信号を立ち上げて送信側のレジスタを閉める。

この方式では、既存の組み合わせ回路が使用できるので実装が容易であることと、 回路規模が既存の回路とさほど変わらないことが利点となる。しかし、遅延素子の遅 延を超える遅延が組み合わせ回路で発生した場合は、正しい通信を保証できない 欠点がある。

5.2.2 二線方式の処理概要

本研究では、二線方式で符号化されたデータによって通信の完了を検出する QDI 方式に着目する。二線方式は data の変化を req の変化として利用した方式で あり、信号の"0"と"1"をそれぞれ意味する信号線を用意する。二線方式では、 "0"は (0,1)、"1"は (1,0) とそれぞれ符号化される。また (0,0)は、ニュートラ ル、(1,1)は禁止入力とされている。したがって、二線方式を適用した回路では、 演算完了を正確に検出するため、演算実行前に回路を初期化する必要がある。こ の初期化を、図 5.2 に示すように spacer と呼ぶ。



図 5.1 東データ方式の概要

図 5.3 に QDI 方式による半加算器 (Half-Adder:HA)の具体的な動作例を示す。 図 5.3 において,同期式 HA の出力はクロックの立ち上がりエッジに応じて変化す る。一方非同期式 HA の場合は,完了検出器によって初期化が検出された後,新 たな入力信号が入力され演算を開始する。その後,演算の完了が検出されると, spacer が HA に入力されることで HA が初期化される。このため,二線方式を適用 した回路では,同期式回路と比較して回路動作が 2 倍となり,動作周波数が 2 倍 に増加する。しかし,回路中にハザードが存在しない場合,動作率αは1 に固定さ







図 5.3 二線方式の概要

れる。同期式回路では,動作率α は以前の入力データや状態に依存する。これは, 組み合わせ回路における,信号間の遅延差によって生じるグリッチに影響を及ぼ す。実際,非同期式回路はイベント駆動型の回路方式であり,命令や spacer の持 続時間は完了検出回路によって決定される。したがって, PVT バラツキが発生し た場合においても,実行時間がバラツキに対応して変化する。符号化の利用によ る障害の検出も容易である。通常, (1,1) は禁止されているが,仮に (1,1) が検 出された場合は, spacer (0,0) を挿入した後に再演算することが可能である。

5.3 低電圧 S-BOX 回路に関する検討

5.3.1 S-BOX 回路の構築

図 5.4 に本研究で設計した S-BOX 回路のアーキテクチャを示す。この S-BOX 回路では、SubBytes 演算回路と逆 SubBytes 演算回路を共有する構成を採用した。 SubBytes 演算回路と逆 SubBytes 演算回路の共有部分は、ガロア体 GF (2^8) 上の 逆元演算、アフィン変換、そして逆アフィン変換の組み合わせで構成されている。 また、消費電力を最小化するため、オペランド・アイソレーションを採用した。オペラ ンド・アイソレーションとは、演算が必要な回路のみに信号を伝播させ、不要な回路 動作を削減する手法である。設計した S-BOX 回路では、面積を削減するため、GF (((2^2)²)²) の合成体を GF (((2^2)²)²) の逆元演算として実装した。GF (((2^2)²)²) の逆 元演算回路は、AND ゲートと XOR ゲートの 2 種類のセルで構成される。図 5.4 に おいて、GF (((2^2)²)²) の逆元として λ = {1100}₂を、図中の x⁻¹として記述されている



図 5.4 S-BOX 回路のアーキテクチャ

No.	回路方式	セルライブラリ	電源電圧(V)	面積(µm ²)
c 0	同期式	スタンダード・セルライブラリ	1.8	3,809
c 1	同期式	0.5 V 同期式	0.5	6,019
c2	非同期式	0.5 V 同期式	0.5	10,127
c3	非同期式	0.5 V 非同期式	0.5	12,476

表 5.1 論理合成結果

GF ((2²)²) の逆元として Φ = {00}₂を利用した。通常, 大規模回路に対するシミュレ ーションにおいては Verilog-HL などの HDL が利用され, その際に必要となる回路 情報として, 半導体メーカーから提供されているスタンダード・セルライブラリを利用 する。現在, 我々が利用しているプロセスは, V_{DD} = 1.8 V に対応した 0.18 µm CMOS プロセスであるため, 提供されているセルライブラリでは, V_{DD} = 1.8 V 以外 の電源電圧におけるシミュレーションが実行できない。そこで本研究では, 低電源 電圧におけるシミュレーションを可能とするため, 2 種類の V_{DD} = 0.5 V に対応した セルライブラリを構築した。構築した 2 種類の 0.5 V 対応セルライブラリは, 同期式 回路ライブラリと非同期式回路ライブラリである。

図 5.4 に示した S-BOX 回路について,構築した 2 種類のセルライブラリを利用 して,論理合成の実行やゲートレベルの遅延評価,電力評価を行った。表 5.1 に, 設計した回路の概要についてまとめる。表 5.1 より,論理合成による面積評価にお いて,提案非同期式 S-BOX 回路(c3)は,12,476 µm²となった。提案非同期式 S-BOX 回路におけるクリティカル・パスは,GF((((2²)²)²)の逆元演算部であり,パス中 に 24 個のゲートが存在する。一方,0.5 V に対応した同期式セルライブラリを利用 した S-BOX 回路(c1)の面積は 6,019 µm²となった。各回路の詳細については,5.4 節で述べる。

5.3.2 0.5 V 対応同期式セルライブラリ

表 5.2 に, 0.5 V 対応同期式セルライブラリに含まれる回路とその性能を示す。同 期式セルライブラリに含まれる回路は, 6 種類の CMOS 回路となっている。このよう な構成ゲート数の少ないセルライブラリは, 遅延や面積, 消費電力の面で不利とな る [6]。 0.5 V に対応した同期式セルライブラリに含まれる論理ゲートの構成は, 1.8 V に対応したスタンダード・セルライブラリに含まれる論理ゲートと同じ構成となって

セル	遅延時間(ns)	消費電力(nW)	面積(µm ²)
INV	3.10	0.70	10.98
NAND	3.76	0.89	13.17
NOR	7.68	0.87	13.17
XOR	15.6	3.84	26.34
D-FF	25.4	8.43	54.88
MUX	16.9	1.98	24.15

表 5.2 同期式セルライブラリの性能諸元(V_{dd} = 0.5 V)

表 5.3 非同期式セルライブラリの性能諸元(V_{dd} = 0.5 V)

セル	遅延時間(ns)	消費電力(nW)	面積(µm ²)
非同期式 AND	11.1	3.42	39.93
非同期式 XOR	22.4	5.70	52.68

いる。これらのセルライブラリは、供給電圧の設定値が異なるため、異なる回路性能を示す [6]。Verilog-HDL ツールによる低電源電圧下でのシミュレーションを行うため、0.5 V セルライブラリを採用した。

5.3.3 0.5 V 対応非同期式セルライブラリ

0.5 V 対応非同期式セルは、0.5 V 対応同期式セルによって構成することが可能 である。図 5.5 に同期式セルを利用した非同期式 AND ゲートと非同期式 XOR ゲ ートを示す。しかし、同期式セルによって構成した非同期式セルは、面積と消費電 力の増加を招く。そこで、表 5.3 に示す 0.5 V 非同期式セルライブラリを構築した。 非同期式セルライブラリに含まれる各セルの構成を図 5.6 に示す。二線方式にお ける信号の反転は、出力信号の配線を入れ替えることで実現できる。これにより、 信号反転のためのトランジスタを追加する必要がなくなる。

5.4 シミュレーションによる評価

表 5.1 に示す各種 S-BOX 回路に関して,表 5.2,表 5.3 に示す本研究で構築したセルライブラリを利用したシミュレーションを行った。

図 5.7 に,同期式 S-BOX 回路(c0)のシミュレーション結果として, S-BOX 回路 への入力信号と,アフィン変換された出力信号を示す。図 5.7 中の出力信号には,

組合せ回路中で生じる信号遷移のずれによって引き起こされた,多数のグリッチが 確認できる。これらのグリッチは,消費電力の増加を招く。

図 5.8 に, 提案非同期式 S-BOX 回路(c3)のシミュレーション結果として, S-BOX 回路への入力信号と, アフィン変換された出力信号を示す。図 5.8 より, 提案非同期式 S-BOX 回路の出力信号にはグリッチが全く含まれておらず, 不要な信号遷移が生じていないことが確認できる。

図 5.9 に, 消費電力のシミュレーション結果を示す。上側の曲線は, スイッチング



図 5.5 同期式セルによる非同期式セルの構成



図 5.6 提案非同期セルライブラリに含まれる回路の構成





図 5.7 同期式 S-BOX 回路のシミュレーション結果





図 5.9 消費電力のシミュレーション結果

電力や内部電力, リーク電力の合計値を示している。 Vdd = 1.8 V の点は, スタンダ ード・セルライブラリを利用した S-BOX 回路の結果であり, 消費電力は 155 μ W と なった。対照的に, 0.5 V 対応同期式セルライブラリを利用した S-BOX 回路の消費 電力は, 8.94 μ W であった。提案非同期式 S-BOX 回路の消費電力結果もまた, 図 5.9 中の V_{DD} = 0.5 V の点に示している。提案非同期式 S-BOX 回路の消費電 力は 7.57 μ W となり, 同期式 S-BOX 回路と比較して 15.3% 削減された。

5.5 実測による評価

同期式 S-BOX 回路と非同期式 S-BOX 回路について, 0.18 µm CMOS プロセスを利用したチップ試作を行った。4 種類の S-BOX 回路を同一のチップ上に実装した。チップ写真を図 5.10 に示す。同期式 S-BOX 回路は、図 5.10 中の c0 と c1 である。c0 は 1.8 V 対応スタンダード・セルライブラリによって構築し、c1 は 0.5 V 対応同期式セルライブラリによって構築した。非同期式 S-BOX 回路は、図 5.10 中の c2 と c3 である。c2 は 0.5 V 対応同期式セルライブラリによって構築した。c0, c1, c2, そして c3 の面積はそれぞれ、5,176 µm², 8150 µm², 23628 µm², 17024 µm² となった。測定において、出力信号の確認のために過去に設計したレベルシフタ [7] を利用した。

図 5.11 に, 電源電圧を 0.2 V から 0.8 V まで変化させた場合の, 1 動作当たりの 消費エネルギー結果を示す。図 5.11 より, ニアスレッショルド領域やサブスレッショ



図 5.10 チップ写真

文献番号	[8]	[9]	
アーキテクチャ	Composite-Field	Optimized Composite-Field	
評価方法	Chip	Simulation	
プロセス	0.13 µm FSG	0.13 µm GP / LL	65 nm LP / HVT
電源電圧	0.75 V	1.2 V	1.2 V
消費エネルギー	1.66 pJ	1.21 pJ 0.635 pJ	
リーク電力	-	142 nW 3.65 nW	
回路構成	S-BOX & S-BOX ⁻¹	S-BOX	

表 5.4 S-BOX 回路の性能諸元

文献番号	[10]		提案	回路
アーキテクチャ	Composite-Field	3-stage PPRM	Composite-Field	Asynchronous Composite-Field
評価方法	Simulation		Cł	nip
プロセス	0.13 μm		0.18 µm GP	
電源電圧	1.5 V		310 mV	330 mV
消費エネルギー	17.9 pJ	7.9 pJ	1.13 pJ	0.99 pJ
リーク電力	-	-	16.5 nW	13.6 nW
回路構成	S-BOX & S-BOX ⁻¹		S-BOX & S-BOX ⁻¹	

ルド領域において、電圧スケーリング則に従って徐々に消費エネルギーが減少し ていることが確認できる。提案非同期式 S-BOX 回路(c3)は、 $V_{dd} = 240 \text{ mV}$ まで動 作可能であることを確認した。しかし、この電源電圧付近ではリーク電力が支配的 となっている。同期式 S-BOX 回路(c1)と比較すると、c3 は 12% の消費エネルギ ー削減となった。さらに c3 は、 $V_{dd} = 330 \text{ mV}$ 、動作周波数 9.765 kHz において、最 小消費エネルギー0.99 pJ を実現した。これより、組合せ回路における不要な信号 遷移の削減は、消費エネルギーの削減に効果的であることを確認した。

表 5.4 に,他の研究成果 [8-10] における,同期式 S-BOX 回路と非同期式 S-BOX 回路の性能諸元をまとめる。表 5.4 より,提案非同期式 S-BOX 回路が,最も 大きいプロセスを利用しているにも関わらず,最低動作電圧が最も低く,高エネルギ 一効率であることを確認した。

5.6 結言

本稿では、QDI 方式を採用した、高エネルギー効率非同期式 S-BOX 回路を提

案した。提案非同期式 S-BOX 回路は,非同期式回路の性質より PVT バラツキに 頑健であり、単純電力解析や差分電力解析のようなサイドチャネル攻撃に高い耐 性を有している。測定結果より、提案非同期式 S-BOX 回路は、電源電圧 330 mV において 0.99 pJ を実現し、同期式 S-BOX 回路と比較して 12% の消費エネルギ ー削減となった。データパスに QDI 方式を採用した回路は、ニアスレッショルド領 域やサブスレッショルド領域における動作に有効であることを確認した。



図 5.11 消費エネルギーの実測結果(実線:9.765 kHz, 点線:1.219 kHz)

参考文献

- M. Feldhofer, S. Dominikus and J. Wolkerstorfer, "Strong authentication for RFID systems using the AES algorithm," In M. Joye, and J.-J. Quisquater (Eds): Sixth Int. Workshop on Cryptographic Hardware and Embedded Systems, Boston, USA, August 2004, LNCS 3156, pp. 357-370 (Springer, 2004).
- [2] Y. M. Feldhofer, J. Wolkerstorfer and V. Rijmen: IEE Proc. in Information Security (2005).
- [3] B. Zhai, S. Hanson, D. Blaauw, and D. Sylvester, "Analysis and mitigation of variability in subthreshold design," in Proc. Int. Symp. Low Power Electron. Design, pp. 20-25, Aug. 2005.
- [4] D. Kamel, C. Hocquet, O.-X. Standaert, D. Flandre, and D. Bol, "Glitch-Induced Within-Die variations of dynamic energy in voltage-scaled nano-CMOS circuits," ESSCIRC, 2010 Proceedings, pp. 518-521.
- [5] R.D. Jorgenson, L. Sorensen, D. Leet, M.S. Hagedorn, D.R. Lamb, T.H. Friddell, and W.P. Snapp, "Ultralow-power operation in subthreshold regimes applying clockless logic," Proceedings of the IEEE, vol.98, no.2, pp. 299-314, Feb. 2010.
- [6] N.M. Duc, and T. Sakurai, "Compact yet high-performance (CyHP) library for short time-to-market with new technologies," Design Automation Conference 2000, Proc. of the ASP-DAC2000, pp. 475-480, June 2000.
- [7] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "A low-power level shifter with logic error correction for extremely low-voltage digital CMOS LSIs," IEEE Journal of Solid-State Circuits, vol.47, no.7, pp. 1776-1783, July 2012.
- [8] T. Good, and M. Benaissa, "629-nW Advanced encryption standard (AES) on a 0.13-um CMOS," IEEE Transactions on VLSI Systems, vol.18, no.12, pp. 1753-1757, Dec. 2010.
- [9] D. Kamel, O.-X. Standaert, and D. Flandre, "Scaling trends of the AES S-Box low power consumption in 130 and 65nm CMOS technology nodes," ISCAS, pp. 1385-1388, May 2009.
- [10] S. Morioka, and A. Satoh, "An Optimized s-box circuit architecture for low power AES design," CHES, in proceedings, pp. 172-186, 2002.

極低電圧動作に向けた高エネルギー効率非同期式 AES S-BOX 回路の構築

94

第6章

結論

次世代型情報化社会の実現に向けて、スマートセンサ LSI が注目されている。こ のスマートセンサ LSI は、小型・軽量なデバイスとする必要があるため、その電力供 給はコインバッテリや環境エネルギーによって行うことを想定している。コインバッテ リや環境エネルギーから得られる電力・電圧は小さいため、スマートセンサ LSI 内部 の回路は、低消費電力かつ低い電源電圧でも安定に動作することが求められる。そ こで、スマートセンサ LSIを構成する LSI の小型化、低消費電力化が不可欠となる。 これまで LSI の性能向上や低消費電力化は、トランジスタの微細化によって達成し てきた。しかし、微細化のみでは、厳しい消費電力の制約を満たしつつ性能を向上 させることは容易ではなくなっている。そのため、従来のバルク MOSFET における素 子寸法の縮小に頼らない、回路設計技術の重要性が増している。本論文では、ディ ジタル回路の低消費電力化手法として、回路アーキテクチャの工夫による低消費電 力化と、電源電圧の低下に向けた回路構成の工夫による低消費電力化の2 つのア プローチを採用し、低消費電力 VLSI 実現へ向けた回路設計手法の提案を目的と した。本研究は、大きく分けて以下の3 つのテーマで構成した。

- 1) 乗算器における桁上げ吸収回路の低電力化手法(第3章)
- ディジタル集積回路に低電圧動作に向けた要素回路の低電力化手法 (第4章)
- 3) 極低電圧動作に向けた高エネルギー効率非同期式 AES 暗号回路の構築 (第5章)
- 以下,各章で得られた結論についてまとめる。
- 第3章では,乗算器の1つの構成回路ブロックである桁上げ吸収回路の低消費

電力化手法を提案した。乗算器における,部分積加算回路からの出力信号間に生 じる遅延を考慮した回路構成を適用することにより,桁上げ吸収回路の低消費電力 化を図る手法を提案した。入力信号間に生じる遅延によって桁上げ吸収回路を下 位ビット部,中間ビット部,上位ビット部の3つのブロックに分割し,それぞれのブロッ クに生じる遅延の特徴に適した回路構成を適用した。下位ビット部ではビット位置に 対して1次関数的に遅延が増加することから,桁上げ信号が順次伝搬するRCAを 適用した。中間ビット部では他のビット位置と比較して入力信号間に生じる遅延が増 加するため高速動作する APPNA を適用した。そして,上位ビットでは消費電力削 減と桁上げ信号生成の高速化を考慮し,CBA を適用した。本手法の評価にあたり, 提案手法と従来手法に対して,部分積加算回路からの出力を模したランダムな入力 パターンを入力した際の遅延時間,消費電力,PD 積の比較評価を行った。シミュレ ーションの結果,提案手法を用いた場合,従来手法と比較して遅延時間を5.5%,消 費電力を8.4%, PD 積を13.5% 削減できる効果を確認した。

第4章では,同期式回路方式において記憶素子として利用される D フリップフロ ップと,非同期式回路方式においてDフリップフロップと同様の役割を担うC素子の 低消費電力化および低電源電圧化を実現する手法を提案した。D フリップフロップ に関しては, マスター・ラッチとスレーブ・ラッチにおいて, NOR を共有することで回 路規模を削減する CS²FF を提案した。CS²FF は 5 つの NOR ゲートと2 つのインバ ータで構成され、24 個のトランジスタを利用した。SPICE シミュレーションの結果、消 費電力が 9.7 nW となり, 消費電力に関しては従来回路の TGFF と比較して, 13% の削減となった。また,提案回路の実測結果では,0.352 V において 5.9 nW の極低 消費電力で動作可能である。最小可動電源電圧における消費電力は, TGFF と比 較して 13% の削減効果を確認した。また、クロックの立ち上がりから出力が変化す るまでの遅延である tck o 測定用回路の試作を行い,実測による tck o の評価を行っ たところ, D フリップフロップ単体でシミュレーションを行った場合と同等の値となるこ とを確認した。C素子に関しては,基本的な C素子の構成に含まれるインバータ・ラ ッチ部の出力端子に, pMOSFET を抵抗として挿入することで, インバータ・ラッチ部 に遅延を発生させ、入力段からの信号が出力端子まで正常に伝播する構成を提案 した。提案回路を利用することで、VDD = 1.08 V において PD 積が最小の 4.32 aJ と なり、従来のスタティックC素子と比較して、9.3%のPD積削減を実現した。

第5章では、AES暗号化回路に含まれる S-BOX 回路に関して、QDI 方式を採

用した,低電源電圧動作可能な高エネルギー効率非同期式 S-BOX 回路を提案した。提案非同期式 S-BOX 回路は,非同期式回路の性質より PVT バラツキに頑健であり,単純電力解析や差分電力解析のようなサイドチャネル攻撃に高い耐性を有している。測定結果より,提案非同期式 S-BOX 回路は,電源電圧 330 mV において 0.99 pJ を実現し,同期式 S-BOX 回路と比較して 12% の消費エネルギー削減となった。データパスに QDI 方式を採用した回路は,ニアスレッショルド領域やサブスレッショルド領域における動作に有効であることを確認した。

本研究では、低消費電力 LSI を実現するために、従来のプロセス微細化にとも なう単純な低電圧化に頼らない、回路構成上の工夫による低消費電力回路設計 技術を提案・実現した。シミュレーション評価および試作チップの実測評価より、回 路構成やアーキテクチャの工夫によって低消費電力 LSI の実現が可能であること を示した。
謝 辞

本研究の機会を与えて頂き、ご指導を賜りました神戸大学大学院工学研究科電 気電子工学専攻 沼 昌宏教授に深く感謝致します。本研究の動機づけをして頂く とともに、熱心な御指導と貴重な御助言を与えて頂きました。謹んで感謝の意を表し ます。

本研究を論文としてまとめるにあたって大変貴重な御教示と御助言を頂きました, 神戸大学大学院工学研究科電気電子工学専攻 増田 澄男教授,同研究科電気 電子工学専攻 北村 雅季教授,同研究科電気電子工学専攻 廣瀬 哲也准教授 に深く感謝致します。

日頃から暖かい励ましと活発な議論を通じ貴重な御助言を頂きました神戸大学大学院工学研究科電気電子工学専攻 黒木 修隆准教授に心より感謝致します。

研究室における環境の便宜を図ってくださいました神戸大学工学部電気電子工 学科 松本 香技術専門職員,土居原 和良氏に深く感謝致します。

本研究を進めるにあたり,貴重な御教示と御助言を頂きました,岡田 光司氏に心より感謝致します。

さらに、本研究を遂行するにあたり、神戸大学大学院工学研究科電気電子工学 専攻 集積回路情報研究室の小暮 武氏(現在(株)村田製作所),藤岡 達也氏, Son Yang-uk氏(現在),北山 貴彦氏(現在 ルネサスエレクトロニクス(株)),佐々 木 仁氏(現在 川崎重工業(株)),道畠 昂平氏(現在 富士通(株)),坂本 博之 氏、切山 亜弓氏(現在パナソニック(株)),陸井 賢人氏(現在(株)小松製作所), 松塚 凌氏、古井 秀弥氏,浅野 茂生氏,篠永 恭平氏,村田 大智氏,望月 香那 氏には、本研究以外の内容に関しても様々な議論の場において多大なる御協力を 頂きました。また、塩木 講輔氏(現在 パナソニックシステムネットワークス(株)),渡 辺 浩介氏(現在 オムロン(株)),千崎 弘人(現在 西日本旅客鉄道(株)),松山 友紀氏(現在 裕幸計装(株)),谷岡 駿氏(現在 ソニー(株)),天満 健氏,下野 友大氏(現在 西日本旅客鉄道(株)), 片山 直樹氏(現在 新日鉄住金ソリューショ ンズ(株)), 山本 直也氏, 澤井 剛史氏, 竹崎 彩乃氏には研究生活や課外活動 によって本研究への志気高揚という面におきましても大きく御貢献くださいました。 改めてここに深く感謝いたします。

最後に,大学生活と研究生活を温かく見守ってくださいました両親と兄弟に心より 感謝致します。

本研究に関する発表論文

【学術論文】

- Y. Shizuku, T. Hirose, N. Kuroki, M. Numa, and M. Okada, "Energy-efficient AES subbytes transformation circuit using asynchronous circuits for ultra-low voltage operation," IEICE Electronics Express, vol. 12, no. 4, pp. 1-10, Jan. 2015.
- [2] <u>Y. Shizuku</u>, T. Hirose, N. Kuroki, M. Numa, and M. Okada, "An Energy-efficient 24T flip-flop consisting of standard CMOS gates for ultra-low power digital VLSIs," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E98-A, no. 12, pp. 2600-2606, Dec. 2015.

【国際会議】

- [3] <u>Y. Shizuku</u>, T. Kogure, T. Fujioka, T. Hirose, N. Kuroki, and M. Numa, "Saving power consumption in final stage adder of multiplier by using difference in arrival times with input signals," The 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2012), pp. 192-196, Mar. 2012.
- [4] Y. Son, <u>Y. Shizuku</u>, T. Kogure, T. Hirose, N. Kuroki, and M. Numa, "Reduction of glitches for low-power multipliers using 4-2 compressors based on hybrid-CMOS logic style," The 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2012), pp. 534-538, Mar. 2012.
- [5] T. Kitayama, K. Michibata, Y. Shizuku, T. Hirose, N. Kuroki, and M. Numa,

"Hardware architecture for real-time operation of learning-based super-resolution using binary search tree," The 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2012), pp. 492-496, Mar. 2012.

- [6] J. Sasaki, <u>Y. Shizuku</u>, T. Hirose, N. Kuroki, and M. Numa, "A technique for accelerating SVM-based image recognition using GPU," The 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2012), pp. 28-32, Mar. 2012.
- [7] Y. Shizuku, T. Hirose, Y. Danno, N. Kuroki, and M. Numa, "A compact and energy-efficient Muller C-element for low-voltage asynchronous CMOS digital circuits," The 18th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI 2013), pp. 118-122, Oct. 2013.
- [8] K. Kugai, <u>Y. Shizuku</u>, T. Hirose, N. Kuroki, and M. Numa, "A technique for accelerating adaptive super resolution technique based on local features of images using GPU," The 18th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI 2013), pp. 170-175, Oct. 2013.
- [9] A. Kiriyama, R. Matsuzuka, K. Michibata, T. Kitayama, <u>Y. Shizuku</u>, T. Hirose, N. Kuroki, and M. Numa, "A memory Saving technique for 4K super-resolution circuit with binary tree dictionary," The 18th Workshop on Synthesis and System Integration of Mixed Information technologies (SAS-IMI 2013), pp. 360-365, Oct. 2013.
- [10] Y. <u>Shizuku</u>, T. Hirose, N. Kuroki, M. Numa, and M. Okada, "A 24-transistor static flip-flop consisting of NORs and inverters for low-power digital VLSIs," 12th IEEE International NEW Circuits And Systems (NEWCAS) conference, pp. 137-140, Jun. 2014.
- [11] R. Matsuzuka, T. Hirose, <u>Y. Shizuku</u>, N. Kuroki, and M. Numa, " A 0.19-V minimum input low energy level shifter for extremely low-voltage VLSIs," in Proceedings of International Symposium on Circuits and Systems (ISCAS), pp. 2948-2951, May. 2015.

【国内会議】

- [12] 小暮 武,藤岡達也,<u>零 譲</u>,廣瀬哲也,黒木修隆,沼 昌宏, "ハイブリッド型 CMOS 論理構成の 4-2 加算器による乗算器のグリッチ削減,"情報処理 学会研究報告, vol. 2009-SLDM-142, no. 20, 2009 年 12 月.
- [13] <u>零 譲</u>,藤岡達也,小暮 武,廣瀬哲也,黒木修隆,沼 昌宏,"入力信号間 に生じる遅延を考慮した桁上げ吸収回路の低消費電力化", DA シンポジウ ム 2010, pp. 153-158, 2010 年 9 月.
- [14] Son Yang-uk, <u>零 譲</u>, 小暮 武, 廣瀬哲也, 黒木修隆, 沼 昌宏, "ビット構成の異なる加算器を組み合わせた木構造部分積加算回路による乗算器の グリッチ削減", DA シンポジウム 2011, pp. 57-62, 2011 年 8 月.
- [15] 佐々木 仁, <u>零 譲</u>, 廣瀬哲也, 黒木修隆, 沼 昌宏, "SVM に基づく画像
 認識処理のGPUを用いた高速化手法", DA シンポジウム 2011, pp. 153-158, 2011 年 9 月.
- [16] 道畠昂平,切山亜弓,北山貴彦, <u>零 譲</u>,廣瀬哲也,黒木修隆,沼 昌宏,
 "二分木辞書を用いた学習型超解像のストリーム処理型アーキテクチャ", DA シンポジウム 2012, pp. 31-36, 2012 年 8 月.
- [17] 坂本博之,佐々木 仁,<u>零 譲</u>,黒木修隆,廣瀬哲也,沼 昌宏,"ウェーブレット変換に基づく学習型超解像のGPUによる高速化手法",第11回情報 科学技術フォーラム(FIT2012), B-004, 2012 年 9 月.
- [18] 佐々木 仁,坂本博之,<u>零 譲</u>,黒木修隆,廣瀬哲也,沼 昌宏, "マルチモ ーダル入力に対応した重み付き多数決による識別器のGPUによる高速化", 第11回情報科学技術フォーラム(FIT2012), B-005, 2012 年 9 月.
- [19] 松塚 凌,切山亜弓,道畠昂平,<u>零 譲</u>,廣瀬哲也,黒木修隆,沼 昌宏,
 "学習型超解像による 4 倍拡大映像出力ハードウェアの実現と辞書探索回路の規模削減",第13回情報科学技術フォーラム(FIT2014), C-001, 2014年9月.
- [20] 篠永 恭平,廣瀬 哲也, <u>雫 譲</u>, 松塚 凌, 黒木 修隆, 沼 昌宏, "サブスレ ッショルド領域動作に適したスタンダードセルのサイジング手法", 第 28 回 回路とシステムワークショップ, pp.88-93, 2015 年 8 月.
- [21] 松塚 凌, 廣瀬 哲也, <u>雫 譲</u>, 黒木 修隆, 沼 昌宏, "幅広い電圧レベル変 換を実現する低消費電力レベルシフタ", 平成 27 年度 VDEC デザイナー

ズフォーラム,2015年8月.

 [22] 村田大智,切山亜弓,<u>雫 譲</u>,廣瀬哲也,黒木修隆,沼 昌宏,"自己学習 型超解像に適用する K-means クラスタリング処理のハードウェアによる実現", 第14回情報科学技術フォーラム(FIT2015), C-010, 2015 年 9 月.

神戸大学博士論文 全 104 頁

「低電圧動作に向けた低電カディジタル集積回路設計に関する研究」

提出日 2016年01月22日

本博士論文が神戸大学機関リポジトリ Kernel にて掲載される場合,掲載登録日(公開日)は リポジトリの該当ページ上に掲載されます。

©雫 譲

本論文の内容の一部あるいは全部を無断で複製・転載・翻訳することを禁じます。