



リング発振器を用いたアナログ信号処理回路の小型化に関する研究

奥野, 圭祐

(Degree)

博士 (工学)

(Date of Degree)

2016-03-25

(Date of Publication)

2017-03-01

(Resource Type)

doctoral thesis

(Report Number)

甲第6651号

(URL)

<https://hdl.handle.net/20.500.14094/D1006651>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博士論文

リング発振器を用いたアナログ信号
処理回路の小型化に関する研究

平成 28 年 1 月

神戸大学大学院システム情報学研究科

奥野 圭祐

内容梗概

近年、センサの使用分野は拡大しており、ユビキタスセンサネットワーク (USN) のような、多数のセンサを利用するアプリケーションが増加している。USN は複数の小型センサを無線通信により接続し、周辺環境情報や装着された人間の行動などを計測した情報を集め、それを元に様々なアプリケーションやサービスを提供することが可能である。温度や音声といった様々な情報をセンサが取得し、情報通信を行うことで実現される。適応されるアプリケーションは様々であり、防災・災害対策から防犯・セキュリティ、医療、農業など多分野に広がっている。また、センサ間のネットワークに他デバイスやインターネットなど、接続する領域を広めた IoT (Internet of Things) を実現するための研究も進められている。IoT ではセンサから得られた情報はインターネットを介して情報通信されることで、より応用範囲が広がり事で実現可能なアプリケーションが広がる。IoT が注目されるようになったのは、センサに使用される LSI の微細化プロセスの進歩などによる、センサ LSI の低コスト化が背景にある。IoT を実現するためには、より多く、より高精度なセンサが必要となるため、各センサの製造・維持コストの削減が要求されている。近年では微細化プロセスが進み、よりコストの削減が実現されているが、微細化が進むとデジタル回路において、高速化、省面積、低コスト化と多くの利点を得られる。しかし、アナログ回路においては、微細化の恩恵を得られない点が多い。受動素子であるリアクタンスやキャパシタンスの必要な面積は微細化しても変わらないため、回路全体の面積が増加してしまう。そのため、センサ用 LSI のようなアナログ回路とデジタル回路を混載した、ミックスドシグナル回路では、プロセスの微細化の恩恵を受けにくく、アナログ回路部分の低コスト化・低エネルギー化・高性能化が課題となっている。

本研究では、センサ回路に用いられ、また、アナログ素子を多く含んでいる、アナログ信号処理回路を小型化かつ微細化プロセスに適した構成にすることを目的とする。小型化かつ微細化プロセスに対応した構成にする方法として、リング発振器を適用した構成を提案し、数式モデルによる解析やシミュレーション、実測をもって検証を行う。本論文では特に、時間デジタル変換器 (TDC)、アナログデジタル変換器 (ADC)、完全デジタル PLL (ADPLL) の 3 種類を対象とした。それぞれの回路に対して小面積化を図っており、各章で改善度について議論する。本論文は全 6 章で構成されており、

第 1 章は序論である。

第 2 章では、発振器として利用される LC 発振器とリング発振器の比較を行い、微細化の点に着目して説明する。また、センサ用 LSI を構成するアナログ信号処理回路である TDC, ADC, ADPLL へのリング発振器応用の際に生じる問題点について述べる。

第 3 章では、10 bit 2 次 $\Delta\Sigma$ FSO (frequency shift oscillator) TDC の設計理論について検証・考察を行う。本章では発振器を FSO という発振器を用いた TDC の動作原理より導出したモデル式により、性能に起因する要因を言及する。さらに、要求する性能にたいしての許容値について、SPICE と MATLAB シミュレーションを利用して検証を行う。モデル式の検証により、発振器のジッタ (特に初段の発振器のジッタ) が FSOTDC の分解能を決定する。パラメータ値の検証により、FSOTDC の設計方法に関する知見を得る。数式を用いた推論と回路シミュレーションから FSOTDC の性能を算出したところ、有効ビット数 (ENOB) 10 bit を得るためにはある程度のインバータのサイズが要求されることが判明した。得られた知見との整合性を確認するため、65nm CMOS プロセスで FSOTDC を試作・実測したところ、入力信号 10 kHz, サンプルングクロック 2 MHz で SNDR (Signal to noise and distortion ratio) が 64 dB という性能を確認し、前述した考察に沿った結果となり、推論手法の正当性を確認した。

第 4 章では、第 3 章で述べた省面積 TDC と電圧時間変換器 (VTC) を組み合わせた微細化に適した IO サイズ 2 次 $\Delta\Sigma$ ADC を提案する。提案 VTC はオペアンプといった微細化の恩恵を受けられない回路を排除しており、入力電圧に比例した電荷を MOM (metal-oxide-metal) 容量に蓄積させ、引き抜くまでにかかる時間を検出することで V/T 変換を行う構成となっている。加えて、提案 ADC がもつ非線形性は A/D 変換後にデジタル補正により補正を行うことができ、高調波ノイズを抑制して性能を改善することが可能である。提案回路を 65nm CMOS プロセスで試作し、入力周波数 78 kHz, 20 MHz のサンプルングレートで SNDR が 50 dB, ENOB では 8 bits の性能を得られた。回路面積と消費電力はそれぞれ 6468 mm² と 509 μ W となっており、提案 ADC の面積は同プロセスのデジタル入力 IO よりも小型である。従って、提案 ADC は IO 内に配

置した, IO-ADC として使用することができる.

第 5 章では, 本論文では温度補正技術を用いた高速セットリング ADPLL を提案する. ADPLL は出力が安定するまでに, セットリング時間という準備期間が発生する. 従来手法ではロックアップテーブルやメモリを用いずに, 発振器の制御値を自動で推定する手法によりセットリング時間の短縮化を図っている. しかし, 温度変動が発生した場合における, 発振器の特性を考慮できておらず, セットリング時間が長くなる場合がある. 提案の推定手法では, 適切な制御値をデジタル制御発振器 (DCO) の周波数特性から推定する. 提案 ADPLL は 65nm CMOS プロセスで実装し, 面積は $0.27 \times 0.36 \text{ mm}^2$ となった. 提案アルゴリズムを実装した温度補正制御回路 (TCPC) は FPGA に実装し, 協調動作させて測定を行った. 面積オーバーヘッドは 20 %で, 25 °C での提案 ADPLL の平均セットリングタイムは 3 μs である. また, 0 °C から 100 °C までの温度変化が発生した場合においては 47 %以上のセットリング時間の短縮化, 削減エネルギーは 42 %という結果となった.

最後に第 6 章では, 本論文の結論を述べる.

本論文では, センサ用アナログ信号処理回路として, TDC, ADC, ADPLL の 3 種類の回路を取り上げ, それぞれの回路でリング発振器を応用した際に生じる課題を明らかにする. また, それらの課題点を克服するために TDC ではモデル式を用いた設計理論を, ADC では小面積電圧時間変換回路を, ADPLL では温度ばらつきによる周波数変動を考慮した補正アルゴリズムを提案し, 微細化プロセスの恩恵を享受可能な構成かつ小面積化を実現する.

目次

第 1 章	序論	1
1.1	本研究の背景と想定アプリケーション	1
1.2	研究目的及び本論文の構成	5
第 2 章	リング発振器の特性とアナログ信号処理回路応用への課題	9
2.1	緒言	9
2.2	発振器の概要	9
2.3	リング発振器のアナログ信号処理回路への応用	10
2.3.1	Time-to-Digital Converter への応用と課題点	10
2.3.2	Analog Digital Converter への応用と課題点	12
2.3.3	All Digital Phase Locked Loop への応用と課題点	14
2.4	結言	15
第 3 章	リング発振器を用いた TDC の特性解析と線形性改善手法	17
3.1	緒言	17
3.2	$\Delta\Sigma$ 変調器	18
3.3	Gated Ring Oscillator TDC の動作原理	19
3.4	Frequency Shift Oscillator TDC の動作原理	21
3.5	FSO のジッタによる影響	24
3.5.1	出力容量 (C)	27
3.5.2	発振器の段数 (M)	28
3.5.3	電源電圧 (V_{DD})	30
3.5.4	温度変化 (T)	31
3.6	FSO の周波数とサンプリングレートの関係 (F_{A1} , F_{B1} , F_{A2} , F_{B2} , T_{CK})	33
3.7	クロックジッタによる影響 (J_{TIN} and J_{CK})	35
3.8	実測結果	36
3.9	結言	40
第 4 章	Frequency Shift Oscillator TDC を用いた小面積 ADC	41
4.1	緒言	41

4.2	従来 Voltage-to-Time Converter と問題点.....	41
4.3	提案 Voltage-to-Time Converter の動作原理.....	43
4.4	提案 VTC と TDC の協調動作による ADC.....	46
4.5	測定結果.....	49
4.6	非線形性特性による影響.....	53
4.7	結言.....	55
第5章	温度変動を考慮した補正アルゴリズムによる高速セットリング ADPLL.....	56
5.1	緒言.....	56
5.2	ADPLL の動作原理と従来デジタル補正手法.....	56
5.3	提案 ADPLL のタイミング制約.....	58
5.3.1	Frequency Counter and Edge Detector.....	60
5.3.2	Phase Converter.....	61
5.4	提案 Oscillator Tuning Word 推定アルゴリズム.....	63
5.4.1	Digital Controlled Oscillator の周波数特性.....	63
5.4.2	OTW 補正式.....	66
5.4.3	OTW 補正アルゴリズムの実装.....	68
5.5	実測結果.....	71
5.6	結言.....	77
第6章	結論.....	78
	謝辞 81	
	参考文献 83	
	著者の研究業績目録	88

目 次

☒ 1.1	The concept of the ubiquitous sensor network.....	1
☒ 1.2	Trend of unit price of the sensor nodes [1].	2
☒ 1.3	Concept of the small sized ADC.	4
☒ 1.4	State of sensor node and PLL settling time.	5
☒ 1.5	Relationship between the sections in this thesis.....	6
☒ 1.6	Outline of this thesis.	7
☒ 2.1	Schematic of (a) LC oscillator and (b) ring oscillator.....	10
☒ 2.2	Schematic of (a) flash-type TDC and (b) TDC with oscillator and counter.....	11
☒ 2.4	Schematic of voltage ring oscillator (VCO).....	13
☒ 2.3	Block diagram of (a) VCO-based ADC and (b) time domain ADC.....	13
☒ 2.5	Settling time reduction (a) without PVT variation and (b) with PVT variation.....	14
☒ 3.1	Diagram of 1 st order $\Delta\Sigma$ modulator.	18
☒ 3.2	1 st order noise shaping characteristic.	19
☒ 3.3	Gated ring oscillator time-to-digital converter (GROTDC).....	20
☒ 3.4	Timing diagram of GROTDC.	20
☒ 3.5	Timing diagram incorporating the effects of the leakage current.	21
☒ 3.6	Frequency shift oscillator TDC architecture.	22
☒ 3.7	Timing diagrams of FSOTDC.....	23
☒ 3.8	Output spectra when RJ is varied.....	25
☒ 3.9	Simulation model of FSO.	26
☒ 3.10	Relative jitter (RJ) and oscillation frequency with sweeping gate length from 60 nm to 1260 nm.	27
☒ 3.11	SNDR and FoM with sweeping gate length from 60 nm to 1260 nm.....	28
☒ 3.12	Relative jitter (RJ) and oscillation frequency with sweeping M from 3 to 17.....	29
☒ 3.13	SNDR and FoM with sweeping M from 3 to 17.....	29
☒ 3.14	Relative jitter (RJ) and oscillation frequency with sweeping V_{DD} from 0.9 V to 1.5 V.	30
☒ 3.15	SNDR and FoM with sweeping V_{DD} from 0.9 V to 1.5 V.	31
☒ 3.16	Relative jitter (RJ) and oscillation frequency with sweeping T from 0 °C to 100 °C.....	32
☒ 3.17	SNDR and FoM with sweeping T from 0 °C to 100 °C.....	32
☒ 3.18	(a) Schematic and (b) timing diagram of the QNP.	34
☒ 3.19	Timing diagrams of (a) the minimum time interval (T_{MIN}) and (b) the maximum time interval (T_{MAX}).	34

☒ 3.20	Output spectra when CK jitter is varied.....	35
☒ 3.21	Simulation result of low jitter second-order FSOTDC.....	36
☒ 3.22	Chip micrograph and layout of the 65 nm FSOTDC.....	37
☒ 3.23	Comparison of measured spectra and simulation results.....	38
☒ 3.24	Simulation and measurement results of FSOTDC performance.....	39
☒ 3.25	Simulation results and comparison with other state-of-the-art TDCs.....	40
☒ 4.1	Schematic of conventional VTC circuits.....	42
☒ 4.2	Conversion characteristics of conventional VTC circuits.....	42
☒ 4.3	Schematic of the proposed voltage-to-time converter.....	44
☒ 4.4	Operation of the proposed VTC core circuit.....	44
☒ 4.5	Simulation result of the VTC core.....	45
☒ 4.6	Proposed I/O-sized ADC architecture.....	46
☒ 4.7	Schematic of FSO and Schmitt trigger inverter ring.....	47
☒ 4.8	Characteristics of the original ADC output and calculation.....	48
☒ 4.9	Micrograph of the proposed ADC chip.....	49
☒ 4.10	Output spectra of IO-sized ADC w/o calibration and w/calibration.....	50
☒ 4.11	Measured static performance. (a) DC transfer, (b) INL.....	50
☒ 4.12	Comparison of Area v.s. SNDR with other state-of-the-art ADCs.....	52
☒ 4.13	Comparison of Area-FoM with other state-of-the-art ADCs.....	52
☒ 4.14	Timing diagram of the VTC core circuit with considering the effects of the I_{DS} characteristic.....	54
☒ 4.15	Simulation result with the ideal current source.....	54
☒ 5.1	Block diagram of proposed ADPLL.....	57
☒ 5.2	Block diagram of conventional fast-settling ADPLL.....	59
☒ 5.3	Block diagram of level shifters and DCO with MPOSC.....	59
☒ 5.4	Architecture and timing diagram of counter and register.....	60
☒ 5.5	Architecture and timing diagram of counter and register with the edge detector.....	61
☒ 5.6	Block diagram of the phase converter.....	62
☒ 5.7	Timing diagram of the latch error canceller and decoder.....	63
☒ 5.8	(a) Temperature characteristic of DCO frequency, (b) normalized frequency with maximum OTW and (c) average mismatch between NF and each DCO frequency.....	65
☒ 5.9	TCPC algorithm to estimate an optimum OTW	67
☒ 5.10	Flowchart of the temperature compensation PLL controller.....	69
☒ 5.11	Block diagram of TCPC, digital loop filter and selector.....	69
☒ 5.12	Operation of the TCPC and the digital loop filter.....	70
☒ 5.13	Chip micrograph and layout of the proposed 65 nm ADPLL.....	71
☒ 5.14	Measurement result of phase noise.....	72

☒ 5.15	Measurement results of settling time at 25 °C w/o TCPC and w/ TCPC.....	73
☒ 5.16	Measurement result of settling time at 25 °C when the FCW is changed repeatedly.....	74
☒ 5.17	Measurement environment of settling time and energy at 50 °C.....	74
☒ 5.18	Measurement result of relationship between settling time and estimation error.....	76

表 目 次

表 3.1	Chip Characteristics	38
表 4.1	Chip Characteristics	51
表 5.1	Decoder code from PL to Phase	62
表 5.2	ADPLL performance summary	72
表 5.3	Settling time and energy comparison	75
表 5.4	Comparison of performance with other ADPLLs	76

第1章 序論

1.1 本研究の背景と想定アプリケーション

複数の小型センサを無線通信により接続し，環境の情報や装着された人間の行動などを計測した情報を集め，それを元に様々なアプリケーションやサービスを提供するユビキタスセンサネットワーク（USN）が注目されている．図 1.1 のように，温度や音声といった様々な情報をセンサが取得し，また情報通信を行うことで実現される．適応されるアプリケーションは様々であり，防災・災害対策から防犯・セキュリティ，医療，農業など他分野に広がっている．近年では，このセンサ間のネットワークに他デバイスやインターネットなど，接続する領域を広めた IoT（Internet of Things）を実現するために研究が進められている．センサから得られた情報はインターネットを介して情報通信されることで，より応用範囲が広がり事実現可能なアプリケーションが広がる．IoT が注目されるようになったのは，センサに使用される LSI の微細化プロセスの進歩などによる，センサ LSI の低コスト化が背景にある．IoT を実現するためには，より多く，より高精度なセンサが必要となるため，各センサの製造・維持コストの削減が要求されている[1]．

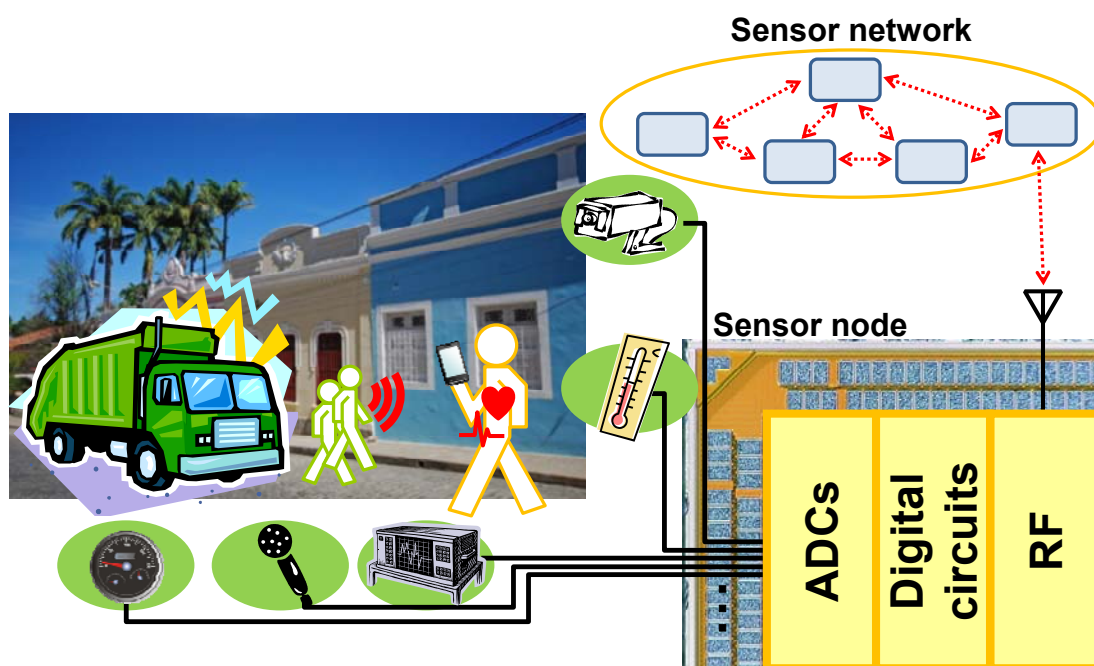


図 1.1 The concept of the ubiquitous sensor network.

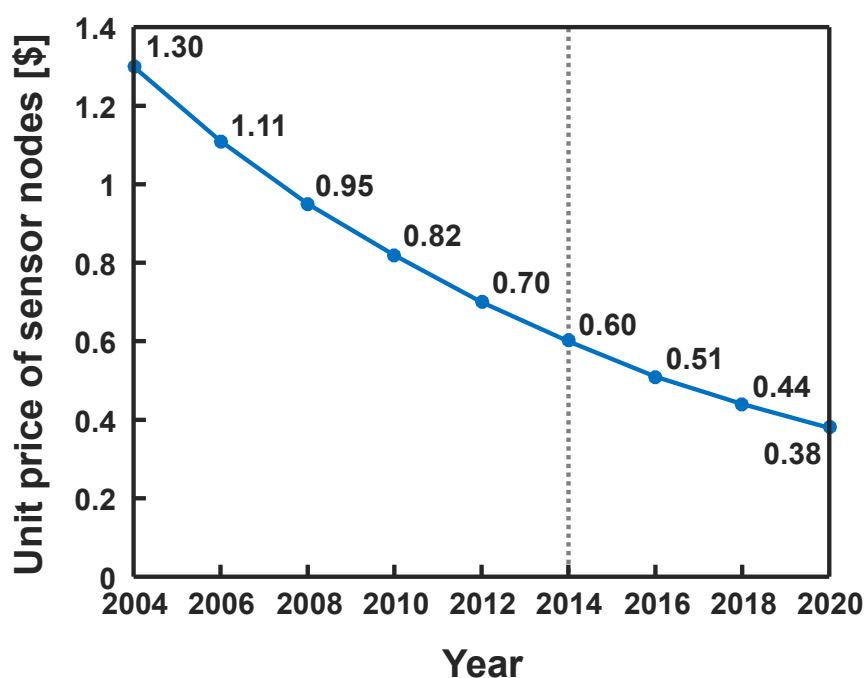


図 1.2 Trend of unit price of the sensor nodes [1].

上記の理由により、センサ用 LSI は従来のもの以上に、低消費電力、高性能、低コスト化が要求されている。近年では微細化プロセスが進み、コストが改善されつつある。最近の微細化されたプロセスでは、例として 90nm や 65nm プロセスでは電源電圧が 1.2 V に低電圧化されている。微細化が進めば、デジタル回路において、高速化、小面積、低コスト化と多くの利点を得られる。しかし、アナログ回路においては、プロセススケラブルの利点を得られない要素が多い。センサで取得する情報はアナログ情報であるため、センサ回路内にはアナログ信号処理回路が必要となる。また、無線通信を行う RF 回路部分においても、アナログ信号処理を行う必要が有るため、アナログ素子が含まれている。アナログ回路内の受動素子であるリアクタンスやキャパシタンスの必要な面積は微細化しても変わらないため、微細化された LSI 内の回路面積が増加してしまう。そのため、センサ用 LSI のようなアナログ回路とデジタル回路を混載したミックスドシグナル回路では、アナログ回路部分が原因となってプロセスの微細化の恩恵を受けにくく、低コスト化・低消費電力化・高性能化が課題となっている。本研究では、センサ用 LSI で必要となる、アナログ信号処理回路内のアナログ要素を持った回路について着目する。

センサで取得する温度、圧力、加速度などの物理情報は全てアナログ量であり、デ

デジタル信号処理を行うためには A/D 変換器 (ADC) が必要となる。また、多数のセンシングを実装するために、センサからの多チャンネル信号をデジタル化する ADC が要求されている[2][3]。多チャンネル信号を 1 チップ上で A/D 変換することができれば、それだけ他部品が不要となるため、コストを抑えることができるためである。しかし、ADC はアナログ回路を含んでいるため、プロセスの微細化による影響を受ける。電源電圧が下がる事で従来のような大きな信号振幅が取れなくなり、回路の熱雑音が信号対雑音比 (SNDR) を制限するようになる。また、素子が微細になり、素子マッチングが取りにくくなるために、線形性精度が悪くなってきて、高精度の ADC が実装困難となってくる。さらに、微細素子ではトランジスタの電流飽和特性が悪くなるために、オペアンプの利得が取れなくなる。精度劣化の面においては、A/D 変換後に、デジタル補正、デジタルキャリブレーションといった、変換後に補正を行うことで性能を向上させて対処する方法が検討されている[4]-[6]。

近年、注目されている ADC の一つに低消費電力かつ高い精度を得られる構成として、逐次比較型 ADC (SAR ADC) がある。SAR ADC はオペアンプを必要とせず、また内部の DAC に電荷を蓄積してアナログ電圧を逐次的にデジタル化するため、速度面では劣るが低消費電力で実現することができる ADC である。変換速度、変換精度あたりの消費電力を求めた指標である Figure of Merit (FoM) を導出すると、1 変換ステップあたり 0.85 fJ という低消費電力動作が可能な SAR ADC が報告されている[7]。しかし、SAR ADC で用いている DAC の構成はキャパシタアレイで実装されているため、分解能を上げるには大容量かつ大面積なキャパシタが要求されるため、回路面積の増加が発生する。面積が増加すると、マルチチャンネルのセンサではチップ面積という制限があるため、実装可能な ADC の数が抑制されてしまう。

上記のように、微細化プロセスに適し、性能が維持できる ADC が要求されている。微細化プロセスの恩恵を享受できる構成であれば、図 1.3 のような IO サイズに収めた ADC という使用方法が可能となる。IO 内で A/D 変換が完結し、チップ内の面積占有率を削減することで、他回路の回路面積が十分に確保できる。現在検討されている手法では IO に収まる面積に ADC を実現するのは困難である。

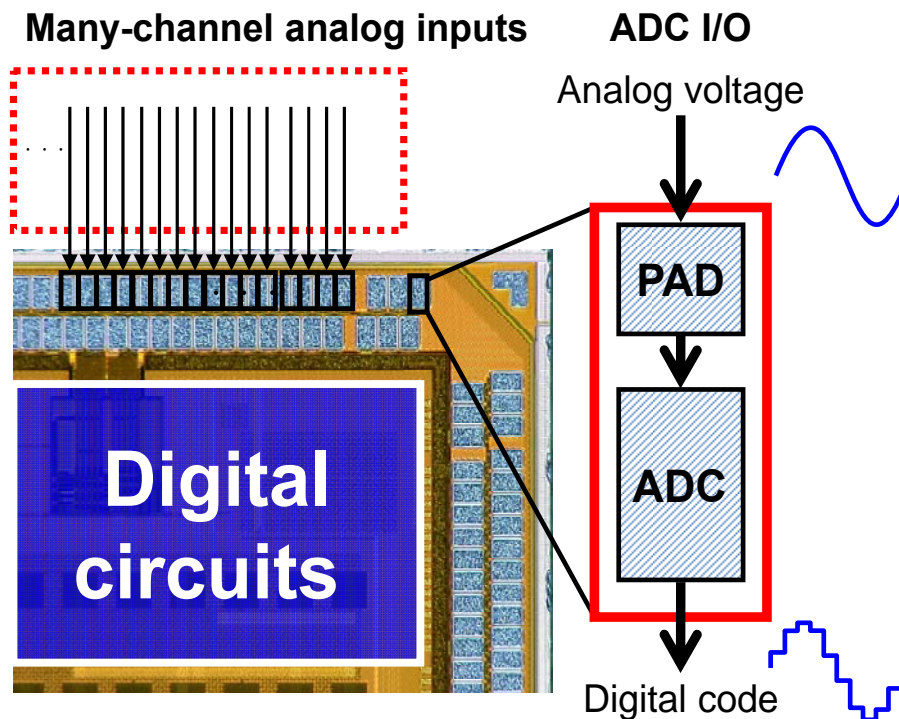


図 1.3 Concept of the small sized ADC.

センシングしたデータは無線通信回路により、收拾したデータを送信し利用することができる。無線通信回路はシステム全体にたいして面積、消費エネルギーが大きいブロックであるため、小面積、低消費エネルギー化が要求されている。無線通信回路内の任意周波数生成回路である PLL (Phase Locked Loop) はループフィルタなどにアナログ要素を多く含み、発振器を構成回路としているため、面積、消費エネルギーの増大の要因となっている。近年では、微細化プロセスに適応するために、発振器以外をデジタルリッチな構成で実現する All Digital PLL (ADPLL) が提案されている。アナログ PLL に対して ADPLL は小面積かつ低消費電力であるため、ADPLL は多くのアプリケーションで注目されている[8]-[17]。

センサネットワークのような近年のワイヤレスコミュニケーションアプリでは、消費エネルギーを削減するために動作時の Active モードと電源オフ時の Sleep モードを繰り返すことで、動作時間を削減する簡潔駆動動作を用いている[8][9]。環境モニタリングのような超低エネルギーアプリケーションでは、無線送信機の動作率は平均で 0.1%程度である。通信電力でもっとも消費するのは、データの一部である数 bit を受け取る、キャリア検知動作である。この場合、送信機内の ADPLL が必要とする準備期間であるセッティング時間がシステムレベルの消費電力に直接影響する。というのも、

セッティング時間がアクティブ時間に対して支配的であるのが原因である。例えば、1 Mbps のデータ送信を行う際、プリアンブルを受信する時間はたった数 μs であり、この期間は ADPLL のセッティング時間以下である。また、無線通信部分はセンサノードの他の構成回路と比較しても大きな消費電力を占めている。そのため、図 1.4 の概念図のように、電源投入後に必要となるセッティング時間を削減し、間欠駆動に適した ADPLL が求められている。

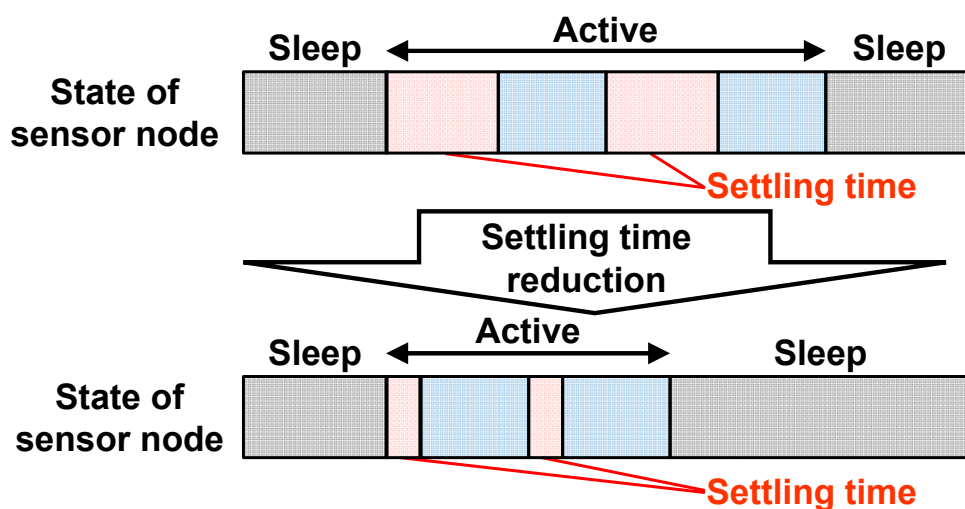


図 1.4 State of sensor node and PLL settling time.

1.2 研究目的及び本論文の構成

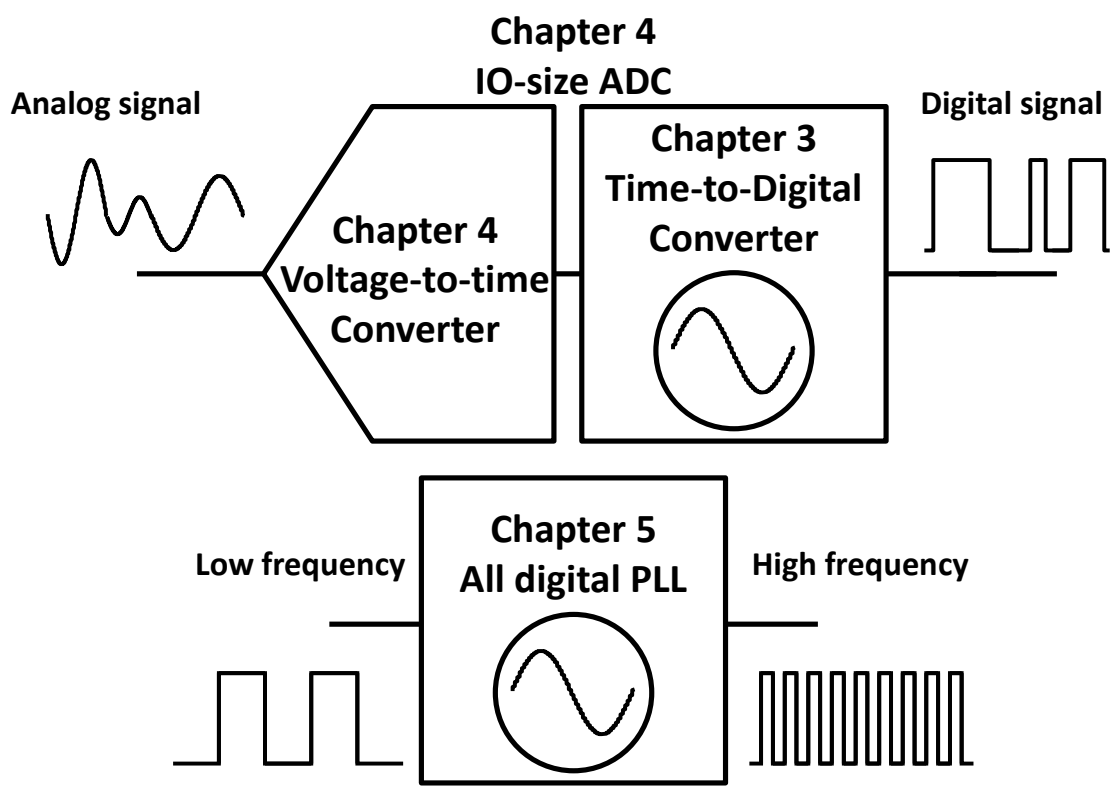
本研究では、前節で述べた背景をもとに、小面積かつ微細化に適した構成として、リング発振器を用いて構成するアナログ信号処理回路の性能改善を目的とする。

また、図 1.5 に本論文の構成をまとめる。本論文では ADC (TDC) と ADPLL への発振器適応における問題点を明らかにし、問題点を解決すべく TDC の詳細なモデル化、ADC の小面積化、温度補正による駆動時間の削減について述べる。本研究では、TDC, ADC, ADPLL に対して小面積化を図っており、各章で改善度について議論する。図 1.6 は本論文で扱う ADC (TDC) と ADPLL を構成する研究対象の各構成回路ブロックと各章の対応を表している。本論文の構成および各研究の概略について以下にまとめる。

- 第1章 本研究に関する技術的背景, 技術動向及び本論文の研究内容について記述する.
- 第2章 リング発振器の特性とアナログ信号処理回路応用への課題について記述する.
- 第3章 リング発振器を用いた TDC の特性解析と線形性改善手法について記述する.
- 第4章 Frequency Shift Oscillator TDC を用いた小面積 ADC について記述する.
- 第5章 温度変動を考慮した補正アルゴリズムによる高速セットリングについて記述する.
- 第6章 本論文の結論をまとめる.



図 1.5 Relationship between the sections in this thesis.



☒ 1.6 Outline of this thesis.

第2章 リング発振器の特性とアナログ信号 処理回路応用への課題

2.1 緒言

本章では、LSI で用いられる発振器の構成方法と比較について記述する。また、本論文で対象とする発振器を構成要素としたセンサ用回路、およびその課題について述べる。

2.2 節では、LSI で用いられる発振器の構成として、LC 発振器とリング発振器をとりあげ、それぞれにおける利点と欠点について説明する。

2.3 説では、センサ用回路への発振器応用における問題点を、各回路について論じる。

2.2 発振器の概要

発振器とは特定の周波数を持った発信信号を出力する回路であり、無線通信のクロック信号などに用いられる回路である。LSI 上で実装される発振器回路としては LC 発振器やリング発振器が挙げられる。LC 発振器はリアクタンスとキャパシタの共振動作によって発振信号を生成する回路であり、低消費電力かつ数十 GHz という高周波な信号を生成可能であるため、RF 回路などに利用される。また、出力信号の時間的ゆらぎであるジッタも小さく、高精度な信号を実現できる。一方で、LC 発振器はインダクタの Q 値が高いことにより発振周波数の可動帯域が狭まり、また、L や C は微細化プロセスの恩恵を受けにくく、微細プロセスにおいて大きな回路面積を必要としてしまうという問題点がある。

リング発振器はインバータを奇数段接続して構成されるため、単純な構造から小面積かつ低コスト化が図れる回路である。高周波帯での消費電力は LC 発振器と比較して大きいものの、1 GHz 以下であれば消費電力を抑えることができ、近年の研究では数 GHz レベルの周波数でも、LC 発振器と同等の消費電力が優れているリング発振器が提案されている[18]。リング発振器の発振周波数 F_0 は、インバータの段数とインバータ 1 段の遅延時間 $Delay$ を用いて、以下の式で表される。

従来 TDC の構成として提案されているのは、図 2.2 に記載した構成が提案されている。図 2.2 (a)の構成はフラッシュ型 TDC と呼ばれ、遅延回路と D 型フリップフロップ、エンコーダで構成されたシンプルな構成である[20][21]。 T_{START} 信号に入力された信号を T_{STOP} 信号でラッチした際、先に入力された T_{START} の遅延時間によって各フリップフロップの出力が変化し、エンコーダを用いてデジタル値へと変換する手法である。しかし、各遅延回路の遅延時間 τ のズレや、分解能向上化にはフリップフロップを増やす必要がある、と言った問題が生じる。図 2.2 (b)はリング発振器を利用して構成した TDC である。この TDC はリング発振器に電流源を追加し、入力によって発振周波数を切り替える事が可能となるリング発振器を利用している。入力によって周波数を変化した発振波形の立ち上がり回数を、後段のカウンタによりカウントアップしてデジタル値に変換する。この TDC は電流源と発振器、カウンタのみのシンプルな構成である。入力信号の状態によって周波数が変動するため、1 サイクル中のデジタル値がパルス幅に応じて変化するため、T/D 変換が可能となる[22][23]。また、発振器を用いた TDC は前回の量子化時に発生した量子化誤差が次段に伝わる構成であるため、 $\Delta\Sigma$ 変調の性質を有している。フラッシュ型 TDC においても $\Delta\Sigma$ 変調の構成を取ることが可能であるが、追加回路が多数必要となるため、発振器を用いた TDC はより単純な構成で $\Delta\Sigma$ 変調器を実現することが可能である。

時間情報をデジタル化する際に問題となるのが時間分解能の精度である。発振器を利用した構成であれば、発振波形の時間的なゆらぎであるジッタが大きくなると、時間精度が悪化し、高い分解能を得ることができなくなってしまうという問題がある。発振器や入力段のジッタが性能に与える影響について、議論する必要がある。

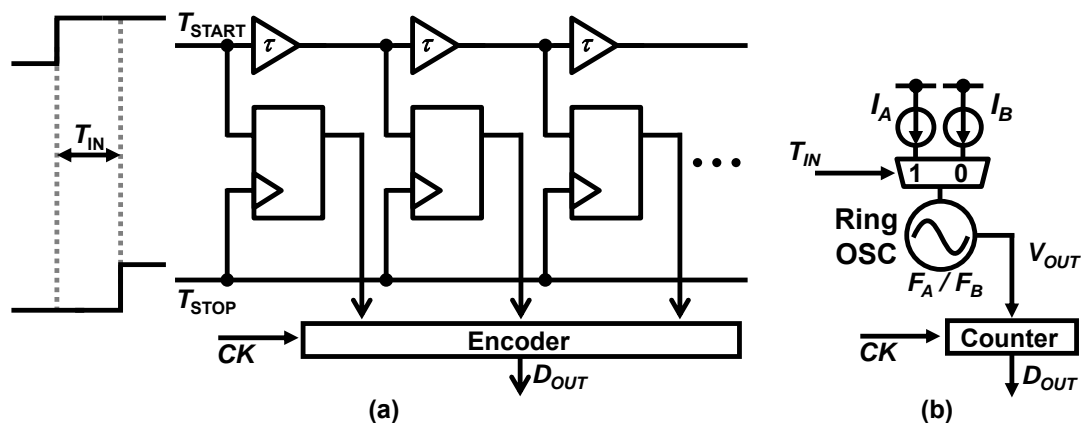
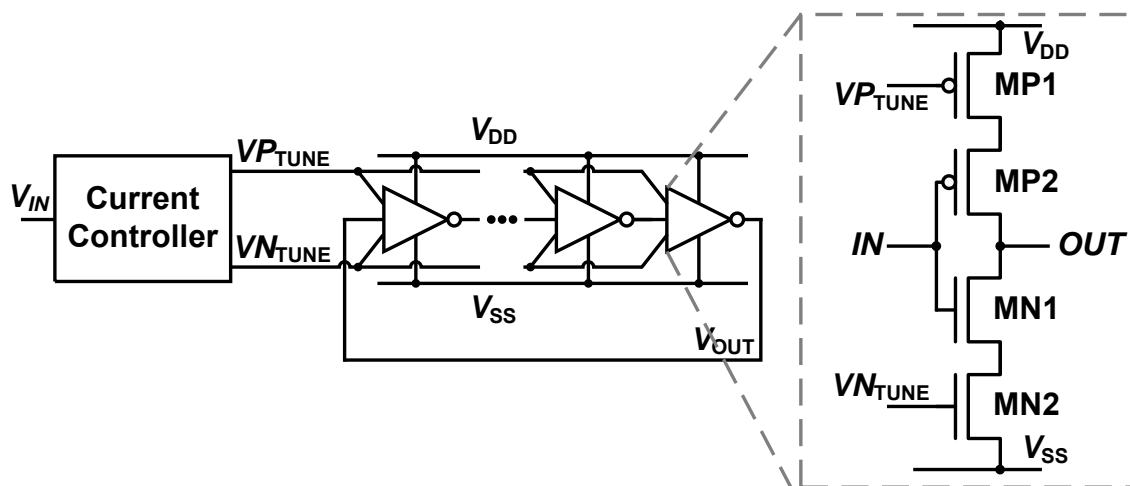


図 2.2 Schematic of (a) flash-type TDC and (b) TDC with oscillator and counter.

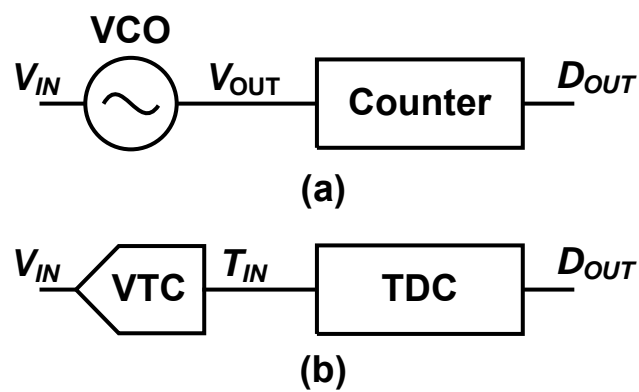
2.3.2 Analog Digital Converter への応用と課題点

センサ回路から得た各種アナログ電圧は、ADC によってデジタル値に変換する回路である。従来の ADC はスイッチドキャパシタ回路やオペアンプ、容量や抵抗といった受動素子を構成要素として構成されている。リング発振器を用いた ADC として、電圧値によって周波数を制御する発振器 VCO を用いて構成した手法が提案されている [24][25]。リング発振器を基礎とした VCO は図 2.3 のような構成であり、入力電圧によりリング発振器への電流値を制御することで周波数を変化させる。アナログ素子を排除したシンプルな構成であるため、小面積で実装することができる。図 2.4 に VCOADC の回路図を記載している。アナログ電圧である V_{IN} により VCO の発振周波数が増加し、後段のカウンタで量子化することで A/D 変換を行う構成である。VCOADC は $\Delta\Sigma$ 変調器の性質を有しており、近年では性能向上のために、複数の VCOADC を用いた高次化の構成も提案されている。しかし、この手法では VCO の周波数特性が線形性でなければ、高調波ノイズが発生してしまう。VCOADC は電流制御しているトランジスタの I_{ds} 特性の影響を受けるため、線形領域は狭くなってしまい、デジタル補正による完全な補正は困難なため、高調波ノイズが大きく残ってしまうという欠点がある。この問題を回避するためには、線形領域に収まる入力電圧に狭める必要があり、入力のダイナミックレンジと高調波ノイズにはトレードオフが存在している。

一方で、リング発振器を利用した ADC として、前節 2.3.1 で記述したような、TDC を組み合わせた構成により、微細化プロセスに適した構成が提案されている [26][27]。時間領域にシフトさせることで、アナログ素子の機能をデジタル回路で行うことにより、微細化による電圧領域の制限の影響を緩和させる事が可能となる。この構成をとるためには、TDC の前段に電圧信号を時間領域へとシフトする、電圧時間変換器 (VTC) が必要となる。この VTC は後段の TDC の性能を妨害することのないように、電圧時間変換の特性が高い線形性を示し、かつ ADC 全体の小面積化のために小面積な VTC が必要となる。



⊠ 2.3 Schematic of voltage ring oscillator (VCO).



⊠ 2.4 Block diagram of (a) VCO-based ADC and (b) time domain ADC.

2.3.3 All Digital Phase Locked Loop への応用と課題点

ADPLL は水晶発振器などの低速かつ高精度なクロックを元に、逡倍の周波数をもったクロック信号を生成する。一般的な構造として、ADPLL は入力されたデジタル値をクロック周波数に掛けあわせた周波数で安定する。発振波形は ADPLL 内のデジタル制御発振器 (DCO) で生成され、フィードバックループにより目的の周波数へと補正することにより高精度な周波数を得られる。この補正にはセトリング時間と呼ばれる準備期間が必要であり、出力を利用できるのはセトリング時間経過後である。セトリング時間は電源投入時と周波数変調毎に発生し、図 2.5 (a)のようにセトリング時間を削減する手法が提案されている。しかし、発振器はプロセスや電圧、温度という PVT ばらつきに影響を受けて変化するため、図 2.5 (b)のようにセトリング時間が十分に削減できない場合がある。プロセスばらつきについては、チップごとに特性がばらつくため初期補正を行うことで、以降のセトリング時間を削減する事が可能である。電圧ばらつきは発振器である DCO の周波数特性に大きく影響を与えため、電圧ばらつきは抑制する必要がある。従来研究として電源ノイズ除去回路[14][15]を追加する手法が提案されている。温度ばらつきではトランジスタの特性が変化するため、DCO の周波数特性が温度変化の影響を受ける。しかし、温度ばらつきについては、温度計の様な追加回路を用いて検知する必要がある。小面積で補正を行うことが困難である。追加回路を最小限にし、温度ばらつきを補正する手法が必要である。

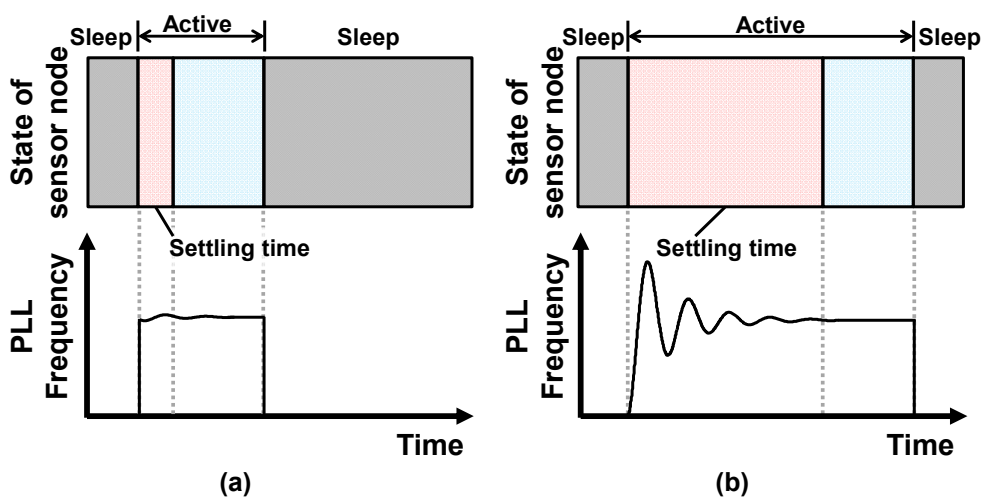


図 2.5 Settling time reduction (a) without PVT variation and (b) with PVT variation.

2.4 結言

本章では、リング発振器を応用したアナログ信号処理回路の小型化にむけたに向けた課題について述べた。各課題をまとめると以下ようになる。

- TDC の小型化

インバータを用いて構成したリング発振器では、小面積化、微細化プロセスに適しているものの、リング発振器は PVT ばらつきによるタイミングジッタが発生する。リング発振器を応用した TDC はタイミングジッタの影響を受けるため、特定の性能を満たすジッタの許容値について解析することが必要となる。

- ADC の小型化

性能を維持するためにアナログ回路をスケーリングせずに LSI 実装するのは小面積は達成できない。小面積な TDC を用いることにより、アナログ素子の機能をデジタル回路に担わせる。微細化に適し、かつ ADC の小面積化が可能であるが、前段に小面積な VTC が必要となる。

- 高速セットリング ADPLL の小型化

PVT ばらつきやトランジスタの特性により、ADPLL では発振器の周波数ばらつきを補正することで、セットリング時間を短縮することが可能となる。補正回路をデジタル回路のみで構成することにより、追加回路を最小限にすることで、高速セットリングが可能な ADPLL の小型化を達成できる。

第3章 リング発振器を用いた TDC の特性解析と線形性改善手法

3.1 緒言

発振器を用いた TDC として、GRO (Gated Ring Oscillator) と呼ばれる入力により発振と停止を切り替える発振器と、FSO (Frequency Shift Oscillator) という入力により発振周波数を変更する発振器の 2 種類が提案されている。どちらの構成もシンプルな構成であり、小面積で実装可能な回路である。また、GRO、FSOTDC はどちらも 1 次の $\Delta\Sigma$ 変調器であり、ノイズを軽減する効果を持ち、複数段接続することで高次化が可能である。リークが増加する微細化プロセスには FSOTDC が適しているとされているが、しかし、発表されている FSOTDC は 2 次 $\Delta\Sigma$ 構成で有効ビット数 (ENOB) が 9 bit 程度であり、性能の面では従来の $\Delta\Sigma$ TDC に対して大きく劣っている。

本章ではリング発振器を用いた TDC の性能劣化の要因について、モデル式とシミュレーションにより解析する。また、その解析結果より TDC の ENOB を向上するための設計方針について述べる。3.2 節では、リング発振器を用いた構成で実現可能な $\Delta\Sigma$ 変調器の特性について解説し、3.3 節では、従来回路である GRO を用いた GROTCDC における動作原理と微細化における問題点について記載する。

次に、3.4 節では、GROTCDC の改善回路であり、本章で性能改善を図る 2 次 $\Delta\Sigma$ FSOTDC の動作原理を解析する。3.4 節で得られた劣化要因について、3.5, 3.6, 3.7 節で MATLAB, SPICE シミュレーションを実行して検証を行う。その後、各パラメータに対する FSOTDC の性能推移と数式の関係性について考察する。

最後に 65nm CMOS プロセスを用いて実装した結果を 3.8 節に記載し、検証結果との比較を行うことで整合性を確認する。

3.2 $\Delta\Sigma$ 変調器

この節では、 $\Delta\Sigma$ 変調器について解説する。 $\Delta\Sigma$ 変調器は図 3.1 に示しているように、積分器と量子化器を用いた、出力を入力にフィードバックする構成となっている。

$\Delta\Sigma$ 変調器の出力 Y について z 領域モデルを用いて数式化すると、

$$Y = X + (1 - z^{-1}) \cdot QN. \quad (3.1)$$

として表される。量子化器で発生する量子化誤差 QN には伝達関数 $(1-z^{-1})$ がかかっている。この伝達関数は微分の形であるため、低周波数領域を抑制し高周波数領域を通過させる特性をもつ。したがって、量子化器単体で構成するよりも原信号が入力される帯域のノイズを高周波領域へとシフトさせることにより、信号精度を増加することが可能となる。

図 3.2 に $\Delta\Sigma$ 変調器の周波数特性を示す。量子化器単体から生じる量子化誤差は全周波数帯域に均等に分布している。これに対し、1 次 $\Delta\Sigma$ 変調器により生じる量子化誤差は式(3.1)に示したように量子化誤差には微分の伝達関数がかかっているため、低い周波数帯域のノイズが高い周波数帯域に移動させる。これにより、入力信号帯域のノイズを抑制することができ、この特性をノイズシェイピング特性という。1 次の $\Delta\Sigma$ 変調器で発生した量子化誤差をさらに別の 1 次の $\Delta\Sigma$ 変調器へ伝搬することにより、さらに高次のノイズシェイピング効果を得ることができる。ここでいう高次のノイズシェイピング効果とは、入力信号帯域における量子化雑音を 1 次で得られる効果よりもさらに削減する効果のことである。

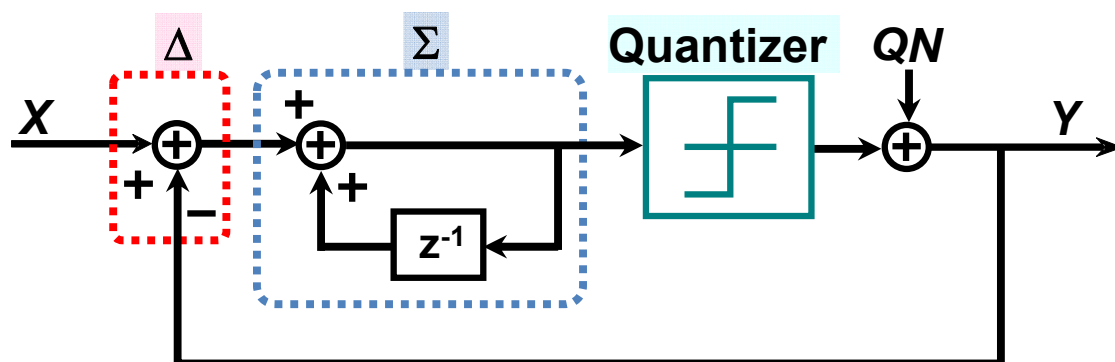


図 3.1 Diagram of 1st order $\Delta\Sigma$ modulator.

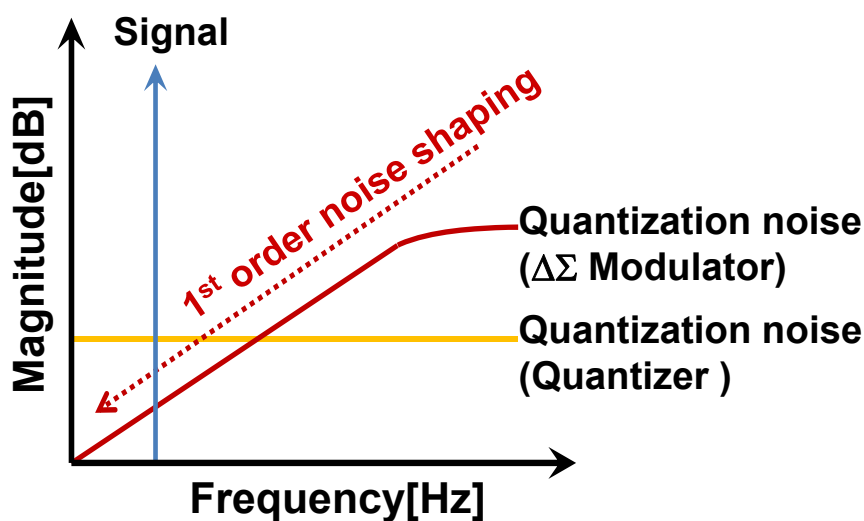


図 3.2 1st order noise shaping characteristic.

3.3 Gated Ring Oscillator TDC の動作原理

TDC として、インバータで構成されるリング発振器を用いた Gated ring oscillator TDC (GROTDC) が研究されている[23][26]. 図 3.3 は GROTDC の回路図を表している. 時間的に変化するアナログデータであるパルス幅 (T_{IN}) は GROTDC に時間差アナログ情報として入力される. T_{IN} が “High” 区間の GRO_{OUT} の発振回数をカウントすることで, GROTDC はアナログ値 T_{IN} のデジタル化が達成される. この時, カウンタ回路は量子化器として動作している. カウント値はそのままデジタル変換された出力 D_{OUT} を表している.

図 3.4 において, T_{IN} は GRO への入力パルス, GRO_{OUT} は GRO の発振出力, D_{OUT} はその発振をカウントした値である. T_{IN} が “High” の時, GRO は発振を開始する. T_{IN} が “High” 区間の GRO_{OUT} をカウントすることでアナログ的な時間情報をデジタル値へ変換することが可能となる. この際, 図 3.4 に示されるように量子化誤差 QN が生じる. T_{IN} が “Low” の状態では, GRO は発振動作を停止し, 状態を保持している. 次に T_{IN} が “High” になった際は前回の状態からの続きで発振動作を開始する. そのため, 量子化ノイズは次のサンプルに影響を残すこととなる. D_{OUT} は z 領域モデルを用いると,

$$D_{OUT} = T_{IN} + (1 - z^{-1}) \cdot QN \quad (3.2)$$

として表される. 量子化誤差 QN の伝達関数は, $(1 - z^{-1})$ である. 式(3.1)で示した $\Delta\Sigma$ 変調器と同じ数式で表すことができるため, GROTDC は $\Delta\Sigma$ 変調器であり, 1次ノイズシェイピング特性を有している.

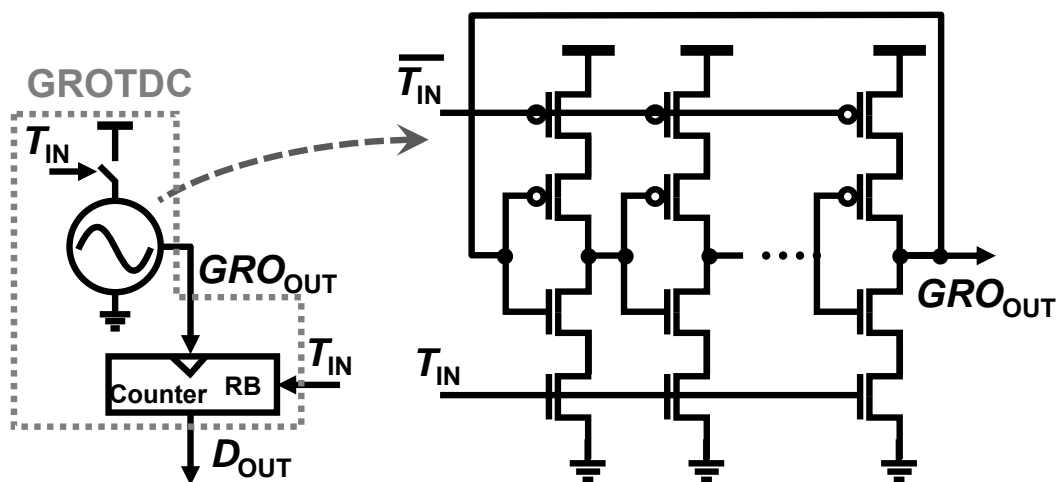


図 3.3 Gated ring oscillator time-to-digital converter (GROTDC).

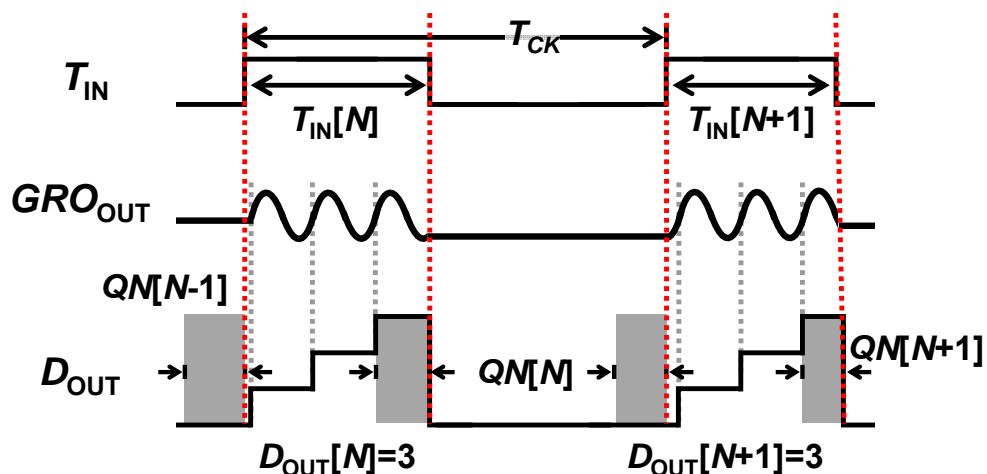


図 3.4 Timing diagram of GROTDC.

GROTDC は複数段接続し、後段に量子化誤差を伝搬する構成を取ることで、高次化することができ、高次のノイズシェイピング効果を得られる。しかし、微細化によりリーク電流が増加すると、停止時の GRO の動作は図 3.5 のように、完全には停止時の位相を保持することが困難となっている。このために、次のサイクル時に正確に量子化誤差が伝搬されず、(3.2)の式と異なるため、ノイズシェイピング効果を得られない事になってしまう。

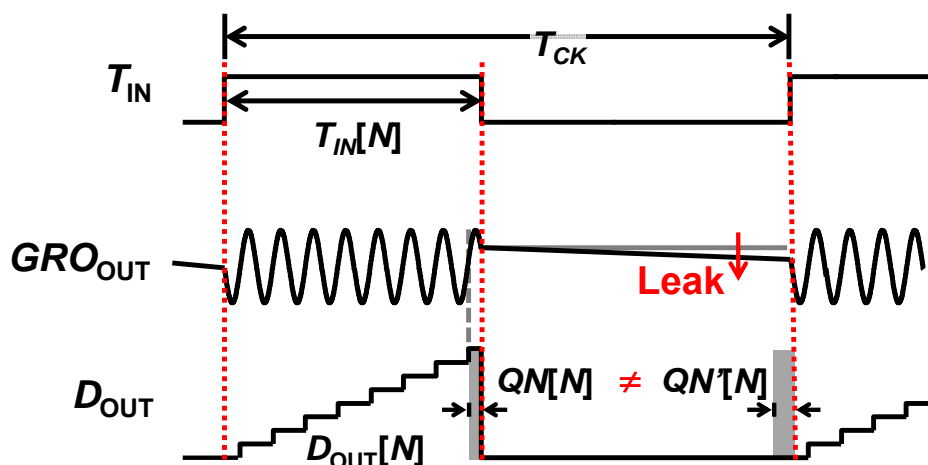


図 3.5 Timing diagram incorporating the effects of the leakage current.

3.4 Frequency Shift Oscillator TDC の動作原理

GROTDC の問題点を解決したのが本節で記述する FSOTDC である。図 3.6, 図 3.7 に 2 つの発振器とデジタル回路で構成された、2 次 $\Delta\Sigma$ FSOTDC のブロック図と動作時のタイミング図を記載する。初段の FSO (FSO_1) は図 3.7 のタイミング図のように、入力信号 $T_{IN1}[M]$ の状態によって周波数変動し、“High” のときに周波数が F_{A1} に、 $T_{IN1}[M]$ が “Low” のときに周波数 F_{B1} に切り替わる。FSO は常に発振を行っているため、リーク電流による停止時の位相変動という問題が生じないため、微細化に適した構成となっている。後段の FSO (FSO_2) も同様に、入力によって周波数変動する。トランジスタのばらつきのために、発振周波数が同一にならないが、この誤差は後段の DSP でデジタル補正を行うことで mismatch による性能劣化を改善することが可能である。

FSOTDC の動作として、まず初段の FSOTDC は入力される時間信号 T_{IN1} の N 番目の

サンプル $T_{IN1}[N]$ をデジタル値 $D_1[N]$ に変換する。 $D_1[N]$ はサンプリング区間 (T_{CK}) の総発振回数を表している。 $T_{IN1}[N]$ により FSO の周波数が変化するため、FSO は T_{CK} 間で発振する回数が増えるため、カウンタで発振回数をデジタル化することにより、時間情報をデジタル値へと変換することで可能となる。 $D_{B1}[N]$ は $T_{CK}-T_{IN1}[N]$ の区間のカウンタ値であり、DSP にて 2 次の出力を算出する際に必要となる。 1 次の出力を得る際には不要である。

ここで、各ブロックにおけるジッタの影響を考慮する。 クロックと入力信号におけるジッタを $J_{CK}[N]$ と $J_{TIN}[N]$ と定義し、また、FSO のジッタを F_{A1} , F_{B1} の区間でそれぞれ $J_{A1_X}[N]$ ($X=1, 2, \dots$) と $J_{B1_X}[N]$ ($X=1, 2, \dots$) と定義している。 サンプル N 番目における FSO のジッタの総和は $\sum J_{A1}[N]$ と $\sum J_{B1}[N]$ で記載するものとする。 ジッタを考慮した場合、[22]における初段のカウンタ値 $D_1[N]$ は下記のように求めることができる。

$$\begin{aligned}
 D_1[N] = & (F_{A1} - F_{B1}) \cdot T_{IN1}[N] - F_{B1} \cdot \Delta QN_1 + F_{B1} \cdot T_{CK} \\
 & + F_{A1} \cdot \sum J_{A1}[N] + F_{B1} \cdot \sum J_{B1}[N] \\
 & + J_{TIN}[N] + J_{CK}[N],
 \end{aligned} \tag{3.3}$$

Δ は前回のサンプル $N-1$ 番目と N 番目との差分を表しており、例として ΔQN_1 は $QN_1[N] - QN_1[N-1]$ を意味している。 ジッタが発生していない場合、(3.3)より FSOTDC は 1 次のノイズシェイピング効果が得られる事が確認できる。

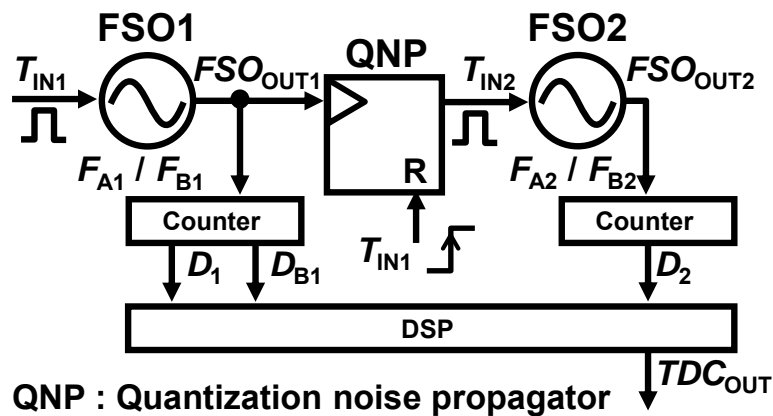


図 3.6 Frequency shift oscillator TDC architecture.

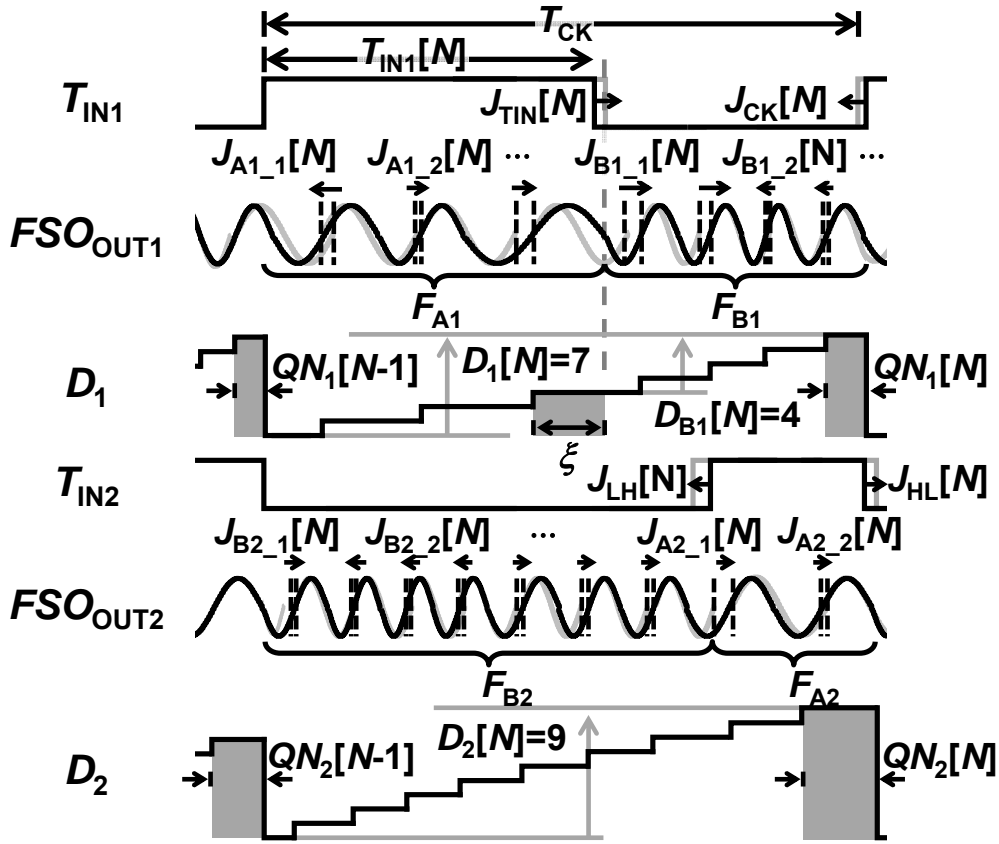


図 3.7 Timing diagrams of FSOTDC.

2次 TDC を構成するために、TDC は量子化誤差を次段に伝える必要となる．量子化誤差を伝搬するために、初段と次段の間に量子化誤差伝搬機 (QNP) を接続している．QNP の出力 ($T_{IN2}[N]$) は初段の量子化誤差である $QN_1[N]$ を含んだ信号であり、次段の FSO に入力される． $T_{IN2}[N]$ の立ち上がり と 立ち下がり におけるジッタ $J_{LH}[N]$ と $J_{HL}[N]$ を $T_{IN2}[N]$ に含めた式は(3.4)となる．

$$T_{IN2}[N] = \frac{D_{B1}[N] - 3}{F_{B1}} + QN_1[N] + J_{LH}[N] + J_{HL}[N]. \quad (3.4)$$

初段目と同様に、2 段目におけるの発振周波数を F_{A2} と F_{B2} 、それぞれの周波数でのジッタを $J_{A2,x}[N]$ と $J_{B2,x}[N]$ と定義する．2 段目のカウント値 $D_2[N]$ は、(3.5)のように求められる．

$$\begin{aligned} D_2[N] = & (F_{A2} - F_{B2}) \cdot T_{IN2}[N] - F_{A2} \cdot \Delta QN_2 + F_{B2} \cdot T_{CK} \\ & + F_{A2} \cdot \sum J_{A2}[N] + F_{B2} \cdot \sum J_{B2}[N] \\ & + J_{LH}[N] + J_{HL}[N]. \end{aligned} \quad (3.5)$$

(3.3)から(3.5)より，最終的な出力 $TDC_{OUT}[N]$ は DNP で算出され，(3.6)となる．

$$\begin{aligned}
TDC_{OUT}[N] &= \frac{A_2}{F_{B1}} \cdot D_1[N] + \Delta(D_2[N] - \frac{A_2}{F_{B1}} \cdot D_{B1}[N]) \\
&= \frac{A_2}{F_{B1}} (A_1 \cdot T_{INI}[N] + F_{A1} \cdot \sum J_{A1}[N] \\
&\quad + F_{B1} \cdot \sum J_{B1}[N] + J_{TIN}[N] + J_{CK}[N]) \\
&\quad + F_{B2} \cdot \sum \Delta J_{B2} + F_{A2} \cdot \sum \Delta J_{A2} \\
&\quad + A_2 (\Delta J_{HL} + \Delta J_{LH} + T_{CK}) + F_{A2} \cdot \Delta^2 QN_2.
\end{aligned} \tag{3.6}$$

ここで A_1 , A_2 は $A_1 = F_{A1} - F_{B1}$, $A_2 = F_{A2} - F_{B2}$ である．2つの FSO 間で周波数のミスマッチが発生すると，ノイズキャンセル効果を十分に得られないため，DSP 内に1次の LMS (least mean squares) フィルタを組み込み，周波数誤差を補正することで，ミスマッチを除去することが可能である[22]．

式(3.6)から，入力と初段 FSO のジッタ ($\sum J_{A1}$, $\sum J_{B1}$, J_{TIN} , J_{CK}) はノイズシェイピング効果を得られていない．従って，これらのジッタは出力 $TDC_{OUT}[N]$ にノイズ源として残り，1次または2次 $\Delta\Sigma$ TDC の分解能を悪化させる要因となる．高分解能の TDC を実現するためには上記のジッタを減少させる必要がある．入力と初段 FSO のジッタによる影響について，次節より検証を行う．

3.5 FSO のジッタによる影響

まず，FSO のジッタ $\sum J_{A1_X}$ と $\sum J_{B1_X}$ ，次段のジッタ $\sum J_{A2_X}$ と $\sum J_{B2_X}$ による影響について考察する．2段目のジッタ ($\sum J_{A2_X}$, $\sum J_{B2_X}$) は(3.6)により，1次のノイズシェイピング効果を得られている．従って，2段目のジッタによる影響は軽減されるため，より大きな影響を与える初段のジッタについて議論する．発振器は構成により，ジッタが変動するが周期も変動するため，ジッタの絶対値のみでの評価は困難である．議論する上で，周期に対するジッタの割合を RJ (relative jitter) という相対値を定義し， RJ と性能との比較を行う．導出方法としては，発振周期に対する周期の標準偏差をジッタとしており， RJ はこのジッタを平均周期で割ったものである．図 3.8 は2次 FSOTDC を MATLAB でシミュレーションした結果の出力スペクトラムであり，SNDR (Signal-to-noise and distortion ratio) は 20 kHz のバンド幅で算出している．また，MATLAB でモデル化した FSOTDC に $RJ = 0.05\%$, 0.2% , 0.8% の3種類でシミュレー

シミュレーションし、結果を比較している。MATLAB のモデルは[22]のモデルにジッタを加えたモデルである。シミュレーションの際には FSO の 2 種類の周波数と RJ の値が必要となる。周波数と RJ の値は SPICE シミュレーションから導出した数値である。初段のジッタが 1 次のノイズシェイピングを得られていないため、 RJ が増加すると図 3.8 ようにノイズフロアも上昇し、SNDR が減少するため分解能が悪化する。10bit の分解能を得るためには RJ が約 0.05% 以下でなければならない。

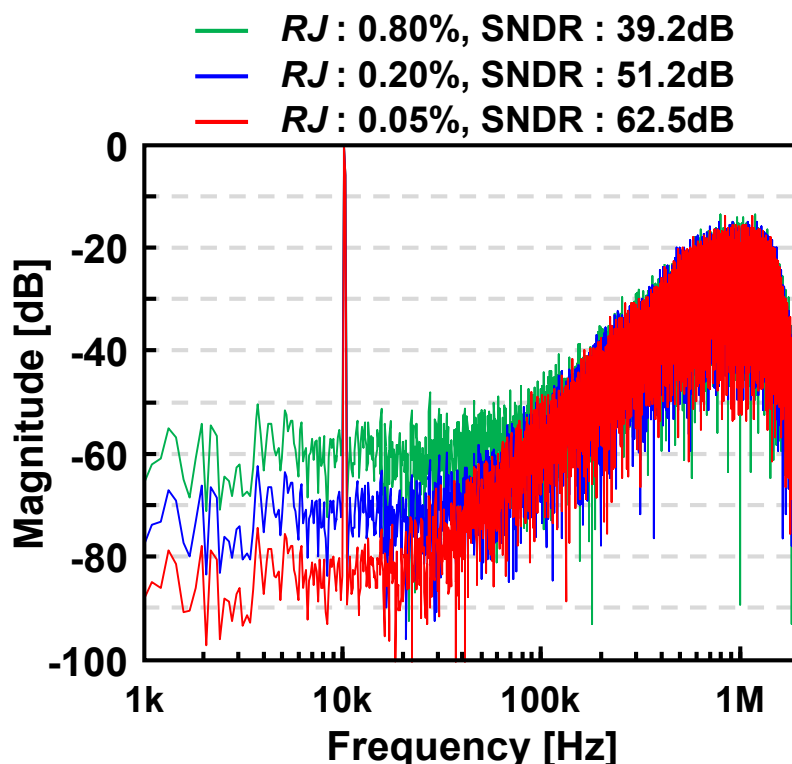


図 3.8 Output spectra when RJ is varied.

次に RJ についてリング発振器のモデル式から導出する。[28]によると、発振器の周波数の標準偏差(σ)は(3.7)の式によりモデル化されている。

$$\sigma^2 = \frac{kT}{IF_0} \cdot \left(\frac{2}{V_{DD} - V_{TH}} (\gamma_N + \gamma_P) + \frac{2}{V_{DD}} \right), \quad (3.7)$$

F_0 はリング発振器の周波数を、 k は Boltzmann 変数を、 V_{TH} は閾値電圧を表している。また、 T と V_{DD} 、 I はそれぞれ、温度、電源電圧、発振器の電流値を表している。 γ_N と γ_P は NMOS と PMOS の固有パラメータを表している。この変数はプロセスに依存している。(3.7)より RJ を導出すると、(3.8)で表すことができる。

$$RJ = F_0 * \sigma = \sqrt{\frac{kTF_0}{I} \cdot \left(\frac{2}{V_{DD} - V_{TH}} (\gamma_N + \gamma_P) + \frac{2}{V_{DD}} \right)}. \quad (3.8)$$

[26]より, F_0 は(3.9)のように近似することができる.

$$F_0 \cong \frac{I}{MCV_{DD}}. \quad (3.9)$$

C はインバータの出力容量, M はインバータの段数を表している. (3.8)に(3.9)を代入すると, (3.10)と表される.

$$RJ \cong \sqrt{\frac{kT}{MCV_{DD}} \cdot \left(\frac{2}{V_{DD} - V_{TH}} (\gamma_N + \gamma_P) + \frac{2}{V_{DD}} \right)}. \quad (3.10)$$

(3.10)より, γ_N と γ_P はプロセスで固有の値であるため, RJ は C , M , V_{DD} , T に依存することがわかる. C はトランジスタのサイズに影響を受けるため, SPICEシミュレーションではゲート長を変更した. 従って, ゲート長, M , V_{DD} , T の各パラメータを変更し, 発振周波数と RJ を導出してSNDRを導出する. (3.10)の数式とシミュレーション結果を比較し, 整合性について考察を行う. 図3.9にFSOのシミュレーションに使用した回路構成を記載する. FSOTDCのシミュレーションではサンプリングレート(SR)を2 MHz, 帯域幅(BW)を20 kHz, T_{IN1} の時間振幅を250nsに統一している. また, 性能面として, FoM (Figure of merit)を導出し, 比較している. FoMは下記の式から導出した値である.

$$FoM [fJ / conv.step] = \frac{Power}{2 \cdot BW \cdot 2^{ENOB}}. \quad (3.11)$$

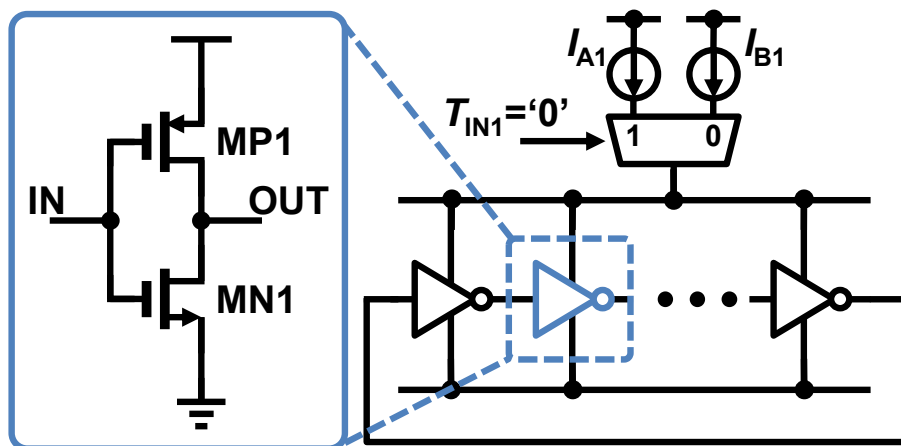


図 3.9 Simulation model of FSO.

3.5.1 出力容量 (C)

本節では容量 C を変更した場合の RJ と SNDR の関係性を考察するために、ゲート長を変更してシミュレーションを行う。17 段インバータリングのゲート長(MP1 と MN1)を 60 nm から 1260 nm にスイープする。シミュレーション時間は 200 回以上発振を行う、十分な期間を設けた。図 3.10 にあるように、ゲート長を増加するにつれ、インバータの出力容量が増加するため、発振周波数は減少し、 RJ は減少する傾向にあることがわかる。最大長である 1260 nm における RJ は 0.04% となった。図 3.11 は SPICE シミュレーションから求めた発振周波数と RJ から MATLAB シミュレーションを行った結果である。図 3.11 より、 RJ が減少することで、SNDR が改善していることが確認できる。これらのシミュレーションは RJ が 0.055 % 以下まで減少する、ゲート長 560 nm 以上であれば、10bit の分解能を得られる。図 3.11 には FoM (figure-of-merit) も導出し、記載している。FoM もまた SNDR 同様に容量値が増加することで改善しているため、ゲート長、つまり、 C を増加することで、FoM, SNDR の両方で性能向上を図ることが可能である。

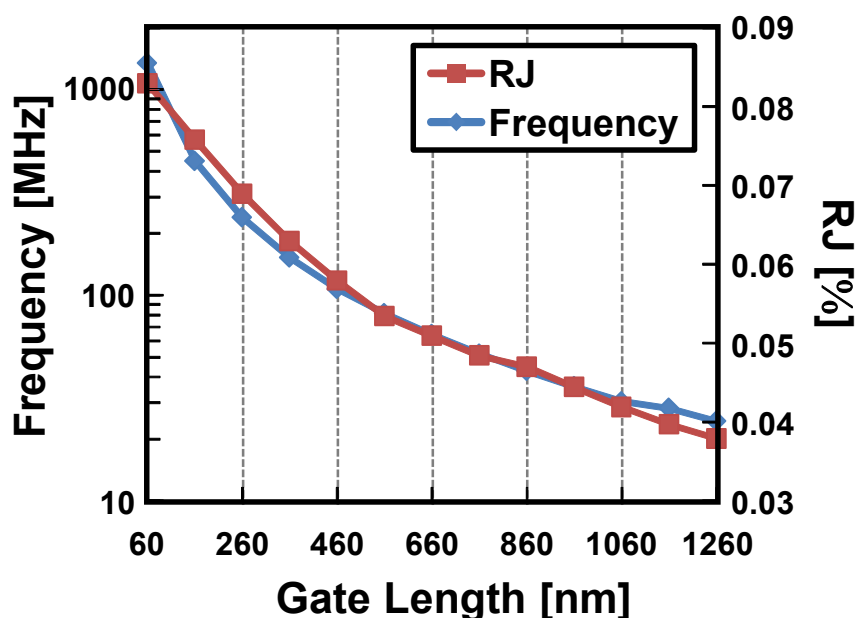


図 3.10 Relative jitter (RJ) and oscillation frequency with sweeping gate length from 60 nm to 1260 nm.

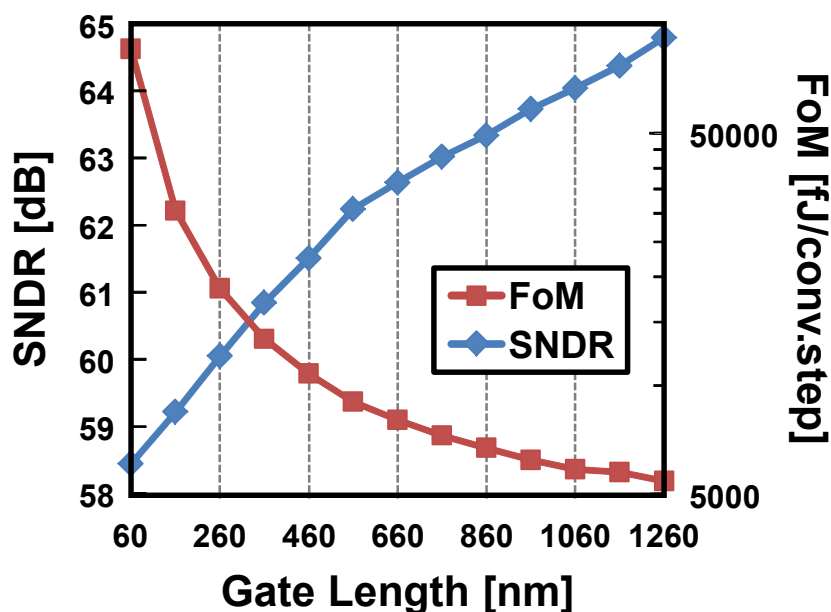
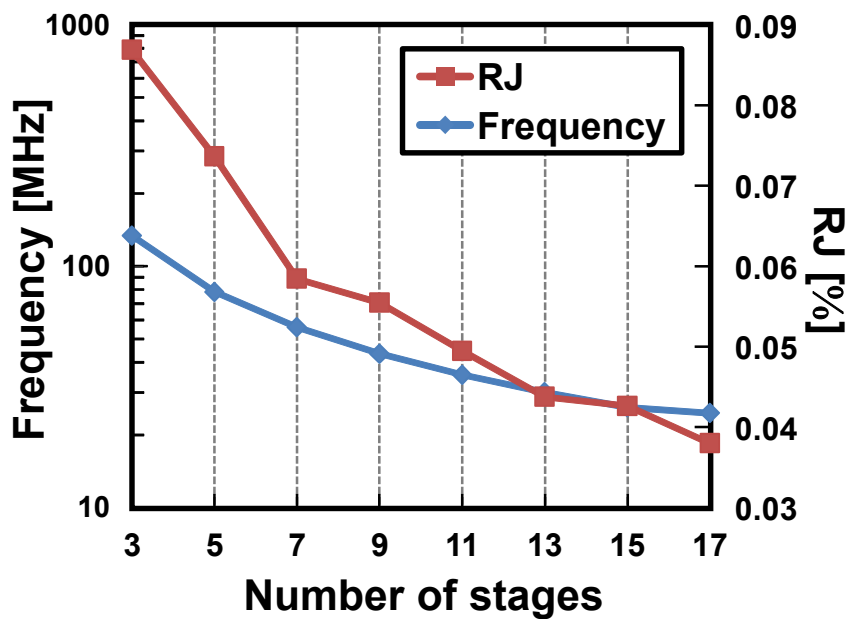


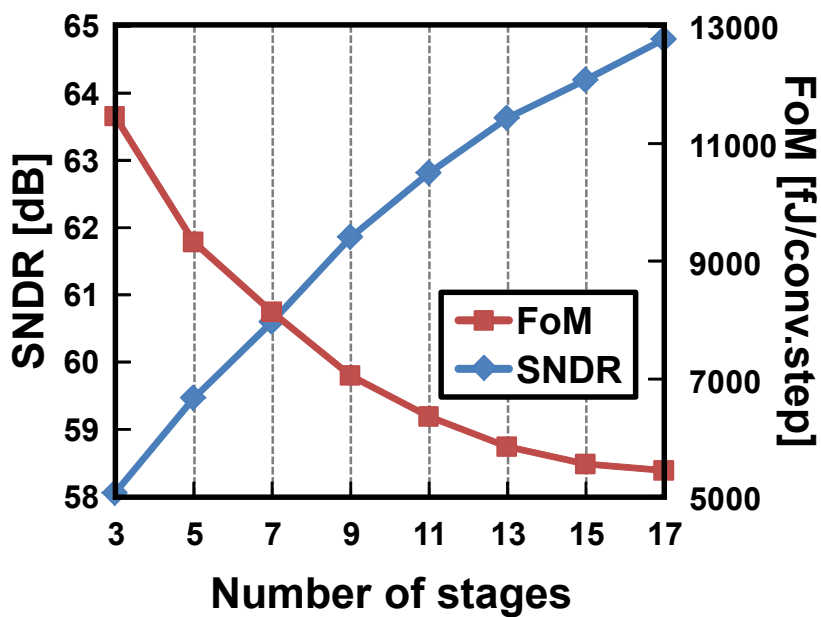
図 3.11 SNDR and FoM with sweeping gate length from 60 nm to 1260 nm.

3.5.2 発振器の段数 (M)

次に、リング発振器の段数による RJ, SNDR, FoM の変動について検討する。式(3.9)より、周波数 F_0 は M に対して反比例しているため、段数を増やすことで発振周波数は減少する。また、式(3.10)より RJ は M の根号に反比例しているため、リング発振器は段数を増やすことで周波数とともに RJ も減少する事となる。数式モデルとの特性比較のためにシミュレーションを行い、 M を 3 から 17 にスイープする。他のパラメータについてはゲート長を 1260 nm, V_{DD} を 1.5 V, T を 25 °C に設定している。SPICE シミュレーションにより FSO の段数を増やすことで、発振周波数の低下を確認し、また RJ は減少しており、式(3.10)と同じ傾向を確認した (図 3.12)。SPICE シミュレーションの結果から MATLAB シミュレーションを行った結果である図 3.13 のように、SNDR は向上し、さらに FoM も改善された結果となった。従って、リング発振器の段数を増やすことで、性能向上を図ることが可能となることがわかった。



⊗ 3.12 Relative jitter (RJ) and oscillation frequency with sweeping M from 3 to 17.



⊗ 3.13 SNDR and FoM with sweeping M from 3 to 17.

3.5.3 電源電圧 (V_{DD})

本節では、電源電圧 V_{DD} による TDC の性能への影響について考察を行う。式(3.10)より RJ は M 同様、 V_{DD} の根号に反比例しているため、電源電圧を上げる事により、 RJ は減少することが予想できる。 V_{DD} の範囲を 0.9 V から 1.5 V に変更してシミュレーションし、 V_{DD} の影響について確認する。他パラメータはゲート長を 1260 nm、 M を 17、 T を 25 °C で固定して行っている。図 3.14 に電圧変動時の周波数と RJ を記載している。図より、高い V_{DD} に対して発振器は高い発振周波数を得られ、 RJ は減少する傾向が確認できる。TDC としての各性能値は図 3.15 の結果となり、 V_{DD} が上昇するにつれて RJ が減少するため SNDR も向上する。一方で、 V_{DD} が上昇することにより、消費電力も上昇するため、SNDR が上昇するものの FoM の値は劣化してしまう結果となった。従って、 V_{DD} を変更した際は、SNDR と FoM にトレードオフが発生するという結果を確認した。

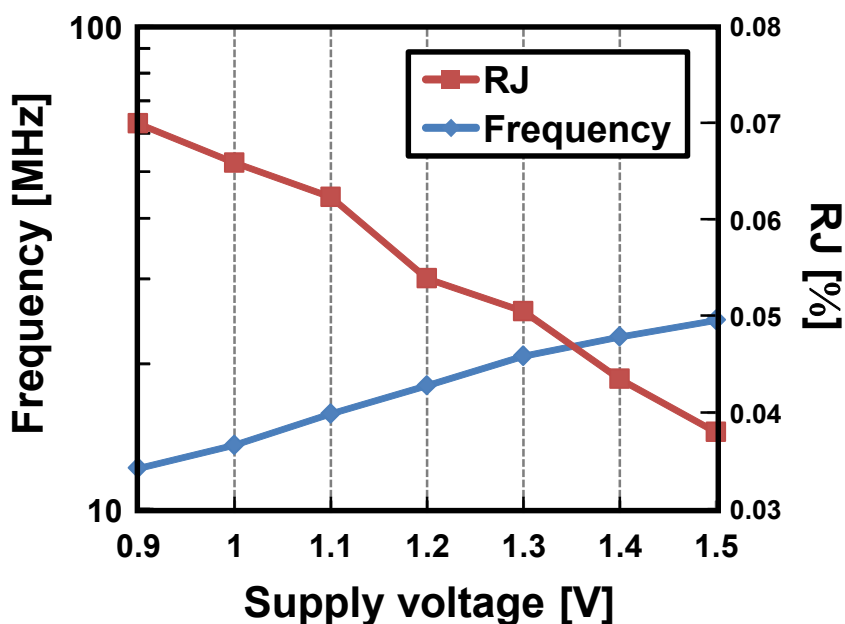


図 3.14 Relative jitter (RJ) and oscillation frequency with sweeping V_{DD} from 0.9 V to 1.5 V.

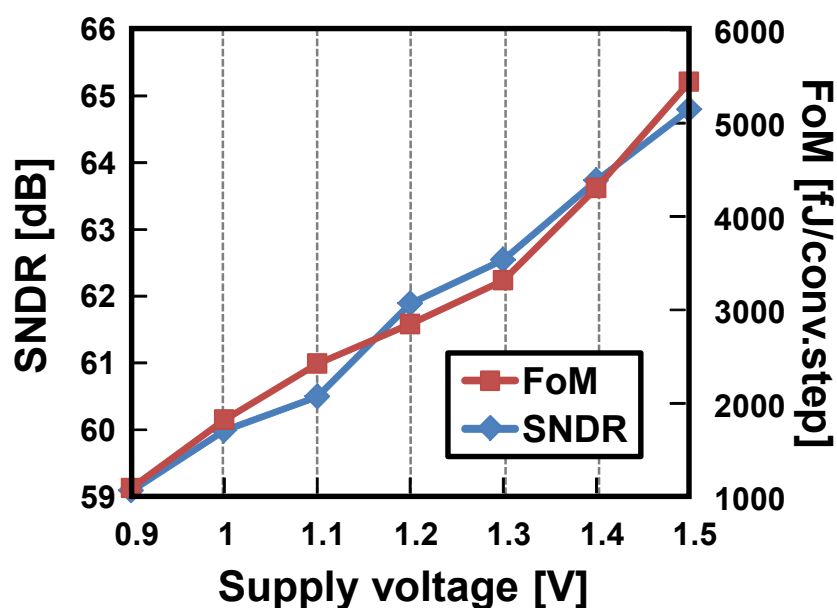
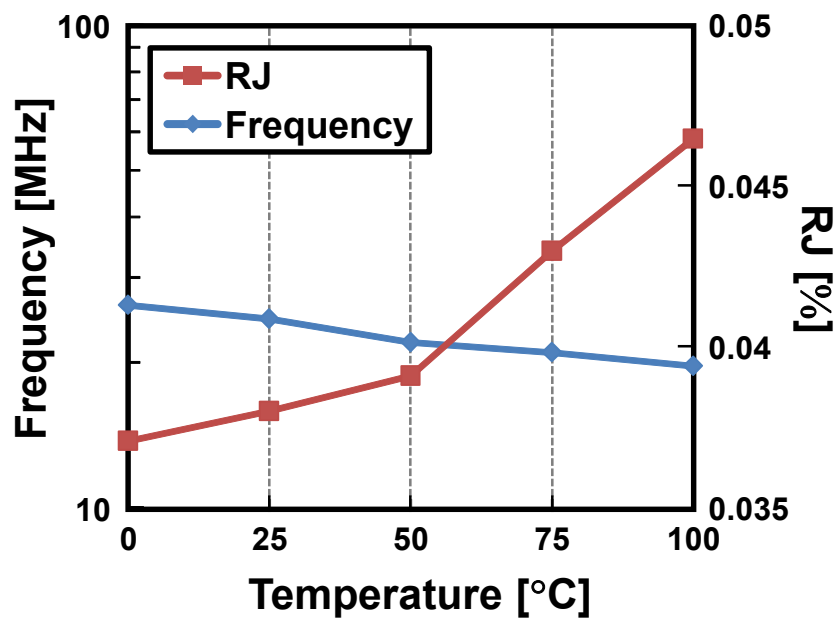


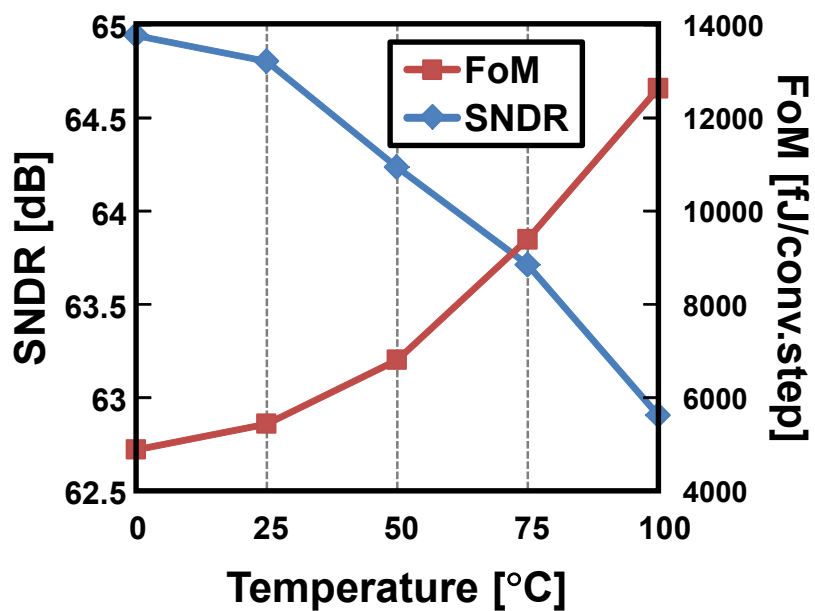
図 3.15 SNDR and FoM with sweeping V_{DD} from 0.9 V to 1.5 V.

3.5.4 温度変化 (T)

最後に、温度による TDC の性能への影響について議論する。式(3.10)より RJ は T の根号に反比例する。従って、温度が下がるにつれ、 RJ が減少する事が予想できる。温度変動による影響をシミュレーションするために、 T を $0\text{ }^{\circ}\text{C}$ から $100\text{ }^{\circ}\text{C}$ に変動させてシミュレーションを行った。他パラメータについては、ゲート長を 1260 nm 、 V_{DD} を 1.5 V 、 M を 17 とした。図 3.16 に上記の設定で SPICE シミュレーションを行った結果を示す。図より、温度が減少するにつれて RJ が減少している事が確認できる。また、低温ではトランジスタの電流量が上昇するために、 F_0 もまた上昇するため、式(3.9)と同じ傾向であることを確認した。図 3.16 の結果を用いて MATLAB シミュレーションを行った結果が図 3.17 である。図より、低温になることで RJ が減少するため、SNDR と FoM の両方が改善される結果となった。



☒ 3.16 Relative jitter (*RJ*) and oscillation frequency with sweeping *T* from 0 °C to 100 °C.



☒ 3.17 SNDR and FoM with sweeping *T* from 0 °C to 100 °C.

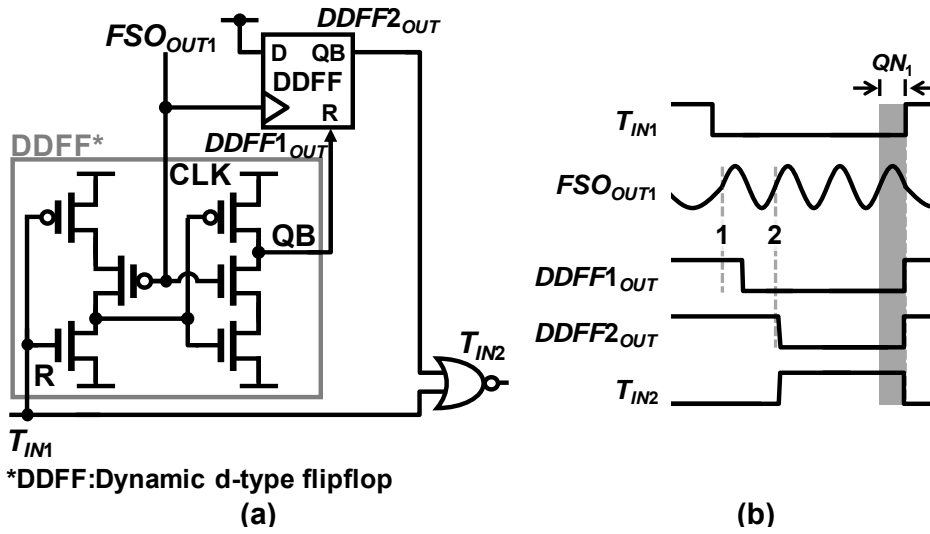
3.6 FSO の周波数とサンプリングレートの関係 ($F_{A1}, F_{B1}, F_{A2}, F_{B2}, T_{CK}$)

前節では各パラメータと性能についての検証を行った。パラメータを変更すると FSO の周波数は変更する。特に FSO の周波数が減少すると、FSOTDC は正常動作を行うために、 SR もまた遅くする必要がある。この節では、発振周波数と動作可能な SR との関係について議論する。

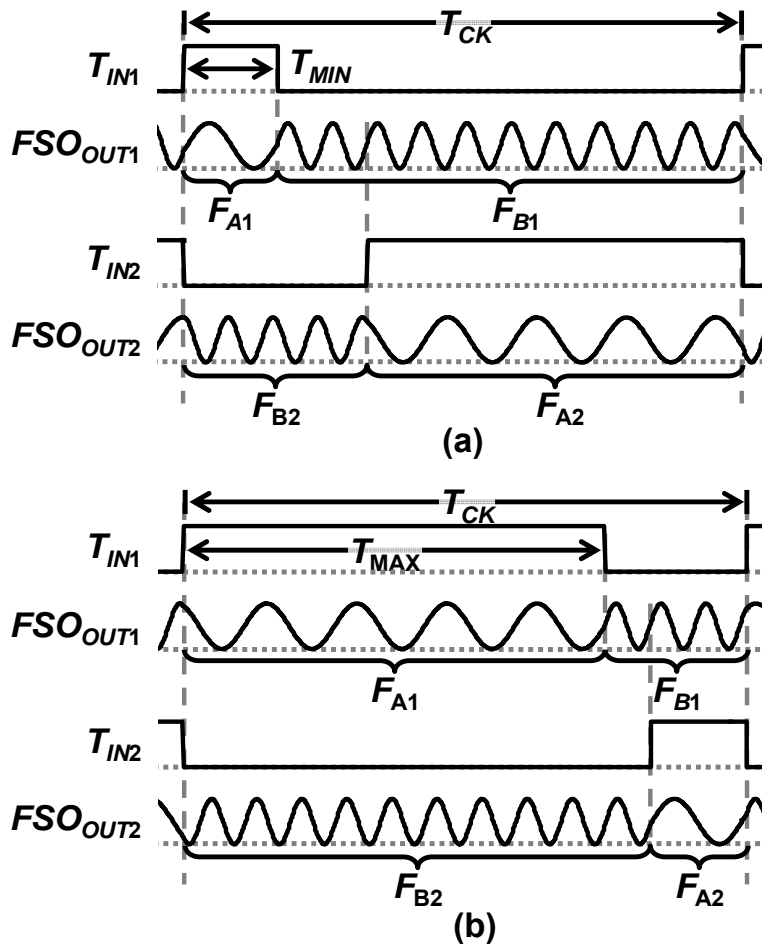
図 3.18(a), (b)はそれぞれ、QNP の回路図とタイミング図を表している。QNP は 2 つの DDFE (dynamic d-type flipflop) と NOR ゲートで構成しており、メタステーブルの影響を回避した回路となっている[22]。メタステーブルを回避するために 2 段の DDFE で構成しているため、QNP は 2 回以上の立ち上がりが必要である。図 3.19 は T_{IN1} が最大幅 (T_{MAX}), 最小幅 (T_{MIN}) が入力された場合の動作図について記載している。 $T_{MAX} - T_{MIN}$ がダイナミックレンジにあたる。FSOTDC は正常に動作するために、 T_{IN1} と $T_{CK} - T_{IN1}$ の両区間に最低 1 カウントしなければならない。そのため、 T_{MIN} は $1/F_{A1}$ より大きくなければならない。QNP が正常に動作するためには $T_{MAX} - T_{MIN}$ 区間に 2 回の立ち上がり、 T_{IN2} 区間に 1 回以上の立ち上がりが必要となる。従って FSO の周波数と T_{MAX} の関係は $T_{MAX} - T_{MIN} > 1/F_{B1} + 1/F_{A2}$ 。以上より、2 次 FSO における T_{IN1} の条件式は、

$$\frac{1}{F_{A1}} < T_{IN1} < T_{CK} - \left(\frac{1}{F_{B1}} + \frac{1}{F_{A2}} \right), \quad (3.12)$$

と表す事ができる。 T_{IN1} は(3.12)を満たす範囲でなければならない。



⊗ 3.18 (a) Schematic and (b) timing diagram of the QNP.



⊗ 3.19 Timing diagrams of (a) the minimum time interval (T_{MIN}) and (b) the maximum time interval (T_{MAX}).

3.7 クロックジッタによる影響 (J_{TIN} and J_{CK})

次に、クロックジッタによる影響を議論する。クロックジッタには T_{IN1} , T_{IN2} のジッタを含む。クロックジッタの T_{CK} に対する割合を RTJ と定義する。 T_{IN2} のジッタ (J_{LH} , J_{HL}) は 1 次のノイズシェイピング効果を得ているため、 $RTJ = J_{\text{TIN}} / T_{\text{CK}}$ と $J_{\text{CK}} / T_{\text{CK}}$ とする。図 3.20 に RTJ を 0.10%, 0.05%, 0.01% に変化させた際の実出力スペクトルについて記載している。この MATLAB シミュレーションでは、発振器のジッタによる影響と区別するために RJ を 0%, T_{CK} を 500 ns としている。クロックジッタによりノイズフロアが上昇していることが確認でき、10 bit 以上の SNDR を得るためには、 RTJ が 0.10% 以下である必要がある。

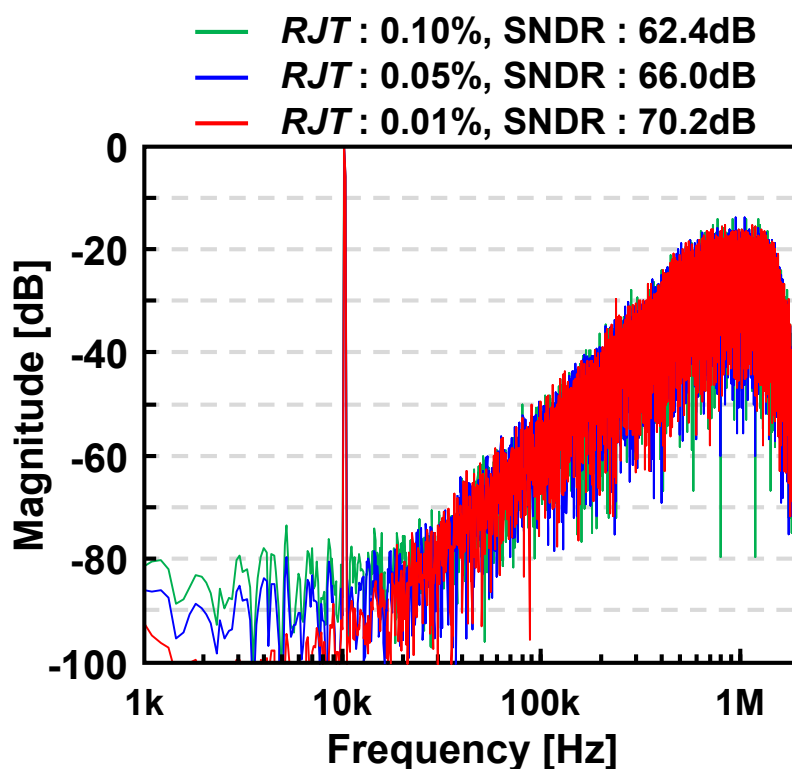


図 3.20 Output spectra when CK jitter is varied.

3.8 実測結果

3.5 の議論を踏まえ、分解能を改善するためには低ジッタな FSO が必要である。考察の正当性を確認し、ENOB 10 bit を得るために、17 段 FSO のゲート長が大きいインバータで構成した FSOTDC を実装したテストチップを作成した。SPICE シミュレーションでの結果は電流源を接続した状態で RJ が 0.038 %、 $F_{A1,2}$ が 17 MHz、 $F_{B1,2}$ が 25 MHz となった。

2 次のノイズシェイピング効果を得るために、3.6 で示した式(3.12)を満たす条件である必要がある。SR を 2 MHz、入力信号を 10 kHz、ダイナミックレンジを 250 ns とした。図 3.21 に MATLAB シミュレーションの結果を記載している。20 kHz の BW で 64.8 dB を得られ、ENOB 10 bit 以上を有している。

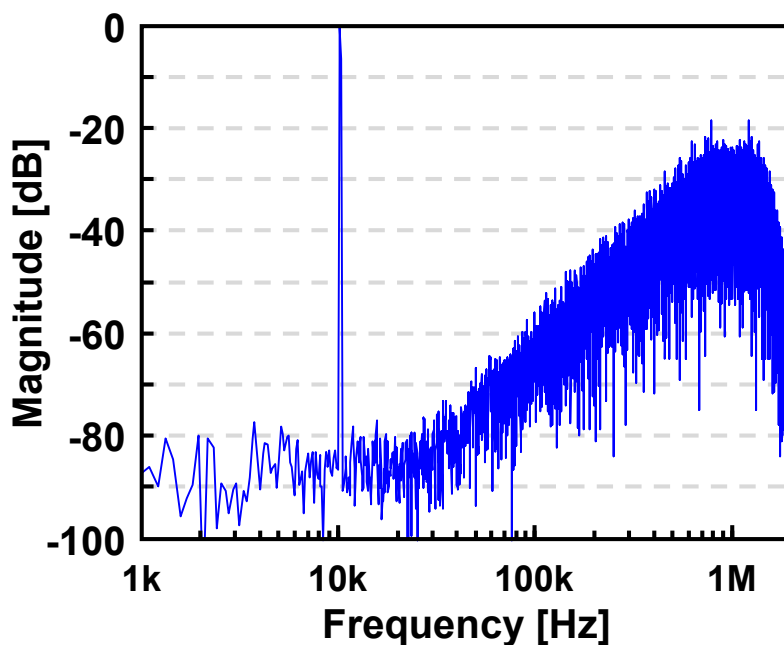


図 3.21 Simulation result of low jitter second-order FSOTDC.

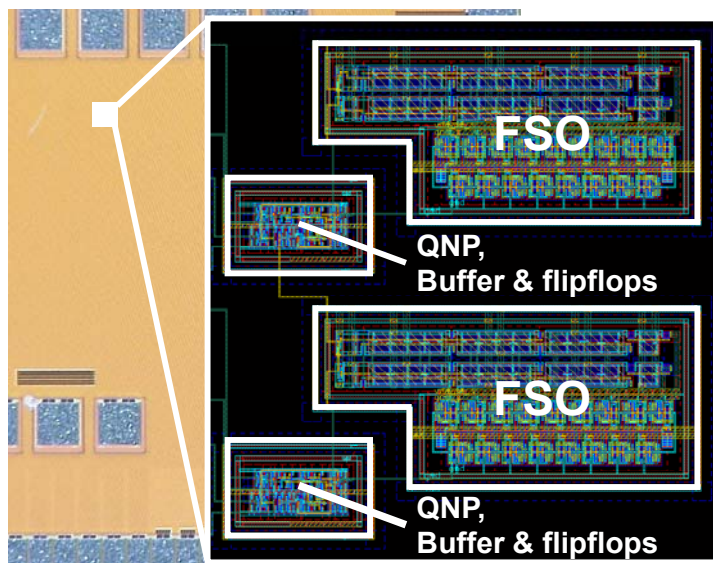


図 3.22 Chip micrograph and layout of the 65 nm FSOTDC.

65nm CMOS プロセスで実装したテストチップとレイアウトは図 3.22 に記載している。電源電圧 1.5V の TDC は回路面積 $597 \mu\text{m}^2$ という小面積で実装した。図 3.23 に実測とシミュレーション結果を記載している。実測は LMS フィルタによる初段と次段のミスマッチを補正した後の周波数特性である。実測結果は SFDR で 75.4 dB, SNDR は 64.5 dB となった。低周波側に $1/f$ ノイズが発生しているため、シミュレーション結果より悪化している。テストチップの性能は表 3.1 にまとめている。2 つの FSO の消費電力は $218 \mu\text{W}$, QNP やバッファ, フリップフロップの消費電力は $113 \mu\text{W}$ となった。[22]と比較し、テストチップは RJ を減少させたため、高い分解能を得られた。しかし、 RJ を下げるために発振周波数が下がったため、 SR も減少し、また、消費電力が上昇したため、FoM の面では悪化している。

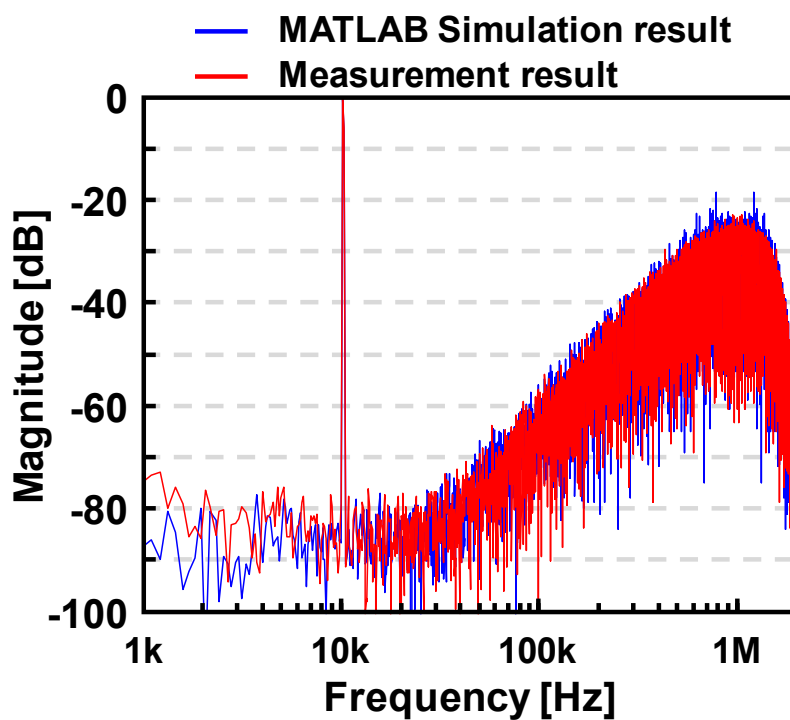


图 3.23 Comparison of measured spectra and simulation results.

表 3.1 Chip Characteristics

Item	[22]	This work
Technology (nm)	65	65
Bandwidth (kHz)	500	20
Sampling rate (MS/s)	16	2
Power (mW)	0.282	0.332
SNDR (dB)	61	64.5
ENOB (bits)	9.8	10.4
Active area (mm ²)	0.0007	0.0006
FoM (fJ/conv.step)	308	6050

図 3.24 は 3.5 のシミュレーション結果と実測結果を比較した結果である。このシミュレーションではゲート長と M を変更し、 SR は(3.12)で求めた動作可能周波数で最大の値を設定している。オーバーサンプリングレートは 50 に固定し、ダイナミックレンジは SR の半分としている。同一の SR で高い分解能を得るためには、ゲート長を大きくし、トランジスタ幅も広げることで、 RJ を下げつつ発振周波数を維持する必要がある。

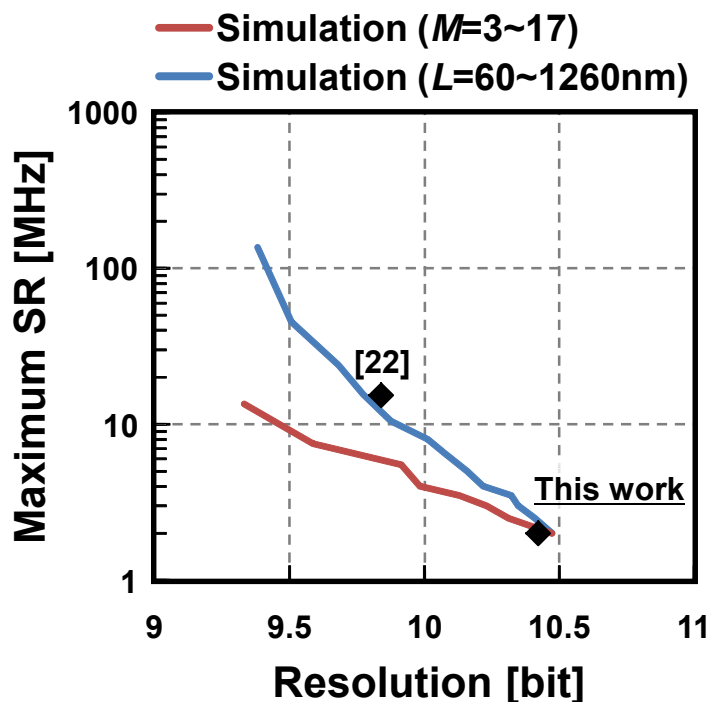


図 3.24 Simulation and measurement results of FSOTDC performance.

図 3.24 より、ゲート長大、多段数の FSOTDC は RJ が減少するため、高い ENOB を得られる。しかし、回路面積が大きくなってしまいうという欠点がある。図 3.25 に回路面積と動作可能範囲内で最大 SR での FoM との関係性について記載する。また、従来の TDC との比較も行っている。従来の TDC は低い FoM を有しているが、大面積を必要としている。FSOTDC の面積は見積もりの値である。これらの結果より、FoM の点では小ゲート、少段数の FSO が適している。発振周波数が上昇するため、 BW と SR が上昇するためである。一方で ENOB は大ゲート、多段で上昇するため、ENOB と FoM の間にはトレードオフが存在している。

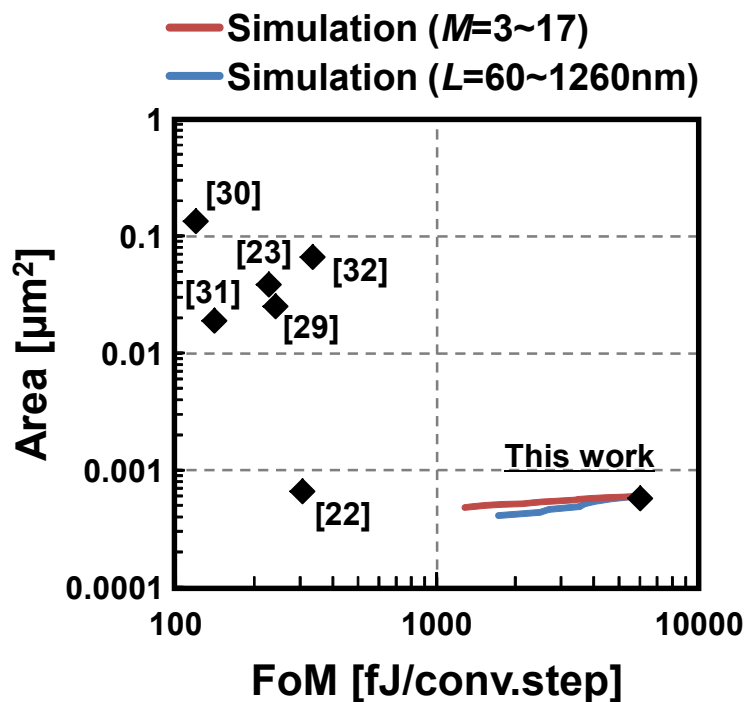


図 3.25 Simulation results and comparison with other state-of-the-art TDCs.

3.9 結言

本章では、微細化に適した2次 $\Delta\Sigma$ FSOTDCの動作原理を分析することにより、性能劣化の原因と改善手法について論じた。TDCのノイズフロアはリング発振器のジッタによる影響が大きく、TDCの分解能に影響を与えている事を確認した。FSOの低ジッタ化には大ゲート、多段のインバータが必要であり、SPICEとMatlabシミュレーションにより設計を行い、ENOB 10 bitの2次 $\Delta\Sigma$ FSOTDCの設計論を論じた。65nm CMOSプロセスにてチップを試作・比較を行い、設計論の正当性を確認した。上記のシミュレーションをもって、ENOBとFoMの間にはトレードオフが発生していることが確認でき、FSOTDCは使用するアプリケーションにより、どちらを優先するか、を検討して設計する必要がある。

第4章 Frequency Shift Oscillator TDC を用いた小面積 ADC

4.1 緒言

本章では、前章で述べた小面積 TDC を構成回路とした、小面積な時間領域 ADC を提案する。本回路はアナログ電圧を直接デジタル信号に変換するのではなく、一旦時間領域信号へと変換する。この手法により、デジタルリッチな回路構成を可能とする。しかし、実現するためには、電圧領域から時間領域に変換する VTC が必要となる。

そこで、MOM 容量を用いた小面積 VTC 回路を提案し、TDC と組み合わせた構成により小面積 ADC を実装する。提案 VTC は上位メタル配線で MOM 容量を構成しているため、下位レイヤで構成した TDC を MOM 容量下に配置することで、ADC として構成する際の面積オーバーヘッドを削減可能である。

本章では、4.2 節で従来 VTC の構成について説明し、VT 変換特性の線形性と入力ダイナミックレンジにおける問題点を挙げる。

4.3 節にて、提案 VTC の動作原理について説明し、次節で FSOTDC と組み合わせた ADC としての動作について触れる。

4.5 節に 65 nm プロセスで試作したテストチップの評価結果と他 ADC との比較について記載し、最後に性能についての考察を行う。

4.2 従来 Voltage-to-Time Converter と問題点

小面積かつ低コストで実現できる TDC を用いた手法では、アナログ信号を時間領域に変換する追加回路 VTC が要求される。従来の VTC は図 4.1 (a) のようなインバータと電流源、容量で構成されたものが提案されている[33]-[35]。また、別の構成としては図 4.1 (b) のような、電流源付きインバータとインバータを数段接続した Voltage-to-delay line という構成も提案されている[36]-[38]。電流源付きインバータは MN2 に印加する入力電圧 (V_{IN}) により出力幅を制御する構成であるため、回路面積を抑えることができる。しかし、どちらの構成も時間領域へ変換後の線形性はトランジ

スタの I_{DS} 特性に大きく依存する。そのため、高い線形性が得られる範囲が狭いため、入力できる電圧範囲は狭くなってしまふ (図 4.2)。線形性が劣化すると、デジタル変換した後の周波数特性に高調波が発生してしまうため、分解能の劣化を引き起こす。事前に電圧時間特性を取得し、補正式を導き出し、変換後にデジタル処理により補正を行うことで性能改善を行う手法も提案されているが、入力電圧のダイナミックレンジは大きくとることができないのが現状である。VTC の特性が悪化すれば、後段の TDC の性能が高くても、ADC 全体の性能が劣化してしまう。時間領域 ADC では線形性が高く、入力のダイナミックレンジが広い VTC が必要となる。

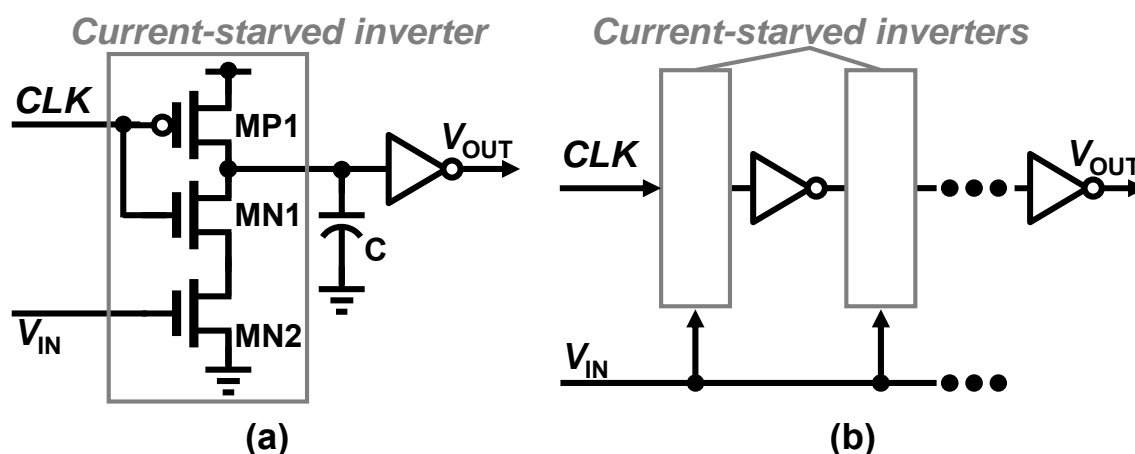


図 4.1 Schematic of conventional VTC circuits.

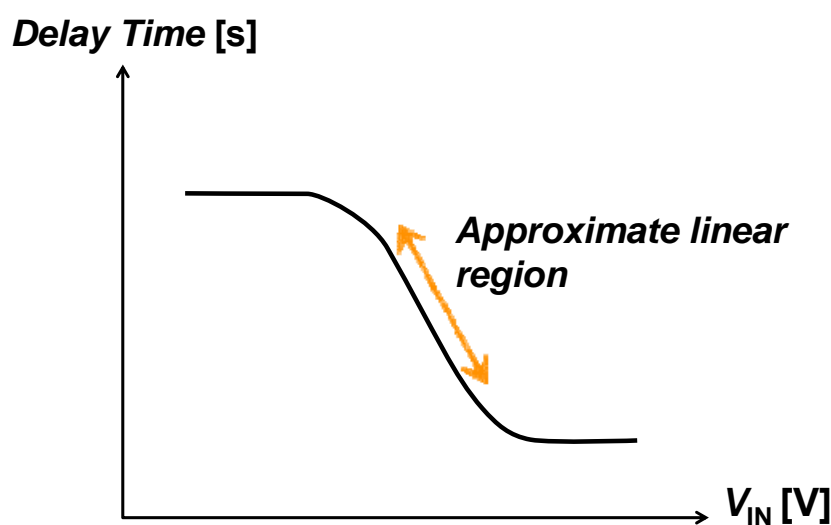


図 4.2 Conversion characteristics of conventional VTC circuits.

4.3 提案 Voltage-to-Time Converter の動作原理

本説では提案 VTC の主な VT 変換回路部分である VTC core 回路について図 4.3 に記載する。提案回路は 2 つの MOM 容量で構成されており、入力アナログ電圧 V_{IN} を時間幅に変換して出力する。この回路は V_{IN} により蓄積する電荷量が増加するため、ディスチャージされる時間が変化する構成である。2 つの MOM 容量 (C_1 , C_2) はそれぞれ、 V_{DD} と V_{IN} switch 回路に接続されている。 V_{IN} switch 回路は C_2 に V_{IN} と V_{SS} を切り替えて接続する回路である。従って、 C_2 に貯まる容量値は V_{IN} によって変化する。前段の Tristate buffer は電流源を含んだインバータ回路である。 DCG と PCG は外部からの信号であり、 C_1 , C_2 のチャージとディスチャージのタイミングを制御する信号である。

図 4.4 は VTC core 回路の動作原理とタイミングチャートである。まず、 DCG , PCG が “Low” である期間に、 C_1 と C_2 が接続している V_X は MP1 により V_{DD} にチャージされる。 V_X にチャージされる電荷量は C_1 と C_2 の総電荷量となり、(4.1) のように表される。

$$Q_1 + Q_2 = 0 + C_2 \cdot (V_{DD} - V_{IN}) \quad (4.1)$$

Q_1 , Q_2 は C_1 , C_2 にチャージされる電荷量を表している。次に、 PCG が “High” に切り替わると、 V_{IN} switch 回路の接続先が V_{IN} から V_{SS} に切り替わる。 C_1 と C_2 に貯まる電荷は V_X で共通化され、電荷の総合計は(4.2)となる。

$$Q_1' + Q_2' = C_1 \cdot (V_{XN} - V_{DD}) + C_2 \cdot (V_{XN} - V_{SS}) \quad (4.2)$$

V_{XN} は共通化された後に安定した電圧値である。(4.1), (4.2) より、 V_{XN} は V_{IN} で表すと、(4.3)となる。

$$V_{XN} = V_{DD} - \frac{C_2}{C_1 + C_2} \cdot V_{IN} \quad (4.3)$$

従って、安定電圧 V_{XN} は C_1 , C_2 の容量値と入力電圧 V_{IN} に依存する。

次に DCG が “High” になると、MN1 と電流源により V_X の電荷がディスチャージされる。 V_X が後段のインバータの閾値 (V_{TH}) よりも低くなると、出力 $RESET$ から “High” が出力される。(4.3)より、 V_X が V_{TH} より低くなり、 $RESET$ が “High” になるまでの時間は V_{XN} , つまり V_{IN} に依存する。従って、VTC core 回路は電圧領域の信号を時間領域に変換することが可能となる。

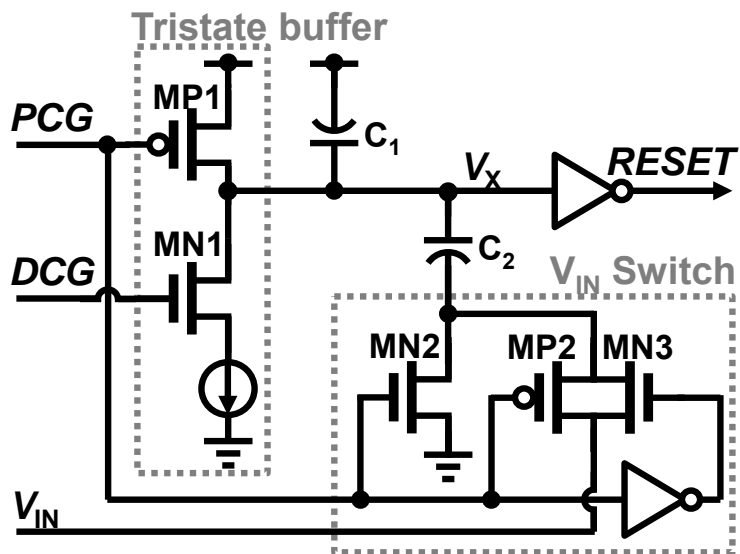


图 4.3 Schematic of the proposed voltage-to-time converter.

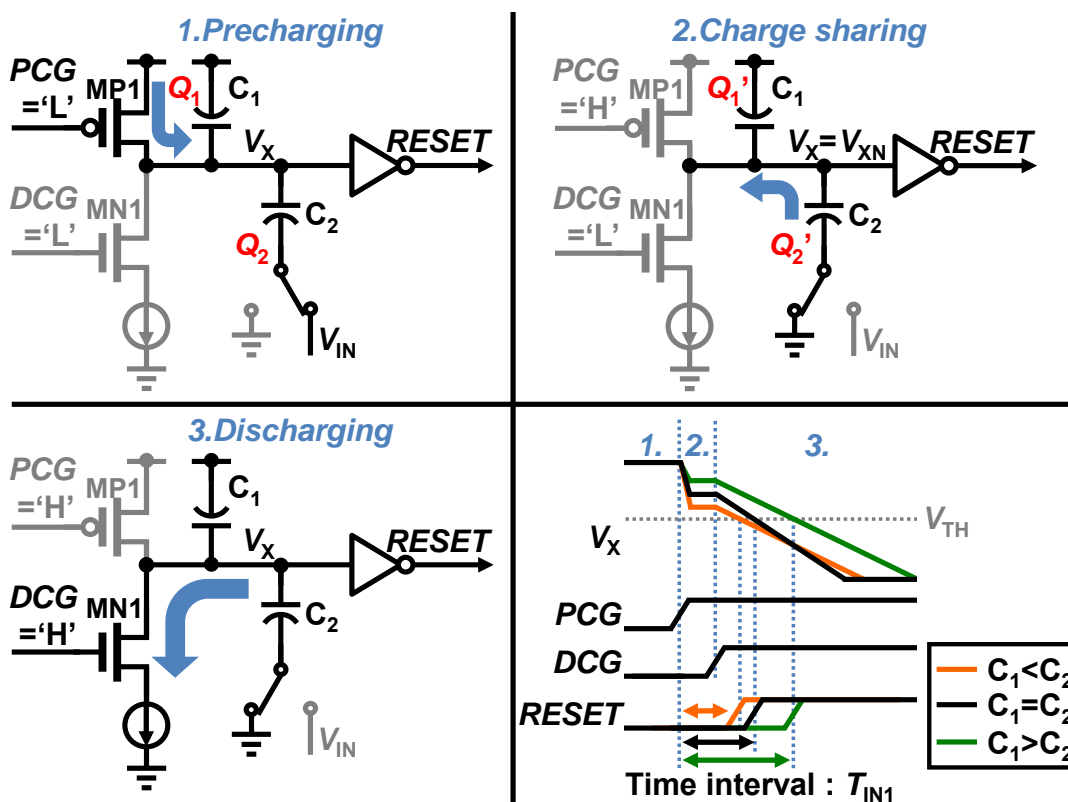


图 4.4 Operation of the proposed VTC core circuit.

図 3.8 は提案 VTC core 回路の SPICE シミュレーション結果である．縦軸に PCG の立ち上がりから出力の立ち上がりまでの時間幅を，横軸にアナログ入力電圧 V_{IN} をとる．シミュレーション時， V_{IN} は 0 V から 1.2 V にスイープする．(4.3) と図 3.8 より， C_1 ， C_2 の両方を大きくするとダイナミックレンジが増加し，また， C_2 のみを大きくすると変換ゲインが増加する．しかし，容量値を大きくすると面積が増加する，つまり，ダイナミックレンジと変換ゲインに対して面積がトレードオフの関係となっている．試作チップではダイナミックレンジ 1 V， SR の半分の時間幅（25 ns）である $C_1 = C_2 = 1$ pF を選択した．電流源の引き抜く速度が完全に一定ではないため，この出力特性は完全な線形ではない．非線形性による影響を取り除くために，提案 ADC には非線形性補正処理を行っている．

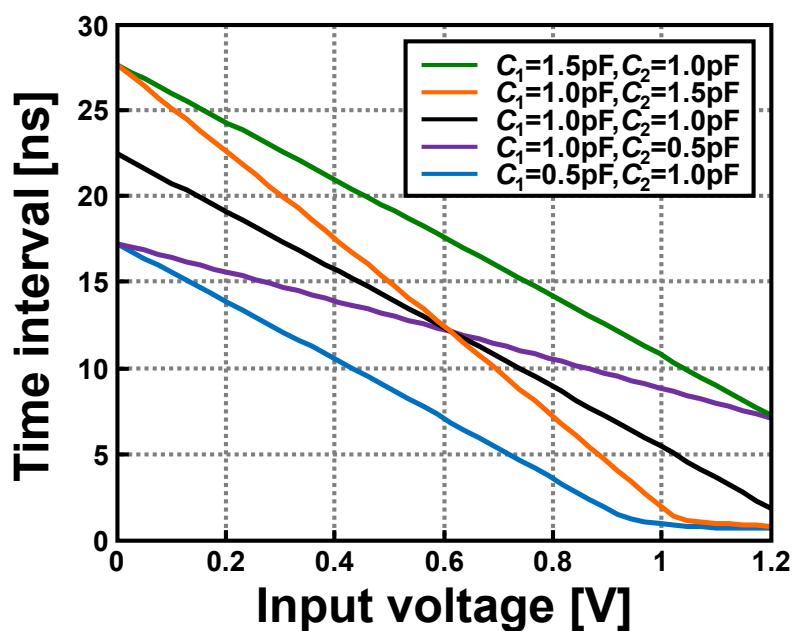


図 4.5 Simulation result of the VTC core.

4.4 提案 VTC と TDC の協調動作による ADC

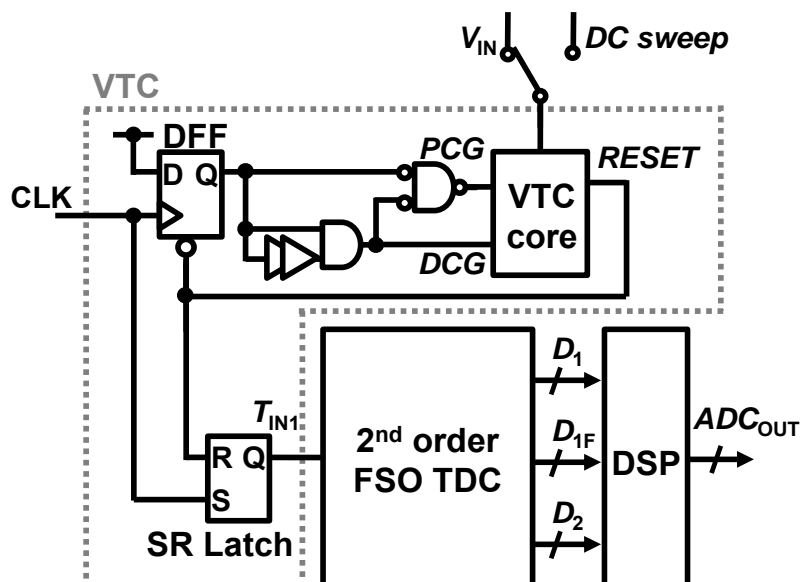


図 4.6 Proposed I/O-sized ADC architecture.

4.3 で提案した小面積 VTC と FSOTDC を組み合わせ、時間領域にシフトさせた IO-sizedADC を提案する．図 4.7 に全体のブロック図を記載する．VTC core 回路を制御するために、クロック信号 (CLK) からノンオーバーラップ信号 DCG と PCG を生成する． CLK の立ち上がりから VTC core 回路により遅延した立ち上がりまでを SR Latch 回路で抽出し、VT 変換された出力 (T_{IN1}) を FSOTDC へ入力する．VTC core 回路は $RESET$ 信号が “High” となると、フィードバックがかかり、初期状態へとプリチャージする．変換直後にリセットをかけることで、次のサンプリングへの待機を行うため、高速動作が可能となる．アナログ電圧を時間幅へと変換された T_{IN1} は後段の FSOTDC に入力され、T/D 変換される．VTC、TDC を介してアナログ電圧からデジタル値へ変換された後、DSP 内で VTC の非線形性を補正することで、ADC の線形性を補正することができる．

図 4.9 に提案 ADC のタイミングダイアグラムを記載する． CLK が “High” になった時、VTC 内の DFF が “High” を出力する．先に PCG が立ち上がり、遅延して DCG が立ち上がる． DCG が “High” となると、 V_x は V_{SS} へとディスチャージし始める．他

インバータの閾値を下回ると *RESET* 信号が “High” となるため、 V_X は再度電荷が供給される。そして、 T_{IN1} が “Low” となる。SR ラッチは *CLK* から *RESET* の立ち上がりまでのパルス幅を生成し、時間領域信号 T_{IN1} を生成する。 T_{IN1} は V_{IN1} により決定される。変換後、FSOTDC が T_{IN1} をデジタル値へと変換を始める。

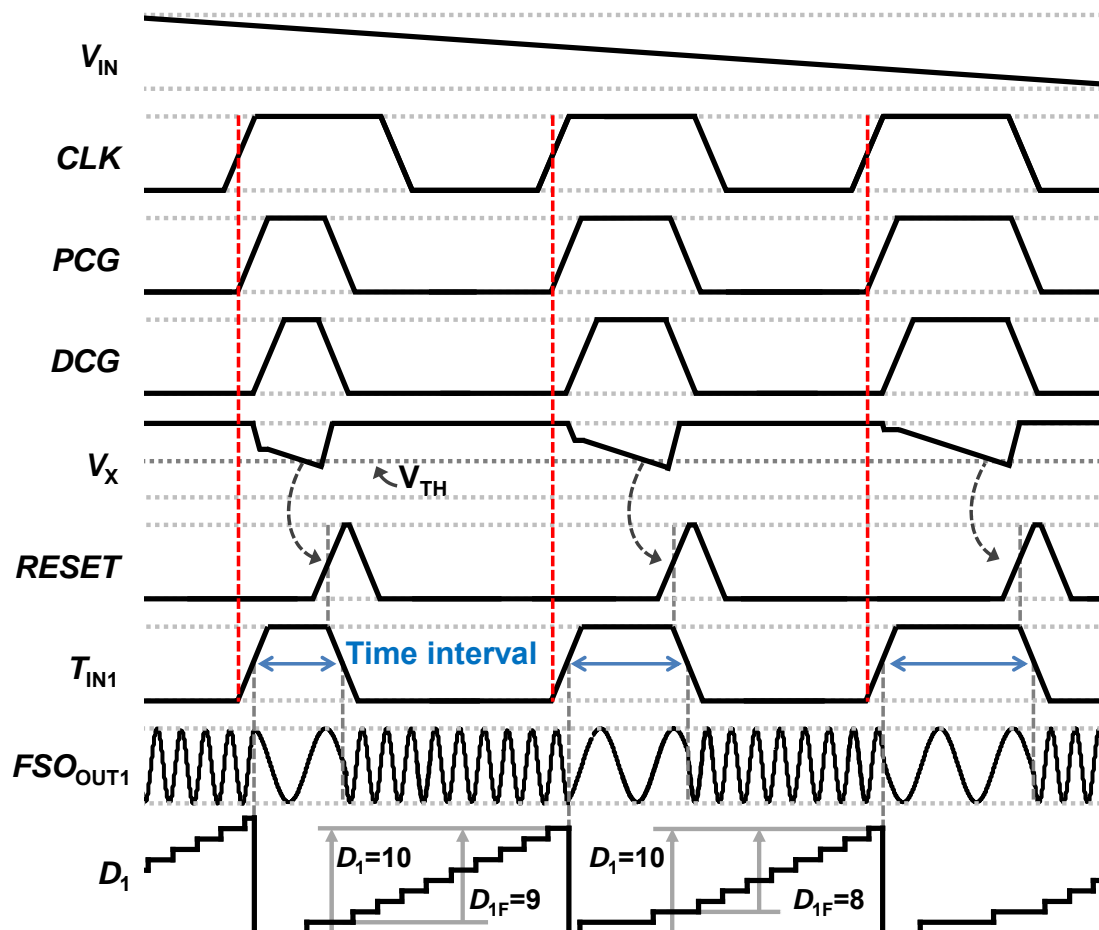


図 4.7 Schematic of FSO and Schmitt trigger inverter ring.

AD 変換後、DSP により VTC の非線形性を補正し、高調波ノイズを抑制する。ADC の出力を補正するために、DSP は補正用の電圧デジタル変換特性が必要となる。そこで、初期補正時にランプ信号を入力して、補正用の変換特性を取得する。図 4.10 に SPICE シミュレーションで得た ADC の特性について記載する。SR は 20 MHz, 500 kHz のローパスフィルタを通過した結果である。青線は ADC の平均出力結果である。赤線は近似直線である。INL は青線と赤線の差を表している。最初の演算時に非線形性補正の係数を DC スweep 中に算出し、その係数を用いて動作時の非線形性を補正する。

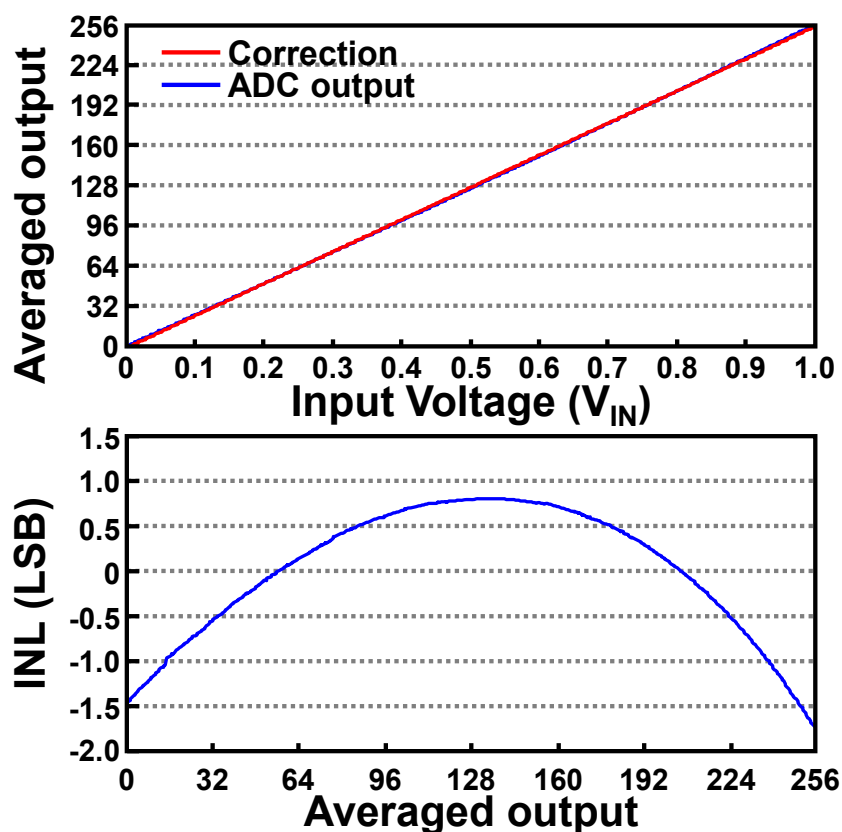


図 4.8 Characteristics of the original ADC output and calculation.

4.5 測定結果

図 4.9 に 65 nm CMOS プロセスで試作を行った提案 ADC のチップ写真とレイアウトを記載する。VTC の面積は $6468 \mu\text{m}^2$ である。MOM 容量は上位メタルレイヤで構成されており, 図のように下位レイヤで構成した FSOTDC を下に配置することができる。MOM 容量は面積の増加に繋がるが, ADC として TDC を追加する際に面積オーバーヘッドが発生しない。同プロセスのデジタル入力 IO は $6800 \mu\text{m}^2$ であり, 提案 ADC の面積はデジタル IO に対し 95.1 %の割合となるため, アナログ信号をデジタル信号に変換する ADC IO として使用することが可能となる。実測時の ADC の消費電力は $509 \mu\text{W}$ である。

図 4.10 に提案 ADC の測定結果を記載する。入力周波数は 78 kHz, SR は 20 MHz, BW は 500 kHz で補正前の SNDR は 43 dB, SFDR は 45 dB である。高調波は VTC の非線形性が原因となって現れている。非線形性補正を行った後, SFDR は 58dB, SNDR は 50dB に改善され, 最終的に ENOB は 8 bit となる。

次に, 提案 ADC の INL について測定するために, ランプ信号を入力した結果を図 4.11 に記載する。入力帯域は 0.0V から 1.0V までとした。測定結果はサンプリングレート 20 MHz, 500 kHz ローパスフィルタからの出力である。最大 INL は -1.41 LSBs となった。

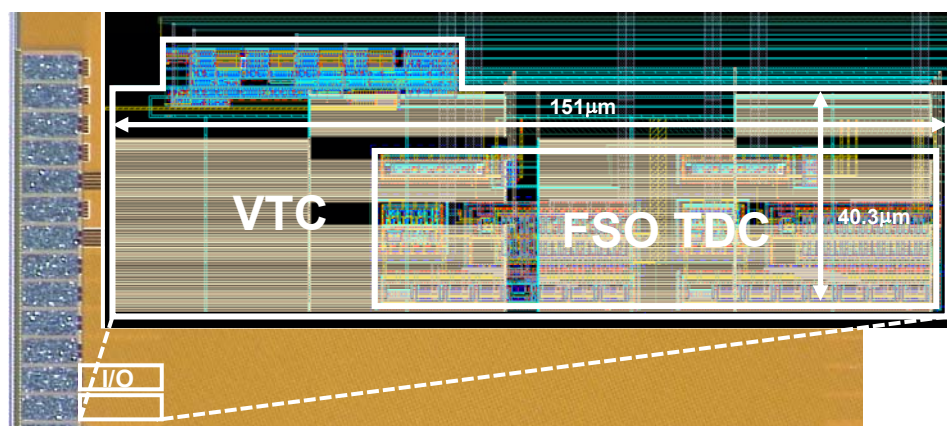
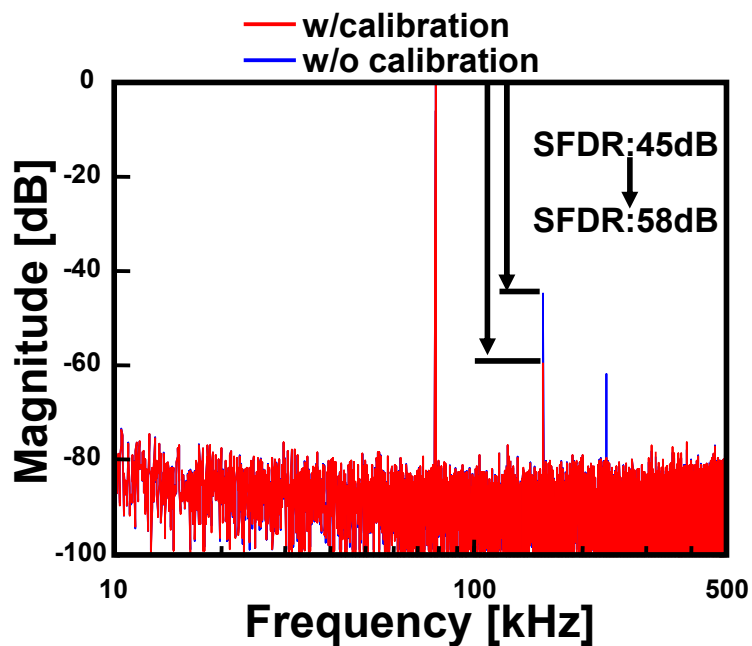
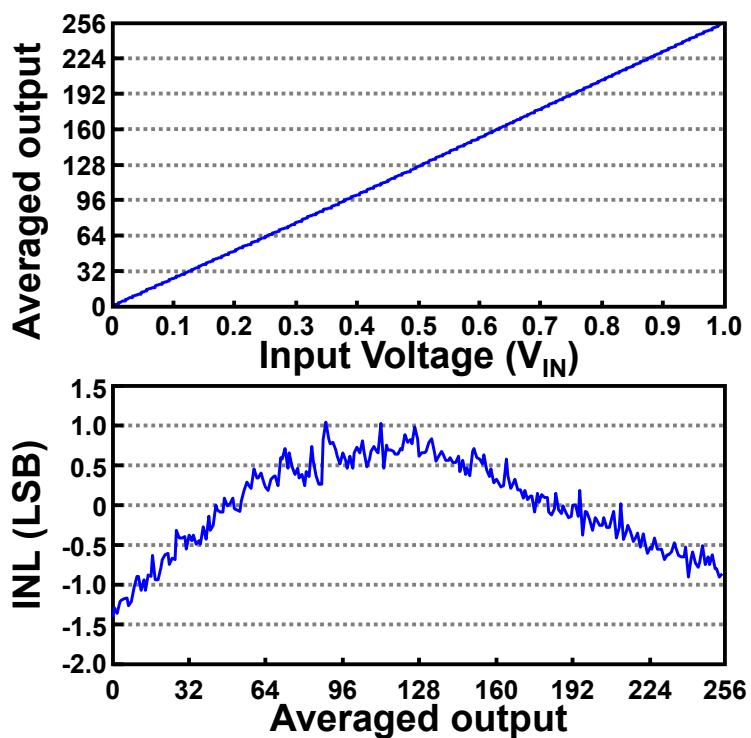


図 4.9 Micrograph of the proposed ADC chip.



⊗ 4.10 Output spectra of IO-sized ADC w/o calibration and w/calibration.



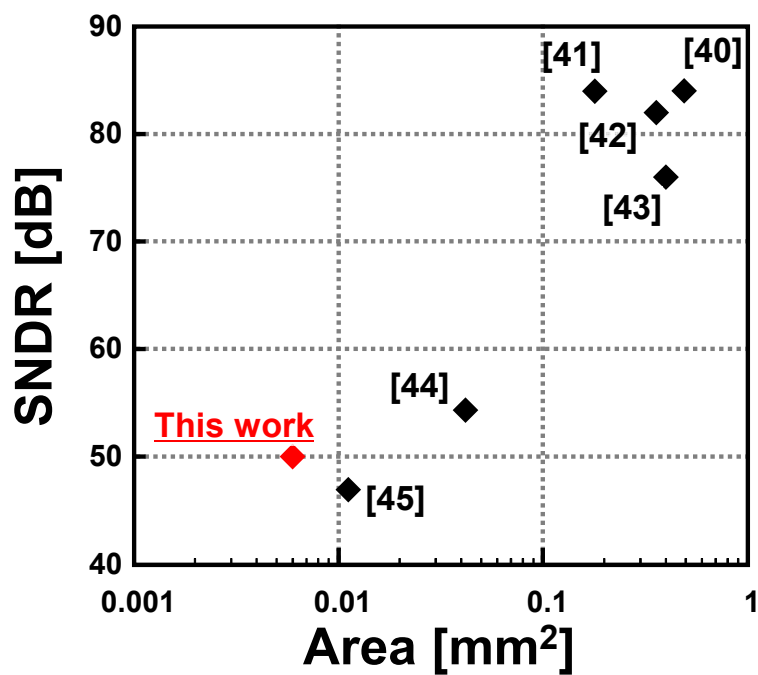
⊗ 4.11 Measured static performance. (a) DC transfer, (b) INL.

テストチップの性能について、表 4.1 と図 4.12, 図 4.13 に記載する. 本研究の目的は面積の削減であるため, FoM を面積で計算した, Area-FoM での比較も行っている[39]. 図 4.12 では BW の近い ADC と提案 ADC で面積と SNDR の比較を行っている. [40]-[43] は従来の $\Delta\Sigma$ ADC であり, 高い SNDR が得られるものの, オペアンプを複数段用いているため, 回路面積が大きくなっている. [44], [45] は SAR ADC であり, 特に[45]は 40 nm プロセスで DAC 部分に提案と同じ MOM 容量で構成しているため, 他の SAR ADC よりも小面積である. しかし, 提案と比較すると面積が大きく, また SNDR も下回っていることから, 提案 ADC の方がより微細化に適した構成であることが確認できる. また, 図 4.13 では Area-FoM で比較を行っている. 提案 ADC は Area-FoM の点で従来 ADC に対して 59 %改善しており, Area-FoM の点で考えても, 提案 ADC は小面積かつ微細化に適した構成であることが確認できる.

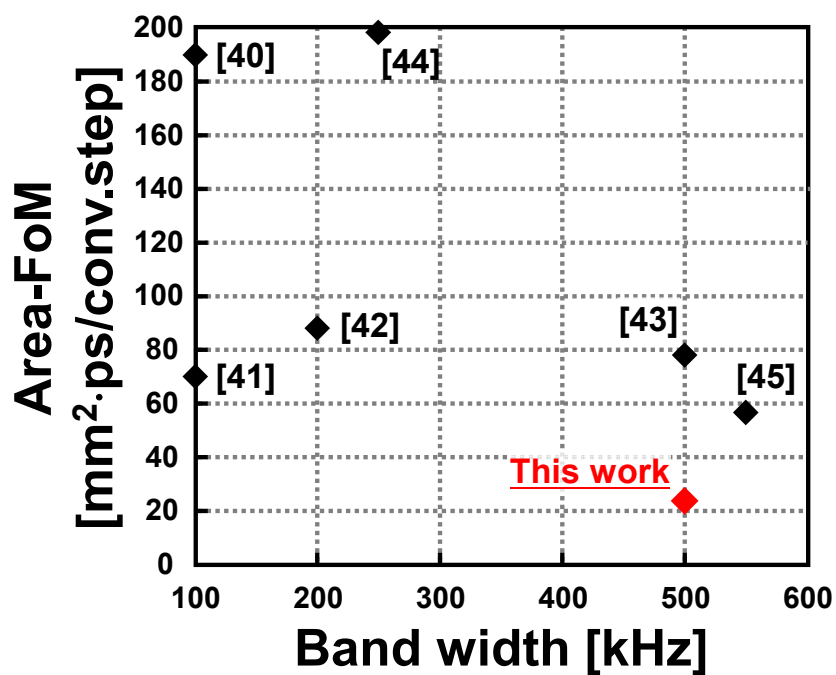
表 4.1 Chip Characteristics.

Item	This work		[43]	[45]
Technology (nm)	65		90	40
Band width (kHz)	500		500	550
Power (mW)	VTC	0.228	2.6	0.0012
	TDC	0.281		
	Total	0.509		
SFDR (dB)	58		N/A	N/A
SNDR (dB)	50		76	46.8
ENOB (bits)	8.0		12.3	7.5
Active area (mm ²)	0.0065		0.4	0.012
Power-FoM (fJ/conv.step)*	1970		504	6
Area-FoM (mm ² ·ps/conv.step)**	23		78	49
SFDR (dB)	58		N/A	N/A
SNDR (dB)	50		76	46.8

$$*Power - FoM = \frac{Power}{2 \cdot BW \cdot 2^{ENOB}} \quad **Area - FoM = \frac{Area}{2 \cdot BW \cdot 2^{ENOB}}$$



⊗ 4.12 Comparison of Area v.s. SNDR with other state-of-the-art ADCs.

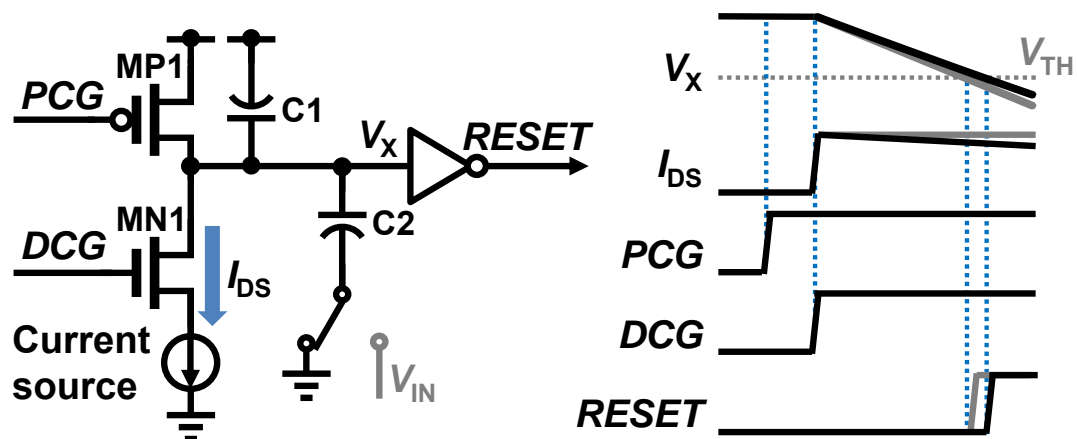


⊗ 4.13 Comparison of Area-FoM with other state-of-the-art ADCs.

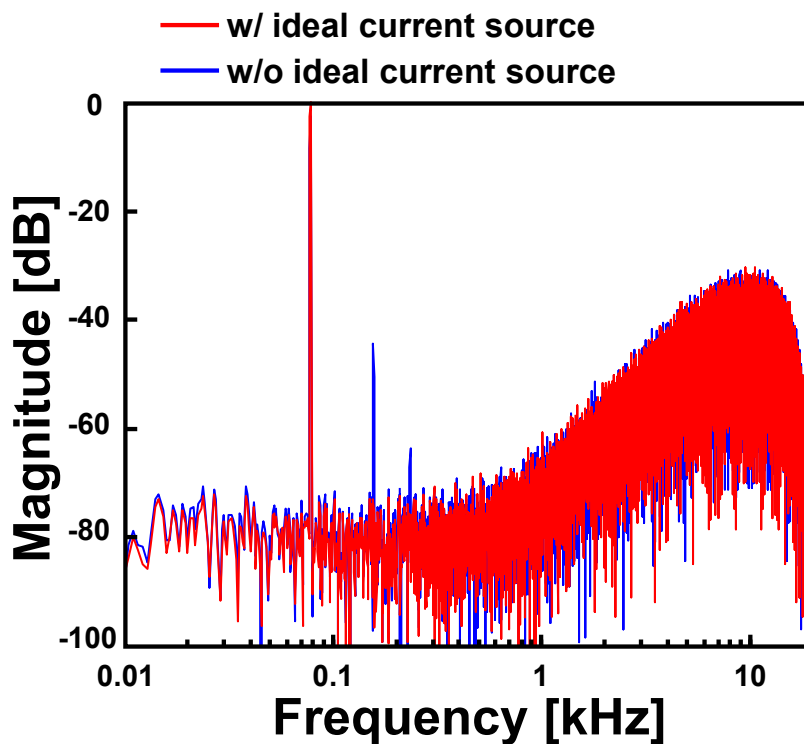
4.6 非線形性特性による影響

ADC の分解能は[22]で提案された TDC の性能よりも劣化している。原因は VTC の非線形性である。この非線形性が現れる原因は VTC に使用している電流源の特性が一定ではないためである。ドレインソース電流 I_{DS} 特性を考慮したタイミング図を図 4.14 に記載する。灰色の線は理想的な特性、つまり電流源が一定値である場合である。しかし、実際は黒線のように電圧によって電流値が変動するため、VTC core 回路が非線形性を持ってしまう。

図 4.15 に SPICE と MATLAB を用いた ADC のシミュレーション結果を記載する。理想的な電流源を使用した場合と実際の電流源を使用した場合で A/D 変換後のスペクトラムを比較している。非線形性補正は行っていない。青線の方は非線形性が発生しているため、高調波ノイズが発生している。一方、理想的な電流源をしようしている赤線は高調波ノイズが発生していない。 I_{DS} 特性を改善した電流源を実装することで、提案 ADC は性能向上を図ることが可能となる。



⊗ 4.14 Timing diagram of the VTC core circuit with considering the effects of the I_{DS} characteristic.



⊗ 4.15 Simulation result with the ideal current source.

4.7 結言

本章では 50-dB I/O サイズ 2 次 $\Delta\Sigma$ ADC を提案した。提案構成はオペアンプやスイッチドキャパシタのようなアナログ回路を排除した構成となっている提案 ADC はデジタルリッチな構成であり、微細化プロセスの恩恵を受けられ、小面積かつ微細化に適した回路である。同程度の BW の従来 ADC に対して、面積効率である Area-FoM を 59% 改善した。提案 VTC は特に電流源の I_{DS} 特性の影響を受けているため、電流源を改善することで提案 ADC はより高い分解能を得られる事をシミュレーションにて確認した。また、微細化が進むと、リング発振器の周波数が向上し、より高速に動作を行うことが可能となる。提案回路は 2 次で試作を行ったが、この構成では 3 次以上の高次化を行うことも可能である。

第5章 温度変動を考慮した補正アルゴリズムによる高速セットリング ADPLL

5.1 緒言

本章では、リング発振器の温度特性を補正し、ADPLL のセットリング時間を削減するアルゴリズムについて提案する。提案手法では、リング発振器の最大周波数で正規化を行った周波数特性を用いて、温度変動に対応した周波数特性のモデル式を作成する。電源投入時または周波数変調時に、このモデル式から温度変動を考慮したリング発振器の制御値を ADPLL に直接与えることで、セットリング時間の短縮が可能となる。提案手法では周波数特性モデルを用いたアルゴリズムのみを使用しているため、全てデジタル化回路のみで構成可能であり、小面積で実装できる。また、試作した ADPLL は高周波数を想定しているため、タイミング制約の厳しいパスが存在する。提案 ADPLL はそのパスのタイミング制約を緩和する回路を追加することで、動作の信頼性を向上させている。

5.2 節に、ADPLL の基本動作と従来のセットリング時間短縮手法について説明する。

5.3 節に提案 ADPLL のタイミングエラー回避手法について記載し、5.4 節に提案のセットリング時間短縮アルゴリズムについて解説する。

最後に 5.5 節で実測結果を記載し、提案手法の効果について記載する。

5.2 ADPLL の動作原理と従来デジタル補正手法

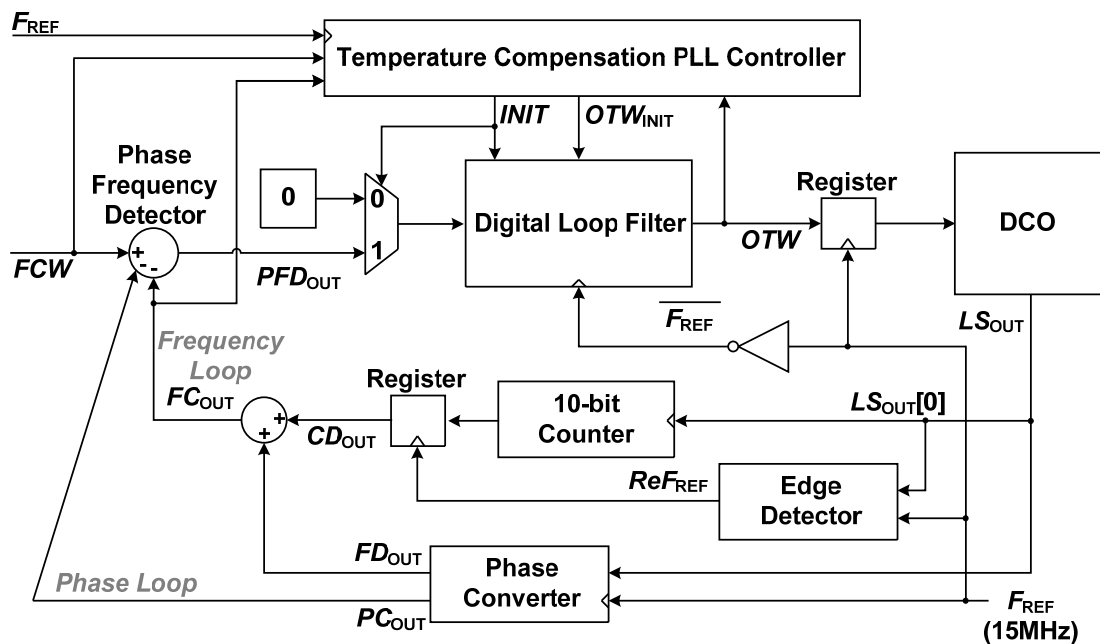
本節では、ADPLL の動作原理と、セットリング時間短縮化のための従来デジタル補正手法について記述する。図 5.1 に ADPLL の基本構造と従来セットリング時間短縮方法のブロック図を記載している。この構成の ADPLL は Fractional-N ADPLL と呼ばれ、周波数制御値 FCW を入力とし、クロック信号 F_{REF} の逡倍の周波数を DCO から出力する。また、この ADPLL は[16][17]のような分周器を排除した ADPLL を元に構成している。DCO からの出力をカウンタと TDC で受ける。カウンタは発振周波数をデジタル値に、TDC はクロックとの誤差をデジタル値へと変換する。周波数値と位相

5.3 提案 ADPLL のタイミング制約

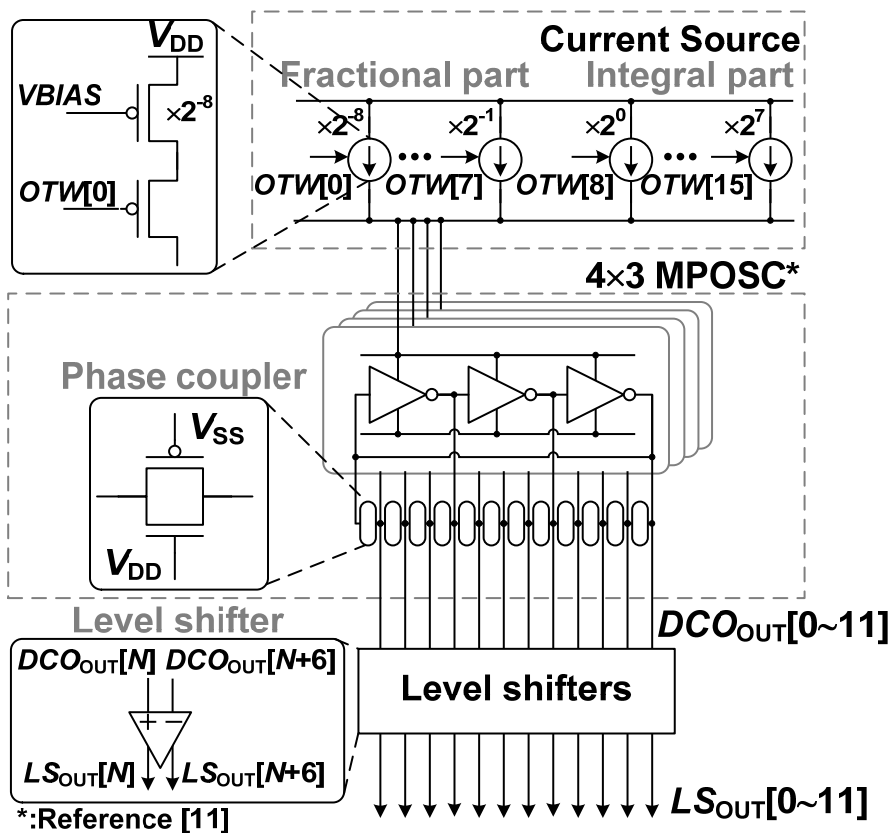
この節ではタイミングエラー補正回路と OTW 推定ブロックを実装した ADPLL の構成について記載する (図 5.2). 温度補正回路 (TCPC) は提案するアルゴリズムを実装した OTW 推測ブロックである. TCPC とデジタルフィルタ部分についての詳細は次章 5.4 で解説する. DCO からの出力を受け取る PC (Phase converter) はラッチ回路とデコーダで構成されており, TDC の代わりに実装されている. PC は発振器の各位相を利用するため, 高い周波数精度を検知することができる. カウンタと PC の時間分解能はそれぞれ, 約 417 ps, 3.5 ps である.

多位相発振回路(MPOSC)は位相精度を向上するために, Phase coupler を利用している[18]. 図 5.3 に, MPOSC と 16 bit の電流源で構成された DCO を記載する. 電流源は OTW と V_{BIAS} で制御される. 差動バッファで構成されたレベルシフタにより位相精度が向上されている. DCO の出力はカウンタと PC に接続されている. PFD は FCW と現在の DCO の周波数を比較する. DCO の周波数はカウンタからの 10 bit 整数出力と PC からの 4 bit 小数出力の合計値から求めている. 位相と周波数誤差である PFD 出力はデジタルループフィルタを通して DCO へとフィードバックされる.

ループフィルタと PFD は F_{REF} の立ち下がりで作動している. 本論文では 15 MHz で設計している. DCO 前段のレジスタは F_{REF} の立ち上がりで OTW をラッチする. 従って, DFF のセットアップホールドエラーを回避することができる. しかし, DFF 間の最小タイミング制約は F_{REF} の半分のサイクルに減少したが, 周波数をデジタル化する役割を担う回路は発振器からの高速な出力信号を受けるため, よりタイミング制約が厳しいものとなっている. 提案回路では, タイミング制約の厳しいブロックに対して, 誤差補正を行う. 次節より, 高速動作時に問題となるブロックと提案回路について解説する.



⊠ 5.2 Block diagram of conventional fast-settling ADPLL



⊠ 5.3 Block diagram of level shifters and DCO with MPOSC.

5.3.1 Frequency Counter and Edge Detector

DCO 周波数の荒い分解能はカウンタで検知する。DCO の高周波な出力がカウンタに直接入力されるため、カウンタのタイミング制約は厳しいものとなっている。タイミングエラーを回避するために、ラッチタイミングを生成するエッジディテクタを使用する。

図 5.4 にカウンタとレジスタのブロック図とタイミング図を記載する。カウンタの出力は高周波数の DCO_{OUT0} に同期している。しかし、 DCO_{OUT0} と F_{REF} は非同期の信号である。そのため、 F_{REF} の立ち上がりをラッチタイミングに使用すると、DCO の立ち上がりと近接した場合にラッチエラーが発生する可能性がある。

提案 ADPLL ではタイミングエラーを回避するために、エラーの発生しないタイミングをエッジディテクタ回路により検出する。エッジディテクタを追加した構成について図 5.5 に記載する。 F_{REF} の立ち上がり後の DCO_{OUT0} の立ち下がりからラッチタイミング ReF_{REF} を生成する。この ReF_{REF} を使ってラッチすることにより、エラーが発生するタイミングを回避することができる。従って、 ReF_{REF} を利用することでメタステーブルを回避してカウンタ値をラッチすることが可能となる。

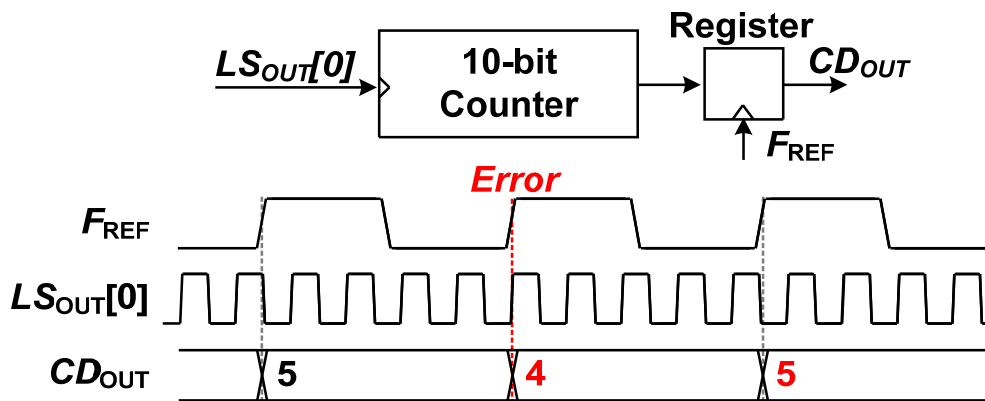


図 5.4 Architecture and timing diagram of counter and register.

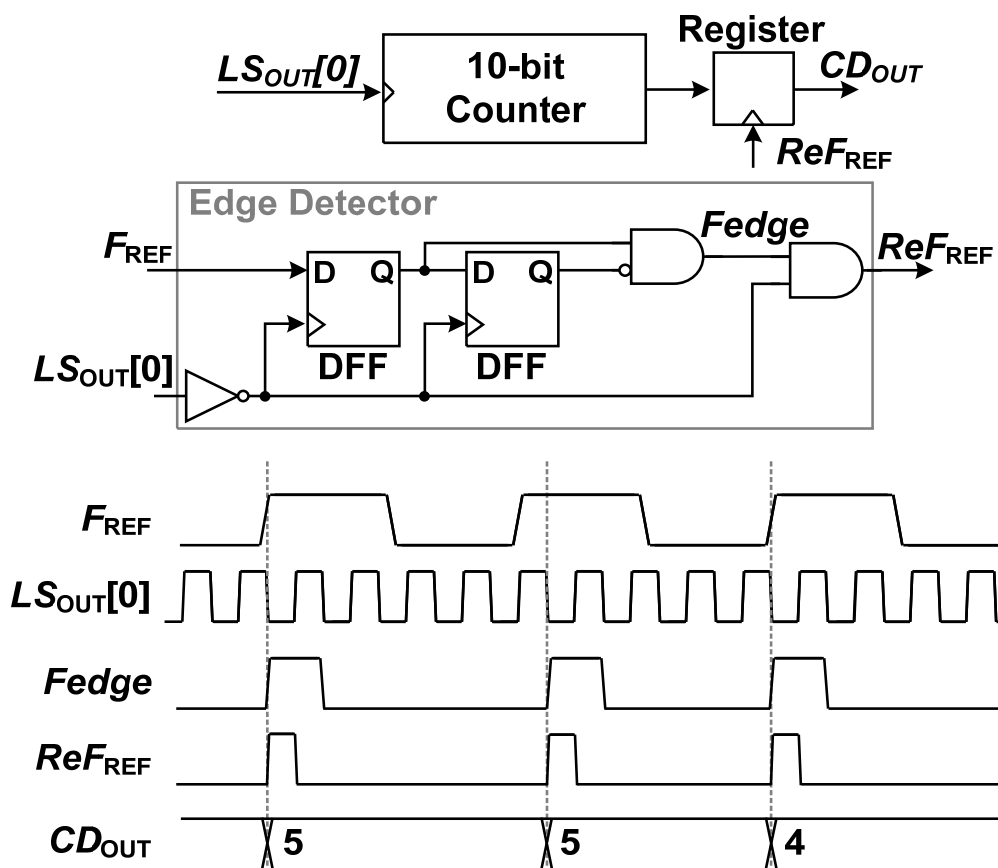


図 5.5 Architecture and timing diagram of counter and register with the edge detector.

5.3.2 Phase Converter

図 5.6 と図 5.7 の様に、PC の出力は細かい周波数の制御と位相同期に使用される。DCO の 12 位相出力信号は F_{REF} の立ち上がりのタイミングで DFF にラッチされる。DCO の出力と F_{REF} が非同期であるため、 PL_{OUT} はラッチエラーを有している可能性がある。 PL_{OUT} はデコーダにより 4 bit のデジタル値に変換される。Phase の範囲は DCO の位相数に依存し、本論文では 12 位相であるため、0 から 11 の値をとる。位相の範囲外にある場合、デコーダによってラッチタイミングエラーを補正する。ラッチエラーを取り除くために、 T_{CHECK} 信号を利用する。この信号は F_{REF} を LS_{OUT} の立ち上がりで ReF_{REF} でラッチした信号である。つまり、 LS_{OUT} の立ち上がりで F_{REF} をラッチしているため、 F_{REF} の立ち上がりの位置を特定することが可能である。 $DCO_{OUT}[0]$ の位相が -180° から 0° であれば T_{CHECK} は“Low”を、 $DCO_{OUT}[0]$ が 0° から 180° であれば、 T_{CHECK}

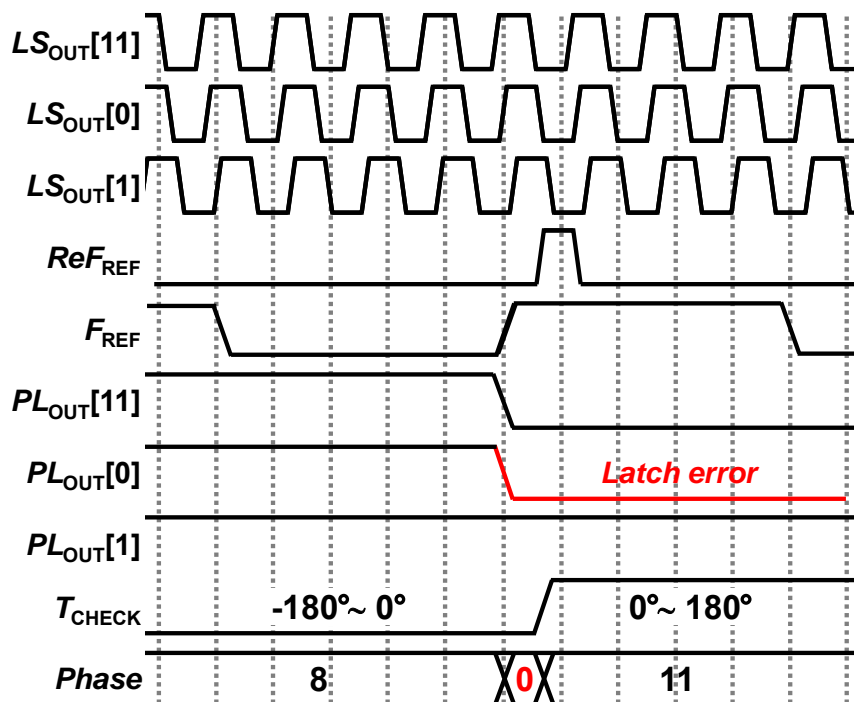


図 5.7 Timing diagram of the latch error canceller and decoder.

5.4 提案 Oscillator Tuning Word 推定アルゴリズム

リング発振器は温度変動により周波数が変動する。電源オフ期間での温度変動は簡潔駆動の ADPLL において、セットリングタイムに影響を与える。本節では発振器の周波数特性をモデル化し、補正を行う OTW 推定アルゴリズムについて記述する。

5.4.1 Digital Controlled Oscillator の周波数特性

図 5.8 (a)に DCO の測定結果を示す。横軸 OTW, 縦軸周波数で表している。図 5.8 (a)にあるように、発振器は温度により周波数が変動するため、適切な OTW が変化する。発振器の発振周期は NMOS と PMOS の電流量に依存する[28]。DCO の出力周波数を OTW で表すと、

$$F_{DCO}(OTW, T) = \frac{2}{MCV_{DD}} \left(\frac{1}{I_N(T)} + \frac{1}{I_P(OTW, T)} \right)^{-1}. \quad (5.1)$$

C はインバータの出力容量, M は段数, V_{DD} は電源電圧である. I_N と I_P は温度により変動する. また, I_P は電流源の構成上, OTW にも依存する.

次に, OTW の最大値で得られる DCO の最大周波数で正規化すると,

$$\begin{aligned} NF &= \frac{F_{DCO}(OTW, T)}{F_{DCO}(OTW_{MAX}, T)} \\ &= \left(\frac{1}{I_N(T)} + \frac{1}{I_P(OTW, T)} \right)^{-1} \bigg/ \left(\frac{1}{I_N(T)} + \frac{1}{I_P(OTW_{MAX}, T)} \right)^{-1}. \end{aligned} \quad (5.2)$$

正規化周波数 NF は I_N と I_P で表すことができる. ここで, ドレインソース電流 I は [46] より, (5.3) のように表すことができる.

$$I(T) \cong I_{DF} \cdot \left(1 - \frac{2}{\alpha_{VT} T} \Delta V_{GS} \right) = I_{DF} \cdot I_{CON}(T). \quad (5.3)$$

ここで, I_{DF} は温度依存性のない係数である. V_{GSF} はドレイン電流の温度依存性が非常に小さくなる様なゲートソース電圧の値であり, ΔV_{GS} はその電圧値からのズレである. 本設計では電流源のバイアス電圧 V_{BIAS} は V_{GSF} にバイアスされている. α_{VT} はしきい値電圧の温度係数である. 従って, 置換した $I_{CON}(T)$ は温度特性の関数である. (5.3)

より, I_N と I_P を簡略化すると,

$$\begin{aligned} I_N(T) &\cong I_{DF_N} \cdot I_{CON}(T). \\ I_P(T) &\cong I_{DF_P}(OTW) \cdot I_{CON}(T). \end{aligned} \quad (5.4)$$

I_{DF_P} は電流源で変動する値であるため OTW を変数として持っている. (5.2), (5.4)

より, NF を再度求めると,

$$NF = \frac{\{I_{DF_N} + I_{DF_P}(OTW_{MAX})\} \cdot I_{DF_P}(OTW)}{I_{DF_P}(OTW_{MAX}) \cdot I_{DF_P}(OTW) + I_{DF_N} \cdot I_{DF_P}(OTW_{MAX})}. \quad (5.5)$$

最終的に, NF は温度の変数を除去できるため, DCO の周波数を最大周波数で正規化すると, 図 5.8 (b) のように正規化後の特性は一致する. (5.5) を簡略化するために, 電流源を PMOS のみで構成している. PMOS, NMOS の両方で電流源を構成した場合, 式(5.5)はより複雑なものとなる. 本論文では OTW_{MAX} を 255 としている.

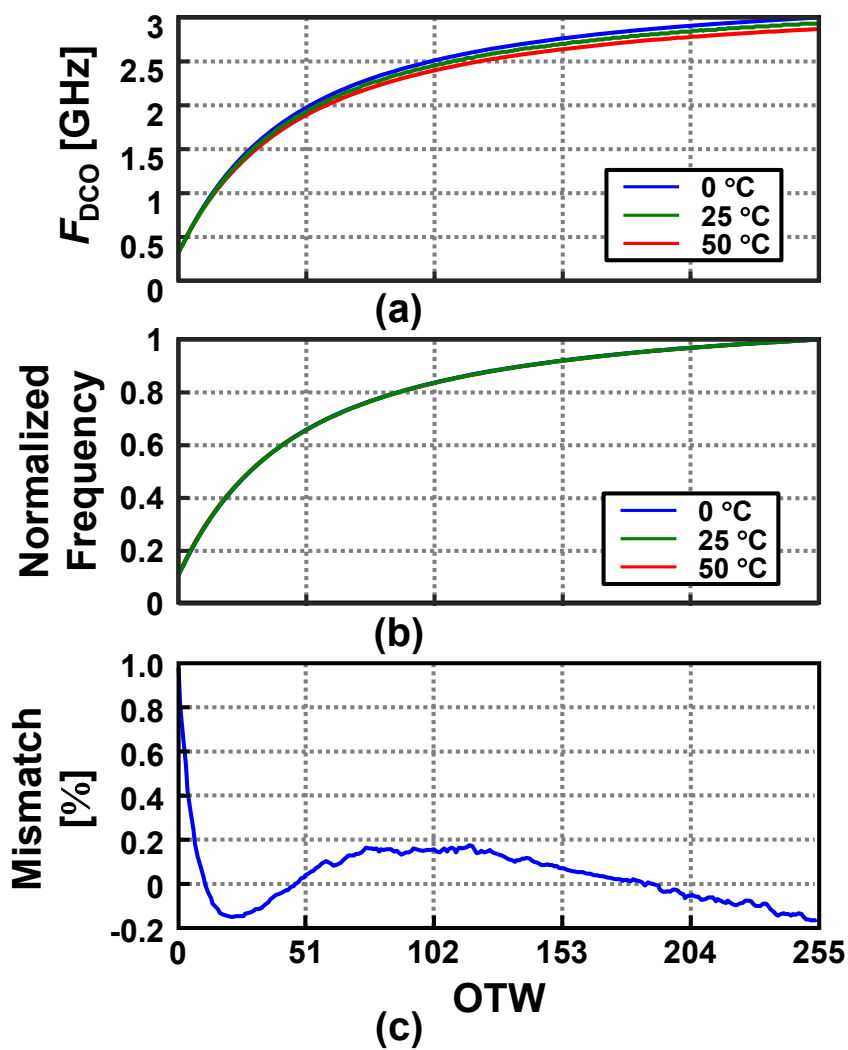


Fig. 5.8 (a) Temperature characteristic of DCO frequency, (b) normalized frequency with maximum *OTW* and (c) average mismatch between NF and each DCO frequency.

5.4.2 OTW 補正式

DCO の周波数モデル式は NF から近似することができ、(5.6)の用に表すことができる。

$$NF = OTNF(OTW) = \frac{a \cdot OTW + b}{c \cdot OTW + d} \quad (5.6)$$

ここで、 a 、 b 、 c 、 d は特定の変数である。この値はプロセスばらつきで変動するため、初期補正時にMCUがモデル化を行うことで対応する。 a 、 b 、 c 、 d の計算は初期段階の一度のみ行う。 NF と各温度でのDCOの正規化周波数特性との差を図5.8(c)に記載する。 OTW が7より大きい領域での誤差は $\pm 0.2\%$ 以下、周波数誤差で考えると、 ± 5 MHzである。カウンタとPCはDCOの周波数を測るために使用される。(5.6)の $OTNF$ (OTW-to-normalized frequency)とは、 OTW と正規化周波数との関係式である。このモデル式を使用することで、推測精度が温度変動の影響を受けない。

上記の方法で、正規化後の周波数モデルが作成可能である。次に、周波数モデルを利用した推定アルゴリズムについて説明する。図5.9にアルゴリズムの推定動作時のイメージ図を記載する。適切な OTW (OTW_{EST})を推定するために、推定アルゴリズムは前回のロック時の OTW (OTW_{LOCK})と周波数値 (FC_{OUT})が必要となる。(5.6)より、前回のロック時の NF (NF_{LOCK})は(5.7)のようになる。

$$NF_{LOCK} = \frac{a \cdot OTW_{LOCK} + b}{c \cdot OTW_{LOCK} + d} \quad (5.7)$$

FC_{OUT} はDCOの出力周波数であるため、 NF_{LOCK} は FC_{OUT} に比例する。目標の正規化周波数(NF_{EST})は FCW に比例している。従って、 NF_{LOCK} と NF_{EST} の比は以下のようになる。

$$NF_{LOCK} : NF_{EST} = FC_{OUT} : FCW \quad (5.8)$$

(5.8)より、 NF_{EST} は(5.9)のように記載することができる。

$$NF_{EST} = \frac{FCW}{FC_{OUT}} \cdot NF_{LOCK} \quad (5.9)$$

OTW_{EST} は(5.7)の逆関数である $OTNF^{-1}$ と NF_{EST} から導出することができ、(5.10)のように記載できる。

$$OTW_{EST} = OTNF^{-1}(NF_{EST}) = \frac{d \cdot NF_{EST} - b}{-c \cdot NF_{EST} + a} \quad (5.10)$$

(5.7)、(5.9)、(5.10)より、 OTW_{EST} は(5.11)のように求まる。

$$OTW_{EST} = \frac{d \cdot FCW \cdot A - b \cdot FC_{OUT} \cdot B}{-c \cdot FCW \cdot A + a \cdot FC_{OUT} \cdot B} \quad (5.11)$$

ここで、 A 、 B は簡略化のために置換した定数であり、 $A = a \times OTW_{LOCK} + b$ 、 $B = c \times OTW_{LOCK} + d$ である。最終的に、TCPCは式(5.11)を計算することで OTW_{EST} を算出でき、DCOの制御部に OTW_{EST} を入力することでのセットリング時間を削減可能となる。

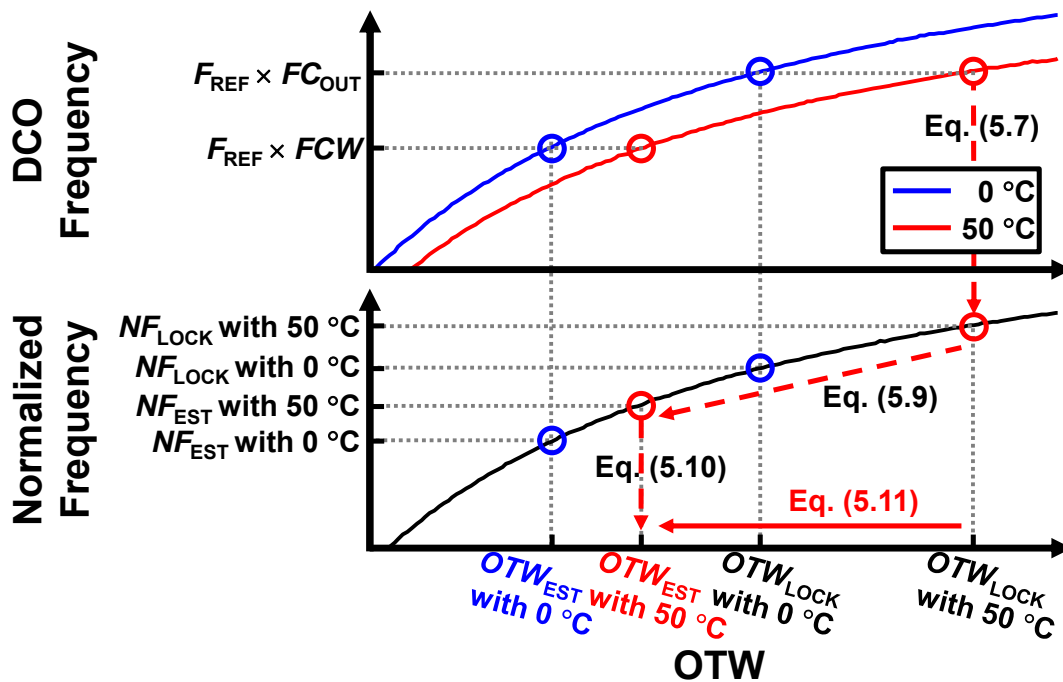


図 5.9 TCPC algorithm to estimate an optimum OTW.

5.4.3 OTW 補正アルゴリズムの実装

前節 5.4.2 では適切な OTW を算出する計算式について解説した。この節では提案アルゴリズムのハードウェア実装について記述する。 OTW を推定し、セットリング時間を削減するために ADPLL を制御するデジタルブロックを TCPC と命名している。TCPC の動作フローチャートを図 5.10 に記載する。 FCW により目標周波数を変更した場合、TCPC はセットリング時間を短縮化するために OTW_{EST} を計算する。TCPC は DCO の周波数特性を元にしたデジタル演算アルゴリズムを用いて推定を行う。

初期補正時、TCPC は DCO の周波数特性を取得するため、 OTW を最低値から最高値にまでスイープして測定を行う。その後、(5.6)の変数 a , b , c , d を MCU が推定する。次に TCPC は OTW_{EST} を式(5.11)から導出する。 FCW が変化する毎に、また、電源復旧時に TCPC は OTW_{EST} を計算する。

図 5.11 に TCPC とデジタルループフィルタのブロック図を表す。デジタルフィルタのゲイン Ka , Kb は位相誤差(PFD_{OUT})によって変更される。 PFD_{OUT} が 3 以上になると Ka , Kb は 2^{-1} , 2^{-3} に、3 以下になった場合、 Ka , Kb は 2^{-3} , 2^{-5} に切り替わる。TCPC は FCW , FC_{OUT} , OTW の 3 信号を入力とし、出力は 2 つの制御信号 (OTW_{INIT} , $INIT$) である。 OTW_{INIT} は TCPC から DCO へ与える制御値であり、フィルタゲインを通過せず DCO の周波数を直接制御する。 $INIT$ は ADPLL の動作を切り替える制御信号である。つまり、DCO の制御方法を、TCPC からの直接操作か、または、ADPLL のフィードバックかを切り替える。推定ブロックは式(5.11)の演算を行うブロックである。TCPC 制御部 (TCPC controller) はシーケンサーであり、コントロール信号 $FLAG_{OTW}$, $FLAG_{EST}$ から、出力信号のタイミングや推定ブロックの動作制御を行う。

TCPC の動作とタイミングダイアグラムについて、図 5.12 に段階ごとの動作図を記載する。TCPC が動作を行う FCW が変化した時、制御部により $INIT$ を “High” に切り替え、ループフィルタが OTW_{LOCK} を保持して出力するようにする (図 5.12 (a))。この動作は、推定アルゴリズムに必要となる FC_{OUT} を検出するためである。次に、制御部は OTW_{EST} の演算を行うために、 $FLAG_{EST}$ を制御する (図 5.12 (b))。推定ブロックは式(5.11)を計算して OTW_{EST} を導出する。導出までには除算回路があるため 2 クロック必要である。その後、TCPC は $FLAG_{OTW}$ を “High” に切り替え、ループフィルタへ OTW_{EST}

を出力する。 OTW_{EST} を受け取った DCO は出力周波数が目標周波数へとシフトすることで、周波数ロックが完了する (図 5.12 (c)). TCPC の動作クロック数は FCW の変更を検知し、周波数ロックが完了するまで 7 クロックである。以上の動作を完了すると、TCPC は次の FCW 変更時まで動作を行わない。

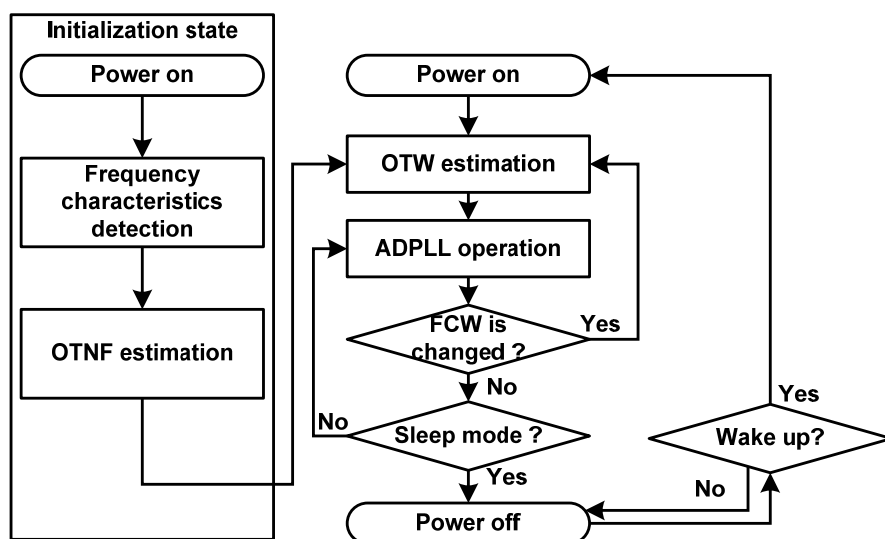


図 5.10 Flowchart of the temperature compensation PLL controller.

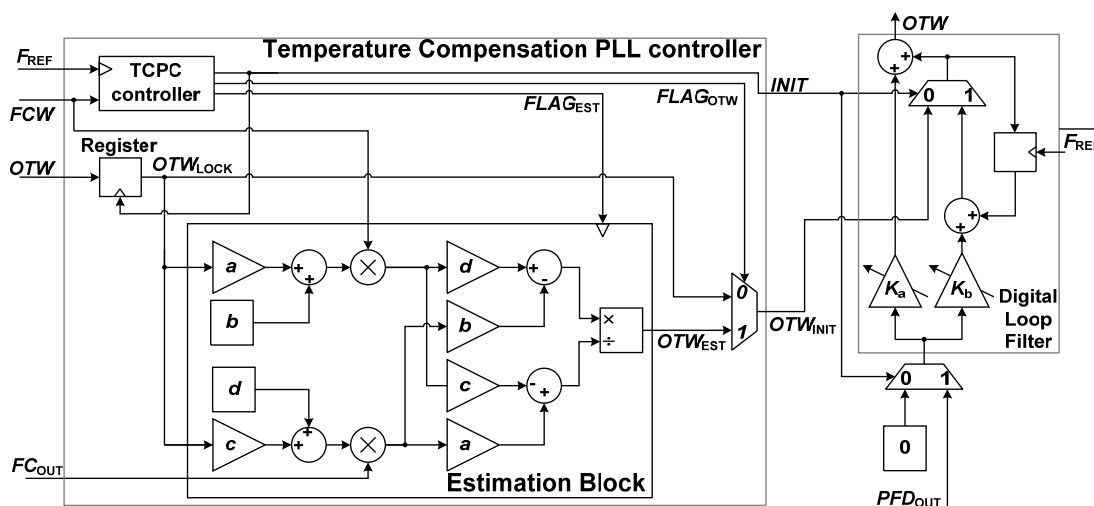


図 5.11 Block diagram of TCPC, digital loop filter and selector.

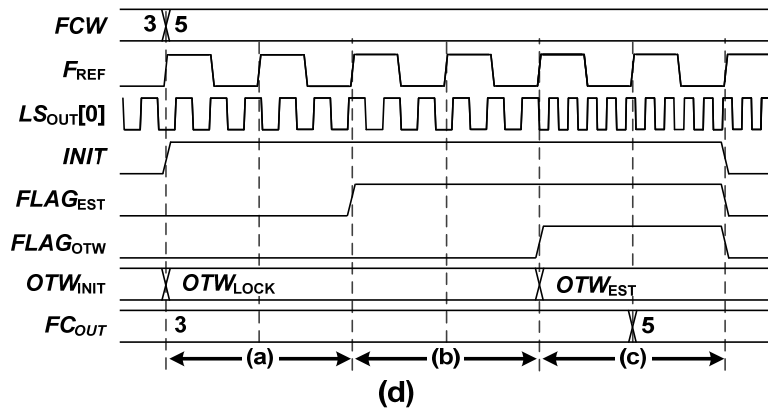
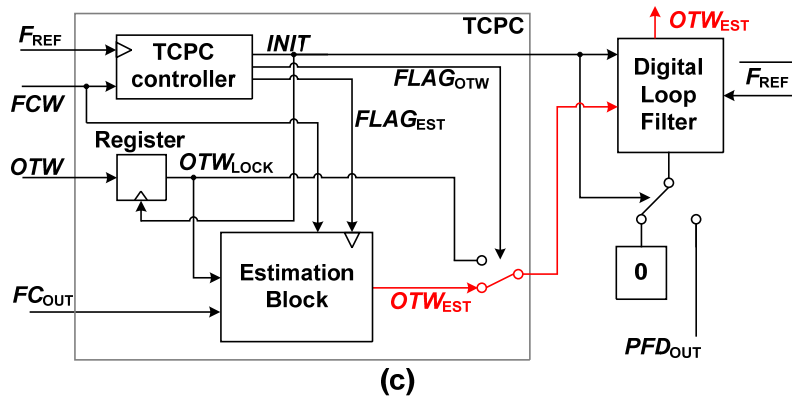
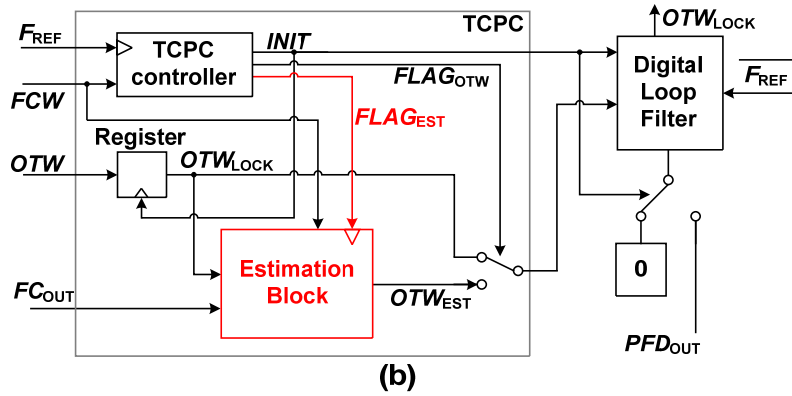
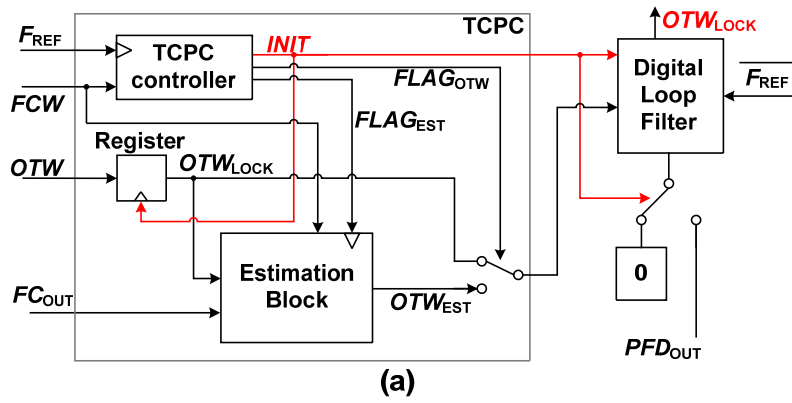


图 5.12 Operation of the TCPC and the digital loop filter.

5.5 実測結果

提案回路は 65 nm CMOS プロセスを用いて試作を行った。図 5.13 にレイアウトとチップ写真を示す。試作した ADPLL の面積は TCPC 部分を除いて、 $0.27 \times 0.36 \text{ mm}^2$ である。TCPC 部分は FPGA で実装し、協調動作させて測定を行った。

表 5.2 に ADPLL と TCPC の性能について記載した。搬送波は 2.4 GHz で設計しており、消費電力は 8.85 mW である。内訳は DCO, カウンタ, ラッチ回路, その他回路がそれぞれ 2.48 mW, 3.01 mW, 2.53 mW, 0.83 mW である。TCPC の面積, 消費電力見積もりは ADPLL と同じ 65 nm プロセスで見積もったところ, $0.20 \times 0.10 \text{ mm}^2$, 813 μW という結果となった。TCPC の面積, 電力オーバーヘッドはそれぞれ 20%, 9% となった。TCPC は ADPLL の起動時と *FCW* 変更時のみ動作するため, 消費エネルギーは減少している。図 5.14 は位相ノイズを測定した結果であり, F_{REF} が 15 MHz である。1 MHz オフセットで -70 dBc/Hz であった。

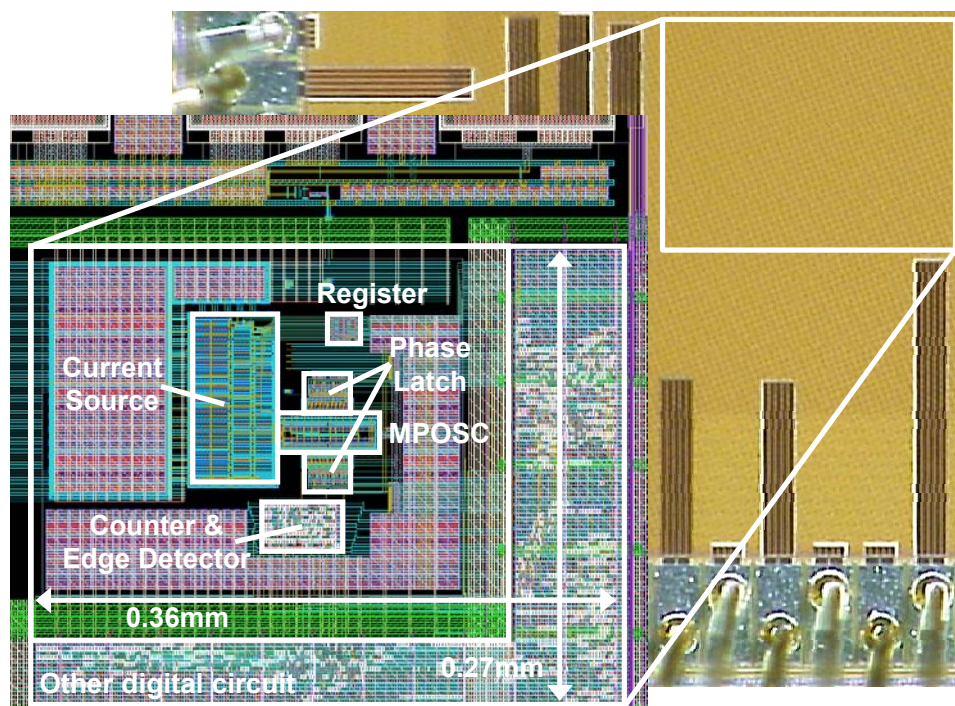


図 5.13 Chip micrograph and layout of the proposed 65 nm ADPLL.

表 5.2 ADPLL performance summary.

		This work	
Process (nm)		65	
Ref. Freq. (MHz)		15	
Freq. range (GHz)		1.50-2.80	
FCW (bit)		16	
Carrier Freq. (GHz)		2.40	
RMS Jitter (ps)		2.23	
Area (mm ²)	ADPLL	0.097	
	TCPC	0.020	
Power (mW)	ADPLL	DCO	2.48
		Counter	3.01
		Phase Latch	2.53
		Other circuits	0.83
		Total	8.85
	TCPC	0.81	

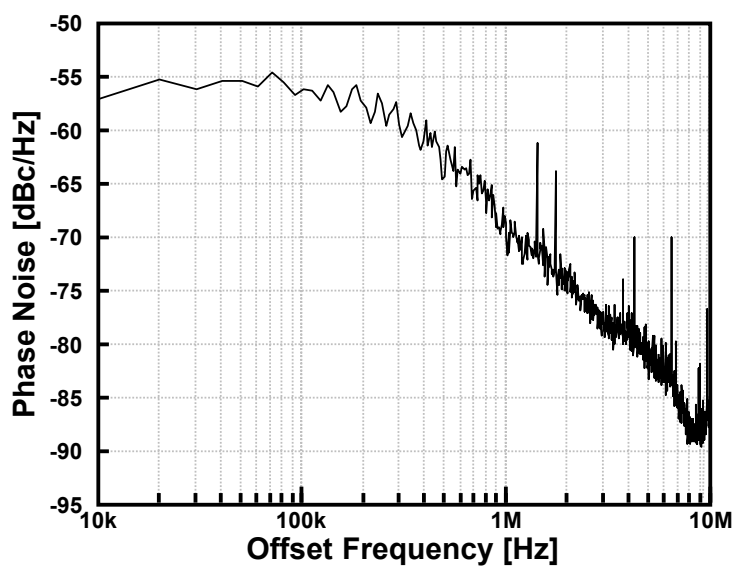


图 5.14 Measurement result of phase noise.

図 5.15 に ADPLL のセッティングタイムを測定した結果を示す。F_{REF} は 15MHz に設定しており、(5.6)の変数 a , b , c , d は試作チップで 1.11, 2.613, 1.0, 31.27 であった。測定は 5 回行い、TCPC を用いない場合の平均値が青線である。25 °C で測定を行い、FCW は 2.4 GHz から 2.415 GHz に切り替えている。ここで、従来手法は図 5.1 で記載したギアシフトのみを使用した結果である。図 5.14 のように、TCPC が未使用の場合、セッティング時間は 7.33 μ s (110 cycles)であった。セッティングタイムの定義としては PFD_{OUT} が 0.1 以下に収まる時間までとしている。一方、TCPC を用いた場合である赤線のロック時間は 3 μ s (45 cycles)である。図 5.16 は FCW を短時間に周期的に切り替えた場合の結果であり、FCW が切り替わる度に TCPC が動作し、短縮化している事が確認できる。灰色の部分には標準偏差を表している。この測定時、周波数は 5 μ s 毎に切り替えている。

次に、セッティング時間と消費エネルギーについて測定を行った。図 5.17 のように、室温 25 °C で初期補正を行い、温度変動後に電源投入した際の結果を測定した。各温度での結果を表 5.3 に記載する。セッティング時間は 0 °C から 50 °C の区間で 47 %以上削減している。さらに、消費エネルギーは同区間で 42 %以上削減した結果となった。

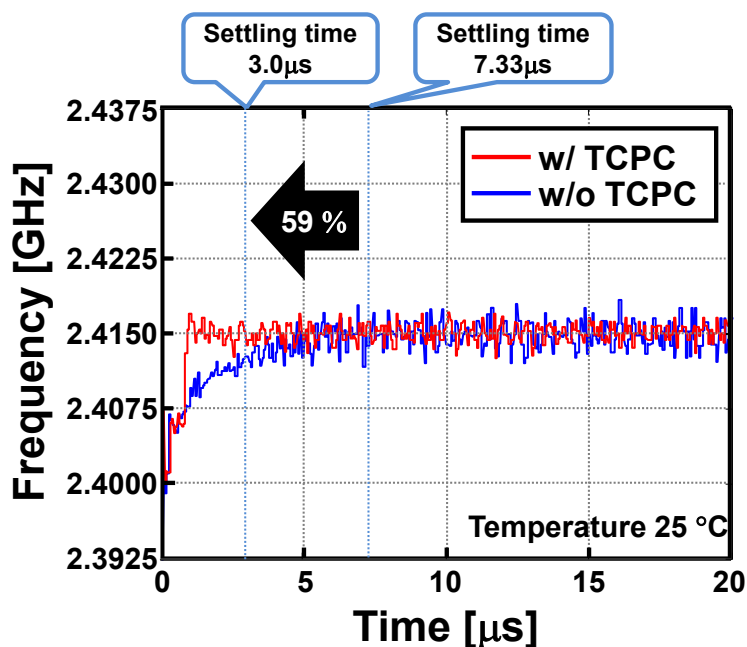
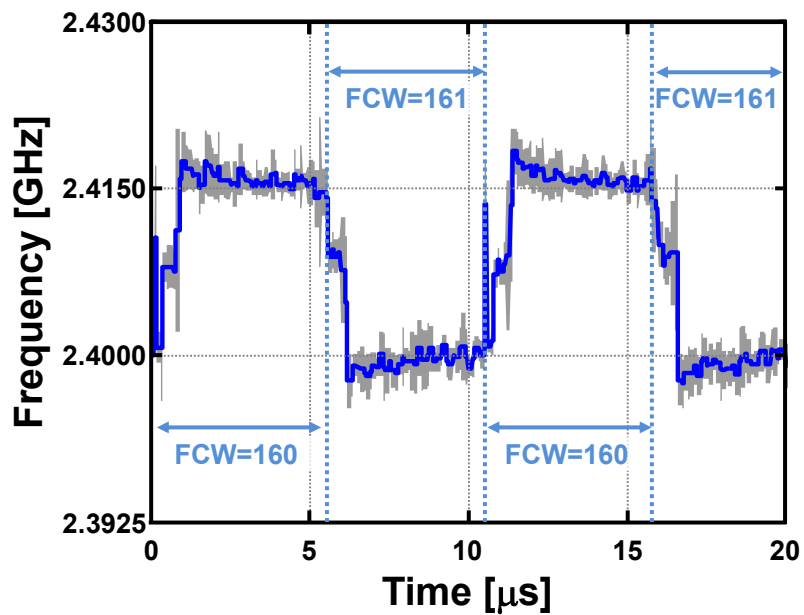
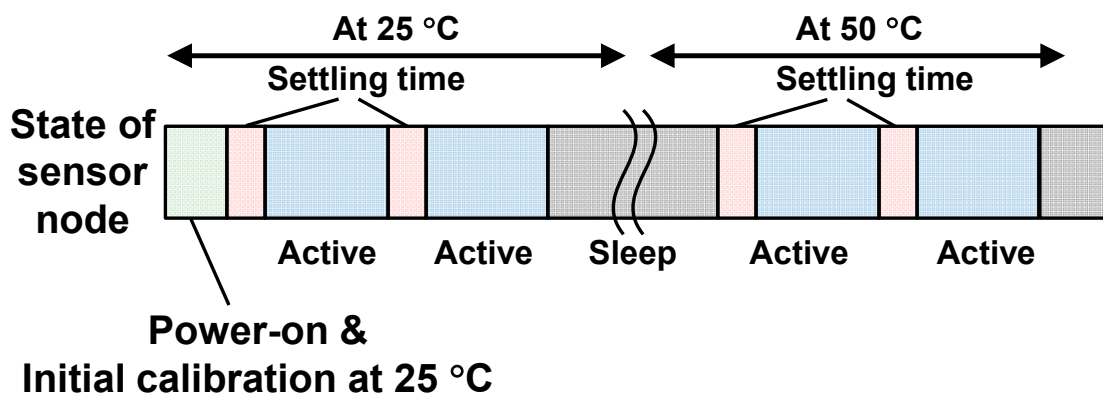


図 5.15 Measurement results of settling time at 25 °C w/o TCPC and w/ TCPC.



☒ 5.16 Measurement result of settling time at 25 °C when the FCW is changed repeatedly.



☒ 5.17 Measurement environment of settling time and energy at 50 °C.

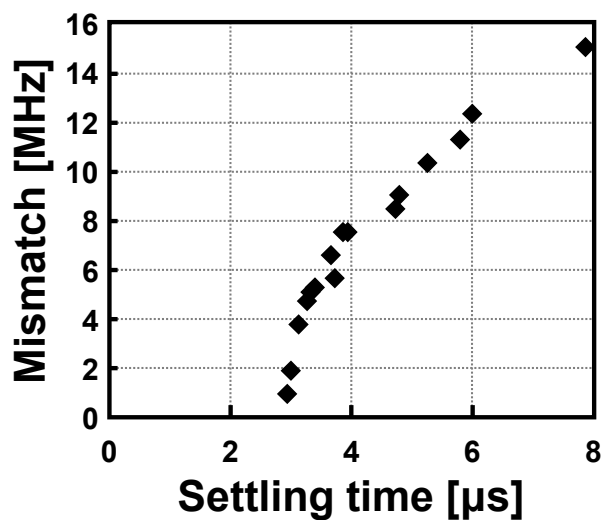
表 5.3 Settling time and energy comparison.

Temp.[°C]	Settling time [μ s]		Energy [nJ]		Reduction[%]	
	w/ TCPC	w/o TCPC	w/ TCPC	w/o TCPC	Settling time	Energy
10	3.13	5.86	30.2	51.9	47	42
20	3.33	6.60	32.2	58.4	50	45
25	3.00	7.33	29.0	64.9	59	55
30	3.33	7.40	32.2	65.5	55	51
40	3.40	7.87	32.9	69.6	57	53
50	3.53	7.87	34.1	69.6	55	51

TCPC は OTW_{EST} という適切な OTW を算出するが、その精度によっては瞬時に周波数ロックが完了するわけではない。誤差があった場合、通常の ADPLL のフィードバック動作により目標周波数へと補正を行う。図 5.18 にセットリングタイムと推定誤差との関係について実測結果を示す。この測定結果では、 OTW_{EST} を直接入力して測定して測定している。表 5.3 と図 5.18 より、TCPC の OTW_{EST} 推定精度は 5 MHz 未満を実現している。

表 5.4 は従来の高速セットリング ADPLL との性能比較を記載している。表より ADPLL に TCPC を追加した提案手法の面積は、LC 発振器を用いた従来 ADPLL と比較して小面積で実装可能であり、微細化に適した構成である事が確認できる。他の ADPLL と比較するために、ジッタとセットリングタイムのトレードオフに着眼を置いた。先行研究[50]では、セットリングタイムとジッタのトレードオフを考慮した FOM が提案されている。しかし、セットリングタイムはリファレンス周波数に影響を受ける。そこで、式(5.12)を用いてセットリングサイクルで比較を行っている。

$$FoM = 10 \log \left[\left(\frac{Jitter}{1s} \right)^2 (Settlingcycle)^2 \left(\frac{Power}{1mW} \right) \right]. \quad (5.12)$$



☒ 5.18 Measurement result of relationship between settling time and estimation error.

表 5.4 Comparison of performance with other ADPLLs.

	This work	[11]	[47]	[48]	[49]
Process (nm)	65	22	28	90	90
Ref. Freq. (MHz)	15	100	50	60	30
OSC type	Ring	Ring	Ring	LC	LC
Area (mm^2)	0.117	0.017	0.00234	0.34	0.35
Settling time (μs)	3	2.31	1	0.74	0.23
Settling cycle (cycles)	45	231	50	45	7
RMS Jitter (ps)	2.2	0.8	3	0.68	1.7
Power (mW)	9.66	3.4	0.64	9.6	8
FoM (Eq. (12))	-250.2	-249.4	-258.4	-260.5	-269.5

5.6 結言

本章では、高速セットリング ADPLL 向け、温度変動による影響を補正する *OTW* 推定アルゴリズムについて提案した。提案手法では温度を検出するために、温度計といった別センサを必要とせず、ADPLL の構成回路と追加のデジタル回路のみで実装可能であるため、小面積かつ微細化に適した構成である。提案 TCPC の面積オーバーヘッドは 20 % であり、温度変動が発生してもセットリングタイムを 47 % 以上削減した。また、動作時間を削減したことにより、全体の消費エネルギーを 42 % 以上削減した。提案 TCPC は DCO の周波数特性と制御値との関係性のみを要求するため、リング発振器型の DCO で実装した ADPLL に適応することが可能であり、汎用性のある構成である。

第6章 結論

本章では本論文の結論を述べる。

第3章 リング発振器を用いた TDC の特性解析と線形性改善手法

本章では、微細化に適した2次 $\Delta\Sigma$ FSOTDCの動作原理を分析することにより、性能劣化の原因と改善手法について論じた。TDCのノイズフロアはリング発振器のジッタによる影響が大きく、TDCの分解能に影響を与えている事を確認した。FSOの低ジッタ化には大ゲート、多段のインバータが必要であり、SPICEとMatlabシミュレーションにより設計を行い、ENOB 10 bitの2次 $\Delta\Sigma$ FSOTDCの設計論を論じた。65nm CMOSプロセスにてチップを試作・比較を行い、設計論の正当性を確認した。上記のシミュレーションをもって、ENOBとFoMの間にはトレードオフが発生していることが確認でき、FSOTDCは使用するアプリケーションにより、どちらを優先するか、を検討して設計する必要がある。

第4章 Frequency Shift Oscillator TDC を用いた小面積 ADC

本章では50-dB I/O サイズ2次 $\Delta\Sigma$ ADCを提案した。提案構成はオペアンプやスイッチドキャパシタのようなアナログ回路を排除した構成となっている提案ADCはデジタルリッチな構成であり、微細化プロセスの恩恵を受けられ、小面積かつ微細化に適した回路である。同程度のBWの従来ADCに対して、面積効率であるArea-FoMを59%改善した。提案VTCは特に電流源の I_{DS} 特性の影響を受けているため、電流源を改善することで提案ADCはより高い分解能を得られる事をシミュレーションにて確認した。また、微細化が進むと、リング発振器の周波数が向上し、より高速に動作を行うことが可能となる。提案回路は2次で試作を行ったが、この構成では3次以上の高次化を行うことも可能である。

第5章 温度変動を考慮した補正アルゴリズムによる高速セットリング ADPLL

本章では、高速セットリングADPLL向け、温度変動による影響を補正するOTW推

定アルゴリズムについて提案した。提案手法では温度を検出するために、温度計といった別センサを必要とせず、ADPLLの構成回路と追加のデジタル回路のみで実装可能であるため、小面積かつ微細化に適した構成である。提案 TCPC の面積オーバーヘッドは 20% であり、温度変動が発生してもセットリングタイムを 47% 以上削減した。また、動作時間を削減したことにより、全体の消費エネルギーを 42% 以上削減した。提案 TCPC は DCO の周波数特性と制御値との関係性のみを要求するため、リング発振器型の DCO で実装した ADPLL に適応することが可能であり、汎用性のある構成である。

各章それぞれの要素技術において、小面積化を図った。第 3 章においてはリング発振器を用いた小面積 TDC の設計論を考察した。第 4 章においては、微細化に適した ADC を提案し、従来回路に対して面積、Area-FoM 共に優れた結果を得た。また、第 5 章では高速セットリング ADPLL について着眼し、提案アルゴリズムを実装することで 47% 消費エネルギーの削減を 20% の面積オーバーヘッドで実現した。

以上、本論文では、センサ用回路である TDC, ADC, ADPLL にリング発振器を応用した手法の問題点を解析した。そして、その問題点を改善するために、TDC の性能劣化要因の解析、ADC の小面積化、ADPLL の省面積な補正アルゴリズムとそれぞれに対しての改善手法について述べた。

謝辞

本研究の機会を賜り、日頃から熱心なご指導とご助言を賜りました神戸大学大学院システム情報学研究科教授 吉本雅彦先生に心から感謝いたします。

本研究において、幅広い知見から様々なご助言と的確なご意見、ご指摘を頂きました神戸大学大学院システム情報学研究科教授 川口博先生に心から感謝の意を表します。

また、本論文及び本研究に対して貴重なご助言を賜った神戸大学大学院システム情報学研究科教授 永田真先生、神戸大学大学院システム情報学研究科教授 的場修先生に深く感謝の意を表します。

本研究において、懇切なご指導を頂きました神戸大学大学院システム情報学研究科助教 和泉慎太郎先生に厚く謝意を申し述べます。

本研究に対する的確なご助言とご協力を頂いた、STARC 上級研究員 小林修様、パナソニック株式会社 道正志郎様、富士通 VLSI 株式会社 木島雅史様、ルネサスエレクトロニクス株式会社 熊本敏夫様、ローム株式会社 橘正人様、株式会社東芝 杉本智彦様に心から御礼を申し上げます。

ADC・TDC 設計チームとして一緒に研究開発に取り組みサポートをして頂いた小西恵大氏に心より感謝を申し上げます。

同じ WINE プロジェクトに属し、日々の研究生活において多くのご指導を頂きました、中西基文氏、中野将尚氏、山下顕氏、宋大羽氏、藤井貴英氏、河本優太氏、中井陽三郎氏、正木何奈氏、田中義人氏、松永大地氏、塚原美緒氏、中村亮太氏、永里佑樹氏、に深く感謝の意を表します。

本研究に対して有益なご教示を賜った李赫鍾氏、岡頭久氏、久賀田耕史氏に厚く感謝の意を表します。

国際学会発表の際、熱心に英語の御指導を賜りました月野光先生に深く感謝の意を表します。

研究室配属から 3 年の間ともに研究室生活を過ごし、共に切磋琢磨できた、柳田晃司氏、竹内勇介氏、鄭晋旭氏に深く感謝いたします。

研究生生活を共にし、多くのご助言とご協力をいただいた野口紘希博士、奥村俊介氏、中田洋平氏、水野孝祐氏、天下卓郎氏、鍵山祐輝氏、菅原隆伸氏、寺地陽祐氏、西野允雅氏、寺田正治氏、宮本優貴氏、梅木洋平氏、北原佑起氏、高木健太氏、藤川飛鳥氏、増田麻里氏、木美雄太氏、中川知己氏、松川豪氏、松田薫平氏、森陽紀氏、吉田周平氏、北原弘登氏、児玉泰佑氏、黒津弘明氏、西住友里氏、松田義貴氏に感謝いたします。

また、研究生生活においてあらゆる面からお世話をしていただいた秘書の呉恵美氏、松岡啓子氏、坪井彩氏、田村優菜氏に深く感謝いたします。

また、本研究は、東京大学大規模集積システム設計教育研究センターを通し、株式会社半導体理工学研究センター（STARC）、（株）イー・シャトル及び富士通株式会社、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社、アジレント・テクノロジー株式会社の協力で行われたものであり、ここに謝意を表します。

最後に、私をここまで育て、支えてくれた家族に心から感謝いたします。

参考文献

- [1] 総務省, “第2部 ICT が拓く未来社会 第4節 ICT 化の進展がもたらす経済構造の変化” <http://www.soumu.go.jp/johotsusintokei/whitepaper/ja/h27/html/nc254110.html>
- [2] S. Izumi, H. Noguchi, T. Takagi, K. Kugata, S. Soda, M. Yoshimoto, and H. Kawaguchi, “Data Aggregation Protocol for Multiple Sound Sources Acquisition with Microphone Array Network,” ICCCN, pp. 1-6, Aug. 2011.
- [3] S. O’ Driscoll, K. V. Shenoy, and T. H. Meng, “Adaptive Resolution ADC Array for an Implantable Neural Sensor,” IEEE Trans. on Biomedical Circuits and Systems, vol. 5, no. 2, pp.120-130, April 2011
- [4] Z. M. Lee, C. Y. Wang, and J. T. Wu, “A CMOS 15-bit 125-MS/s Time-Interleaved ADC with Digital Background Calibration,” IEEE J. of Solid-State Circuits, vol. 42, no.10, pp. 2149 - 2160, Oct. 2007.
- [5] T. Miki, T. Morie, T. Ozeki, and S. Dosho, “An 11-b 300-MS/s Double-Sampling Pipelined ADC With On-Chip Digital Calibration for Memory Effects,” IEEE Journal of Solid-State Circuits, vol. 47, no.11, pp. 2773 - 2782, Nov. 2012
- [6] L. Weitao, S. Cao, L. Fule, and W. Zhihua, “A 14-bit pipelined ADC with digital background nonlinearity calibration,” ISCAS, pp. 2448 - 2451, May 2013
- [7] H. Y. Tai, Y. S. Hu, H. W. Chen, and H. S. Chen, “A 0.85fJ/conversion-step 10b 200kS/s Subranging SAR ADC in 40nm CMOS,” ISSCC Digest of Technical Papers, pp. 196-197, Feb. 2014.
- [8] R. B. Staszewsk et al., “All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS,” IEEE Journal of Solid-State Circuits, vol. 39, pp. 2278–2291, Dec. 2004.
- [9] R. B. Staszewski, and P. T. Balsara, “All-Digital PLL With Ultra Fast Settling,” IEEE T-CAS II, Vol. 54, pp. 181–185, Feb. 2007.
- [10] J. A. Tierno, A. V. Rylyakov, and D. Friedman, “A Wide Power Supply Range, Wide Tuning Range, All Static CMOS All Digital PLL in 65 nm SOI,” IEEE J. Solid-State Circuits, vol. 43, no. 1, pp. 42–51, Jan. 2008.
- [11] N. August, H. J. Lee, M. Vandepas, and R. Parker, “A TDC-Less ADPLL with

- 200-to-3200 MHz Range and 3 mW Power Dissipation for Mobile SoC Clocking in 22 nm CMOS,” ISSCC Digest of Technical Papers, pp. 246–248, Feb. 2012.
- [12] V. K. Chillara, et al., “An 860uW 2.1-to-2.7GHz All-Digital PLL-Based Frequency Modulator with a DTC-Assisted Snapshot TDC for WPAN (Bluetooth Smart and Zigbee) Applications,” ISSCC Digest of Technical Papers, pp. 172–173, Feb. 2014.
- [13] G. Yu, Y. Wang, H. Yang, and H. Wang, "Fast-locking all-digital phase-locked loop with digitally controlled oscillator tuning word estimating and presetting", IET Circuits, Devices & Systems, vol. 4, pp. 207–217, May 2010.
- [14] A. Elshazly, R. Inti, Y. Wenjing, B. Young, and P. K Hanumolu., “A 0.4-to-3GHz Digital PLL with Supply-Noise Cancellation using Deterministic Background Calibration,” ISSCC Digest of Technical Papers, pp. 92–94, 2011
- [15] J. Liu, T. K. Jang, Y. Lee, J. Shin, S. Lee, T. Kim, J. Park, and H. Park, “A 0.012mm² 3.1mW Bang-Bang Digital Fractional-N PLL with a Power-Supply-Noise Cancellation Technique and a Walking-One-Phase-Selection Fractional Frequency Divider,” ISSCC Digest of Technical Papers, pp. 268–269, 2014
- [16] M. Chen, D. Su, S. Mehta, "A Calibration-Free 800 MHz Fractional-N Digital PLL with Embedded TDC," ISSCC Digest of Technical Papers, pp. 472–473, Feb 2010.
- [17] K. Takinami et al., "A Distributed Oscillator Based All-Digital PLL With a 32-Phase Embedded Phase-to-Digital Converter," IEEE J. Solid-State Circuits, vol. 46, no. 11, pp. 2650–2660, Jan. 2008.
- [18] T. Konishi, H. Lee, S. Izumi, T. Takeuchi, M. Yoshimoto, H. Kawaguchi, “A Low-Power Multi-Phase Oscillator with Transfer Gate Phase Coupler Enabling Even-Numbered Phase Output,” IEICE Trans. on Fundamentals Electronics Communications and Computer Science, vol. 94, pp. 2701–2708, Dec. 2011.
- [19] J. S. Tandon et al., “A stochastic sampling time-to-digital converter with tunable 180-770fs resolution, INL less than 0.6LSB, and selectable dynamic range offset,” in Proc. IEEE Custom Integrated Circuits Conf., Sep. 2013, pp. 1-4.
- [20] Y. Arai and T. Baba, “A CMOS time to digital converter VLSI for highenergy physics,” VLSI Circuits Symp. Dig., pp. 121–122, Aug. 1988.
- [21] R. B. Staszewski, S. Vemulapalli, P. Vallur, J. Wallberg, and P. T. Balsara, “1.3V 20ps

- time-to-digital converters for frequency synthesis in 90-nm CMOS,” *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 53, no. 3, pp. 220–224, Mar. 2006.
- [22] T. Konishi, K. Okuno, S. Izumi, M. Yoshimoto, and H. Kawaguchi, “A Second-Order All-Digital TDC with Low-Jitter Frequency Shift Oscillators and Dynamic Flipflops,” *IEICE Trans. Electron.*, Vol. E96-C, No. 4, pp.546-552, Apr. 2013.
- [23] M. Z. Straayer, and M. H. Perrott, “A Multi-Path Gated Ring Oscillator TDC with First-Order Noise Shaping,” *IEEE Journal of Solid-State Circuits*, vol. 44, no. 4, pp. 1089-1098, May 2009.
- [24] W. Yu, J. Kim, K. Kim, and S. Cho, “A Time-Domain High-Order MASH $\Delta\Sigma$ ADC Using Voltage-Controlled Gated-Ring Oscillator,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 4, pp. 856 - 866, Apr. 2013.
- [25] M. Voelker, S. Pashmineh, J. Hauer, and M. Ortmanns, “Current Feedback Linearization Applied to Oscillator Based ADCs,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, no. 11, pp. 3066 - 3074, Nov. 2014.
- [26] T. Konishi, K. Okuno, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "An Opampless Second-Order MASH $\Delta\Sigma$ ADC with Using Gated Ring Oscillator Time-to-Digital Converter," *IEICE Trans. Fundamentals.*, vol. E96-A, no. 2, pp.434-442, Feb. 2013.
- [27] J. Daniels, W. Dehaene, M. S. J. Steyaert, and A. Wiesbauer, “A/D Conversion Using Asynchronous Delta-Sigma Modulation and Time-to-Digital Conversion,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 9, pp. 2404 - 2412, Sept. 2010.
- [28] A. A. Abidi, “Phase Noise and Jitter in CMOS Ring Oscillators,” *IEEE JSSC*, Vol. 41, No. 8, pp. 1803-1816, Aug. 2006.
- [29] S. Mandai E. Charbon, “A 128-Channel, 9ps Column-Parallel Two-Stage TDC Based on Time Difference Amplification for Time-Resolved Imaging,” *Proceedings of IEEE ESSCIRC*, pp. 119-122, Sep. 2011.
- [30] K. S. Kim, W. S. Yu, and S. H. Cho, “A 9b, 1.12ps Resolution 2.5b/Stage Pipelined Time-to-Digital Converter in 65nm CMOS Using Time-Register,” *IEEE Symp. on VLSI Circuits*, pp. 136-137, 2013.
- [31] K. S. Kim, Y. H. Kim, W. S. Yu, and S. H. Cho, “A 7b, 3.75ps resolution two-step

- time-to-digital converter in 65nm CMOS using pulse-train time amplifier,” IEEE Symp. on VLSI Circuits, pp. 192-193, Jun. 2012.
- [32] Y. H. Seo, J. S. Kim, H. J. Park, and J. Y. Sim, “A 1.25 ps resolution 8b cyclic TDC in 0.13 μm CMOS,” IEEE JSSC, vol. 47, pp. 736-743, Mar. 2012.
- [33] C. S. Taillefer, and G. W. Roberts, “Delta-sigma A/D conversion via time-mode signal processing,” IEEE Trans. on Circuits and Systems I, vol. 56, no. 9, pp. 1908-1920, Sep. 2009.
- [34] A. R. Macpherson, K. A. Townsend, and J. W. Haslett, “A 2.5GS/s 3-bit Time-Based ADC in 90nm CMOS,” ISCAS, pp. 9-12, May 2011.
- [35] A. R. Macpherson, J. W. Haslett, and L. Belostotski, “A 5GS/s 4-bit Time-Based Single-Channel CMOS ADC for Radio Astronomy,” CICC, pp. 1-4, Sept 2013.
- [36] S. Ok, J. Kim, G. Yoon, H. Chu, J. Oh, S. W. Kim, and C. Kim, “A DC-DC converter with a dual VCDL-based ADC and a self-calibrated DLL-based clock generator for an energy-aware EISC processor,” CICC, pp. 551-554, Sep. 2008.
- [37] G. Li, Y. M. Tousei, A. Hassibi, and E. Afshari, “Delay-line based analog-to-digital converters,” IEEE Trans. Circuits and Systems II, vol. 56, no. 6, pp. 464-468, Jun. 2009.
- [38] Y. M. Tousei and E. Afshari, “A miniature 2 mW 4 bit 1.2 GS/s delay-line-based ADC in 65 nm CMOS,” IEEE Journal of Solid-State Circuits, vol.46, no. 10, pp. 2312-2325, Oct. 2011.
- [39] R. Gaggale, “Figure-of-Merit Comparison,” in Delta-Sigma A/D-Converters, Springer Series in Advanced Microelectronics 39, Eds. Berlin Heidelberg: Springer-Verlag, 2013, pp. 129-135.
- [40] A.P. Perez, E. Bonizzoni, and F. Maloberti, “A 84 dB SndR 100 kHz Bandwidth low-power Single op-amp Third-order $\Delta\Sigma$ Modulator consuming 140 μw ,” ISSCC, pp. 478-480, Feb. 2011.
- [41] M. Vadipour, C. Chen, A. Yazdi, M. Nariman, T. Li, P. Kilcoyne, and H. Darabi, “A 2.1 mW/3.2 mW Delay-Compensated GSM/WCDMA $\Sigma \Delta$ Analog–Digital Converter,” VLSI Symp., pp. 180-181, Jun. 2008.
- [42] S. Ouzounov, R. van Veldhoven, C. Bastiaansen, K. Vongehr, R. van Wegberg, G. Geelen, L. Breems, and A. van Roermund, “A 1.2 V, 121-Mode CT $\Delta\Sigma$ Modulator for Wireless

- Receivers in 90 nm CMOS," ISSCC, pp. 242-600, Feb. 2007.
- [43] Y. Ke, P. Gao, J. Craninckx, G. Van der Plas, and G. Gielen, "A 2.8-to-8.5mW GSM/Bluetooth/UMTS/DVB-H/WLAN Fully Reconfigurable $CT\Delta\Sigma$ with 200 kHz to 20 MHz BW for 4G Radios in 90 nm Digital CMOS," VLSI Symp., pp. 153-154, Jun. 2010.
- [44] C.Y. Liou and C.C. Hsieh, "A 2.4-to-5.2 fJ/Conversion-step 10b 0.5-to-4 ms/s SAR ADC with Charge Average Switching DAC in 90 nm CMOS," ISSCC, pp. 280-281, Feb. 2013.
- [45] A. Shikata, R. Sekimoto, T. Kuroda, and H. Ishikuro, "A 0.5V 1.1MS/sec 6.3fJ/conversion-step SAR-ADC with tri-level comparator in 40nm CMOS," VLSI Symp., pp. 262-263, Jun. 2011.
- [46] I. M. Filanovsky, A. Allam, "Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits," IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 48, no. 7, pp. 876 - 884, Jul. 2001.
- [47] S. Hoppner, et al., "A Fast-Locking ADPLL with Instantaneous Restart Capability in 28-nm CMOS Technology," IEEE Trans. on Circuits and Systems II, Vol. 60, No. 11, pp. 741-745, Nov. 2013.
- [48] J. Y. Lee, et al., "A 4-GHz All Digital PLL with Low-Power TDC and Phase-Error Compensation," IEEE Trans. on Circuits and Systems I, Vol. 59, No. 8, pp. 1706-1719, Aug. 2012.
- [49] J. Y. Lee, et al., "A 230ns settling time type-I PLL with 0.96mW TDC power and simple TV calculation algorithm", IEEE MWSCAS, pp. 370-373, 2014.
- [50] P. Paliwal, P. Laad, M. Sattineni, S. Gupta, "Tradeoffs between settling time and jitter in phase locked loops," International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 746 - 749, Aug. 2013.

著者の研究業績目録

学会誌論文（筆頭論文，査読有）

1. K. Okuno, T. Konishi, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "Low-Jitter Design for Second-Order Time-to-Digital Converter Using Frequency Shift Oscillators," IEICE Trans. Fundamentals., Vol.E98-A, No.07, pp.1475-1481, July 2015.
2. K. Okuno, T. Konishi, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "An I/O-Sized ADC with Second-Order TDC and MOM Capacitor Voltage-to-Time Converter," IEICE Trans. Electron., Vol.E98-C, No.06, pp.489-495, June 2015.
3. K. Okuno, S. Izumi, K. Masaki, H. Kawaguchi, and M. Yoshimoto, "A Fast Settling All Digital PLL using Temperature Compensated Oscillator Tuning Word Estimation Algorithm," IEICE Trans. Fundamentals., Vol.E98-A, No.12, pp.2592-2599, Dec. 2015.

国際会議（筆頭論文，査読有）

1. K. Okuno, T. Konishi, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "A 62-dB SNDR Second-Order Gated Ring Oscillator TDC with Two-Stage Dynamic D-Type Flipflops as A Quantization Noise Propagator," IEEE International New Circuits and Systems (NEWCAS), pp.289-292, Jun. 2012.
2. K. Okuno, S. Izumi, T. Konishi, S. Dae-Woo, M. Yoshimoto, H. Kawaguchi, "Temperature Compensation Using Least Mean Squares for Fast Settling All-Digital Phase-Locked Loop," IEEE New Circuits and Systems Conference (NEWCAS), pp. 1-4, June 2013.
3. K. Okuno, T. Konishi, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "An 8-bit I/O-Sized ADC with Second-Order TDC and MOM Capacitor Voltage-to-Time Converter," IEEE International Conference on Electronics, Circuits, and Systems (ICECS), pp. 223-226, Dec. 2014.
4. K. Okuno, K. Masaki, S. Izumi, T. Konishi, H. Kawaguchi and M. Yoshimoto, "A 2.23 ps

RMS Jitter 3 μ s Fast Settling ADPLL using Temperature Compensation PLL Controller,"
IEEE International Conference on Electronics, Circuits, and Systems (ICECS), pp. 68-71,
Dec. 2014.

学会誌論文（共著論文，査読有）

1. T. Konishi, K. Okuno, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "An Opampless Second-Order MASH $\Delta\Sigma$ ADC with Using Gated Ring Oscillator Time-to-Digital Converter," IEICE Trans. Fundamentals., Vol. E96-A, No. 2, pp.434-442, Feb. 2013.
2. T. Konishi, K. Okuno, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "A second-Order All-Digital TDC with Low-Jitter Frequency Shift Oscillators and Dynamic Flipflops," IEICE Trans. Electron., Vol. E96-C, No. 4, pp.546-552, Apr. 2013.

国際会議（共著論文，査読有）

1. T. Konishi, K. Okuno, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "A 51-dB SNDR DCO-Based TDC Using Two-Stage Second-Order Noise Shaping," IEEE International Symposium on Circuits and Systems (ISCAS), pp. 3170-3173, Seoul, Korea, May 2012.
2. T. Konishi, K. Okuno, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "A 61-dB SNDR 700 μ m² Second-Order All-Digital TDC with Low-Jitter Frequency Shift Oscillators and Dynamic Flipflops," Symposium on VLSI Circuits, pp. 190-191, June 2012.
3. D. Matsunaga, K. Okuno, S. Izumi, H. Kawaguchi, M. Yoshimoto, "Non-contact and Noise Tolerant Heart Rate Monitoring using Microwave Doppler Sensor and Range Imagery," 37th Annual International Conference of the IEEE Engineering in Medicine and Biology Society(EMBC), pp.6118-6121, Aug. 2015.

本研究に関するその他の発表（査読無）

1. 奥野圭祐, 小西恵大, 和泉慎太郎, 川口博, 吉本雅彦, “低電力 20 相出力発振回路,” LSI とシステムのワークショップ 2011 ポスターセッション, pp.209-211, 北

九州市, 2011年5月.

2. 奥野圭祐, 小西恵大, 李赫鍾, 和泉慎太郎, 川口博, 吉本雅彦, “低電力 20 相出力発振回路,” 信学技報, vol. 111, no. 352, ICD2011-134, pp. 149-154, 2011年12月.
3. 奥野圭祐, 小西恵大, 和泉慎太郎, 吉本雅彦, 川口博, “65nm 700- μm^2 61-dB 低ジッタ 2 次 $\Delta \Sigma$ T-D 変換器,” LSI とシステムのワークショップ 2013 ポスターセッション, pp. 223-225, 北九州市, 2013年5月.
4. 奥野圭祐, 正木何奈, 和泉慎太郎, 川口博, 吉本雅彦, “温度補償回路を用いた高速セットリング ADPLL,” 第 37 回アナログ RF 研究会, 京都市, 2014年12月.
5. 奥野圭祐, 小西恵大, 和泉慎太郎, 吉本雅彦, 川口博, “時間デジタル変換器を用いた IO サイズ 8bitAD 変換器,” LSI とシステムのワークショップ 2015 ポスターセッション, 北九州市, 2015年5月.

本研究に関する特許出願

1. 川口博, 吉本雅彦, 小西恵大, 和泉慎太郎, 奥野圭祐, “TD 変換器及び AD 変換器,” 特許第 5552514 号 (2014年5月30日成立), H03M 1/50, 特開 2014-003580 (2014年1月9日公開), 特願 2012-203662 (2012年9月14日出願), 日本.

神戸大学博士論文

「リング発振器を用いたアナログ信号処理回路の小型化に関する研究」全 91 頁

提出日 2016 年 1 月 19 日

本博士論文が神戸大学機関リポジトリ **Kernel** にて掲載される場合、掲載登録日（公開日）はリポジトリの該当 ページ上に掲載されます。

© 著者 奥野 圭祐

本論文の内容の一部あるいは全部を無断で複製・転載・翻訳することを禁じます。