



# リング発振器を用いたアナログ信号処理回路の小型化に関する研究

奥野, 圭祐

---

(Degree)

博士 (工学)

(Date of Degree)

2016-03-25

(Date of Publication)

2017-03-01

(Resource Type)

doctoral thesis

(Report Number)

甲第6651号

(URL)

<https://hdl.handle.net/20.500.14094/D1006651>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



## 論文内容の要旨

氏 名 奥野 圭祐

専 攻 情報科学専攻

論文題目 (外国語の場合は、その和訳を併記すること。)

### リング発振器を用いたアナログ信号処理回路の小型化 に関する研究

指導教員 川口 博

(注) 2, 000 字～4, 000 字でまとめること。

近年、センサの使用分野は拡大しており、ユビキタスセンサネットワーク (USN) のような、多数のセンサを利用するアプリケーションが増加している。USN は複数の小型センサを無線通信により接続し、環境の情報や装着された人間の行動などを計測した情報を集め、それを元に様々なアプリケーションやサービスを提供することが可能である。温度や音声といった様々なデータをセンサが取得し、またデータ送信を行うことで実現される。適応されるアプリケーションは様々であり、防災・災害対策から防犯・セキュリティ、医療、農業など他分野に広がっている。また、センサ間のネットワークに他デバイスやインターネットなど、接続する領域を広めた IoT (Internet of Things) を実現するための研究も進められている。IoT ではセンサから得られた情報はインターネットを介して情報通信されることで、より応用範囲が広がり事で実現可能なアプリケーションが広がる。IoT が注目されるようになったのは、センサに使用される LSI の微細化プロセスの進歩などによる。センサ LSI の低コスト化が背景にある。IoT を実現するためには、より多く、より高精度なセンサが必要となるため、各センサの製造・維持コストの削減が要求されている。近年では微細化プロセスが進み、よりコストの削減が実現されているが、微細化が進むとデジタル回路において、高速化、省面積、低コスト化と多くの利点が得られる。しかし、アナログ回路においては、微細化の恩恵を得られない点が多い。受動素子であるリアクタンスやキャパシタンスの必要な面積は微細化しても変わらないため、回路全体の面積が増加してしまう。そのため、センサ用 LSI のようなアナログ回路とデジタル回路を混載した、ミックドシングル回路では、プロセスの微細化の恩恵を受けにくく、アナログ回路部分の低コスト化・低エネルギー化・高性能化が課題となっている。

本研究では、センサ回路に用いられ、また、アナログ素子を多く含んでいる、アナログ信号処理回路を小型化かつ微細化プロセスに適した構成にすることを目標とする。小型化かつ微細化プロセスに対応した構成にする方法として、リング発振器を適用した構成を提案し、数式モデルによる解析やシミュレーション、実測をもって検証を行う。本論文では特に、時間デジタル変換器 (TDC)、アナログデジタル変換器 (ADC)、完全デジタル PLL (ADPLL) の三種類を対象とした。それぞれの回路に対して高性能化、省面積化、省エネルギー化を図っており、各章で改善度について議論する。本論文は全 6 章で構成されており、第 1 章は序論である。

第 2 章では、発振器として利用される LC 発振器とリング発振器の比較を行い、微細化の点に着目して説明する。また、センサ用 LSI を構成するアナログ信号処理回路である TDC、ADC、ADPLL へのリング発振器応用の際に生じる問題点について述べる。

第 3 章では、10 bit 2 次  $\Delta\Sigma$  FSO (frequency shift oscillator) TDC の設計理論について検

証・考察を行う。本章では発振器を FSO という発振器を用いた TDC の動作原理より導出したモデル式により、性能に起因する要因を言及する。さらに、要求する性能にたいしての許容値について、SPICE と MATLAB シミュレーションを利用して検証を行う。モデル式の検証により、発振器のジッタ（特に初段の発振器のジッタ）が FSOTDC の分解能を決定する。パラメータ値の検証により、FSOTDC の設計方法に関する知見を得る。数式を用いた推論と回路シミュレーションから FSOTDC の性能を算出したところ、有効ビット数 (ENOB) 10 bit を得るためにはある程度のインバータのサイズが要求されることが判明した。得られた知見との整合性を確認するため、65nm CMOS プロセスで FSOTDC を試作・実測したところ、入力信号 10 kHz、サンプリングクロック 2 MHz で SNDR (Signal to noise and distortion ratio) が 64 dB という性能を確認し、前述した考察に沿った結果となり、推論手法の正当性を確認した。

第 4 章では、第 3 章で述べた省面積 TDC と電圧時間変換器 (VTC) を組み合わせた微細化に適した IO サイズ 2 次  $\Delta\Sigma$  ADC を提案する。提案 VTC はオペアンプといった微細化の恩恵を受けられない回路を排除しており、入力電圧に比例した電荷を MOM (metal oxide metal) 容量に蓄積させ、引き抜くまでにかかる時間を検出することで V/T 変換を行う構成となっている。加えて、提案 ADC がもつ非線形性は A/D 変換後にデジタル補正により補正を行うことで、高調波ノイズを抑制して性能を改善することが可能である。提案回路を 65nm CMOS プロセスで試作し、入力周波数 78 kHz、20 MHz のサンプリングレートで SNDR が 50 dB、ENOB では 8 bits の性能を得られた。回路面積と消費電力はそれぞれ 6468 mm<sup>2</sup> と 509  $\mu$ W となっており、提案 ADC の面積は同プロセスのデジタル入力 IO よりも小型である。従って、提案 ADC は IO 内に配置した、IO-ADC として使用することができる。

第 5 章では、本論文では温度補正技術を用いた高速セットリング ADPLL を提案する。ADPLL は出力が安定するまでに、セットリング時間という準備期間が発生する。従来手法ではルックアップテーブルやメモリを用いずに、発振器の制御値を自動で推定する手法によりセットリング時間の短縮化を図っている。しかし、温度変動が発生した場合における、発振器の特性を考慮できておらず、セットリング時間が長くなる場合がある。提案の推定手法では、適切な制御値をデジタル制御発振器 (DCO) の周波数特性から推定する。提案 ADPLL は 65nm CMOS プロセスで実装し、面積は 0.27 × 0.36 mm<sup>2</sup> となった。提案アルゴリズムを実装した温度補正制御回路 (TCPC) は FPGA に実装し、協調動作させて測定を行った。面積オーバーヘッドは 20 % で、25 °C での提案 ADPLL の平均セットリングタイムは 3  $\mu$ s である。また、0 °C から 100 °C までの温度変化が発生した場合においては 47 % 以上のセットリング時間の短縮化、削減エネルギーは 42 % という結果となった。

最後に第 6 章では、本論文の結論を述べる。

本論文では、センサ用回路として、TDC, ADC, ADPLL を取り上げ、それぞれの回路でリング発振器を応用した際に生じる課題を明らかにする。また、その問題点を克服するためにモデル式を用いた設計理論、省面積電圧時間変換回路、温度ばらつきによる周波数変動を考慮した補正アルゴリズムを提案し、微細化プロセスの恩恵を享受可能かつ高性能化を実現する。

氏名	奥野 圭佑		
論文 題目	リング発振器を用いたアナログ信号処理回路の小型化に関する研究		
審査 委員	区 分	職 名	氏 名
	主 査	教授	吉本 雅彦
	副 査	教授	永田 真
	副 査	教授	的場 修
	副 査		
			印
要 旨			
<p>近年、アナログ信号処理の分野は拡大している。IoT (internet of things)のような、多数のアナログ信号処理回路を利用するアプリケーションが増加しており、アナログ入力や発振器の信号処理をする回路についても従来のものより、低消費電力化、高性能化、低コストが要求されている。微細化が進めば、デジタル回路において、低消費電力、高速化、省面積化、低コスト化と多くの利点が得られる。しかし、アナログ回路においては、プロセススケラブルの利点を得られないことが多い。受動素子であるリアクタンスやキャパシタンスの必要な面積は微細化しても変わらないため、回路全体の面積が増加してしまう。そのため、アナログ回路を混載したミックスドシグナル回路では、プロセスの微境の恩恵を受けにくく、低コスト化・低消費電力化・高性能化が課題となっている。</p> <p>そこで本論文では特にリング発振器を用いたアナログ信号処理回路の小型化を議論する。アナログ信号処理回路を微細化プロセスに適した構成にするために、基本構成回路としてリング発振器を応用する。プロセススケラブルな回路構成を提案し、かつ性能向上を実現することを目標としている。本論文は全6章で構成されており、第1章は序論である。</p> <p>第2章では、発振器として利用されるLC発振器とリング発振器の比較を行い、微細化の点に着目して説明されている。また、アナログ信号処理用LSIを構成する回路である時間デジタル変換器(TDC: time-to-digital converter)、アナログデジタル変換器(ADC: analog-to-digital converter)、完全デジタルPLL(ADPLL: all-digital phase-locked loop)へのリング発振器応用時に生じる問題点について述べられている。</p> <p>第3章では、10bit 2次FSO (frequency shift oscillator) TDCの特性解析と線形線改善手法について提案されている。本章ではFSOTDCのモデル式より、性能に起因する要因を言及し、要求する性能にたいしての許容値について、SPICEとMATLABシミュレーションを利用して検証が行なわれている。モデル式の検証により、発振器のジッタ(特に初段の発振器のジッタ)がFSOTDCの分解能を決定するという知見が得られた。数式モデルを用いた考察と回路シミュレーションからFSOTDCの性能を算出したところ、有効ビット数(ENOB: effective number of bits) 10bitを得るためにはある程度のインバータのサイズが要求された。この得られた知見と実設計との整合性を確認するため、65nm CMOSプロセスでFSOTDCを試作・実測したところ、入力信号10kHz、サンプリングクロック2MHzでSNDR (signal to noise and distortion ratio) が64dBという性能であった。前述した考察に沿った結果となり、数式モデルと回路シミュレーションの正当性が確認され、線形性が向上した。</p> <p>第4章では、前章で述べた省面積TDCと電圧時間変換器(VTC)を組み合わせたIOサイズ2次ADCを提案されている。提案VTCはMOM (metal-oxide-metal) 容量で構成しており、入力電圧に比例した電荷をMOM容量に蓄積し、引き抜くまでにかかる時間を検出することで電圧時間変換を行う。また、電圧時間変換時に発生する非線形性をデジタル補正し、高調波ノイズが抑制される。提案回路を65nm CMOSプロセスで実装し、入力周波数78kHz、20MHzのサンプリングレートでSNDRが50dB、ENOBでは8bitが得られた。回路面積と消費電力はそれぞれ6468mm<sup>2</sup>と509μWとである。実測した最大INL (integral non-linearity) は1.41LSBである。提案ADCの面積は他のADCより優位であり、デジタルIOよりも小型であるため、提案ADCは内に配置した、IOサイズADCとして使用することができる。</p>			

氏名	奥野 圭佑
<p>第5章では、温度補正技術を用いた高速セットリングADPLLが提案されている。従来手法としてルックアップテーブルやメモリを用いず、発振器の制御値を自動で推定する手法が提案されていたが、提案ADPLLでは多位相デジタル制御発振器(DCO: digitally-controlled oscillator)を用いており、ADPLLのフィードバックで補正されるデジタル値OTW (oscillator tuning word)により制御される。提案の推定手法では、適切なOTWをDCOの周波数特性から推定する。提案ADPLLは65nm CMOSプロセスで実装し、面積は0.27×0.36mm<sup>2</sup>である。提案アルゴリズムを実装した温度補正制御回路をFPGA (field programmable gate array)に実装し、協調動作させて測定が行なわれた。温度変動が発生しても47%以上のセットリング時間の短縮が可能である。25°Cでの平均セットリングタイムは3μsである。0°Cから100°Cまで平均削減エネルギーは42%である。</p> <p>最後に第6章では、本論文の結論を述べられている。</p> <p>本論文では、リング発振器を応用したアナログ信号処理回路として、TDC、ADC、ADPLLを取り上げ、それぞれの回路構成に関する課題を明らかにした。また、その問題点を克服するためにモデル式を用いた設計方針、電圧時間変換回路、温度ばらつきによる周波数変動を補正するアルゴリズムを提案し、微細化プロセスの恩恵を享受可能なセアナログ信号処理回路の高性能化が実現され、小型化を達成した。提出された論文はシステム情報学研究科学学位論文評価基準を満たしており、学位申請者の奥野 圭佑は、博士(工学)の学位を得る資格があると認める。</p>	