



TCADシミュレーション技術の高機能化と実用的応用に関する研究

岩永, 順子

(Degree)

博士 (工学)

(Date of Degree)

2016-09-25

(Date of Publication)

2017-09-01

(Resource Type)

doctoral thesis

(Report Number)

甲第6738号

(URL)

<https://hdl.handle.net/20.500.14094/D1006738>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博 士 論 文

TCADシミュレーション技術の
高機能化と実用的応用に関する研究

平成 2 8 年 7 月

神戸大学大学院工学研究科

岩 永 順 子

内容梗概

半導体トランジスタの動作理論は、1949年に Shockley によって与えられ、以後多くの研究者が改良を加えて発達した。なかでも、1964年にそれまで純解析的な手法を用いて解いていた半導体基本方程式を Gummel が数値解法を用いてコンピュータ上で解いたことは大きな進歩であり、現在のデバイスシミュレーション技術に発展した。同時にプロセスシミュレーションや回路シミュレーションも発達し、それらを合わせて TCAD と呼ばれるシミュレーション技術に発展した。Si MOSFET の TCAD 技術は、目的とするデバイスの構造と製造条件の最適化を高精度で行えることから、研究だけでなく開発・製造でも実用的に使われた。一方、Si 以外の材料を用いたデバイスや新しい機能を実現する先行デバイスの研究分野では、動作メカニズムを解明する役割を担ってきた。

デバイスシミュレーションは、ポアソンの方程式、電流連続の方程式という確立した半導体基本方程式を解いており、デバイス内部で起こっている諸々の物理現象を数式でモデル化して追加することで、多種多様なデバイスの計算に拡張することができる。新しいデバイスをシミュレーションするときには、単純に物性パラメータを置き換えるだけでは不十分であり、新しいデバイスに備わった機能を記述するシミュレーション機能を追加し、実測との比較をおこない、既存のシミュレーションでは考慮されていない物理現象を解明してモデル化して追加するなどのシミュレーション技術の研究が必要である。そして、その研究によって、新しいデバイスの動作メカニズムに対する理解が深まり、研究の加速につながり、先行デバイスの開発に貢献している。

本論文では、新しい機能をもつ TCAD シミュレーション技術の研究を通して、新しい材料、新しい機能を有する先行デバイスを研究し、先行デバイスの特性を向上させる設計指針を示して、TCAD シミュレーション技術の実用的な有効性を示すことを目的とする。具体的には、本研究は以下の3つのテーマで構成される。

- ① ハーモニックバランスデバイスシミュレーションを用いた低歪み Si MOSFET の構造設計

② マルチフィジクスシミュレータを用いた GaN 基板上の LED の熱に起因する効率低下メカニズムの解明

③ 移動度モデリングを用いた歪み SiGe チャネル pMOSFET (sSG pMOSFET) のホール伝導の解明と構造最適化

第 1 のテーマでは、ハーモニックバランス (HB) デバイスシミュレーションを高周波向け Si MOSFET の 3 次相互変調歪み特性 (IMD3) 解析に応用し、線形性に優れたデバイス構造の提案をおこなった結果について述べる。これまで、チャネル方向に沿った横方向の電界を緩和する構造のデバイスにおいて歪み特性が改善される報告がなされていたが、その原因の分析に関する報告は少なく、動作条件としてドレイン電圧が低い線形領域に限られるものであった。

本研究では、まず、IMD3 が発生する空間的な場所を特定するために、HB デバイスシミュレータを用いて一般的な nMOSFET 構造のシミュレーションをおこない、IMD3 の発生が高い横方向電界が存在するチャネル - ドレイン、p-n 接合上の最表面に位置することを見出した。次に、IMD3 の影響を緩和するために、チャネル - ドレイン接合付近の横方向電界が小さい 3 種類の MOSFET 構造をシミュレーションし、チャネル - ドレイン接合部分のドーピング濃度プロファイルを最適化することで、動作条件が飽和・強反転領域である場合、低歪み特性を実現できることを示した。特に、p 型ウェルと n 型ドレイン領域の上に、低ドーピングの n 型表面チャネルと低ドーピングの n 型ドレインとなる薄層を導入することで、通常の MOSFET 構造と比較して 8 dB もの顕著な IMD3 の出力 (P_{IMD3}) の低減が実現された。また、シミュレーションから得られた電流電圧特性から、解析的手法を用いて IMD3 を計算し、HB デバイスシミュレーションの結果と一致することを確認してその妥当性を示した。また、飽和領域の IMD3 にはドレイン電流をドレイン電圧で微分した項が強く影響していることを明らかにした。

第 2 のテーマでは、完全連成 3 次元 electro - thermal デバイスシミュレータを開発して、プレーナ型 GaN 系発光ダイオード (LED) の高電流動作域での効率低下のメカニズムの研究をおこなった。とりわけ、厚い導電性 GaN 基板を用いて効率低下を改善できることを実証した。最初に、厚みの薄い導電性 GaN 基板中の局所ジュール熱が内部量子効率 (IQE) を低下させて、直列抵抗を増大させることを見

出し、再結合電流由来の IQE の温度依存性と注入効率 (IE) と温度の関係を用いて効率低下のメカニズムを説明した。次に、厚い (100 μm) 導電性 GaN 基板を導入したときの基板内部の電流密度分布と温度分布をシミュレーションし、薄い (5 μm) 基板のときのものと比較して、GaN 基板内部の最大電流密度が 6 分の 1 に低減することを見出した。これにより、厚い導電性 GaN 基板を導入することで、最大接合温度が下がり、IQE と駆動電圧が向上することを明らかにした。本研究によって、厚い導電性 GaN 基板が高電流動作におけるプレーナ LED の特性を向上させることを証明した。

第 3 のテーマでは、Si キャップ層を備えた歪み SiGe チャンネル pMOSET (sSG pMOSFET) におけるホール伝導に関する研究をおこなった。Si キャップ層はゲート酸化膜とチャンネルの間の界面品質の劣化を防ぐために導入されている。Ge 拡散、量子閉じ込め効果、表面ラフネス散乱、界面電荷に起因するクーロン散乱、実験計測結果を考慮したデバイスシミュレーションを用いて、sSG pMOSFET における Si キャップ層の役割を明らかにし、さらに、高いデバイスパフォーマンスを得るための最適設計を提案した。また、Si キャップ層を挿入することで、Si キャップ層内のバンドギャップエネルギーが大きくなり、オフ電流の低減に有効であることを証明した。

本研究では、① HB デバイスシミュレーション技術を用いて低歪み MOSFET の構造を提案し、② マルチフィジクスシミュレータを用いて熱による効率低下のメカニズムを解明し、GaN 基板を備えた LED が高出力化できることを証明し、③ 汎用シミュレータを用いて sSG pMOSFET の移動度モデリングをおこないホール伝導を解明し、オン電流の向上とオフリーク電流の低減のための構造最適化をおこなった。これらの研究から、TCAD シミュレーション技術の研究を通して先行デバイスの研究においてメカニズム解明が可能となり有益であることを示した。

近年、半導体結晶とは異なる、多結晶、非晶質、ナノ材料など、物性パラメータが不明確な材料を用いたデバイスが多く研究されるようになり、第一原理計算による物性パラメータを明らかにする材料シミュレーションの研究が積極的におこなわれている。今後は、このような材料を、マルチフィジクスシミュレータを用いてシミュレーションする研究が盛んになることが予想される。半導体デバイスのモデ

リング手法は,このような材料を用いたデバイスの研究においても核心になると考えられ, TCAD 技術は今後も様々な先行デバイスとともに研究され, 応用されていくものと展望する.

目次

第 1 章 序論	1
1.1. 本研究の背景	1
1.2. 本研究の目的	3
1.3. 本論文の構成	5
第 1 章の参考文献	7
第 2 章 ハーモニックバランスデバイスシミュレーション	8
2.1. 緒言	8
2.2. デバイス構造	10
2.3. 計算論的アプローチ	13
2.4. シミュレーション結果	17
2.4.1. 従来型 MOSFET の IMD3 の発生場所	17
2.4.2. IMD3 歪み特性	18
2.4.3. IMD3 歪み特性の n-channel-drain layer 構造依存性	22
2.5. 解析的アプローチとの比較	23
2.6. 結言	27
第 2 章の参考文献	29
第 3 章 GaN LED デバイスシミュレーション	32
3.1. 緒言	32
3.2. デバイス構造と計算論的アプローチ	33
3.2.1. デバイス構造	33
3.2.2. 計算論的アプローチ	35
3.3. 結果	41
3.3.1. 効率に対する熱の影響	41
3.3.2. 厚い GaN 基板の効果	45
3.4. 結言	50
第 3 章の参考文献	51
第 4 章 SiGe チャネル pMOSFET デバイスシミュレーション	54
4.1. 緒言	54
4.2. デバイス構造と計算論的アプローチ	55
4.2.1. デバイス構造	55

4.2.2. Si キャップ層内の Ge プロファイルのモデリングとホール輸送特性に対する影響	56
4.3. 電気特性に対する Si キャップ層厚依存性.....	62
4.4. オフリーク電流における Si キャップ層の影響.....	68
4.5. 結言	72
第 4 章の参考文献	73
第 5 章 結論	76
謝辞.....	80
本論文に関する研究業績	82

第 1 章 序論

1.1. 本研究の背景

1948 年に半導体トランジスタが発明されて以降，急速な発展を遂げた半導体デバイスは，情報・通信などの広い分野で用いられ，電子工学の基礎を支えてきた．半導体トランジスタの動作理論は，1949 年に Shockley によって与えられ [1]，以後，多くの研究者が改良を加えて発達した．半導体デバイスが世の中を変える巨大な産業にまで発展したのは，半導体デバイスの電氣的現象を材料物性と紐づけて物理的に説明する動作理論があり，多くの研究者がこの理論をもとに研究を重ねて進歩してきたからにほかならない [2]．なかでも，1964 年に Gummel によって，これまで純解析的な手法を用いて解いていた半導体基本方程式を，数値解法を導入した手法で解けるようになったことは大きな進歩であり [3]，現在のデバイスシミュレーション技術に発達した．

デバイスシミュレーションは，半導体の基本方程式を，コンピュータを用いた数値解法を用いて解いており，デバイスを構成する材料（半導体や絶縁膜，金属）の物性パラメータや，構造情報（電極間隔や半導体内部に拡散されてできる不純物分布）をもとに，任意の半導体デバイスの電流電圧特性やデバイス内部の状態（電位分布，キャリア密度分布）をシミュレーションすることができる．これにより，デバイスの動作メカニズムが理解されやすくなり，特性の向上や新しいデバイスの研究・開発に活用された．半導体シミュレーションの分野では，デバイスシミュレーションの他にも，デバイスを等価回路で表現して回路全体の電氣的特性を解析する回路シミュレーションや，製造条件から半導体内部の不純物の拡散状態を計算するプロセスシミュレーションなどが同時に発達し，これらの技術は総じて TCAD（Technology Computer Aided Design）と呼ばれる技術へと発展した [4-8]．特に，大規模集積回路に使用される Si MOSFET（Si metal-oxide-semiconductor field-effect transistor）の TCAD 技術は精度が高く，開発期間の短縮，歩留まり向上を目的とした製造条件の最適化を計算機上でシミュレートする技術として，研究の場だけでなく，開発・製造の現場でも実用的に使われた．

他方，Si 以外の化合物半導体を材料とし，Si 半導体では実現できない機能を備える先行デバイスの研究分野では，動作メカニズムを解明する役割を担ってきた．

たとえば, III-V 族化合物半導体 (GaAs など) からなる MESFET (metal-semiconductor field-effect transistor) , MISFET (metal-insulator field-effect transistor) やヘテロ接合を有する HEMT (high electron mobility transistor) , SiGe 半導体や III-V 族化合物半導体からなる HBT (hetero-bipolar transistor) などの高周波デバイスや, GaAs や GaN 半導体からなる LD (laser diode) や LED (light emitting diode) などの発光素子, ワイドギャップ半導体 (GaN や SiC) からなるパワーデバイス, Si や InGaAs からなる PD (photo diode) などの受光素子, アモルファス Si や多結晶 Si, 有機半導体からなる TFT (thin film transistor) がそれであり, これらの先行デバイスが研究されるようになると, これらのデバイスを研究するためのデバイスシミュレーション技術が研究されてきた.

たとえば, 1990 年代, Si 半導体では, 携帯電話などの無線通信システムにおいて要求される GHz 帯での動作が不可能であったので, Si 半導体よりも電子移動度の高い GaAs 半導体を用いて高周波デバイスが研究され, アンテナ周辺の送受信回路 (パワーアンプ, スイッチ, ローノイズアンプ, フロントエンド IC など) に使用されるようになった. このとき, 高周波デバイスに対応したシミュレーション技術も研究され, S パラメータ, 最高発振周波数, 高周波歪み, 高周波ノイズなどの高周波特性をシミュレーションすることが可能となった. 筆者はこれらの研究に加わり, 新しい高周波デバイス開発に必要なデバイスシミュレーションの機能を研究し, その妥当性を示し, デバイス研究における新しいデバイスシミュレーション技術の有効性を提示してきた. たとえば, S パラメータや最高発振周波数を計算する高周波シミュレーションの研究においては, 従来, 過渡シミュレーションを用いて長時間かけて計算していたものを [9], 高周波帯 AC シミュレーション技術を用いて短時間で計算することに成功した. この手法では, トランジスタの端子間の Y パラメータ (容量とコンダクタンス成分からなる) を計算する小信号 AC シミュレーションを [10], 高周波帯域においても収束できるようにアルゴリズムを改良しており [11], そこで求めた Y パラメータを変換して S パラメータを求めて, スミスチャートや利得, 最高発振周波数を計算している [12]. 従来, 何日もかけて計算していた高周波特性が数十分で計算できるようになり実用性が向上した. 筆者はさらに, このシミュレーションを用いて求めた S パラメータと実際のトランジスタ

の測定結果を比較し、大きな差異があることを示し、その差分が電極や配線などの寄生容量や寄生抵抗に起因するものであることを、実験を交えて定量的に証明し、デバイスの設計において寄生成分の考慮の重要性を示唆した [13].

このように、新しいデバイスをシミュレーションするときには、単純に物性パラメータを置き換えるだけでは不十分であり、新しいデバイスに備わった機能を記述するシミュレーション機能を追加し、実測との比較をおこない、既存のシミュレーションでは考慮されていない物理現象を解明してモデル化して追加するなどのシミュレーション技術の研究が必要である。そして、その研究によって、新しいデバイスの動作メカニズムに対する理解が深まり、研究の加速につながり、先行デバイスの開発に貢献している。

1.2. 本研究の目的

デバイスシミュレーションは、ポアソンの方程式、電流連続の方程式という確立した半導体基本方程式を解いており、デバイス内部で起こっている諸々の物理現象を数式でモデル化して追加することで、多種多様なデバイスの計算に拡張することができる。1.1 節で述べたように、化合物半導体などの材料を変えたデバイスや、アナログ・高周波回路動作機能が追加されたデバイス、発光・受光といった電気と光を変換する機能を備えたデバイスが研究されるようになると、デバイスシミュレーション技術も研究され、これらの多様なデバイスで起きる新たな現象が研究されて、動作メカニズムが解明されてきた。

本研究は、次々と生み出される先行デバイスの研究に適用できる TCAD シミュレーション技術の実用的応用に関するものである。新しいデバイスを作り出すとき、研究者たちはしばしば未知の現象に遭遇するが、新しい分析技術や評価技術などの要素技術の研究をおこない、それらの技術を用いて、未知の現象を解明してきた。TCAD シミュレーション技術の研究も、これら要素技術の研究と同じく、新しいデバイスの中で起こっている不明な現象に対して仮説をたて、物理的な数式と紐付けて理論モデルを作り、定性的・定量的に仮説の検証をおこなって、デバイスの動作メカニズムの解明をおこなうものである。また更に、それらの知見をもとにして、

デバイスの特性を改善するための工夫や設計, 研究の指針の提示をおこなうものである.

本研究の目的は, 新しい機能をもつ TCAD シミュレーション技術の研究を通して, 新しい材料, 新しい機能を有する先行デバイスを研究し, 先行デバイスの特性を向上させる設計指針を示して, TCAD シミュレーション技術の実用的な有効性を示すことである. 具体的には, ① Si MOSFET の線形性の向上, ② GaN LED の高出力化, ③ 歪み SiGe チャネル pMOSFET (sSG pMOSFET) の構造最適化を, TCAD シミュレーション技術の高機能化の研究を通しておこなった. ①の Si MOSFET の線形性の研究は筆者が 1990 年代に米国のスタンフォード大との共同研究を通して開発されたオリジナルのデバイスシミュレータ PISCES-HB [14] を用いておこなったものであり, ②の GaN LED の研究は米国の Robust Chip 社のマルチフィジクスシミュレータ PROPHET [15-16] を用いておこなったものであり, ③の sSiGe pMOSFET の研究は米国の Synopsys 社から発売されていた Taurus Device [17] という汎用シミュレータを用いておこなったものである. 自作のオリジナルのシミュレータはソースコードから開発する自由度があり, 市販の汎用シミュレータは既存のモデルを使う制限があるが, 完成度が高いので製品開発にそのまま活用することができる. マルチフィジクスシミュレータは, 所望の基本方程式を設定することができるので, 基本方程式の追加や変更をおこないやすく, たとえば, 液体中のイオン伝導デバイスなどの半導体以外のデバイスにも展開することが可能で, 近年積極的に研究がおこなわれている [18]. 研究の環境や, 研究のフェーズ (学術的なのか製品開発に近いのか), 取り扱う材料の物性パラメータの確度など, 状況に応じてシミュレーションの研究のすすめ方は様々で, デバイスシミュレーション技術が先行デバイス開発において広い可能性をもっていることがわかる. 本研究では, 上記したように, 3 種のシミュレータを用いた 3 種のデバイスの研究をおこない, それぞれのフェーズにおける TCAD シミュレーション技術の有用性と可能性を示すことを目的とする.

1.3. 本論文の構成

本論文は、筆者が神戸大学大学院工学研究科電気電子工学専攻ナノ構造エレクトロニクス研究室博士課程後期課程所属時におこなった、TCAD シミュレーション技術の高機能化と実用的応用に関する研究成果をまとめたものである。具体的には、先行デバイスのための高機能シミュレーション、およびシミュレーションモデルの提案、シミュレーション結果の妥当性の検証、それらを用いた先行デバイスの特性向上のための提案についての成果をまとめたものであり、全 5 章で構成されている。

第 1 章

本章では、本研究の背景として、TCAD シミュレーション技術の過去の研究動向を述べ、本研究の目的および本論文の構成について説明した。

第 2 章

本章では、ハーモニックバランス (HB) デバイスシミュレーションを、高周波向け Si MOSFET の 3 次相互変調歪み特性 (IMD3) 解析に応用し、IMD3 が発生する空間的な場所を特定し、線形性に優れたデバイス構造の提案をおこなった結果について述べた。また、解析的手法を用いて IMD3 を計算し、HB デバイスシミュレーションの結果と一致することを確認してその妥当性を示した。

第 3 章

本章では、完全連成 3 次元 electro-thermal デバイスシミュレータを開発して、プレーナ型 GaN 系発光ダイオード (LED) の高電流動作域での効率低下のメカニズムの研究をおこなった。とりわけ、厚い導電性 GaN 基板を用いることで、電流密度と接合温度を低減して効率劣化を改善できることを示した。

第 4 章

本章では、Si キャップ層を備えた歪み SiGe チャネル pMOSFET (sSG pMOSFET) におけるホール伝導について研究をおこなった。Ge 拡散、量子閉じ込め効果、表面ラフネス散乱、界面電荷に起因するクーロン散乱、実験計測を考慮したデバイス

シミュレーションを用いて, sSG pMOSFET における Si キャップ層の役割を明らかにし, 高いデバイスパフォーマンスとオフリーク電流の低減を実現する最適設計を提案した.

第 5 章

本章では, 各章での研究成果についてまとめ, 今後の研究の展望を述べた.

第 1 章の参考文献

- 1) W. Shockley, The Bell System Technical Journal, **28**, 435 (1949).
- 2) S. M. Sze, K. K. Ng, *Physics of Semiconductor Devices* (Wiley, New York, 2006).
- 3) H. K. Gummel, IEEE Trans. Electron Devices **ED-11**, 455 (1964).
- 4) S. Selberher, *Analysis and Simulation of Semiconductor Devices* (Springer-Verlag, Wien New York, 1984).
- 5) C. M. Snowden, *Introduction to Semiconductor Modeling* (World Scientific, 1998).
- 6) K. Hess, *Advanced Theory of Semiconductor Devices* (IEEE Press, New York, 1999).
- 7) R. W. Dutton, Z. Yu, *Technology CAD – Computer Simulation of IC Processes and Devices* (Springer Science+Business Media, LLC, 1993).
- 8) 倉田衛, バイポーラトランジスタの動作理論 (近代科学社, 1980) .
- 9) G. Ghione, C.U. Naldi, F. Filicori, IEEE Trans. Microwave Theory Tech. **37**, 457 (1989).
- 10) S. E. Laux, IEEE Trans. Electron Devices **ED-32**, 2028 (1985).
- 11) K.-C. Wu, Z. Yu, L. So, R. W. Dutton, J. Sato-Iwanaga, IEDM Tech. Dig., 935 (1992).
- 12) 岩永順子, 太田順道, 石川修, Ke-Chin Wu, Zhiping Yu, Robert W. Dutton, 電子情報通信学会, 信学技報 **ED92-126**, 23 (1993).
- 13) J. Sato-Iwanaga, Y. Ota, O. Ishikawa, K. Inoue, Z. Yu, R. W. Dutton, 1994 Asia Pacific Microwave Conference Workshop, 79 (1994).
- 14) B. Troyanovsky, Dr. Thesis, Stanford University, Stanford, CA (1997).
- 15) <http://www-tcad.stanford.edu/~prophet/>
- 16) <http://www.robustchip.com/>
- 17) Taurus-Device User Guide Version W-2004.09, Synopsys.
- 18) Y. Liu, J. Sauer, R. W. Dutton, J. Appl. Phys., **103**, 084701 (2008).

第 2 章 ハーモニックバランスデバイスシミュレーション

2.1. 緒言

アナログ MOSFET 回路では、MOSFET のゲート電圧に対するドレイン電流の良好な線形性が求められる．たとえば、周波数が f_1 の正弦波の基本信号 (F1) をゲートに入力すると、周波数が $2f_1, 3f_1 \dots$ の高次の高調波歪み (HD2, HD3 ...) を伴う歪んだ波形がドレインから出力される．また、周波数が f_1 と f_2 ($f_1 < f_2$) の 2 つの基本信号 (F1, F2) を入力すると、高調波歪みに加えて、周波数が $f_2 - f_1, f_1 + f_2, 2f_1 - f_2, 2f_2 - f_1, \dots$ の高次の相互変調歪み (IMD2_{low}, IMD2_{high}, IMD3_{low}, IMD3_{high} ...) が生成され、それらが加算された歪んだ波形が出力される (図 2.1 参照)．アナログ MOSFET 回路の主要な応用分野であるマルチチャンネルコミュニケーションシステムにおいては、これら歪みの低減が求められており、とりわけ、3 次相互変調歪み (IMD3) が小さい高性能な MOSFET が必要とされている．

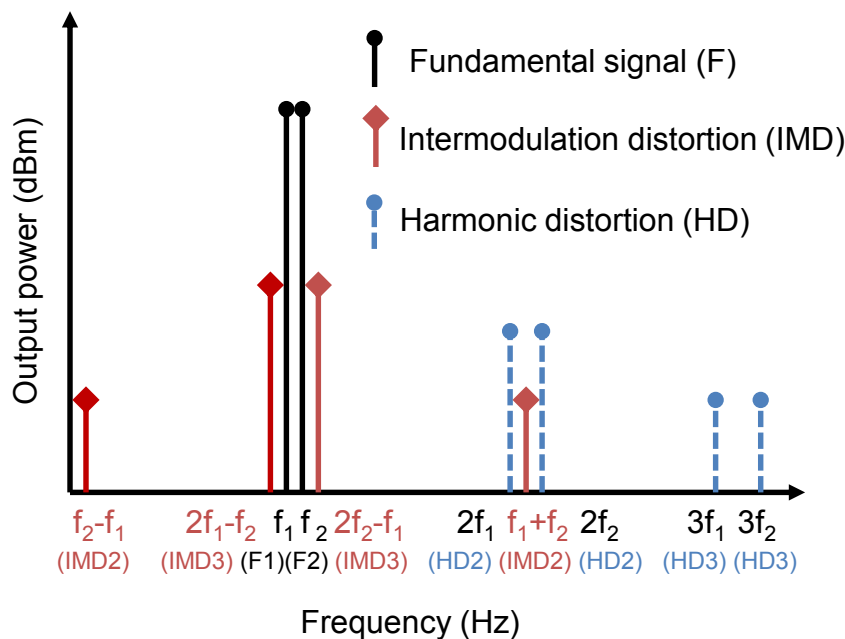


図 2.1. トランジスタに2波を入力したときに発生する隣接した周波数帯の模式図．基本信号，高調波歪み，相互変調歪みの出力電力スペクトルを周波数の関数として示す．

そこで、線形性を向上するために、様々な回路技術やシステムレベルの技術、解析的モデルが積極的に研究されてきた [1-8]．しかしながら、その多くは歪み特性

を記述するために等価回路モデルを使っており、高次歪み特性と実際のデバイス構造の関係を調べる研究は少なかった。このような中で、harmonic balance (HB) デバイスシミュレーションは、物理に基づいた基本方程式を使ってトランジスタの歪み特性を計算しており、歪み特性とデバイス構造の関係性を調べることができるので、歪み特性に対する理解を深めるうえで強力なツールであった [9-15]。例えばこれまでに、GaAs metal-semiconductor FET (MESFET) や、laterally diffused MOSFET (LDMOS) , SiGe heterojunction bipolar transistor (HBT) の歪特性が、HB デバイスシミュレーションを用いて解析され [16-30]、これらトランジスタの線形性に対するデバイス構造の影響が解明されている。中でも、Si MOSFET に関しては、チャネルと平行な横方向電界が歪み特性の向上と重要な関係にあることが示唆されている [27, 28]。

本研究では、まず、これまでに筆者がスタンフォード大との共同研究を通して開発したデバイスシミュレータ Poisson and continuity equation solver (PISCES) の HB バージョン (PISCES-HB) [9-14,31,32] を用いて、従来型の nMOSFET をシミュレーションし、IMD3 が発生する主要な空間的場所を特定する。本研究で使用する PISCES-HB は DC 状態の電子密度や電界などの空間分布だけでなく、これらの歪み成分 (IMD3 成分など) の空間分布を計算、表示することができる。この機能を用いて、IMD3 の発生場所が、チャネル - ドレイン、p-n 接合付近最表面の高い横方向電界が存在する場所に位置していることを見出す。さらに、この結果を踏まえて、従来型の MOSFET よりも IMD3 特性の向上が見込まれる 3 種類の nMOSFET を提案し、シミュレーションをおこなう。具体的には、横方向電界が低いと見込まれる、チャネル - ドレイン接合付近で異なる不純物プロファイルをもった 3 種類の構造について調べ、チャネル - ドレイン間の不純物プロファイルの傾斜が緩やかなドレイン構造や、p 型ウェルと n 型ドレイン領域の最表面に不純物濃度が低く薄い n 型チャネル - ドレイン層を導入することで、電流飽和領域で低歪みの MOSFET が実現できることを示す。さらに、HB デバイスシミュレーションから得られた IMD3 特性と、ドレイン - ソース電流の非線形性を考慮して得られた解析的モデルから得られた IMD3 特性とを比較して、HB デバイスシミュレーショ

ンの結果の妥当性を確認し，飽和・強反転条件における IMD3 特性を生成する支配的要因を特定する．

2.2. デバイス構造

本研究では，図 2.2 に示す従来型の nMOSFET と，チャネル－ドレイン接合付近に異なる不純物分布をもつ 3 種類の nMOSFET の IMD3 特性について調べる．

まず，従来型の nMOSFET とは，図 2.2(a) に示すような 不純物プロファイルが左右対称の構造であることを意味し，以下，“(I) conventional” と表す．

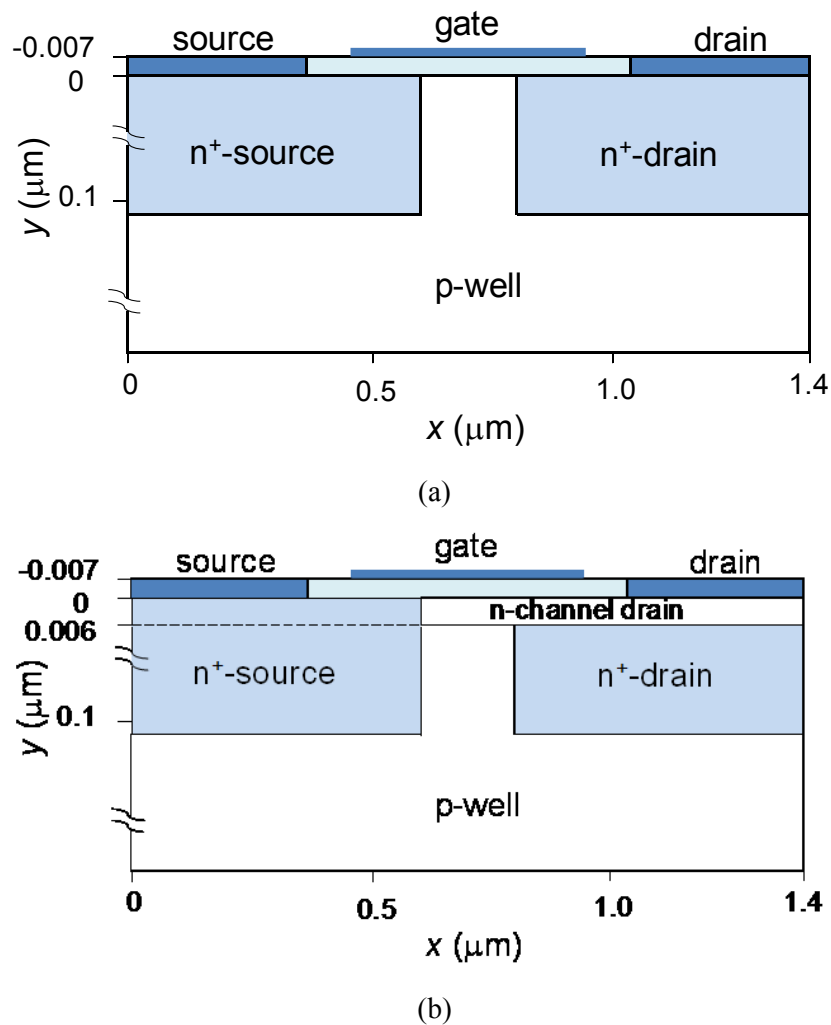
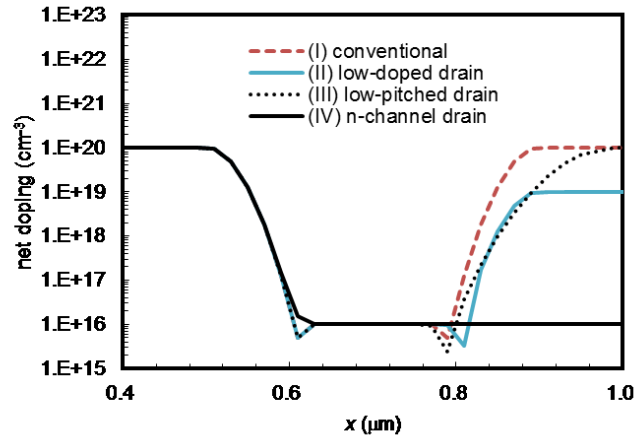
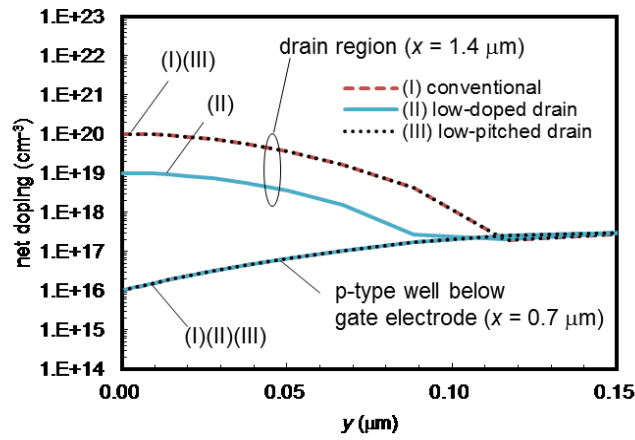


図 2.2. 本研究における nMOSFET のデバイス構造図．(a) 従来型 MOSFET 構造．以後，“(I) conventional” と表記する．また，“(II) low-doped drain” と “(III) low-pitched drain” は (a) と同じ幾何学的構造をもち，ドレイン領域のドーピング濃度プロファイルが異なる．(b) 低ドーブ n 型チャネル n 型ドレイン薄層を p 型ウェルとドレイン領域の最表面に備えた MOSFET 構造．以後，“(IV) n-channel drain” と表記する．

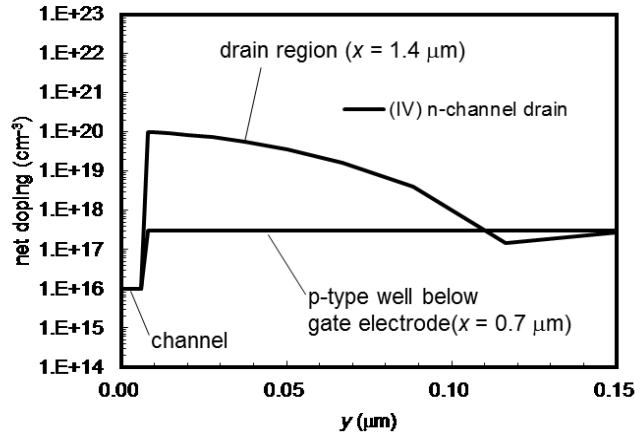
次に、チャネル－ドレイン接合付近の横方向電界を下げるために、図 2.3(a) に示すように、従来型の nMOSFET に、不純物濃度の低いドレイン構造や、横方向の不純物濃度の傾斜の緩いドレイン構造を導入する。これは、Chen 等によってチャネルと平行な横方向電界が歪み特性の向上と重要な関係にあることが示唆されていることを参考とした [27, 28]。図 2.3(a) は、半導体領域の最表面 ($y=0$) における横方向の不純物濃度プロファイルであり、不純物濃度の低いドレインと不純物濃度の傾斜の緩いドレインをもつ構造をそれぞれ、“(II) low-doped drain”, “(III) low-pitched drain” と表記する。不純物濃度の低いドレインの最表面のドナー濃度は $1 \times 10^{19} \text{ cm}^{-3}$ とする。さらに、図 2.2(b) に示すような、p 型ウェルと n 型ドレイン領域の最表面に、不純物濃度が低く、かつ、薄い n-channel drain 層を導入した新しいデバイス構造を提案する。図 2.3(a) の黒い実線に描かれているように、不純物濃度が低く薄い n 型チャネル－ドレイン層の不純物濃度 ($x=0.6 \sim 1.4 \mu\text{m}$) は一定になっている。言い換えれば、チャネル－ドレイン接合付近の横方向電界が低くなるように、チャネルのドレイン端の最表面の p-n 接合なくす構造としている。この構造を“(IV) n-channel drain”と表す。図 2.3(b) には構造 (I) , (II) , (III) の、図 2.3(c) には構造 (IV) の、ゲート領域 ($x=0.7 \mu\text{m}$) とドレイン領域 ($x=1.4 \mu\text{m}$) の断面の縦方向の不純物濃度のプロファイルをプロットする。構造 (I) , (II) , (III) における p 型ウェル領域の深い部分の不純物濃度は $3 \times 10^{17} \text{ cm}^{-3}$ に設定され、最表面に向かって徐々に $1 \times 10^{16} \text{ cm}^{-3}$ に減少する。一方、構造 (IV) では、不純物濃度は p 型ウェル領域全体において $N_{\text{well}} = 3 \times 10^{17} \text{ cm}^{-3}$ に設定され、n-channel-drain 領域の中で突然 $N_{\text{ch}} = 1 \times 10^{16} \text{ cm}^{-3}$ に減少する。n-channel drain 層の厚さは $T_{\text{ch}} = 6 \text{ nm}$ とする。ここで示した n-channel drain 層のドーピング濃度と厚さが IMD3 出力特性に関して最適であることは、2.4.3 節にて、構造 (IV) の n-channel drain 層の IMD3 歪み特性に対する構造依存性を議論して説明する。また、低濃度の薄い n 型チャネル層は高濃度の厚い p 型ウェルと深さ方向に接しており、その接合部分で不純物濃度が急峻に変化しており、n 型チャネル層がオフ状態で完全に空乏化するように膜厚と濃度が設計されているので、良好に制御されたサブスレッショルド特性が実現されている。



(a)



(b)



(c)

図 2.3. (a) 半導体領域の最表面 ($y = 0$) に沿った横方向ドーピング濃度プロファイル. (b) ゲート領域 ($x = 0.7 \mu\text{m}$) とドレイン領域 ($x = 1.4 \mu\text{m}$) の垂直方向のドーピング濃度プロファイル. (I) conventional, (II) low-doped drain, (III) low-pitched drain, 各構造のMOSFET のシミュレーションにおいて仮定した. (c) (IV) n-channel drain 構造のMOSFET のシミュレーションにおいて仮定したゲート領域 ($x = 0.7 \mu\text{m}$) とドレイン領域 ($x = 1.4 \mu\text{m}$) の垂直方向のドーピング濃度プロファイル.

図 2.4 に、上記 4 構造のドレイン電圧が 2.0 V のときのドレイン電流 (I_d) vs ゲート電圧 (V_g) 特性の計算結果を示す. 構造 (IV) は予想通り、閾値電圧が下がっているものの、サブスレッショルド特性がよく制御されており、駆動電流についても、ドレイン抵抗の上昇にもかかわらず、他の 3 構造と遜色ないことが確認できる. 構造 (IV) では、ドレイン領域の n-channel drain 層の不純物濃度もまた、チャネル領域と同じ値である $1 \times 10^{16} \text{ cm}^{-3}$ に設定されている. 全てのデバイス構造において、チャネル長は $0.2 \mu\text{m}$ とし、ゲート酸化膜の厚さは 7 nm としている.

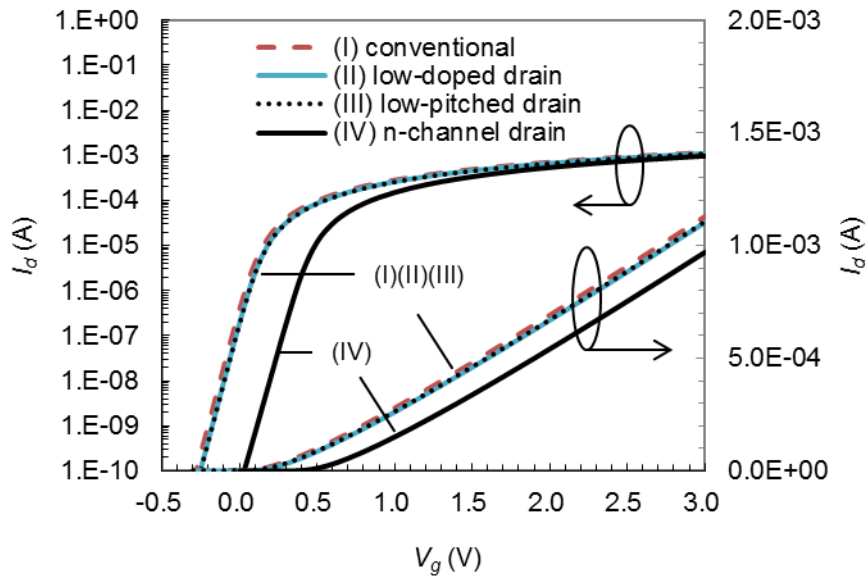


図 2.4. (I) conventional, (II) low-doped drain, (III) low-pitched drain, (IV) n-channel drain, 各構造の MOSFET について計算したドレイン電流 (I_d) vs ゲート電圧 (V_g) 特性. ドレイン電圧は 2.0 V に設定した.

2.3. 計算論的アプローチ

本研究では、前項で記述した MOSFET の歪み特性をシミュレーションするために、物理に基づいたデバイスシミュレータ PISCES-HB を使用した [9-14, 31, 32]. PISCES-HB は以下の 2 次元のポアソンの式 [式 (2.1)] と電流連続式 [式 (2.2)] を、HB 法を用いて周波数領域で自己整合的に解いている. HB 法は、回路シミュレーションで非線形周波数領域解析に通常使われている手法である [33-36].

$$\varepsilon \nabla^2 \psi = -q(p - n + N_D^+ - N_A^-), \quad (2.1)$$

$$\frac{1}{q} \nabla \cdot \left(-q \mu_c \left(\nabla \psi \right) c + q D_c \nabla c \right) = 0 \quad (c \equiv e, h). \quad (2.2)$$

ここに、 ε は誘電体の誘電率、 ψ は電位、 q は電気素量、 n (p) は電子 (ホール) 密度、 N_D^+ (N_A^-) はイオン化ドナー (アクセプター) 濃度、 μ_c と D_c はそれぞれ電子 ($c=e$) とホール ($c=h$) のキャリア移動度ならびに拡散係数である。

HB デバイスシミュレーションでは、 ψ や n , p といった物理量を、 H 次までの高調波の三角関数の和で次式のように仮定している。

$$X(t) = X_{dc} + \sum_{h=1}^H \left(X_h^R \cos(2\pi f_h t) - X_h^I \sin(2\pi f_h t) \right) \quad (X \equiv \psi, n, p). \quad (2.3)$$

ここに、 f_h は 2 波の基本信号 (f_1, f_2 ; $f_1 < f_2$)、高次の高調波歪み ($f_{HD2_high} = 2f_2$, $f_{HD2_low} = 2f_1$, $f_{HD3_high} = 3f_2$, $f_{HD3_low} = 3f_1, \dots$)、そして、相互変調歪み ($f_{IMD2_high} = f_1 + f_2$, $f_{IMD2_low} = f_2 - f_1$, $f_{IMD3_high} = 2f_2 - f_1$, $f_{IMD3_low} = 2f_1 - f_2, \dots$) といった多様な周波数を表している。デバイスシミュレーションにおける HB 法の詳細は Troyanovsky の論文に記述されている [9-14]。

PISCES-HB では、各電極に流れる IMD3 ドレイン電流 (I_{dIMD3}) といった歪み電流をキャリア密度と電位から計算しており、高調波的にゆらぐ局所的なキャリア密度や電位の歪み成分の空間的分布もプロットできる [14, 20, 21, 24]。

本研究で使⽤した PISCES-HB では、式 (2.3) の物理量 $X(t)$ を、フーリエ係数 X_h と位相 θ を使って次のように表して、

$$X(t) = \text{Re} \sum_{h=-H}^H \left(X_h e^{j(2\pi f_h t - \theta)} \right) \quad (X \equiv \psi, n, p), \quad (2.4)$$

IMD3 電子密度 (n_{IMD3}) や IMD3 電位 (ψ_{IMD3}) のフーリエ係数 X_h の空間的分布をプロットすることにより、IMD3 の発生場所に関する情報を取得することができる。

加えて、本研究で使⽤した PISCES-HB は、図 2.5 に示す回路構成における出力電力を求めることができるように改良してある。言い換えると、 $50 \, \Omega$ の負荷抵抗で消費される基本信号、高調波歪み、相互変調歪みの出力を直接計算することができる。本研究では、アナログ MOSFET 回路において重要な歪み特性である

MOSFET の IMD3 電力 (P_{IMD3}) の特性に焦点をあてており, P_{IMD3} は I_{dIMD3} と負荷抵抗 (R_{load}) を使って以下のように計算している.

$$P_{IMD3} = R_{load} I_{dIMD3}^2 \cdot \quad (2.5)$$

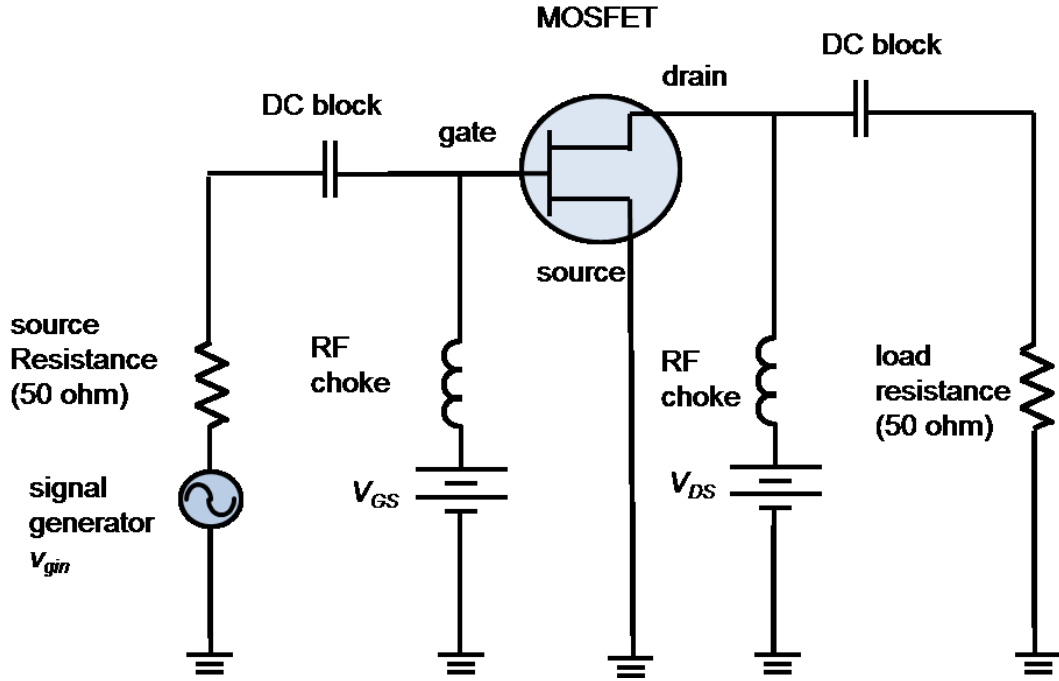


図 2.5. P_{IMD3} を計算するために用いた回路構成. ブロッキングキャパシタと 50 Ω 終端したRF チョークを含んでいる.

図 2.6 は, 本研究でおこなったシミュレーションの概念の流れを示す図である. 微分方程式 (ポアソン式と電流連続式) と, DCバイアス, ゲートに入力する周期的な刺激波形 (三角関数の合成波形) を用意し, ステップ1で解 ψ , n , p が周期的であると仮定して周波数展開する. ステップ2で周波数展開した ψ , n , p を微分方程式に代入し, 式を周波数展開して解く. 求まった ψ , n , p を用いて各電極で生じる応答電流と応答電圧を求める. DC状態に周期的な刺激波形を入れることでデバイス内部に生じる周期的な応答を計算している.

Given 微分方程式と DC バイアス, 周期的刺激波形

ポアソン式と電流連続式

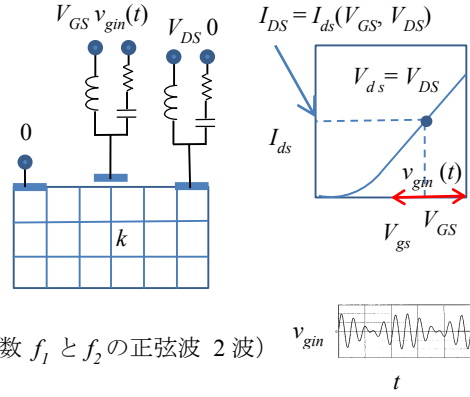
$$\left. \begin{aligned} F_1(t) &\equiv \nabla \cdot \varepsilon \nabla \psi_k(t) + q(p_k(t) - n_k(t) + N_D^+ - N_A^-) = 0 \\ F_2(t) &\equiv \frac{1}{q} \nabla \cdot (-q \mu_n n_k(t) \nabla \psi_k(t) + q D_n \nabla n_k(t)) = 0 \\ F_3(t) &\equiv -\frac{1}{q} \nabla \cdot (q \mu_p p_k(t) \nabla \psi_k(t) + q D_p \nabla p_k(t)) = 0 \end{aligned} \right\} \dots (1)$$

k : node

DC バイアス : V_{GS}, V_{DS}

ゲートに入力する周期的刺激波形 : $v_{gin}(t)$ (振幅 V_{in} , 周波数 f_1 と f_2 の正弦波 2 波)

$$v_{gin}(t) = V_{in} \cos(2\pi f_1 t) + V_{in} \cos(2\pi f_2 t) \dots (2)$$



Step1 解が周期的と仮定し周波数展開

変数 (ポテンシャル $\psi_k(t)$, 電子密度 $n_k(t)$, ホール密度 $p_k(t)$) を周波数展開

$$\left. \begin{aligned} \psi_k(t) &= \psi_{k,dc} + \sum_{h=1}^H (\psi_{k,h}^R \cos(2\pi f_h t) - \psi_{k,h}^I \sin(2\pi f_h t)) \\ n_k(t) &= n_{k,dc} + \sum_{h=1}^H (n_{k,h}^R \cos(2\pi f_h t) - n_{k,h}^I \sin(2\pi f_h t)) \\ p_k(t) &= p_{k,dc} + \sum_{h=1}^H (p_{k,h}^R \cos(2\pi f_h t) - p_{k,h}^I \sin(2\pi f_h t)) \end{aligned} \right\} \dots (3)$$

Step2 (3) を (1) に代入し, ポアソン式と電流連続式を周波数展開して解く

$$\left. \begin{aligned} F_{1,k}(t) &= F_{1,k,dc} + \sum_{h=1}^H (F_{1,k,h}^R \cos(2\pi f_h t) - F_{1,k,h}^I \sin(2\pi f_h t)) = 0 \\ F_{2,k}(t) &= F_{2,k,dc} + \sum_{h=1}^H (F_{2,k,h}^R \cos(2\pi f_h t) - F_{2,k,h}^I \sin(2\pi f_h t)) = 0 \\ F_{3,k}(t) &= F_{3,k,dc} + \sum_{h=1}^H (F_{3,k,h}^R \cos(2\pi f_h t) - F_{3,k,h}^I \sin(2\pi f_h t)) = 0 \end{aligned} \right\} \dots (4)$$

(3) の係数

$$\psi_{k,h}^R(t), \psi_{k,h}^I(t), n_{k,h}^R(t), n_{k,h}^I(t), p_{k,h}^R(t), p_{k,h}^I(t) \dots (5)$$

を求める

Goal (5) を (3) に戻し, 応答電流と応答電圧を求める

ドレイン電流, ゲート電流 :

$$I_{ds}(V_{gs}(t), V_{ds}(t)) = I_{ds}(V_{GS}, V_{DS}) + I_{ds}(v_{gs}(t), v_{ds}(t)) \dots (6)$$

$$I_{gs}(V_{gs}(t), V_{ds}(t)) = I_{gs}(V_{GS}, V_{DS}) + I_{gs}(v_{gs}(t), v_{ds}(t)) \dots (7)$$

$V_{gs}(t) = V_{GS} + v_{gs}(t)$: ゲート電極の電圧

$V_{ds}(t) = V_{DS} + v_{ds}(t)$: ドレイン電極の電圧

$v_{ds}(t)$ ($v_{gs}(t)$) : $v_{gin}(t)$ によってドレイン (ゲート) 電極に発生する応答電圧

$I_{ds}(V_{GS}, V_{DS})$ ($I_{gs}(V_{GS}, V_{DS})$) : DC バイアス V_{GS}, V_{DS} 印加時のドレイン (ゲート) の DC 電流

$I_{ds}(v_{gs}(t), v_{ds}(t))$ ($I_{gs}(v_{gs}(t), v_{ds}(t))$) : $v_{gin}(t)$ によってドレイン (ゲート) 電極に発生する応答電流

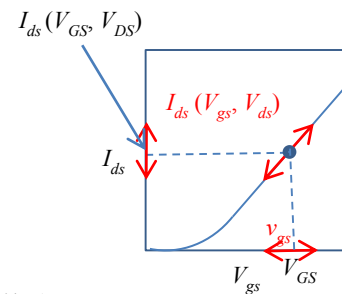


図 2.6. 本研究でおこなったHBデバイスシミュレーションの概念図.

前述したように、本研究では、構造的パラメータ（ゲート、ソース、ドレイン、ゲート絶縁膜の長さや幅、不純物濃度）と、物理的パラメータを用いて歪み特性を計算する．この計算の妥当性については、これまでの筆者の研究の中で、GaAs MESFET や SiGe HBT の高調波歪みおよび相互変調歪み特性の解析において、PISCES-HB が定量的に妥当な結果を与えることを実験との比較を通して実証しており [17, 24], このシミュレーションを用いた研究もまた、低歪み Si MOSFET を実現するための有益な情報を提供するものと考えている．

2.4. シミュレーション結果

2.4.1. 従来型 MOSFET の IMD3 の発生場所

この項では、従来型 MOSFET 構造 (I) を PISCES-HB を用いてシミュレーションし、IMD3 の発生場所を見出す．図 2.7 は従来型 MOSFET の歪み成分 n_{IMD3} の鳥瞰図を示しており、ドレイン電圧 $V_d = 2$ V, ゲート電圧 $V_g = 3$ V のバイアス条件において、 $f_1 = 400$ MHz, $f_2 = 500$ MHz, -40 dBm の 2 波をゲート電極に入力したときの結果である．この項では、IMD3 特性として、周波数が $2f_1 - f_2 = 300$ MHz のときの $IMD3_{low}$ のシミュレーション結果を示す．周波数が $2f_2 - f_1 = 600$ MHz のときの $IMD3_{high}$ が $IMD3_{low}$ と殆ど同じであることを確認しているので、 $IMD3_{low}$ のみとしている．図 2.7 から、 n_{IMD3} がチャネルとドレインの間にある p-n 接合付近の最表面で主に発生していることがはっきりとわかる．p-n 接合付近に発生する高い横方向電圧は、ドレインに印加される電圧によるもので、従来型 MOSFET の場合、この高い横方向電界が MOSFET の非線形性を増していると考えられている [27, 28]. n_{IMD3} は集中的に p-n 接合付近で発生しており、 n_{IMD3} の発生が歪んだ出力信号 IMD3 の原因と考えられる．上記観察結果は、2.2.1 項に記述したように、p-n 接合付近の横方向電界の低減が n_{IMD3} の発生を軽減することを示唆している．

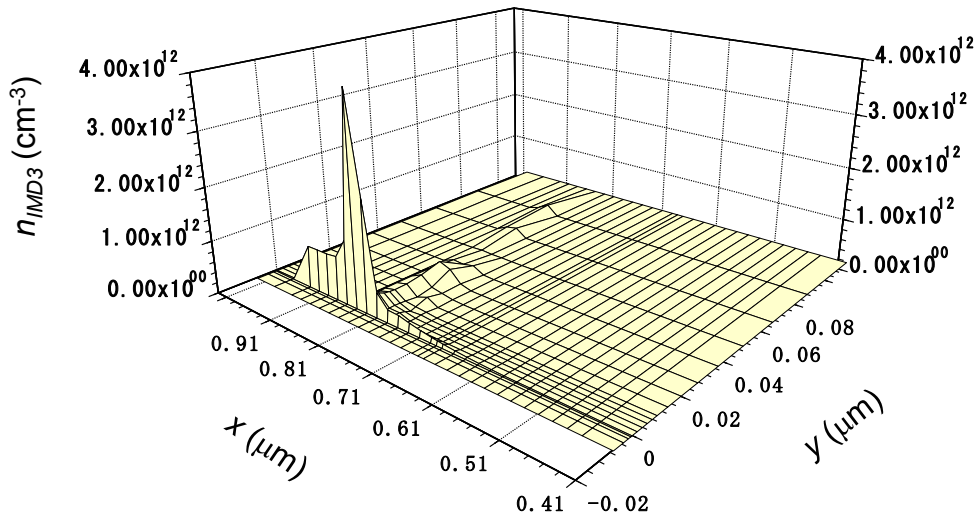


図 2.7. 従来型MOSFET の歪み成分 n_{IMD3} の鳥瞰図. $V_d = 2 \text{ V}$, $V_g = 3 \text{ V}$ のDC バイアス条件下, -40 dBm かつ, $f_1 = 400 \text{ MHz}$ と $f_2 = 500 \text{ MHz}$ の2波をゲート電極に入力している. $2f_1 - f_2 = 300 \text{ MHz}$ の周波数における IMD3_{low} をプロットしている.

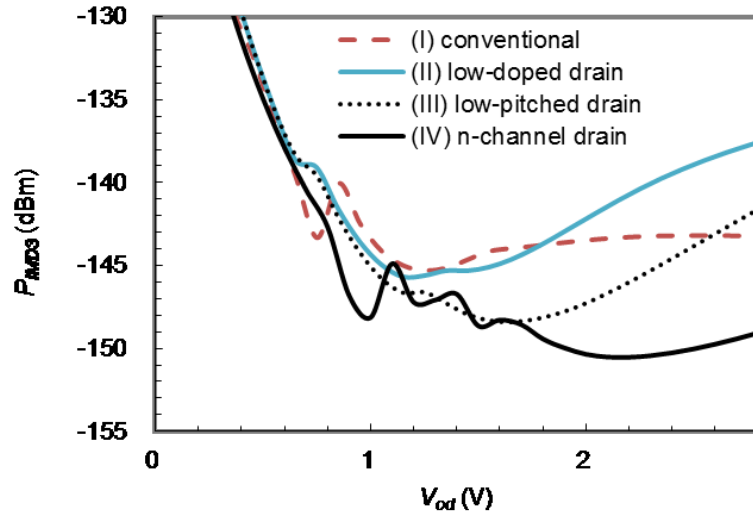
2.4.2. IMD3 歪み特性

この項では, 図 2.2 に示した4つのMOSFET 構造のIMD3 歪み特性を比較する. 図 2.8 に $V_d = 2 \text{ V}$ のときの, (a) P_{IMD3} と (b) third-order input power intercept point ($IIP3$) のゲートオーバードライブ電圧 (V_{od}) 依存性の計算結果を示す. $IIP3$ は, 基本波の出力電力 P_{out} vs 入力電力と, P_{IMD3} vs 入力電力特性の各線が交わる時の入力電力である. 強反転の動作条件で, n-channel drain 構造 (IV) の P_{IMD3} と $IIP3$ が, その他の構造と比較して顕著に向上していることがわかる. これは, 後に示すように, 構造 (IV) の n-channel drain 層の導入によって, チャネル - ドレイン接合付近の最表面の横方向の不純物プロファイルの変化をなくしていることによると考えられる. 図 2.8(b) に示すように, 構造 (IV) では高い $IIP3$ が得られており, 電力利得もまた高くなっている. low-pitched drain 構造 (III) も, また, $V_{od} = 2.6 \text{ V}$ までのバイアス条件で, 従来構造 (I) と比較して P_{IMD3} と $IIP3$ の両方において特性の向上を示しているがその有効性は, より高いゲートオーバードライブ電圧領域で減少している.

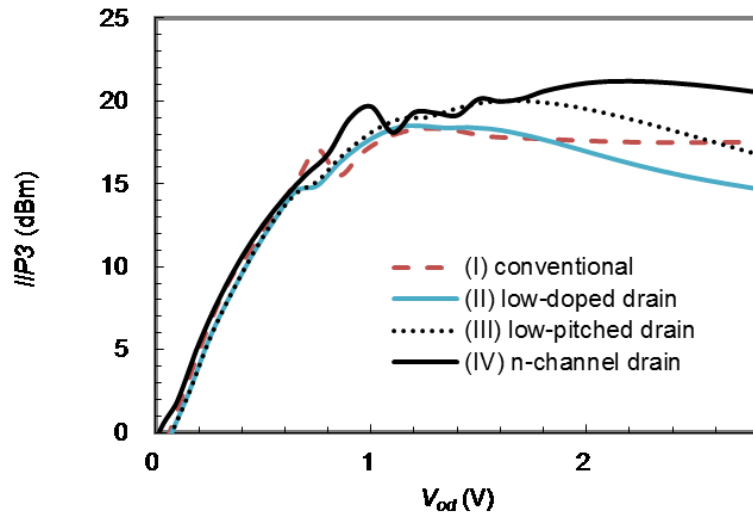
強反転の条件下で, 構造 (IV) が向上した歪み特性を示す理由を理解するために, n_{IMD3} , 横方向電界の 3 次相互変調歪み成分 ($E_{\text{lateral_IMD3}}$) とこれらの積 ($n_{\text{IMD3}} \times$

$E_{lateral_IMD3}$) の横方向の分布を比較した. $V_d = 2\text{ V}$, $V_{od} = 2.85\text{ V}$ のときの最表面での分布を, 図 2.9(a) と 2.9 (b), 2.9 (c) に示した. ここで留意すべきは, $n_{IMD3} \times E_{lateral_IMD3}$ が歪み電流と密接に関係していることである. 念のために説明すると, 図 2.9 の結果は周波数が $2f_1 - f_2$ のときの 3 次相互変調歪み成分横方向の分布を表しており, DC 状態のものではない. 従来型の MOSFET 構造 (I) では, n_{IMD3} は $x = 0.85\text{ }\mu\text{m}$ で最大となることが確認できる. 図 2.9 (a) と 2.9 (b) にみられるように, 構造 (IV) はチャネル - ドレイン接合付近で通常の構造よりも n_{IMD3} が大きい, $|E_{lateral_IMD3}|$ が最小である. 結果として, 構造 (IV) は最小の $|n_{IMD3} \times E_{lateral_IMD3}|$ を示し, すなわち, 図 2.9 (c) に示すように, 最小の歪み電流を示す. 言い換えると, 構造 (IV) の歪み特性の向上は, チャネル - ドレイン接合付近 $E_{lateral_IMD3}$ の大きさが最小になっていることが原因で, 我々が提案する構造 (IV) の n-channel drain 層を導入した効果といえる.

上記に述べたように, HB デバイスシミュレーションは, n_{IMD3} や ψ_{IMD3} といった状態変数の空間的分布をプロットすることによって, IMD3 の発生場所に関する有益な情報を提供することができ, 改善を施した実際のデバイス構造で歪み特性を計算することによって, 低歪み MOSFET を実現する設計指針を与えることができる.

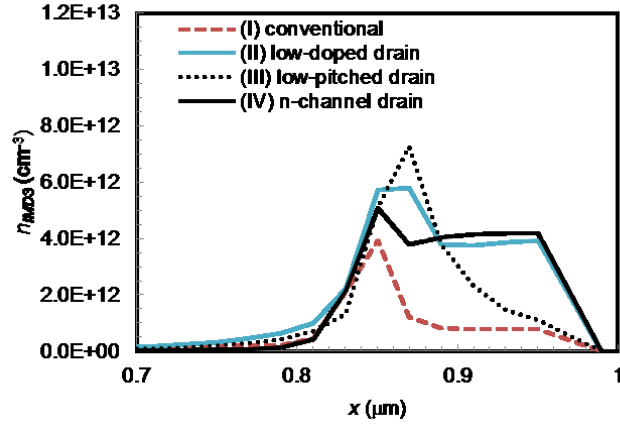


(a)

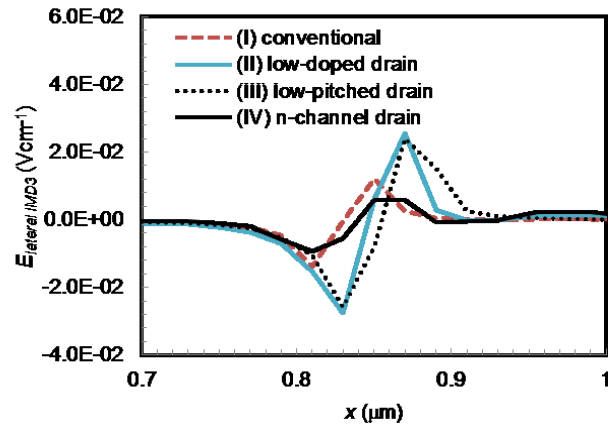


(b)

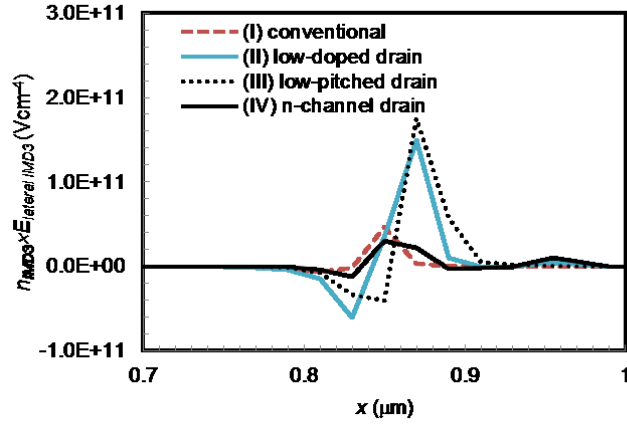
図 2.8. (I) conventional, (II) low-doped drain, (III) low-pitched drain, (IV) n-channel drain, 各構造のMOSFET 間のIMD3 に起因する歪み特性, (a) P_{IMD3} , (b) $IIP3$ のゲートオーバードライブ V_{od} 電圧依存性の比較.



(a)



(b)



(c)

図 2.9. (I) conventional, (II) low-doped drain, (III) low-pitched drain, (IV) n-channel drain, 各構造のMOSFET 間の(a) n_{IMD3} , (b) $E_{\text{lateral_IMD3}}$, (c) $n_{\text{IMD3}} \times E_{\text{lateral_IMD3}}$ の空間分布の比較. $V_d = 2 \text{ V}$, $V_{od} = 2.85 \text{ V}$ のときの, 最表面の分布を抜き出した. $n_{\text{IMD3}} \times E_{\text{lateral_IMD3}}$ は歪み電流と密接に関係している.

2.4.3. IMD3 歪み特性の n-channel-drain layer 構造依存性

構造(IV)において、n-channel drain 層のドーピング濃度 N_{ch} , p 型ウェルのドーピング濃度 N_{well} , n-channel drain 層の厚さ T_{ch} は, P_{IMD3} に対して強く影響すると考えられる. この項では, 構造(IV)の n-channel drain 層の P_{IMD3} に対する構造依存性について述べる. 図 2.10 は $V_d = 2$ V, $V_{od} = 2.5$ V のときの P_{IMD3} の T_{ch} 依存性を示す計算結果で, $N_{well} = 1 \times 10^{17}, 3 \times 10^{17} \text{ cm}^{-3}$ と $N_{ch} = 1 \times 10^{16}, 5 \times 10^{16}, 1 \times 10^{17} \text{ cm}^{-3}$ のときのシミュレーション結果を一緒にプロットしている.

P_{IMD3} は N_{well} が大きく N_{ch} が小さいほど, 小さい値を示しており, それに基づいて, まず, ドーピング濃度として $N_{well} = 3 \times 10^{17} \text{ cm}^{-3}$ と $N_{ch} = 1 \times 10^{16} \text{ cm}^{-3}$ を選んだ. 次に, $N_{well} = 3 \times 10^{17} \text{ cm}^{-3}$ で $N_{ch} = 1 \times 10^{16} \text{ cm}^{-3}$ のシミュレーション結果が $T_{ch} = 6$ と 10 nm の間でもっとも小さい P_{IMD3} の値を示すことを見出した. より薄い T_{ch} がドレイン端領域近傍での良好なピンチオフ特性を得るために好ましいことを考慮して, この研究では 2.2 節で説明したように, $T_{ch} = 6$ nm を選択した.

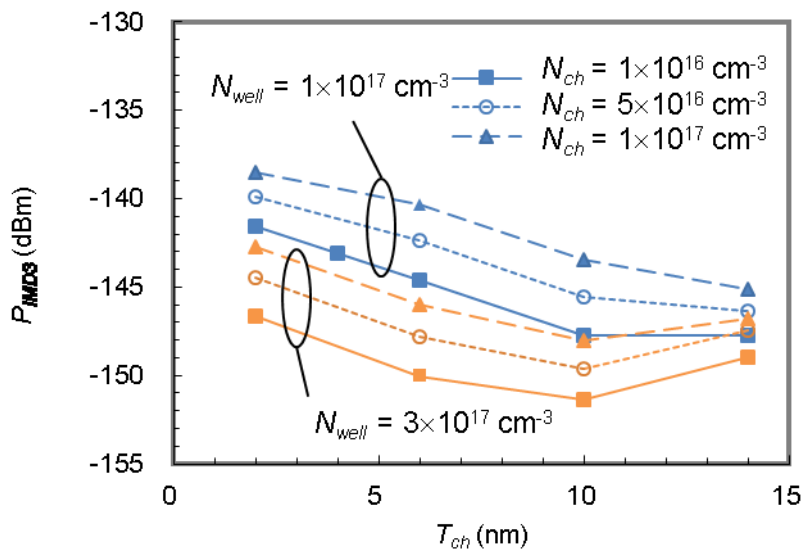


図 2.10. P_{IMD3} の T_{ch} 依存性. $V_d = 2$ V, $V_{od} = 2.5$ V. $N_{well} = 1 \times 10^{17}, 3 \times 10^{17} \text{ cm}^{-3}$ と $N_{ch} = 1 \times 10^{16}, 5 \times 10^{16}, 1 \times 10^{17} \text{ cm}^{-3}$ のときのシミュレーション結果が一緒にプロットされている.

2.5. 解析的アプローチとの比較

ここでは、2.4 節の PISCES-HB による P_{IMD3} のシミュレーション結果を、以下に述べるドレイン - ソース電流の非線形性を考慮した解析的モデルの計算結果と比較することで、その妥当性を示し、飽和・強反転条件における P_{IMD3} を生成する支配要因を特定する [37].

ドレイン - ソース電流, $I_{ds}(V_{gs}, V_{ds})$ は固有のゲート - ソース電圧 V_{gs} およびドレイン - ソース電圧 V_{ds} によって制御されている. 小信号相互変調歪みを予測するための標準的な解析技術では, $I_{ds}(V_{gs}, V_{ds})$ は, 入力項 V_{gs}^m , 出力項 V_{ds}^n , 交差項 $V_{gs}^r \times V_{ds}^s$ を含む 3 次の 2 次元電力級数としてモデル化することができる. I_{ds} は 2 つの制御電圧に依存するので, テイラー級数展開を用いて次のように表すことができる.

$$\begin{aligned}
 I_{ds}(V_{gs}, V_{ds}) = & I_{DS} \\
 & + \frac{\partial I_{ds}}{\partial V_{gs}} v_{gs} + \frac{\partial I_{ds}}{\partial V_{ds}} v_{ds} \\
 & + \frac{1}{2} \frac{\partial^2 I_{ds}}{\partial V_{gs}^2} v_{gs}^2 + \frac{\partial^2 I_{ds}}{\partial V_{gs} \partial V_{ds}} v_{gs} \cdot v_{ds} + \frac{1}{2} \frac{\partial^2 I_{ds}}{\partial V_{ds}^2} v_{ds}^2 \\
 & + \frac{1}{6} \frac{\partial^3 I_{ds}}{\partial V_{gs}^3} v_{gs}^3 + \frac{1}{2} \frac{\partial^3 I_{ds}}{\partial V_{gs}^2 \partial V_{ds}} v_{gs}^2 \cdot v_{ds} + \frac{1}{2} \frac{\partial^3 I_{ds}}{\partial V_{gs} \partial V_{ds}^2} v_{gs} \cdot v_{ds}^2 + \frac{1}{6} \frac{\partial^3 I_{ds}}{\partial V_{ds}^3} v_{ds}^3
 \end{aligned} \quad (2.6)$$

ここに, I_{DS} はバイアス電流 $I_{ds}(V_{GS}, V_{DS})$ であり, v_{gs} と v_{ds} は V_{gs} と V_{ds} のバイアス点からの偏差であり, すなわち, $v_{gs} = V_{gs} - V_{GS}$, $v_{ds} = V_{ds} - V_{DS}$, とあらわされ, すべての微分係数は $V_{gs} = V_{GS}$, $V_{ds} = V_{DS}$ のときの値を求めている. 式 (2.6) より, IMD3 ドレイン電流 $I_{dIMD3}(v_{gs}, v_{ds})$ は次のように表される.

$$\begin{aligned}
 I_{dIMD3}(v_{gs}, v_{ds}) &= \frac{1}{6} \frac{\partial^3 I_{ds}}{\partial V_{gs}^3} v_{gs}^3 + \frac{1}{2} \frac{\partial^3 I_{ds}}{\partial V_{gs}^2 \partial V_{ds}} v_{gs}^2 \cdot v_{ds} + \frac{1}{2} \frac{\partial^3 I_{ds}}{\partial V_{gs} \partial V_{ds}^2} v_{gs} \cdot v_{ds}^2 + \frac{1}{6} \frac{\partial^3 I_{ds}}{\partial V_{ds}^3} v_{ds}^3 \\
 &\equiv G_{m3} \cdot v_{gs}^3 + G_{m2d} \cdot v_{gs}^2 \cdot v_{ds} + G_{md2} \cdot v_{gs} \cdot v_{ds}^2 + G_{d3} \cdot v_{ds}^3
 \end{aligned} \quad (2.7)$$

ここに、係数 G_{m3} , G_{m2d} , G_{md2} , G_{d3} は v_{gs}^3 , $v_{gs}^2 \cdot v_{ds}$, $v_{gs} \cdot v_{ds}^2$, v_{ds}^3 に対応する項の微分係数である。そして、負荷抵抗 R_{load} で消費される電力 P_{IMD3} が次のように計算される。

$$\begin{aligned}
P_{IMD3} &= R_{load} (G_{m3} \cdot v_{gs}^3)^2 + R_{load} (G_{m2d} \cdot v_{gs}^2 \cdot v_{ds})^2 + R_{load} (G_{md2} \cdot v_{gs} \cdot v_{ds}^2)^2 + R_{load} (G_{d3} \cdot v_{ds}^3)^2 \cdot \\
&\equiv P_{imd3_gm3} + P_{imd3_gm2d} + P_{imd3_gmd2} + P_{imd3_gd3}
\end{aligned} \tag{2.8}$$

ここに、 P_{imd3_gm3} , P_{imd3_gm2d} , P_{imd3_gmd2} , P_{imd3_gd3} は v_{gs}^3 , $v_{gs}^2 \cdot v_{ds}$, $v_{gs} \cdot v_{ds}^2$, v_{ds}^3 の項に対応する IMD3 の出力である。通常、交差項はゼロとみなされるが、図 2.5 に示すような回路構成で FET をシミュレーションしているので、 v_{ds} と交差項 ($v_{gs}^2 \cdot v_{ds}$, $v_{gs} \cdot v_{ds}^2$) はデバイスの IMD3 全体に大きな影響を与える [37]。本研究では、HB デバイスシミュレーションから得られた $I_{ds}(V_{gs}, V_{ds})$ カーブを用いて係数 G_{m3} , G_{m2d} , G_{md2} , G_{d3} を抽出し、それから、式 (2.8) にあるすべての 4 つの項を考慮した P_{IMD3} を計算した。これを、以後、“解析的モデル (analytical model)” とよぶ。

図 2.11 は HB デバイスシミュレーションと解析的モデルの P_{IMD3} の比較を示しており、構造 (I), (II), (III), (IV) すべてについてプロットした。HB デバイスシミュレーションの結果は“PISCES-HB”と記載しており、図 2.8(a) のものと同じである。例えば図 2.11 では、構造 (I) について HB デバイスシミュレーションを用いてシミュレーションした P_{IMD3} は“(I) PISCES-HB”と記載し、構造 (II) について解析的モデルを用いて計算した P_{IMD3} は“(II) analytical model”と記載している。

2 つの手法で、この研究で考慮している低い V_{od} から高い V_{od} の条件で、定量的によい一致が得られていることがわかる。これにより、このデバイスシミュレーションの結果が妥当であるといえる。言い換えると、傾斜がゆるやかなドレイン構造もしくは、低ドープの n 型チャネルと n 型ドレイン薄層を p 型ウェルとドレイン領域の再表面に備えた構造は、飽和・強反転条件で低歪みの MOSFET を実現することが期待できるといえる。

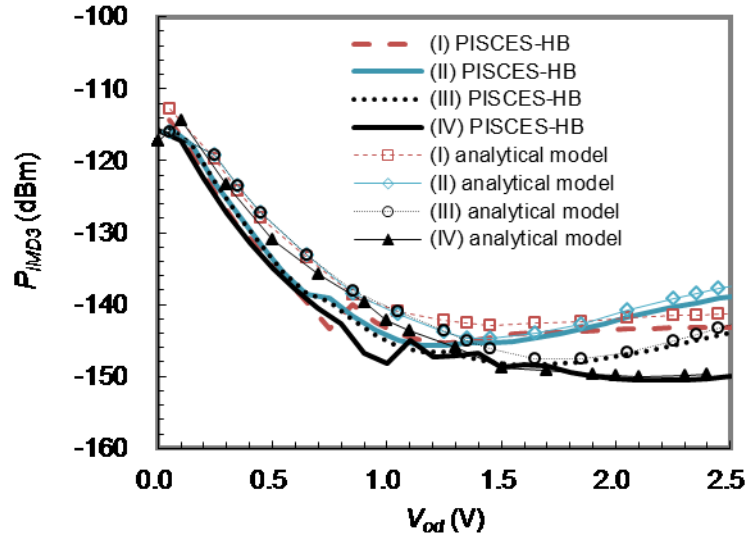
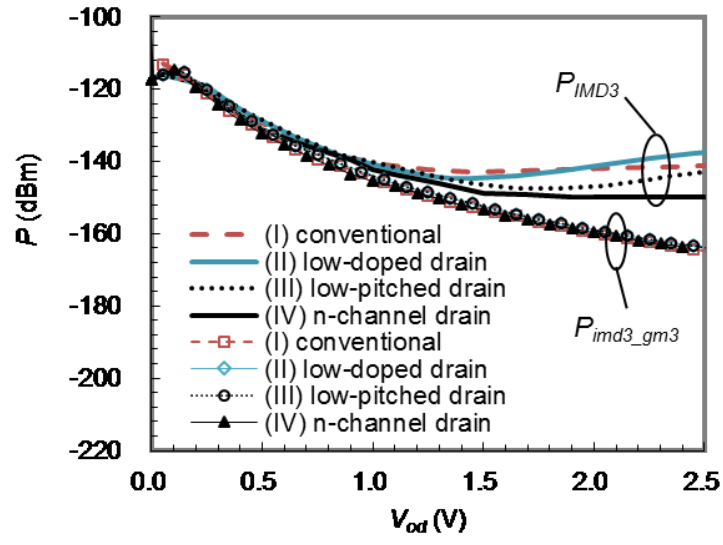
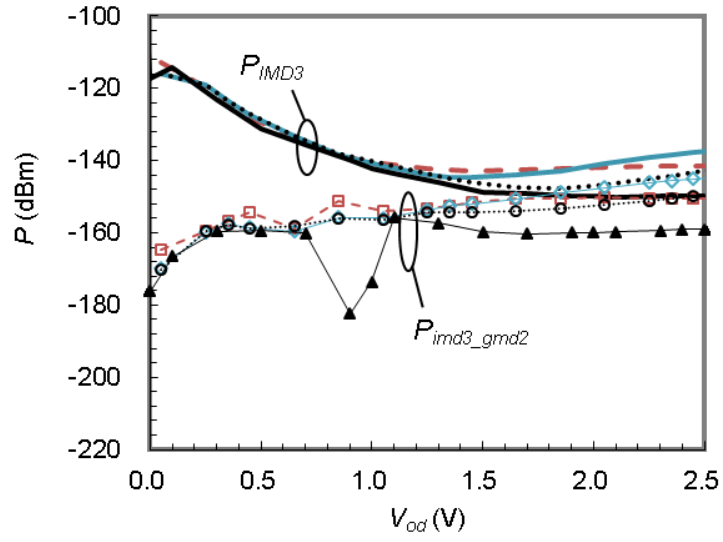


図 2.11. P_{IMD3} のHB デバイスシミュレーションと analytical model の間の比較. (I) , (II) , (III) , (IV) 各構造の結果が全てプロットされている. $V_d = 2$ V.

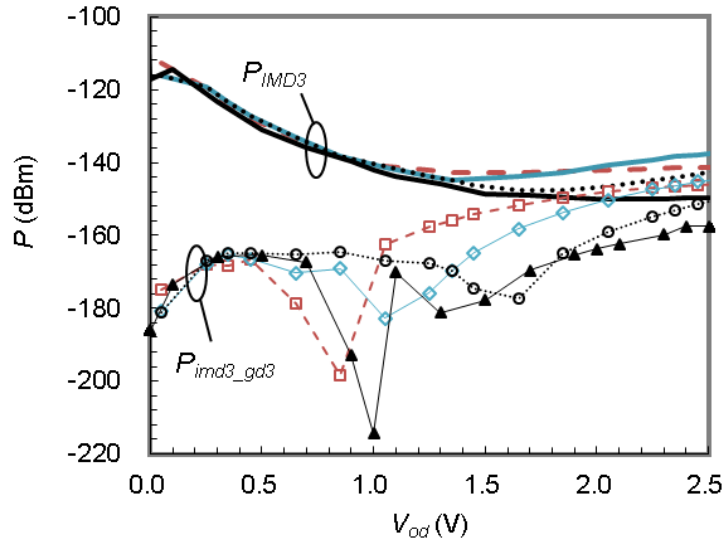
次に、飽和・強反転条件において4つの構造が異なる P_{IMD3} 特性を示す理由を理解するために、式 (2.8) の各項 P_{imd3_gm3} , P_{imd3_gmd2} , P_{imd3_gd3} , P_{imd3_gm2d} を別々に計算して、それぞれ、図 2.12(a)-(d) にプロットした. リファレンスとして、解析的モデルを使って計算した P_{IMD3} 全体についても合わせてプロットした. 図 2.12(a) と 2.11(b) から、 $V_{od} < 1.5$ V と $V_{od} > 1.5$ V における P_{IMD3} を生成する支配要因は、それぞれ、 P_{imd3_gm3} と P_{imd3_gmd2} 成分であることがわかる. さらに、 V_{od} が 2.5 V 近くまで増えるとき、 P_{imd3_gd3} もまた、 P_{IMD3} の増大に寄与していることが図 2.12(c) からわかる. 結果的に、飽和・強反転条件で、構造 (III) と構造 (IV) の P_{IMD3} 特性が低いのは、 P_{imd3_gmd2} と P_{imd3_gd3} の成分が小さいからといえる. もう少し踏み込んでいうと、 P_{IMD3} のそれぞれの成分は主に v_{gs} と v_{ds} よりも G_{m3} , G_{m2d} , G_{md2} , G_{d3} の微分で決まっており、それ故、飽和・強反転条件において低い P_{IMD3} 特性が得られた原因は、より小さい交差項 G_{md2} と出力項 G_{d3} にあるといえる.



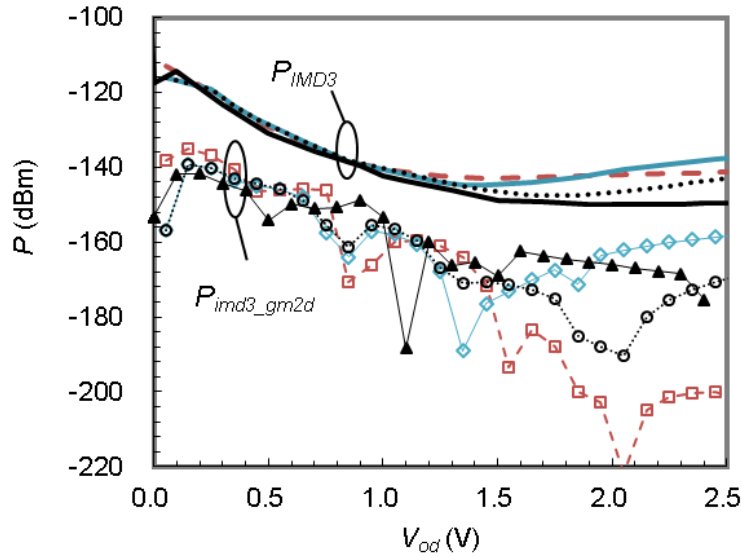
(a)



(b)



(c)



(d)

図 2.12. 4構造の間の (a) P_{imd3_gm3} , (b) P_{imd3_gmd2} , (c) P_{imd3_gd3} , (d) P_{imd3_gm2d} の比較. $V_d=2\text{ V}$. 全 P_{IMD3} の値は analytical model を用いて計算されたもので、リファレンスとしてプロットした.

2.6. 結言

PISCES-HB シミュレータを用いて、電流飽和領域、強反転状態における nMOSFET の IMD3 特性を研究した. まず、従来型の nMOSFET 構造をシミュレーションし、IMD3 の発生箇所が、高い横方向電界が存在するチャネルドレイン p-n 接合付近の最表面に位置することを見出した. 加えて、IMD3 特性を向上させ

ることを目的に、チャネル－ドレイン接合付近の不純物分布が異なる 3 種類の nMOSFET をシミュレーションした。その結果、不純物濃度の傾斜が緩やかなドレイン構造、もしくは、低濃度かつ薄い n 型チャネルと n 型ドレイン層を p 型ウェルとドレイン領域の最表面に備えた構造を導入することで、低歪み MOSFET が実現できることを示した。特に後者の構造は、強反転条件下で、従来型の MOSFET 構造と比較して、 P_{IMD3} が 8 dB 低下する顕著な IMD3 の向上を示した。これはチャネル－ドレイン接合付近の $E_{lateral_IMD3}$ (third-order intermodulation distortion component for lateral electric field) の著しい低下によるもので、p 型ウェルとドレイン領域の最表面において、横方向の不純物プロファイルが空間的に変化することを避けることで実現した。さらに、HB デバイスシミュレーションの結果と、ドレイン－ソース電流の非線形性を考慮した解析モデルから求めた結果とを比較することで、HB デバイスシミュレーションによって得られる歪み特性の値の妥当性を証明した。この解析モデルは入力項 v_{gs}^3 (G_{m3})、出力項 v_{ds}^3 (G_{d3})、交差項 $v_{gs} \cdot v_{ds}^2$ と $v_{gs}^2 \cdot v_{ds}$ (G_{md2} と G_{m2d}) を考慮しており、比較結果から、交差項 G_{md2} と出力項 G_{d3} が飽和・強反転条件の IMD3 特性を支配していることがわかった。

第 2 章の参考文献

- 1) R. Caverly, IEEE Trans. Microwave Theory Tech. **39**, 713 (1991).
- 2) T. Soorapanth, and T. H. Lee, IEEE J. Solid-State Circuits **32**, 81 (1997).
- 3) R. v. Langevelde, and F. M. Klaassen, IEEE Trans. Electron Devices **44**, 2044 (1997).
- 4) R. H. Caverly, presented at ISCAS'98 (1998).
- 5) G. Niu, Q. Liang, J. D. Cressler, C. S. Webster, and D. L. Harame, IEEE Trans. Microwave Theory Tech. **49**, 1558 (2001).
- 6) X. Yuan, D. Y. C. Lie, L. E. Larson, J. Blonski, J. Gross, M. Kumar, J. Mecke, A. Senior, Y. Chen, A. Poh, and D. Harame, Proc. 3rd Int. Conf. Microwave and Millimeter Wave Technology, 70 (2002).
- 7) D. Navarro, Y. Takeda, M. Miura-Mattausch, H. J. Mattausch, T. Ohguro, T. Iizuka, M. Taguchi, S. Kumashiro, and S. Miyamoto, IEEE Microwave Wireless Components Lett. **16**, 125 (2006).
- 8) I. Kwon, and K. Lee, IEEE Microwave Wireless Components Lett. **17**, 897 (2007).
- 9) B. Troyanovsky, Dr. Thesis, Stanford University, Stanford, CA (1997).
- 10) B. Troyanovsky, Z. Yu, L. So, and R. W. Dutton, Proc. ICCAD, 700 (1995).
- 11) B. Troyanovsky, Z. Yu, and R. W. Dutton, 6th SISDEP Tech. Dig., **6**, 114 (1995).
- 12) B. Troyanovsky, F. Rotella, Z. Yu, R. W. Dutton, and J. Sato-Iwanaga, Proc. SASIMI '96 (1996).
- 13) B. Troyanovsky, F. Rotella, Z. Yu, R. W. Dutton, and T. Arnborg, Proc. SASIMI '97 (1997).
- 14) B. Troyanovsky, Z. Yu, and R. W. Dutton, Comput. Methods Appl. Mech. Eng. **181**, 467 (2000).
- 15) F. Bonani, S. D. Guerrieri, G. Ghione, and M. Pirola, IEEE Trans. Electron Devices **48**, 966 (2001).

- 16) R. W. Dutton, Z. Yu, F. Rotella, S. Beebe, B. Troyanovsky, and L. So, Proc. IEEE CICC, 225 (1995).
- 17) J. Sato-Iwanaga, K. Fujimoto, H. Masato, Y. Ota, K. Inoue, B. Troyanovsky, Z. Yu, and R. W. Dutton, IEDM Tech. Dig., 163 (1996).
- 18) R. W. Dutton, B. Troyanovsky, Z. Yu, E. C. Kan, K. Wang, T. Chen, and T. Arnborg, Proc. ISSCC, **422**, 78 (1996).
- 19) F. M. Rotella, B. Troyanovsky, Z. Yu, R. W. Dutton, and G. Ma, Proc. SISPAD 97, 157 (1997).
- 20) R. W. Dutton, B. Troyanovsky, Z. Yu, T. Arnborg, F. Rotella, G. Ma, and J. Sato-Iwanaga, IEDM Tech. Dig., 301 (1997).
- 21) Z. Yu, R. W. Dutton, B. Troyanovsky, and J. Sato-Iwanaga, IEICE Trans. Electron. **E82-C**, 908 (1999).
- 22) F. Rotella, Dr. Thesis, Department of Electrical Engineering, Stanford University, Stanford, CA (2000).
- 23) F. M. Rotella, G. Ma, Z. Yu, and R. W. Dutton, IEEE Trans. Microwave Theory Tech. **48**, 991 (2000).
- 24) J. Sato-Iwanaga, A. Asai, T. Takagi, M. Tanabe, Z. Yu, and R. W. Dutton, Proc. SISPAD 03, 199 (2003).
- 25) C.-H. Choi, Z. Yu, and R. W. Dutton, IEEE Electron Device Lett., **24**, 330 (2003).
- 26) O. Tornblad, G. Ma, and R. W. Dutton, MTT-S Dig., 868 (2006).
- 27) C.-Y. Chen, O. Tornblad, and R. W. Dutton, MTT-S Dig., 1497 (2009).
- 28) C.-Y. Chen, O. Tornblad, and R. W. Dutton, IEEE Trans. Microwave Theory Tech. **57**, 3389 (2009).
- 29) B. G. Malm and M. Östling, IEEE Electron Device Lett., **23**, 19-21 (2002).
- 30) G. Qin, J. Ma, G. Wang, Z. Ma, P. Ma, and M. Racanelli, Proc. EDSSC, 1 (2010).
- 31) M. R. Pinto, C. S. Rafferty, and R. W. Dutton, Stanford University Tech. Rep. (1984).
- 32) Z. Yu, D. Chen, L. So, and R. W. Dutton, Stanford University Tech. Rep. (1994).

- 33) K. S. Kundert, J. K. White, and A. Sangiovanni-Vincentelli, *Steady-State Methods for Simulating Analog and Microwave Circuits* (Kluwer, Dordrecht, 1990).
- 34) K. S. Kundert, and A. Sangiovanni-Vincentelli, IEEE Trans. Comput.-Aided Des. **CAD-5**, 521 (1986).
- 35) V. Rizzoli, A. Lipparini, A. Costanzo, F. Mastri, C. Cecchetti, A. Neri, and D. Masotti, IEEE Trans. Microwave Theory Tech. **40**, 12 (1992).
- 36) V. Rizzoli, F. Mastri, F. Sgallari, and G. Spaletta, MTT-S Dig., 1357 (1996).
- 37) J. C. Pedro, and J. Perez, IEEE Trans. Microwave Theory Tech. **42**, 25 (1994).

第 3 章 GaN LED デバイスシミュレーション

3.1. 緒言

GaN 系発光ダイオード (LED) は、高い効率をもつ固体照明として盛んに研究がおこなわれている。従来の LED 構造は、絶縁性サファイア基板上に結晶成長されており、n 型および p 型の電極が同じ面に作られる構造である [1]。このような電極が同じ面で隣り合う構造の LED はプレーナ型 LED とよばれ、電流密度や発光強度が発光面内で不均一に分布する課題があり、また、電極の縁近傍に電流が集中する課題がある。この電流の集中と広がり不均一は、光出力が飽和する原因になると考えられており、これまでに数多くの研究がなされてきた。その多くは、内在するダイオードや抵抗からなる電気回路モデルを用いた解析手法によるもので [2-11]、p 型透明電極を伴った LED 構造の電流広がりについて特に研究されており、活性層内の均一な電流密度分布を実現するための電極配置が数多く提案されている。

近年、車載用ヘッドランプなどの用途を対象に、より高出力な発光 LED が求められるようになり、投入される電流密度が増大し、結果として局所加熱、不均一な温度分布、電流集中といった問題がおきて、効率の低下や光出力の飽和といった特性の劣化が深刻になっている [12-18]。このような LED 特性を低下させる熱の影響を研究するために、electro-thermal 連成シミュレーションを用いた研究が盛んにおこなわれている [14-23]。たとえば Bogdanov 等は、電氣的、光学的、熱的プロセスをハイブリッドシミュレータで計算し、電流の流れ、熱伝導、光の放射、光取り出しのシミュレーションをおこなっており [16]、効率の劣化や自己発熱に起因する直列抵抗増大に対する見解を与えるシミュレーションに成功している [14]。しかし、ハイブリッドシミュレータを用いたアプローチは、発光部分や導電性部分を別々に 1 次元で計算し、それらを組み合わせて 2 次元、3 次元に拡張して計算するので計算時間が短縮されて実用的である反面、電流の広がりや温度の分布に関して精度が不十分といった課題があった。

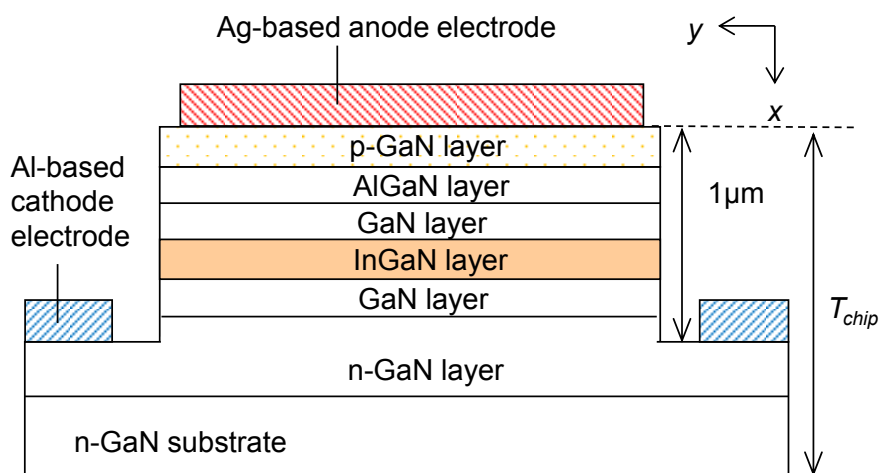
本研究では、マルチフィジクスシミュレータ PROPHET [24,25] をモジュールとして用いて、精度の高い完全連成 3 次元 (3D) electro-thermal デバイスシミュレータを開発し、プレーナ LED における効率劣化と光出力の飽和に対する電流集中の影響と熱の効果を研究した。このデバイスシミュレータは、光放射、電流広がり、熱伝導を自己整合的に解いており、半導体および金属電極内部を縦横両方向について正確に計算することができる。本研究では、このシミュレータを用いて、厚い GaN 基板上に結晶成長したプレーナ型 LED の高出力化の研究をおこなった。近年、厚い GaN 基板上に結晶成長したプレーナ型 LED は、(1) GaN 基板のもつ良好な熱伝導率、(2) 良好な電気伝導度と活性層内の均一な電流密度分布、(3) 低欠陥と高効率といった長所があることから、高出力 LED として注目されている [26-28]。本研究では、熱による効率低下を抑制する GaN 基板の役割を調べ、厚い GaN 基板上に結晶成長したプレーナ型 LED の高電流動作時の優位性をはじめて立証する。

3.2. デバイス構造と計算論的アプローチ

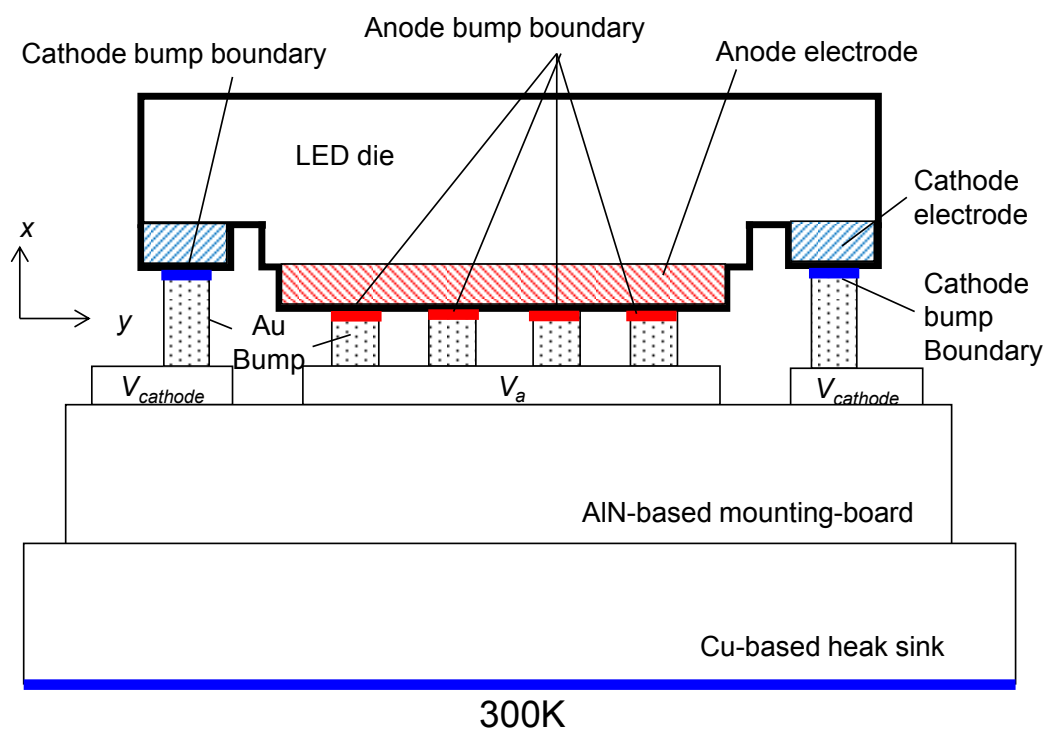
3.2.1. デバイス構造

図 3.1 に本研究で調べた GaN 系 LED のデバイス構造を示す。図 3.1(a) は、LED ダイの断面図を示しており、図 3.1 (b) は LED ダイ、実装基板、ヒートシンクからなる LED の断面図を示している。LED は Si がドーパされた n 型 GaN 基板上に n 型 GaN コンタクト層が成長され、1 周期の低ドーパ n 型 GaN/InGaN/GaN (10 nm/10 nm/10 nm) 活性層、厚さ 20 nm の低ドーパ n 型 GaN クラッド層、厚さ 20 nm の Mg がドーパされた p 型 AlGaIn 電子ブロッキング層 (EBL)、厚さ 100 nm の Mg がドーパされた p 型 GaN コンタクト層 ($[Mg] = 1 \times 10^{18} \text{ cm}^{-3}$) が続いて成長される。本研究では、熱が効率にあたえる効果だけを明瞭に観察するために、piezo電荷が効率に影響を与えることに配慮してpiezo電荷のないダブルヘテロ GaN/InGaN/GaN 活性層を取り扱った [29]。n 型コンタクト層と n 型 GaN 基板のキャリア濃度は $2 \times 10^{18} \text{ cm}^{-3}$ とした。以後は、これら 2 つの n 型 GaN 領域を合わせて n 型導電層と呼ぶ。p 型 GaN コンタクト層の上には、Ag をベースとした反射アノード電極が堆積され、LED 構造の 1 μm の深さまでエッチされたメサ領域の中に、Al をベースとしたカソード金属電極が形成されている。n 型 (p 型)

GaN コンタクト層の上のカソード電極（アノード電極）の厚さは $1.3\ \mu\text{m}$ ($1.2\ \mu\text{m}$) である．LED ダイは Au バンプによって Cu ベースのヒートシンクを備えた AlN ベースの実装基板上に実装されている．ヒートシンクの反対側の温度は $300\ \text{K}$ に保つ．



(a)



(b)

図 3.1. GaN 系LED のデバイス構造. (a)LED ダイの断面図と (b)LED ダイ，実装基板，ヒートシンクからなるLED の断面図．

3.2.2. 計算論的アプローチ

LED の効率に対する電流集中と熱の効果を理解するために、任意の偏微分方程式を差分法で解くマルチフィジクスシミュレータ PROPHET をモジュールとして用いて、完全連成 3D electro-thermal デバイスシミュレータを開発した．このシミュレータは、活性層内の光放射、半導体および金属電極領域両方の内部の電流、温度の分布を、物理モデルに基づいて自己整合的に計算している．図 3.2 に示すように、金属電極と半導体の間の電気的コンタクト抵抗 (R_{ec}) を、半導体と金属電極の間のすべてのグリッド間に配置している．バンプ、実装基板、ヒートシンクをひとまとめにした実装部分の熱抵抗 (R_{th}) もまた、バンプと金属電極表面の接触境界の全グリッドに設置している．バンプと接触している境界表面以外の全ての表面は、断熱境界条件を用いて取り扱った．小さいチップサイズの LED やレーザダイオードのシミュレーションで、これらの表面の自然対流冷却と熱放散の効果を無視できることから、このように取り扱った [30]．

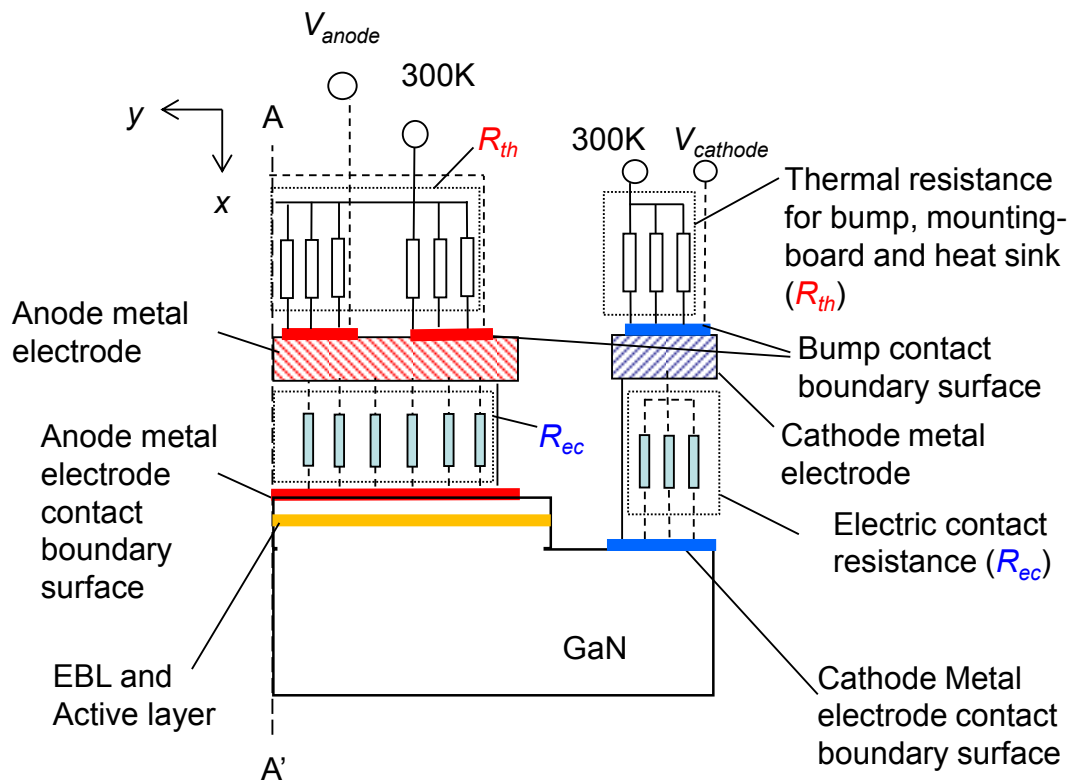


図 3.2. シミュレーションで用いた熱抵抗 R_{th} と電気コンタクト抵抗 R_{ec} に関する構成図.

この構成では、ダイの中で発生した熱は、アノード、カソードとバンプとの接触境界表面から放熱される。アノード、カソードの電圧もまた、それぞれのバンプとの接触境界表面にて印加される。アノード、カソード金属電極と半導体間には、 1×10^{-4} , $1 \times 10^{-5} \Omega \text{ cm}^2$ のコンタクトシート抵抗をそれぞれ設定した。電流広がり温度分布の正確なシミュレーションのためには、これらの熱抵抗と電気的コンタクト抵抗をグリッドごとに設定する詳細な境界条件が重要となる。

本研究で開発したシミュレータでは、3つの基本方程式、ポアソン式 [式 (3.1)], 電流連続式 [式 (3.2)], 熱方程式 [式 (3.3)], を自己整合的に3次元空間で解いている：

$$\epsilon \nabla^2 \psi = -q(p - n + N_D^+ - N_A^-), \quad (3.1)$$

$$\frac{1}{q} \nabla \cdot \mathbf{J}_c - R_c = 0 \quad (c \equiv n, p), \quad (3.2)$$

$$\nabla \cdot (\kappa \nabla T) + S = 0. \quad (3.3)$$

ここに、 ϵ は比誘電率、 ψ は電位、 q は電気素量、 n と p は電子とホールキャリア密度、 N_D^+ と N_A^- はドナーとアクセプターのイオン化不純物濃度、 $\mathbf{J}_c$ は電子とホールの電流密度、 R_c は電子とホールの再結合レート、 κ は熱伝導率、 T は温度、 S は熱源である。

電流密度は、次のようにドリフト成分と拡散成分から構成される：

$$\mathbf{J}_c = -q\mu_c \left(\nabla \psi \right) c + qD_c \nabla c \quad (c \equiv n, p). \quad (3.4)$$

ここに、 μ_c は電子とホールのキャリア移動度で、局所的な温度と不純物濃度に依存する。そのため、半導体領域の導電率は、局所的な温度と拡散電流に依存する。

また、再結合レート (R_c) は、自然放出レート (R_{sp})、Shockley-Reed-Hall 再結合レート (R_{SRH})、オージェ再結合レート (R_{Auger}) の和からなる。これらのレートは、それぞれ、式 (3.5), (3.6), (3.7) に表されるように定義される [31]：

$$R_{SRH} = \frac{np - n_i^2}{\tau_{SRH_p}(n + n_i) + \tau_{SRH_n}(p + p_i)}, \quad (3.5)$$

$$R_{Auger} = (C_n n + C_p p)(np - n_i^2), \quad (3.6)$$

$$R_{sp} = B(np - n_i^2). \quad (3.7)$$

ここに、 n_i は真性キャリア密度を表し、 τ_{SRH_n} と τ_{SRH_p} は電子とホール of SRH ライフタイム、 C_n と C_p は電子とホール of オージェ係数、 B は自然放出係数である B パラメータを表す。 B パラメータと SRH ライフタイムは次式に表すように温度依存性をもたせた [32].

$$B = B_{300K} \left(\frac{T}{300} \right)^\alpha, \quad (3.8)$$

$$\tau_{SRH_c} = \tau_{SRH_c_300K} \left(\frac{T}{300} \right)^{-\beta} \quad (c \equiv n, p). \quad (3.9)$$

ここに、 B_{300K} と $\tau_{SRH_c_300K}$ は、それぞれ、300 K のときの B パラメータと SRH ライフタイムである。発光ライフタイムの温度依存性はエキシトンの次元性に影響されることが知られており [33, 34]、ダブルヘテロ活性層がバルクとして取り扱えることから、式 (3.8) の α は 1.5 とした。この値を用いると、シミュレーション結果は実験結果と概ね一致する [35]。また、式 (3.9) の β は、温度が 300 K から 400 K に上昇したときに効率が約 16 % 下がる実験結果をもとに、1.5 とした。

熱源 (S) は、電子とホールによって運ばれる内部束縛エネルギーのゆらぎ (S_{elec}) と、光放出によるエネルギー除去 (S_{rad}) を考慮して、式 (3.10) の式で定義した：

$$S = S_{elec} - S_{rad} = \nabla \cdot (E_c \cdot J_n + E_v \cdot J_p) - E_g \cdot R_{sp}. \quad (3.10)$$

熱源は、式 (3.2) に記述されているジュール熱とヘテロ接合でのペルチェ熱、式 (3.5)-(3.7) に記述されている非発光再結合熱を含んでいる。 E_c 、 E_v 、と E_g はコンダクションバンドエネルギーとバレンスバンドエネルギー、バンドギャップエネルギーである。バンドギャップエネルギーは局所的な格子温度に依存するものとして扱った。

本研究のシミュレーションでは、活性層内部における電子とホールとの再結合に起因する内部量子効率 (IQE_R) と発光ダイオード全体の内部量子効率 (IQE)、注入効率 (IE) を、それぞれ、式 (3.11)-(3.13) のように計算している：

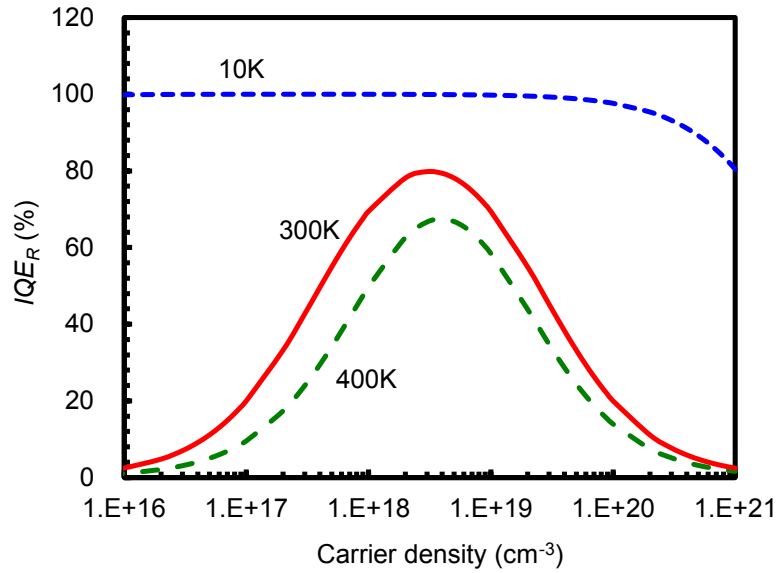
$$IQE_R = \frac{I_{sp}}{I_{sp} + I_{SRH} + I_{Auger}} = \frac{R_{sp}}{R_{sp} + R_{SRH} + R_{Auger}}, \quad (3.11)$$

$$IQE = \frac{I_{sp}}{I_{total}} = \frac{I_{sp}}{I_{sp} + I_{SRH} + I_{Auger} + I_{leak}}, \quad (3.12)$$

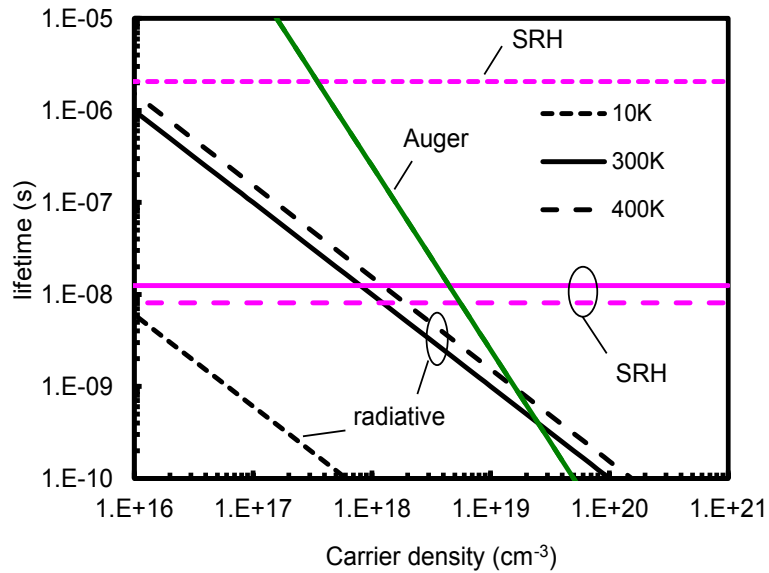
$$IE = \frac{IQE}{IQE_R}. \quad (3.13)$$

ここに、 I_{total} は LED の全電流であり、 I_{sp} は自然放射再結合電流であり、 I_{SRH} と I_{Auger} 、 I_{leak} は、それぞれ SRH 再結合、オージェ再結合、リーク電流である。 IQE はリーク電流による影響を含んでいる。

式 (3.11)-(3.13) に示すように、効率低下の要因は 2 種類あると考えられ、ひとつは IQE_R の劣化、そしてもう一つは IE の劣化である [16]。 IE は活性層からのキャリアオーバーフロー増大による劣化を意味しており、① 活性層体積の大きさ、② 活性層内のピエゾ電界の強さ、そして、③ 活性層からバリア層に対するエネルギーバリアの高さに依存する。一方、 IQE_R は式 (3.11) に記述するように、活性層内の発光、非発光の再結合レートの比で決まり、式 (3.5)-(3.9) にモデル化されるように、キャリア密度と温度に依存する。図 3.3(a) と 3.3(b) は 格子温度 $T=10, 300, 400$ K のときの IQE_R とキャリアライフタイムのキャリア密度依存性である。



(a)

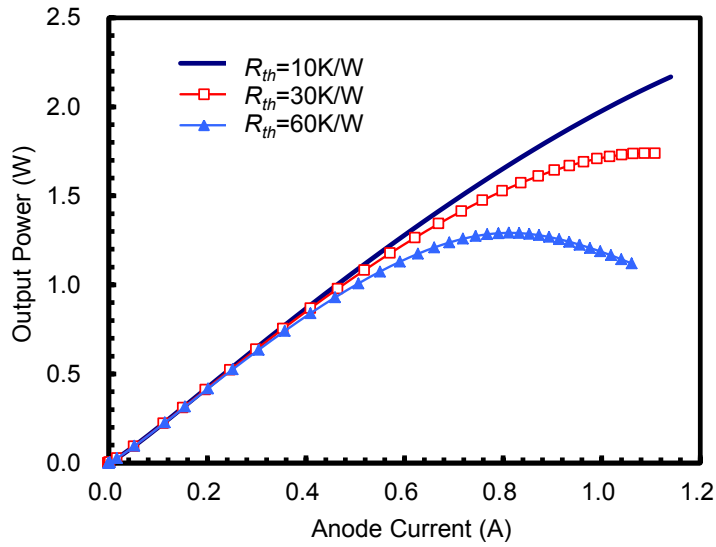


(b)

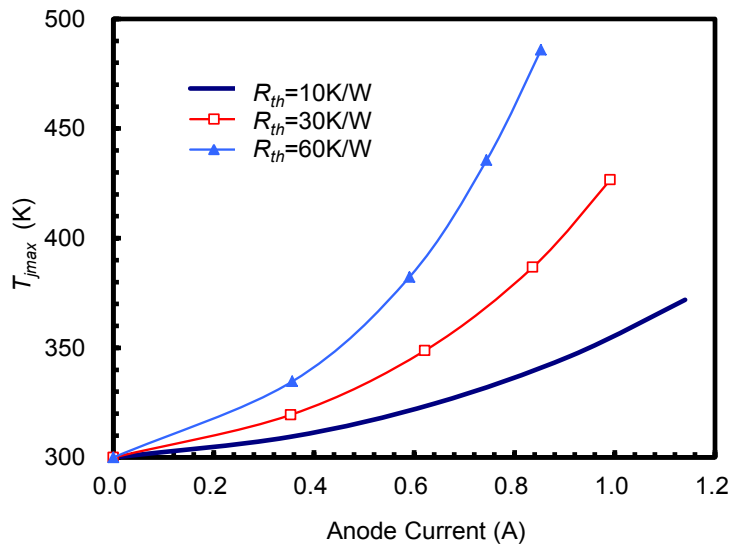
図 3.3. キャリア密度に対する(a) IQE_R と (b) キャリアライフタイム. $T=10, 300, 400$ K についてプロットする.

低電流動作状態の IQE_R は, SRH 非発光再結合ライフタイムが短いために小さく, 一方, 高電流動作状態での IQE_R は, オージェ非発光再結合ライフタイムが短いために小さい. SRH と発光再結合過程のキャリアライフタイムは, 図 3.3(b) に示すように, 反対の温度依存性を示すので, IQE_R は温度の上昇に伴って低下する

[16]. 図 3.3(a) から, 高い IQE_R のためには, 温度を低く保ち, 適当ななキャリア密度の状態を保つことが重要であることがわかる.



(a)



(b)

図 3.4. LED の (a) 光出力と (b) 最大接合温度 (T_{jmax}) のアノード電流依存性. 熱抵抗 $R_{th} = 10, 30, 60$ K/W に応じたシミュレーション結果.

図 3.4(a) と 3.4(b) は, 実装部分の放熱特性 (実装部分の熱抵抗 $R_{th} = 10, 30, 60$ K/W) に対する, 光出力と最大接合温度 (T_{jmax}) のアノード電流 (I_a) 依存性のシミュレーション結果を示している. これは, 図 3.1(a) に示す LED 構造についてシミ

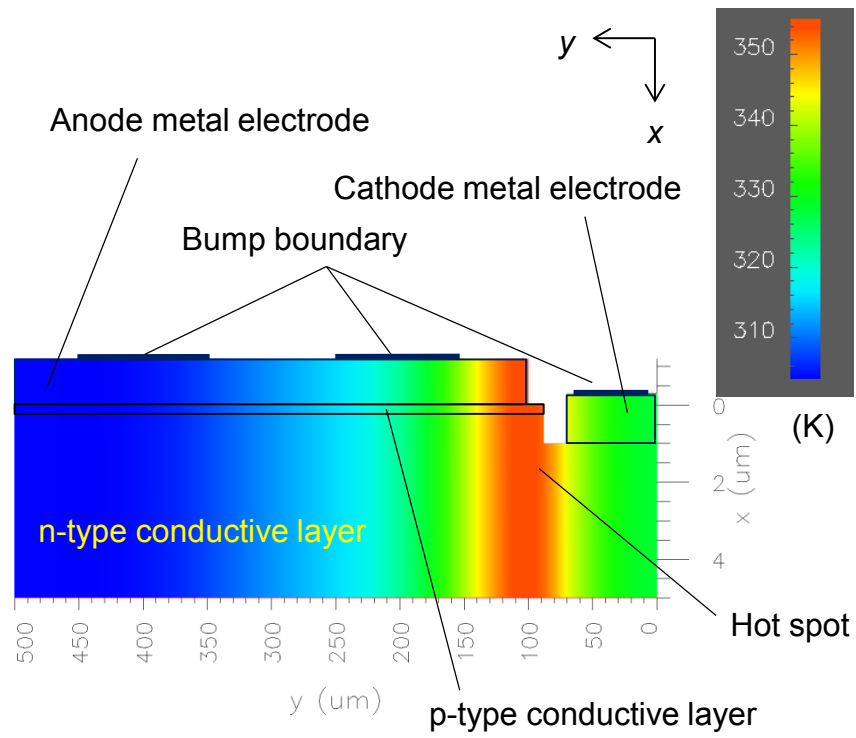
ュレーションした結果であり，ここで，半導体領域の厚さ (T_{chip}) は $5\text{ }\mu\text{m}$ ，チップサイズは $1000\times 1000\text{ }\mu\text{m}^2$ である．シミュレーション結果によると，効果的な放熱がなされているほど，すなわち， R_{th} が小さいほど T_{jmax} の増加が抑制され，それ故，光出力の劣化が大きく改善されている．この結果は，Efremov 等の論文の実験結果とよく一致しており [12]，このシミュレータの妥当性を裏付けている．

3.3. 結果

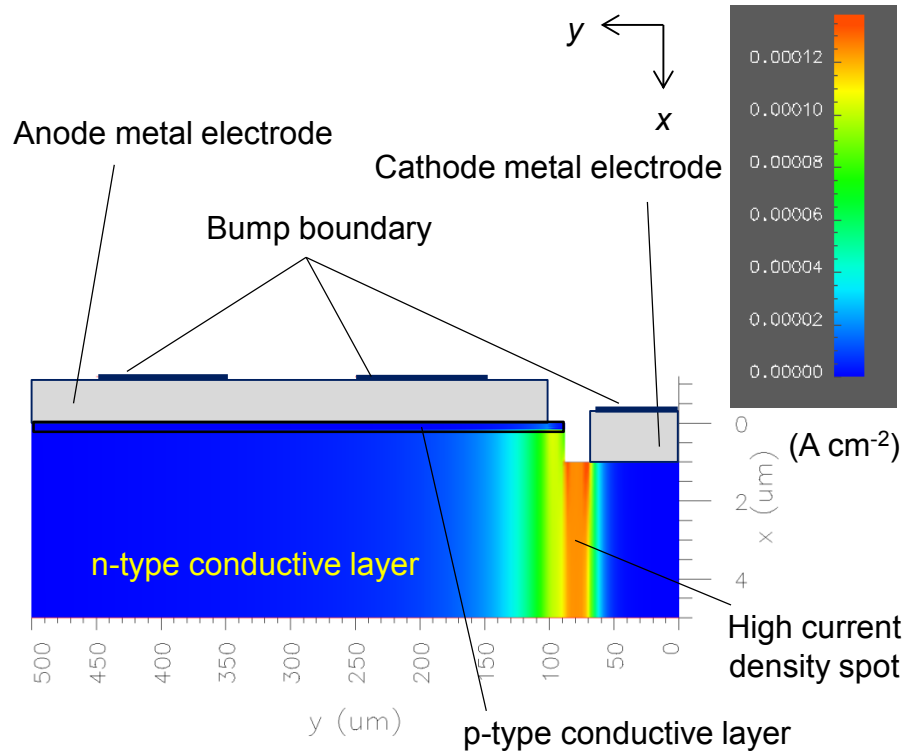
3.3.1. 効率に対する熱の影響

Efremov 等は，高電流動作における効率低下の原因のひとつが，ジュール熱の発生によるものであることを見出した [12]．また，Han 等はシミュレーションと実験によって LED 面内の電流分布と温度分布を調べ，カソード電極近辺の n 型 GaN 層中の電流密度が最も高く，温度もまた最も高いことを見出した [15]．他方，Bulashevich 等や Bodgdanov 等は，シミュレーションで，活性層の局所過熱がアノード - カソード電極間のギャップ付近の電流集中から生じることを示した [14, 16]．本研究では，完全連成 3D electro-thermal デバイスシミュレータを用いて，電流と温度の深さ方向の分布についてシミュレーションし，効率低下の詳細な原因を解明した．深さ方向に関する検討，厚い導電性基板の効率に関する検討は本研究がはじめてである．

図 3.5(a) と 3.5(b) は， $T_{chip} = 5\text{ }\mu\text{m}$ ， $R_{th} = 10\text{ K/W}$ ， $I_a = 1\text{ A}$ の LED の温度と電流密度の断面の分布を示している．この断面分布図は，LED ダイの右半分の分布を示している．金属電極内部の電流分布は，実際には計算しているが，図 3.5(b) には描いていない．それは，金属の導電率が半導体と比較してはるかに高く，バンプとの境界付近の電流密度も極めて高くなるため，半導体領域と一緒に描画すると半導体領域内の電流密度が小さく，その分布が示せないためである．上記に述べたように，金属電極中の電流密度は非常に高いが，熱伝導率が高いので，急速に放熱されている．図 3.5(a) と 3.5(b) の結果を比較すると，電流集中が最も高い，カソード電極に隣接した電極間のギャップ領域が熱くなっていることがわかる．言い換えれば，n 型導電層内の電流集中に起因するジュール熱が温度上昇の主な原因であるといえる．また，図 3.5 (a) と 3.5(b) から，高温，高電流の領域が n 型導電層の上から



(a)



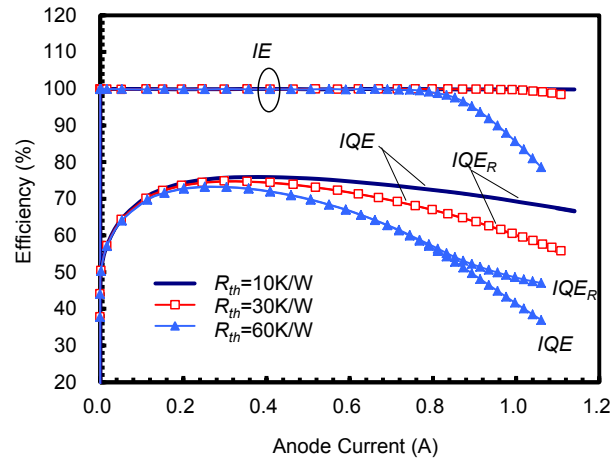
(b)

図 3.5. $T_{chip} = 5 \mu\text{m}$, $R_{th} = 10 \text{ K/W}$, $I_a = 1 \text{ A}$ のLED の (a) 温度分布, (b) 電流密度分布の断面図. LED ダイの右半分の断面分布図を示す.

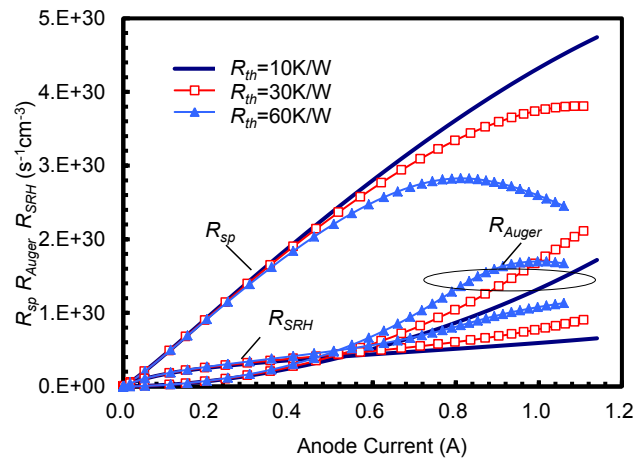
底まで広がっていることがわかる．すなわち，電流は n 型導電層の内部全体を流れて流れている．これらの深さ方向の分布は， n 型導電層の縦方向の厚さが，GaN 系プレーナ LED の高効率動作を理解するうえで鍵となる設計パラメータであることを示唆している．

図 3.5 で観測された局所ジュール熱の影響を更に深く調べるために，シミュレーションで求められた効率 (IQE , IQE_R , IE)，再結合レート (R_{SRH} , R_{Auger} , R_{sp})，アノード電圧 (V_a) のアノード電流 (I_a) 依存性を，図 3.6(a), 3.6(b), 3.6(c), にプロットした．ここで，3 つの異なる実装部分の熱抵抗について示した． $R_{th} = 60 \text{ K/W}$ ， $I_a > 0.8 \text{ A}$ の高温動作 ($T_{jmax} 450 \text{ K}$ 以上，図 3.4(b) 参照) で，活性層からのキャリアオーバーフローが発生しており，極度のリーク電流が光出力のロールオフを引き起こしている (図 3.4(a) 参照)．キャリアオーバーフローに起因する IE の劣化が，図 3.6(a) ではっきりと観測されている． R_{sp} は活性層内のキャリアの数と密接に関係しているので，図 3.6(b) に示されているように，キャリアオーバーフロー現象が R_{sp} の飽和を引き起こしている．図 3.6(a) に示されているように， IQE_R は R_{th} の増大とともに劣化しており，それは，温度上昇に起因して効率が低下していることを示唆しており，図 3.3(a) の結果と一致する．これは， IQE_R の劣化に対する熱の影響が重大であることを意味している．従って，放熱は IQE_R の劣化を抑えてより高い効率を実現するために不可欠である．さらに， R_{SRH} と R_{Auger} も，図 3.6(b) に示すように I_a に伴って増大している．これもまた，高電流動作での IQE_R の劣化の原因になる．

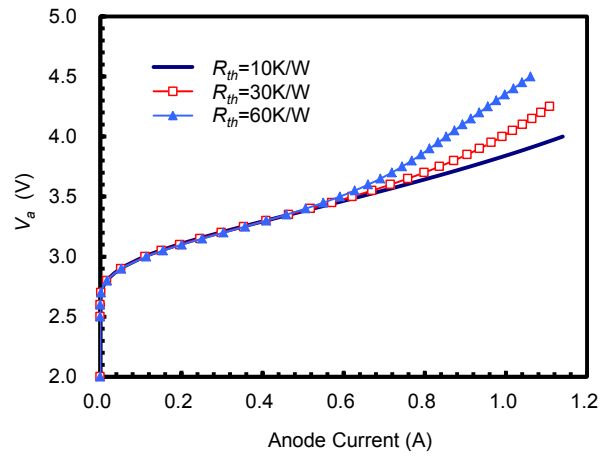
我々のシミュレーション結果は，ハイブリッドシミュレーションを用いた Bodganov の論文中的説明と同じく，3 つの物理的要因，① キャリアオーバーフロー，② オージェ再結合過程，③ 局所加熱が，高電流動作で IQE を低下させていることをはっきりと実証している [16]．



(a)



(b)



(c)

図 3.6.(a) 効率 (IQE , IQE_R , IE), (b) 再結合レート (R_{SRH} , R_{Auger} , R_{sp}), (c) アノード電圧 (V_a) のアノード電流 (I_a) 依存性. $R_{th}=10, 30, 60$ K/W におけるシミュレーション結果.

次に, 図 3.6(c) の結果に基づいて, 直列抵抗に対する熱の影響について論じる. 実装部分の熱抵抗が大きく, 発熱している LED ほど, 高電流動作で高い直列抵抗を示している. この現象は, 移動度の温度依存性を考慮することで説明できる. 我々のシミュレーションで, 移動度は式 (3.14) で与えられ, 温度が上がると移動度が下がる [36]. γ は 1.5 で与えられており, $T=300$ から 600 K の範囲で, 実験結果とよい一致を示すことを確認している [37]. プレーナ LED の n 型導電層の中を流れる電流は, ドリフト電流が主要成分となるので, n 型導電層中の抵抗は移動度に対して反比例の関係になる. よって, 抵抗は式 (3.15) のように与えられる:

$$\mu(T) = \mu_{300K} \left(\frac{T}{300} \right)^{-\gamma}, \quad (3.14)$$

$$R \propto \frac{\partial V}{\partial(q\mu n \nabla \psi)}. \quad (3.15)$$

よって, 局所的な発熱で増大した温度 T が移動度を下げ, 直列抵抗 R を増大させる. 直列抵抗の増大は, n 型導電層内部のジュール熱のさらなる発生を引き起こし, 最終的に, 図 3.6(c) に示されているように, 印加電圧を増大する. また, n 型導電層内部で発生した熱は活性層に伝達し, 結果として接合温度が増大し IQE を低下させている.

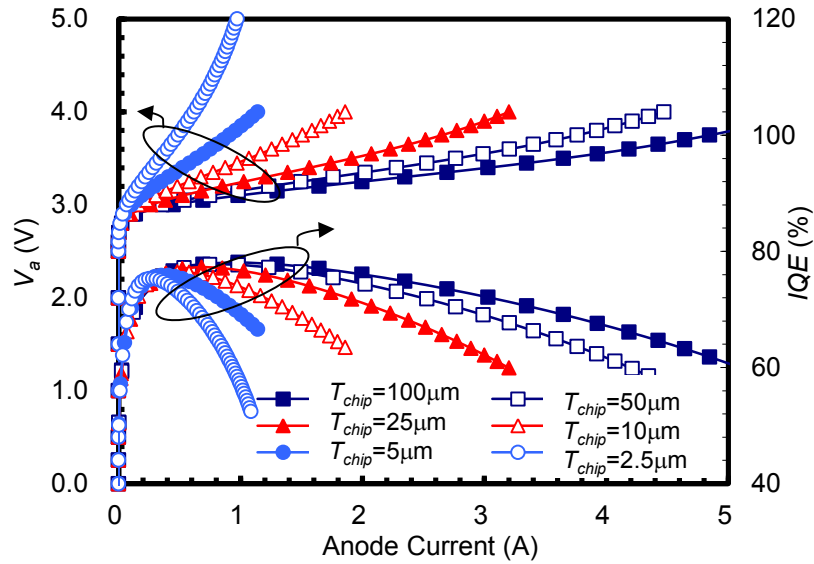
n 型導電層の深さ方向の電流密度分布は, 深さ方向の抵抗の分布に強く影響を受ける. 本節で述べたように, 抵抗は不純物濃度と温度と電界に依存し, 温度分布は電極上の熱抵抗や電氣的接触抵抗による発熱に依存し, 電界分布は電極の電氣的接触抵抗に依存するので, 温度と電流分布を自己整合的にとくシミュレーションを用いた計算が不可欠となる.

3.3.2. 厚い GaN 基板の効果

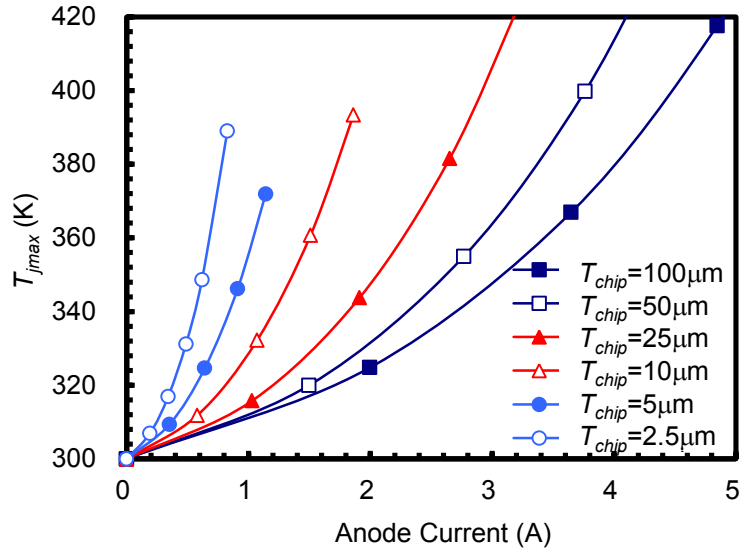
この項では, 厚い n 型導電性 GaN 基板を備えた LED のシミュレーション結果から, 高電流動作での効率改善における GaN 基板の厚さの役割を解明する.

図 3.7 は, シミュレーションで求めた (a) IQE と V_a , (b) T_{jmax} の様々なチップ厚さ; $T_{chip}=2.5, 5, 10, 25, 50, 100 \mu m$ に対するアノード電流依存性を示している. ここで, $R_{th} = 10 \text{ K/W}$ とした. 高電流動作領域で, T_{chip} が増えると IQE が劇

的に向上し、さらに、 V_a と直列抵抗が劇的に下がることがわかる．これは、高電流動作領域での効率の劣化が、 T_{chip} を大きくすることで抑制されていることを意味している．このような劇的な LED 特性の向上は、図 3.7(b) からわかるように、接合温度が低下したことによるものである．

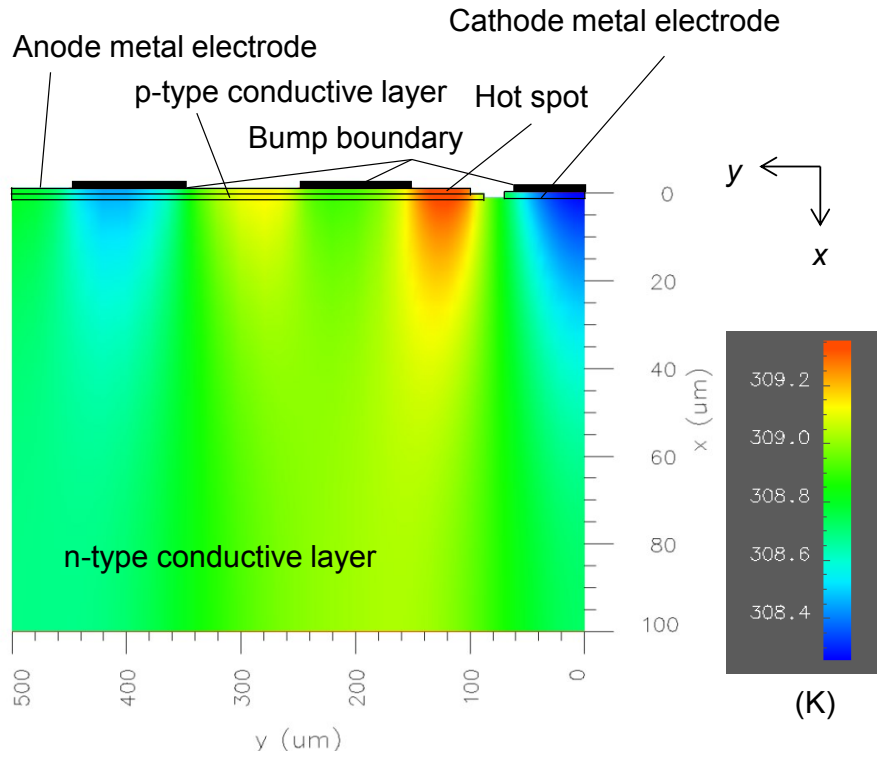


(a)

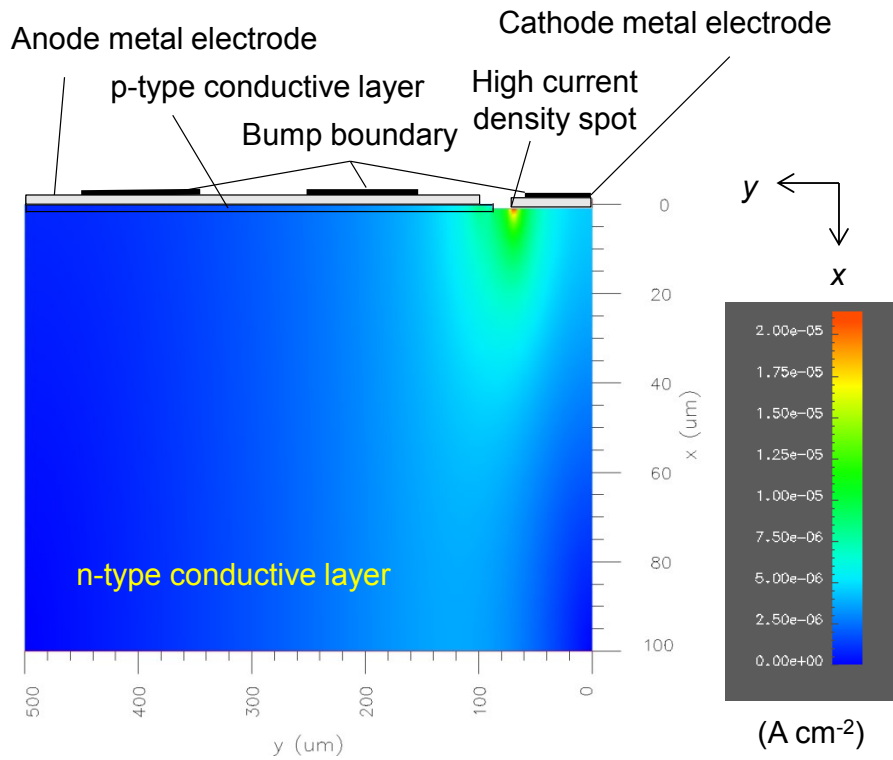


(b)

図 3.7. (a) IQE , V_a , (b) 最大接合温度 T_{jmax} のアノード電流依存性．熱抵抗 $R_{th} = 10 \text{ K/W}$ ，多様なチップ厚； $T_{chip} = 2.5, 5, 10, 25, 50, 100 \text{ } \mu\text{m}$ におけるシミュレーション結果．



(a)



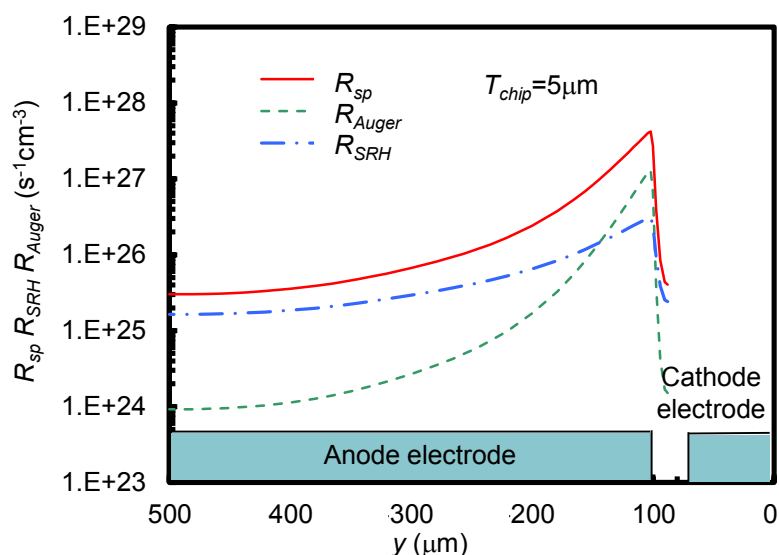
(b)

図 3.8. $T_{chip} = 100 \mu\text{m}$, $R_{th} = 10 \text{ K/W}$, $I_a = 1 \text{ A}$ のLED の (a) 温度分布, (b) 電流密度分布の断面図. LED ダイの右半分の断面分布図を示す. 図 3.5 では $x = -1$ から $5 \mu\text{m}$ の垂直軸の範囲を $x = 0$ から $100 \mu\text{m}$ に拡張し, 厚い GaN 基板全体の温度と電流密度分布を示している.

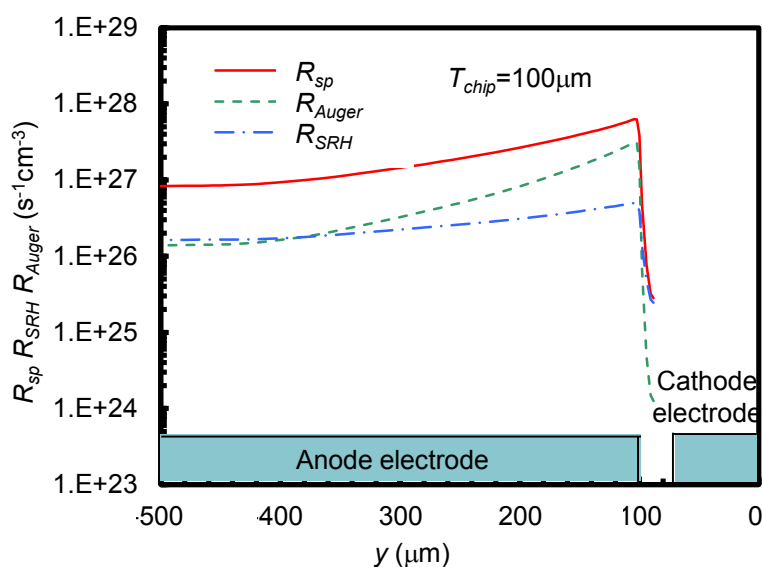
基板厚を厚くすることで電流密度と温度が減少していることを確認するために、 $T_{chip}=100\text{ }\mu\text{m}$, $R_{th}=10\text{ K/W}$, $I_a=1\text{ A}$ の LED の温度と電流密度の断面図を図 3.8(a) と 3.8(b) に示す．ここで留意すべきは、縦軸の範囲が、図 3.5 で $x=-1$ から $5\text{ }\mu\text{m}$ であったものが、厚い GaN 基板の全体の温度と電流密度を表示するために、 $x=0$ から $100\text{ }\mu\text{m}$ に伸ばされていることである．驚くことに、厚いチップ内部の最大温度は、図 3.5(a) に示されている $T_{chip}=5\text{ }\mu\text{m}$ の薄いチップのそれと比べて約 40 K も低下している．加えて、図 3.8(a) から、最大温度の位置がアノード端領域とその上のアノード金属電極領域に限られていることがわかる．言い換えると、この厚いチップデバイスでは、電極間ギャップ付近の n 型導電領域は過熱されていないということである．これは、電流が GaN 基板の深さ約 $x=20\text{ }\mu\text{m}$ までの深い領域内を流れていることに起因している．結果として、厚いチップデバイスの最大電流密度は図 3.5(b) に示した薄いチップのその約 1/6 に減少している．さらに、最大電流密度の場所と最大温度の場所が図 3.8(a) と図 3.8(b) で異なっており、図 3.8(a) の主要な熱源はジュール熱ではなく、非発光再結合熱であると考えられる．発熱箇所が活性層内部だけでなく、カソードよりのアノード端に発熱箇所が広く分布している理由は、この研究のシミュレーションが定常状態を計算しており、GaN の高い熱伝導率に起因して活性層内部で発生する熱が活性層の周辺の領域にすばやく広がるためである．しかし、アノード電流が数 A 以上の高電流が流れる条件では、電流密度が高くなるので、非発光再結合熱の発生場所からジュール熱の発生場所にホットスポットが移動することが確認されている．

最後に、活性層内部の再結合レートの不均一な分布に対する、厚い GaN 基板の影響について議論する．厚い GaN 基板をもちいることで、n 型導電層の抵抗が下がることから、活性層に対して均一にバイアスが印加され、キャリア密度が均一に注入される．それにより、不均一な再結合レートの分布が改善されると期待される．厚い GaN 基板のそのような期待される効果を確認するために、 $T_{chip}=5$ と $100\text{ }\mu\text{m}$ の両方の条件に関して、活性層内部の再結合レート (R_{sp} , R_{SRH} , R_{Auger}) の水平方向 (y) に沿った空間的分布をシミュレーションし、それぞれ、図 3.9(a) と 3.9(b) に示した．ここに、 $V_a=3.5\text{ V}$ である．カソード電極とアノード電極は、それぞれ、

$y = 0$ から $70\ \mu\text{m}$ と $y = 100$ から $500\ \mu\text{m}$ に位置する．図 3.5 と 3.8 と同じように，LED ダイの右半分の分布が示されている．予想したとおり，GaN 基板が厚いほど R_{sp} が均一で，発光分布の均一性が著しく向上しており，LED の効率的動作に貢献している．また，図 3.9(b) にみられるアノード電極端のオージェ再結合の増大が，図 3.8(a) に観測される局所過熱を引き起こす原因であることもわかった．



(a)



(b)

図 3.9. $T_{chip} =$ (a) $5\ \mu\text{m}$ と (b) $100\ \mu\text{m}$ のときの活性層の水平方向に沿った再結合レート (R_{sp} , R_{SRH} , R_{Auger}) の空間分布. $V_a = 3.5\text{V}$ のときのシミュレーション結果．カソードおよびアノード電極は $y = 0$ から $70\ \mu\text{m}$ と $y = 100$ から $500\ \mu\text{m}$ に位置している．

さらに、厚い GaN 基板は薄い基板と比較して光吸収が増大するので、光取り出し効率 (LEE) が低下し、ひいては、外部量子効率 ($EQE: EQE = LEE \times IQE$) が低下する懸念があるので、それについて議論する。銀電極を備えた LED の光線追跡シミュレーション結果によると、 LEE は、 T_{chip} が 25, 50, 100 μm と増えるに従って、 $T_{chip} = 5 \mu\text{m}$ のときからそれぞれ 4, 7, 10 % 減少する。他方、図 3.7(a) と 3.7(b) は、薄い基板厚さの LED において、動作電流を増やすことが困難であることを明らかにしている。もしも I_a が 0.4 A より大きいなら、 T_{jmax} が大きくなって IQE が劇的に小さくなるので、 $T_{chip} = 2.5 \mu\text{m}$ の LED にとって、 $I_a > 1 \text{ A}$ での動作は不可能である。さらに、 $I_a = 2 \text{ A}$ (3 A) で動作する $T_{chip} < 10 \mu\text{m}$ (25 μm) の LED の IQE は、 $T_{chip} = 100 \mu\text{m}$ の IQE から 16 % (14%) 以上低下している。これは、GaN 基板の厚さを増大することが、 $I_a = 2 \text{ A}$ より大きい高電流動作で EQE を向上させるために本質的であることを意味している。

3.4. 結言

完全連成 3D electro-thermal デバイスシミュレータを用いて、高出力用途のプレーナ GaN 系 LED の電氣的、熱的特性の研究をおこなった。我々は、薄い導電性 GaN 基板内部のジュール熱に起因する局所過熱が、内部量子効率を劣化させ、直列抵抗を増大させることを見出した。そして、厚い導電性 GaN 基板を備えた LED をシミュレーションし、電流が基板内部、奥深くを流れている結果を得た。厚い GaN 基板 ($T_{chip} = 100 \mu\text{m}$) を使うと、GaN 基板中の最大電流密度は基板厚が薄いとき ($T_{chip} = 100 \mu\text{m}$) に比べて約 6 分の 1 に低下する結果を得た。これにより、ジュール熱と最大接合温度が低下し、内部量子効率と駆動電圧が劇的に改善した。このシミュレーション結果に基づいて、より厚い GaN 基板は、プレーナ GaN 系 LED の光出力の増大にとって有益であることがわかった。

第 3 章の参考文献

- 1) S. Nakamura, M. Senoh, and T. Mukai, Jpn. J. Appl. Phys. **32**, L8 (1993).
- 2) X. Guo, and E. F. Schubert, Appl. Phys. Lett. **78**, 3337 (2001).
- 3) X. Guo, and E. F. Schubert, J. Appl. Phys. **90**, 4191 (2001).
- 4) H. Kim, J.-M. Lee, C. Huh, S.-W. Kim, D.-J. Kim, S.-J. Park, and H. Hwang, Appl. Phys. Lett. **77**, 1903 (2000).
- 5) H. Kim, S.-J. Park, and H. Hwang, IEEE Trans. Electron Devices **48**, 1065 (2001).
- 6) H. Kim, S.-J. Park, H. Hwang, and N.-M. Park, Appl. Phys. Lett. **81**, 1326 (2002).
- 7) H. Kim, S.-J. Park, and H. Hwang, IEEE Trans. Electron Devices **49**, 1715 (2002).
- 8) H. Kim, and S.-N. Lee, J. Electrochem. Soc. **157**, H562 (2010).
- 9) S. Hwang, and J. Shim, IEEE Trans. Electron Devices **55**, 1123 (2008).
- 10) H. Kim, J. Cho, J. W. Lee, S. Yoon, H. Kim, C. Sone, Y. Park, and T.-Y. Seong, Appl. Phys. Lett. **90**, 063510 (2007).
- 11) H. Kim, J. Cho, J. W. Lee, S. Yoon, H. K. Kim, C. Sone, Y. Park, and T.-Y. Seong, IEEE J. Quantum Electron. **43**, 625 (2007).
- 12) A. A. Efremov, N. I. Bochkareva, R. I. Gorbunov, D. A. Lavrinovich, Y. T. Rebane, D. V. Tarkhin, and Y. G. Shreter, Phys. Semicond. **40**, 605 (2006).
- 13) A. Chakraborty, L. Shen, H. Masui, S. P. DenBaars, and U. K. Mishra, Appl. Phys. Lett. **88**, 181120 (2006).
- 14) K. A. Bulashevich, I. Yu. Evstratov, V. F. Mymrin, and S. Yu. Karpov, Phys. Status Solidi C **4**, 45 (2007).
- 15) D. Han, J. Shim, D.-S. Shin, E. Nam, and H. Park, Phys. Status Solidi C **7**, 2133 (2010).
- 16) M V Bogdanov, K A Bulashevich, I Yu Evstratov, A. I. Zhmakin, and S Yu Karpov, Semicond. Sci. Technol. **23**, 125023 (2008).

- 17) M. V. Bogdanov, K. A. Bulashevich, I. Yu. Evstratov, and S. Yu. Karpov, *Phys. Status Solidi C* **5**, 2070 (2008).
- 18) S. Huang, B. Fan, Z. Chen, Z. Zheng, H. Luo, Z. Wu, Gang Wang, and H. Jiang, *IEEE J. Disp. Technol.* **9**, 266 (2013).
- 19) B. Fan, H. Wu, Y. Zhao, Y. Xian, B. Zhang, and G. Wang, *IEEE Trans. Electron Devices* **55**, 3375 (2008).
- 20) S. Huang, H. Wu, B. Fan, B. Zhang, and G. Wang, *J. Appl. Phys.* **107**, 054509 (2010).
- 21) A. E. Chernyakov, K. A. Bulashevich, S. Yu. Karpov, and A. L. Zakgeim, *Phys. Status Solidi A* **3**, 466 (2013).
- 22) P. Wang, W. Wei, B. Cao, Z. Gan, and S. Liu, *Opt. Laser Technol.* **42**, 737 (2010).
- 23) S. S. Suslov, V. E. Bougrov, M. A. Odnoblyudov, and A. E. Romanov, *Phys. Status Solidi C* **9**, 1105 (2012).
- 24) <http://www-tcad.stanford.edu/~prophet>
- 25) <http://www.robustchip.com/>
- 26) A. Inoue, R. Kato, A. Yamada, and T. Yokogawa, *IEDM Tech. Dig.*, 27.3.1 (2012).
- 27) M. Oya, and T. Yokogawa, *Jpn. J. Appl. Phys.* **52**, 032101 (2013).
- 28) T. Nishida, H Saito, and N. Kobayashi, *Appl. Phys. Lett.* **79**, 711 (2001).
- 29) S.-C. Ling, T.-C. Lu, S.-P. Chang, J.-R. Chen, H.-C. Kuo, and S.-C. Wang, *Appl. Phys. Lett.* **96**, 231101 (2010).
- 30) G. Hatakoshi, M. Onomura, M. Yamamoto, S. Nunoue, K. Itaya, and M. Ishikawa, *Jpn. J. Appl. Phys.* **38**, 2764 (1999).
- 31) J. Piprek, *Phys. Status Solidi A* **207**, 2217 (2010).
- 32) A. Schenk, *Solid-State Electron.* **35**, 1585 (1992).
- 33) H. Akiyama, S. Koshiha, T. Someya, K. Wada, H. Noge, Y. Nakamura, T. Inoshita, A. Shimizu, and H. Sakaki, *Phys. Rev. Lett.* **72**, 924 (1994).
- 34) T. Kohno, Y. Sudo, M. Yamauchi, K. Mitsui, H. Kudo, H. Okagawa, and Y. Yamada, *Jpn. J. Appl. Phys.* **51**, 072102 (2012).

- 35) S. Rudin, G. A. Garrett, H. Shen, M. Wraback, B. Imer, B. Haskell, J. S. Speck, S. Keller, S. Nakamura, and S. P. DenBaars, AIP Conf. Proc. **893**, 315 (2007).
- 36) S. Selberherr, *Analysis and Simulation of Semiconductor Devices*, 81 (Springer, New York, 1984).
- 37) H. Tokuda, K. Kodama, and M. Kuzuhara, Appl. Phys. Lett. **96**, 252103 (2010).

第 4 章 SiGe チャネル pMOSFET デバイスシミュレーション

4.1. 緒言

Si MOSFET の微細化に伴い、薄層化した SiO_2 膜のオフリーク電流を抑制するために、Hf 系誘電体を用いた high- k ゲート絶縁膜を搭載した MOSFET がロジック回路で量産されるようになった [1-5]. 他方、オン状態のデバイス性能を向上させるため、スケーリングに依らない方法が研究されており、例えば nMOSFET であれば III-V 族化合物半導体や Ge 半導体 [6-8], pMOSFET であれば Ge 半導体や歪み SiGe 半導体 [9-18] といった高移動度チャネル材料の導入が期待されている. しかしながら、このような新しい材料は、実際に極小 MOSFET に適用すると、ゲート絶縁膜界面に界面準位密度が高密度に形成されて大幅にキャリア移動度が低下する問題が発生しており、非 Si チャネル材料とゲート酸化膜の間の高品質な界面の実現が重要となっている.

そのため、一般的な歪み SiGe チャネルデバイスは、Si キャップ層をゲート酸化膜とチャネルの間に挿入することで、界面品質の低下を防いでいる [19-21]. ところが、Si キャップ層の挿入は、capacitive equivalent thickness (CET) の増大を引き起こし、条件によっては、Si 寄生チャネルが歪み SiGe チャネル近傍に形成されることがわかった [16, 17, 22]. また、アニール工程中に Ge 原子が SiGe チャネルから Si キャップ層に拡散し、それが Si キャップ層のホール移動度を増大させ、バンドギャップを狭小化させることもわかった. ホール移動度が高くなることと、バンドギャップが狭小化することは、低閾値電圧、高スイッチング動作という点で、歪み SiGe チャネル pMOSFET (sSG pMOSFET) のデバイス性能を向上させ、利点となる. しかしながら、拡散した Ge 原子が Si キャップ層の再表面に到達すると、欠陥が発生し、界面準位密度が増えて、ホール移動度が大きく劣化する [23]. その結果、界面での欠陥の発生を避けるために、Si キャップ層は過度に薄くしてはならないと考えられている [22-28].

このように、sSG pMOSFET のデバイス性能は、Si キャップ層の厚さと Ge 組成分布に大きく依存している [29]. それ故、デバイスシミュレーションを用いた Si キャップ層の構造に関する研究が盛んになされ、電流駆動やダイナミックレスポンスに対する効果が示されている [22, 28]. 他方、オフリーク電流の影響に関するデ

バイスシミュレータを用いた報告は少ない [21, 22]. Si キャップ層は SiGe 材料よりも大きいバンドギャップエネルギーをもっているため、Si キャップ層の挿入は、チャネル - ドレイン接合で発生するバンド・バンド間トンネリングやトラップ・アシスト・トンネリングによるリーク電流を低減することが予想される [22, 30]. この研究では、sSG pMOSFET の Si キャップ層の役割について、オン状態だけでなくオフ状態についても、デバイスシミュレーションと実験的測定を用いて議論し、Si キャップ層の構造を最適に設計した. シミュレーションでは、ドリフト拡散電流モデル式とヘビーホールに関するシュレディンガー方程式をカップリングすることによって量子閉じ込め効果を考慮し、SiGe チャネルと Si キャップ層両方のホールの 2 次元分布を正確にシミュレーションした. 加えて、界面トラップ密度に起因するゲート酸化膜での移動度劣化 [23, 24] を、垂直電界依存性移動度モデル [32, 33] を用いて考慮した.

4.2. デバイス構造と計算論的アプローチ

4.2.1. デバイス構造

図 4.1 に、この研究で用いた sSG pMOSFET のデバイス構造を示す. 従来型の Si pMOSFET は、図 4.1 の n-SiGe チャネル領域を n 型 Si チャネルと置き換えてシミュレーションした. Si バッファ層、歪み SiGe チャネル層、Si キャップ層のドーピングプロファイルは、アニール工程の際に n 型 Si ウェルから P が拡散して、軽く n 型にドーピングされるので、そのプロファイルを設定した. また、Ge 組成 (GC) が約 20 % から 30 %, Si キャップ層厚 (T_{cap}) が 1 nm 未満 ~ 3 nm の間の種々のデバイスを作製して、シミュレーション結果と比較した. ゲート絶縁膜は、厚さ 8 nm の SiO₂ と、有効酸化膜厚 (EOT) 1.5 nm の HfSiON/SiO₂ の 2 種類を作製し、ゲート幅は 10 μ m に固定し、1.1 μ m と 10 μ m の 2 つの異なるゲート長のデバイスを作製した.

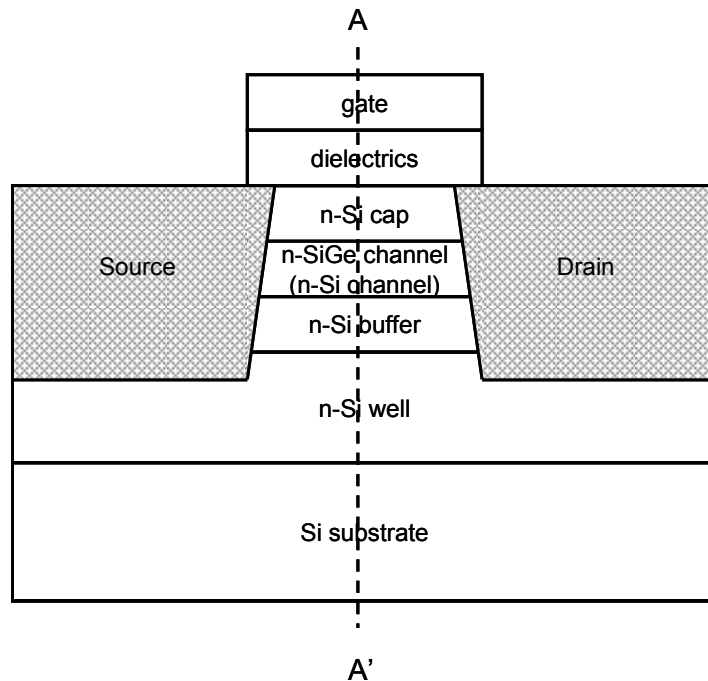


図 4.1.本研究で用いたsSG pMOSFET のデバイス構造. 従来型のSi pMOSFET をシミュレーションするときは, n-SiGe チャネル領域を単純にn-Si チャネルにおきかえる.

4.2.2. Si キャップ層内の Ge プロファイルのモデリングとホール輸送特性に対する影響

4.2.1 項で説明したように, Ge 原子は, アニール工程中に, SiGe チャネル層から Si キャップ層に拡散する. とりわけ, Si キャップ層が薄いとき, Ge 原子はゲート酸化膜界面近くまで到達し, Si キャップ層は実質的に SiGe 層として振舞う. 図 4.2 は, Energy Dispersive X-ray (EDX) spectroscopy で得られたもので, Ge 原子が拡散工程によって, Si キャップ層の中に存在していることを示している. 図 4.2 の測定で使われた sSG pMOSFET の Si キャップ層は厚さ 0.73 nm と極薄で, Ge 原子がゲート酸化膜界面に達している. 厳密には, GC は (a) SiGe チャネルの中央の 22% から, (b) Si キャップ層の最表面の 12% にまで減少しており, Ge が拡散しているといえる.

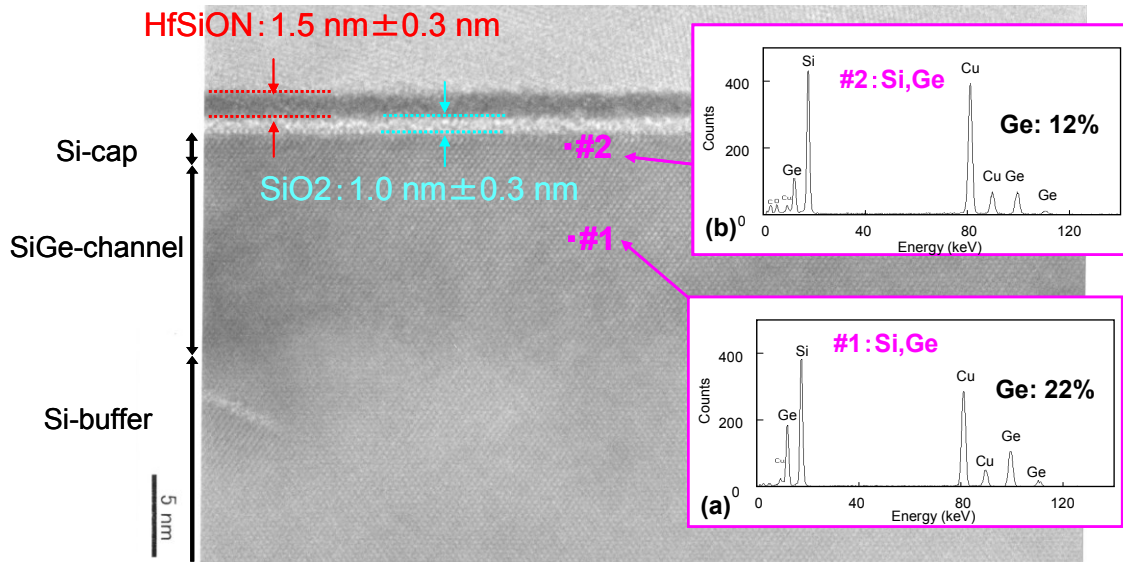
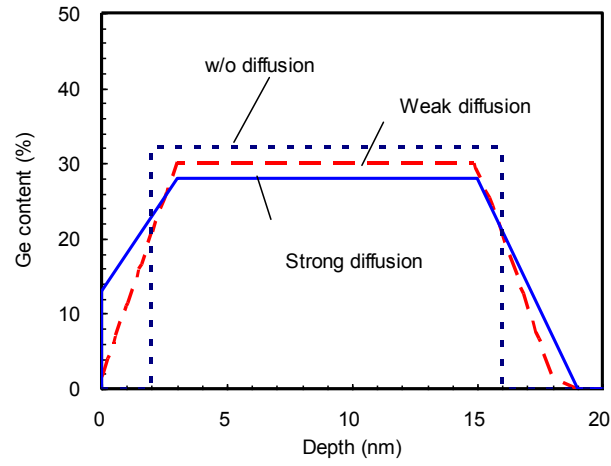
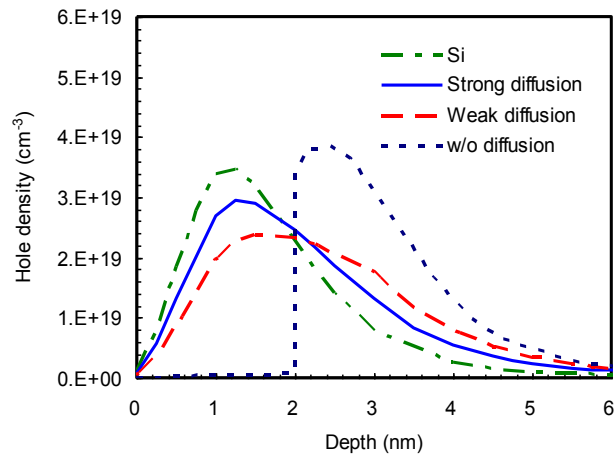


図 4.2. sSG pMOSFET のTEM 画像とEDX (Energy Dispersive X-ray) 分光結果. 0.73 nm と極度に薄いSi-cap 層と13.1 nm 厚のSiGe チャネルをもつsSG pMOSFET の (a) SiGe チャネルの中央と, (b) Si-cap 層の最表面のデータを取得した.

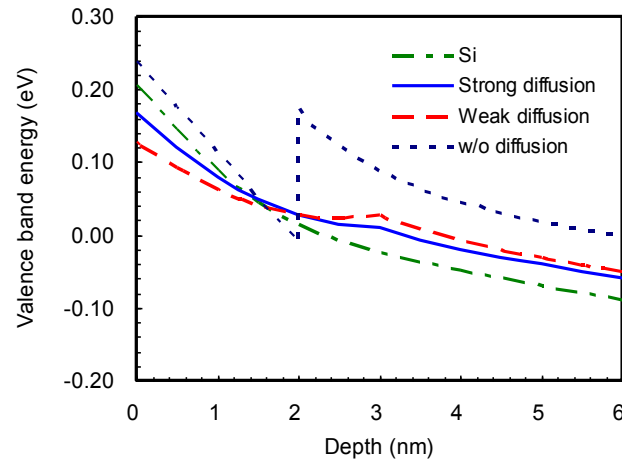
この Ge の拡散現象をシミュレーションにとりこむため, 図 4.3(a) に示すように, 直線近似を用いて GC 分布をモデル化した. 図 4.1 の A-A' 線に沿って仮定した GC プロファイルを示している. また, Ge の拡散が強いときと弱いときの影響を確認するために, 2 つの異なる拡散状態; Si キャップ層の最表面の GC が 13% (strong diffusion) と 2% (weak diffusion) を考えた. いずれの場合も, T_{cap} は 2 nm に設定し, SiGe チャネル内部の GC の値は $\sim 30\%$ とした. また, 比較のために, Ge 拡散のない理想的な GC プロファイルについてもシミュレーションした (点線で表示). Ge 拡散のないプロファイルでは, Si キャップ層は 0 nm から 2 nm, SiGe チャネル層は 2 nm から 16 nm に分布している. 図 4.3 (b) と (c) は, 上記した拡散条件に対する, ホール密度とバレンスバンドエネルギーの分布のシミュレーション結果を示している. 比較のため, 同じ形状の従来の Si pMOSFET のシミュレーション結果も一点鎖線でプロットした. ゲート長 L は 10 μm , ゲート酸化膜は厚さ 8 nm の SiO_2 である. ドレイン電圧 V_D は -50 mV , ゲート電圧 V_G は sSG pMOSFET に対しては -3 V , Si pMOSFET に対しては -3.35 V とした.



(a)



(b)



(c)

図 4.3. (a) シミュレーションで仮定したGC プロファイル. 強い拡散と弱い拡散, 2つの異なる拡散状態を考慮した. $T_{cap} = 2 \text{ nm}$ かつSiGe チャンネル内部のGC 値が $\sim 30\%$. Ge が拡散しない理想的なGC プロファイルについてもシミュレーションした. 各拡散条件で計算した, (b) ホール密度, (c) バレンスバンドエネルギー分布を示す. リファレンスに, 同一構造の従来型のSi pMOSFET についてシミュレーションした結果を一点破線でプロットする.

まず、Ge 拡散がない場合は、図 4.3(c) の点線に示されているように、SiGe チャネル層と Si キャップ層の間の境界でバレンスバンドエネルギーが不連続となるので、殆どのホールは SiGe チャネル層に閉じ込められていることがわかる。他方、Ge 拡散がおきた場合、ホール分布は Si キャップ層中に広がり、とりわけ Ge 拡散が強い場合は、Si pMOSFET のホール密度分布に近づく。ここでみられる Ge 拡散が強い sSG pMOSFET と Si pMOSFET の分布の差は、図 4.3 (c) の実線に示されているように、SiGe チャネル層と Si キャップ層の間の境界付近に小さなポテンシャルハンプがまだ形成されていることによる。これらの結果から、Ge 拡散過程がおこったとしても、高いホール移動度をもつ SiGe 層に多くのホールが分布しているので、ホール輸送特性が向上することがわかる。

図 4.4 は GC = 20 と 30 % の SiGe チャネル層をもつ sSG pMOSFET と、同じ形状の Si pMOSFET の $I_D - V_G$ 特性のシミュレーション結果を示している。

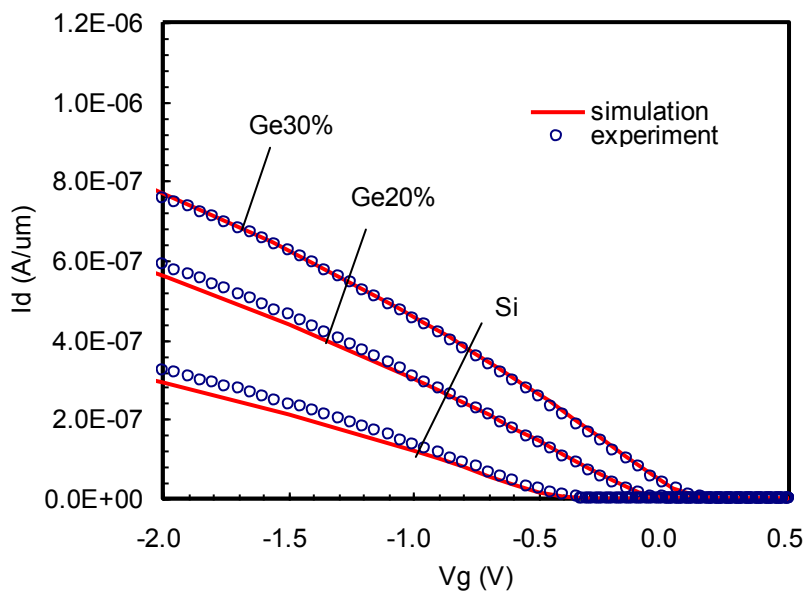


図 4.4. GC = 20 と 30 % の SiGe チャネル層をもつ sSG pMOSFET と、同一構造の Si pMOSFET の $I_D - V_G$ 特性. 強 Ge 拡散モデルが用いられており、ゲート酸化膜界面におけるホールの散乱が考慮されている. デバイス構造は図 4.3 と同じで、 $V_D = -50$ mV.

ここに、デバイス構造は、図 4.3 に示したものと同じで、バイアス条件は $V_D = -50$ mV, Ge の拡散が強い GC モデルを用いた。このシミュレーションでは、ゲート酸化膜界面における散乱によってホール移動度が劣化することを、式 (4.1) を用いて考慮した [22, 28, 31, 32]。

$$\mu_{is} = G \times \frac{\mu_0}{\sqrt{1 + \frac{E_{\perp}}{E_c}}}, \quad (4.1)$$

ここに、 $E_{\perp}$ はソース・ドレイン方向に対して垂直な電界、 E_c は臨界電界であり、式 (4.1) はゲート電圧の増加に伴う低電界移動度 μ_0 の低下をモデル化している。格子歪みによる SiGe の移動度の向上とドーピング密度依存性は μ_0 に含めており、表面ラフネス散乱は分母の $\sqrt{1 + E_{\perp}/E_c}$ [32] に取り入れられている。 E_c は 1×10^5 V/cm を用いた。また、ファクター G には、ゲート酸化膜界面に形成されたトラップ電荷密度による移動度の劣化を盛り込んだ [23, 24]。Ge 拡散によって形成された界面トラップ電荷密度がクーロン散乱によって酸化膜界面のホール移動度を劣化させていると考えた。 G は式 (4.2) のように定め [33]、式中の界面電荷によるクーロン散乱に起因する移動度劣化成分 $\mu_{ic}(D_{it})$ は実験的に決定した。

$$G = \frac{1}{\left(1 + \frac{\mu_0}{\mu_{ic}(D_{it})\sqrt{1 + E_{\perp}/E_c}}\right)}, \quad (4.2)$$

ここに、 D_{it} は Si バンドギャップ内の平均界面トラップ密度である。関数 $\mu_{ic}(D_{it})$ は D_{it} と有効移動度の実験的關係から決定しており [33]、図 4.5 に示す G と D_{it} の相関曲線に基づいて決定した。 D_{it} がおよそ 10^{11} cm^{-2} より大きくなると、劇的に移動度が小さくなる。

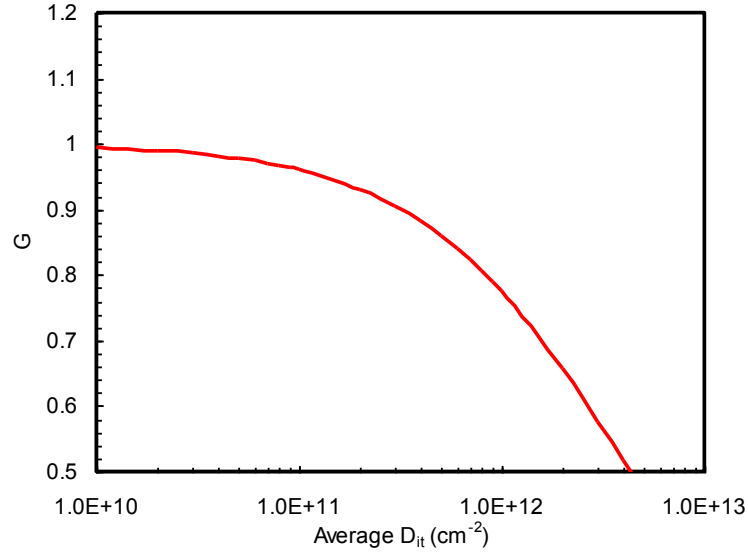


図 4.5. 式 (4.1) におけるG ファクターと平均界面トラップ密度 D_{it} の相関関係. D_{it} はSi バンドギャップ内で平均化されたもの.

高電界でおきる速度飽和現象に起因するホール移動度の劣化については, 以下の Caughey – Thomas のモデル式を用いて考慮した [31, 34].

$$\mu = \frac{\mu_{is}}{\left(1 + \left(\frac{\mu_o \cdot E_{\parallel}}{v_{sat}}\right)^{\beta}\right)^{1/\beta}}. \quad (4.3)$$

ここに, v_{sat} はホールの飽和速度, $E_{\parallel}$ はソース – ドレイン方向に平行な電界である. β は 1.2 とした. 図 4.4 からわかるように, この移動度モデルを用いたシミュレーション結果は, あらゆる Ge 組成のデバイスに対して実験データと良好な一致を示した. また, sSG pMOSFET が, Si pMOSFET よりも十分に高いドレイン電流を示すことを確認できた. この結果は, 我々の Si キャップ層内の Ge プロファイルに対するモデリング方法と界面散乱モデルが, sSG pMOSFET の Si キャップ層の役割を議論する上で十分に正確であることを実証している.

4.3. 電気特性に対する Si キャップ層厚依存性

この項では、前の項で述べたシミュレーション技術を用いて様々な T_{cap} の sSG pMOSFET をシミュレーションし、実験データと比較することにより、 T_{cap} の電気特性に対する影響を議論する。ゲート長は $L = 10 \mu\text{m}$ 、ゲート酸化膜は $EOT = 1.5 \text{ nm}$ の $\text{HfSiON}/\text{SiO}_2$ について調べた。GC 分布は、Ge が強く拡散しているモデルを用いた。

まず、 T_{cap} の閾値電圧 V_{th} に対する影響を調べる。図 4.6 は実験およびシミュレーションで得られた V_{th} の T_{cap} 依存性を示している。参考に、同じ形状の従来の Si pMOSFET の結果を水平破線でプロットしている。Si キャップ層が薄くなるにつれて、Ge が拡散し、Si キャップ層のバンドギャップが狭小化して、 V_{th} がより正の値にシフトしている。シミュレーション結果は、1 nm から 3 nm の間の T_{cap} に対して実験データとよく一致しており、予想どおり、 T_{cap} が増大するにつれて Si pMOSFET の値に近づいている。上記した結果は、pMOSFET では、閾値電圧が正にシフトすることで、同じ印加電圧におけるゲートオーバードライブが大きくなるので、より薄い Si キャップ層ほど高いパフォーマンスが予想されることを示唆している。

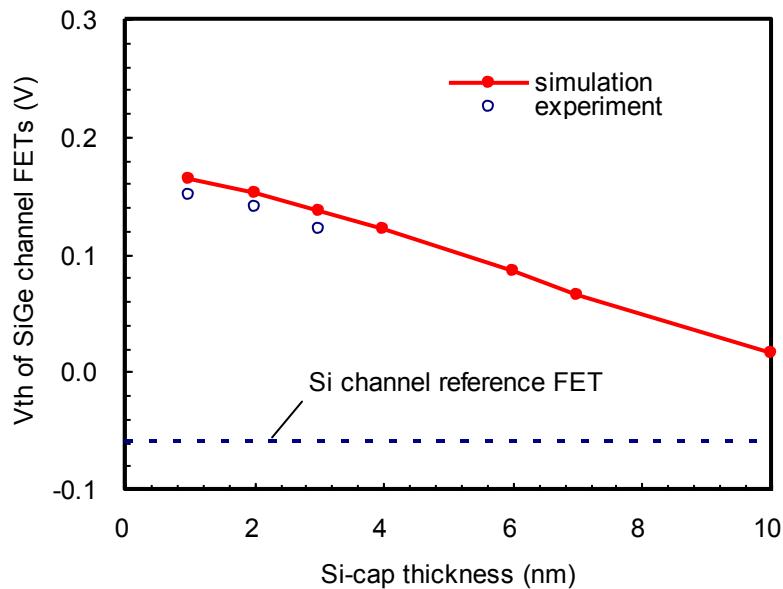
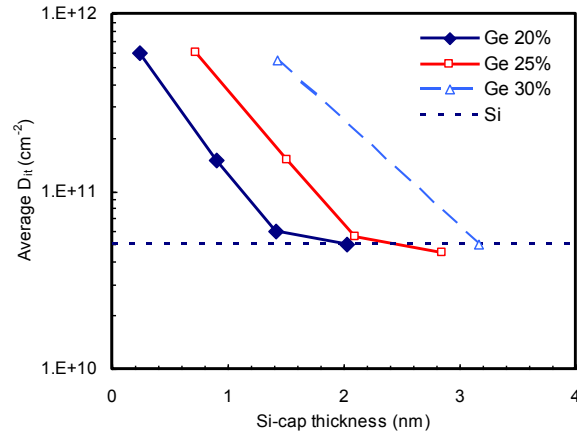


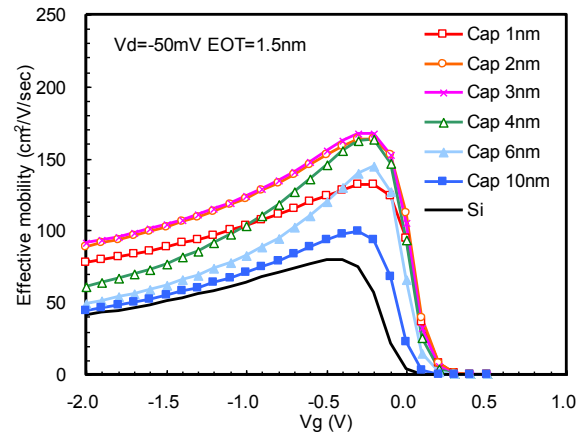
図 4.6. V_{th} の T_{cap} 依存性. シミュレーションと実験結果を比較. リファレンスに、同一構造の従来型の Si pMOSFET をシミュレーションした結果を水平破線でプロットする。

しかしながらその一方で、Ge 原子が Si キャップ層の最表面に拡散、到達し、高密度な欠陥が発生することを考えると、Si キャップ層を薄くしすぎることは、界面品質の深刻な劣化を引き起こし、特性劣化をおこすと考えられる。実際、図 4.7(a) に示すように、チャージポンピング法を用いた実験的測定結果は、 T_{cap} の減少と GC の増大に伴って、平均界面トラップ密度 D_{it} が劇的に増大していることを示している。図 4.7(a) は、実験的に測定した D_{it} をプロットしたもので、GC = 20 %, 25 %, 30 % のものと、従来の Si pMOSFET のものを比較している。 D_{it} が急激に増え始める臨界膜厚は GC の値に依存しているが、 T_{cap} が数 nm よりも小さくなるにつれて、増大する D_{it} によって界面品質が劣化していることは明らかである。

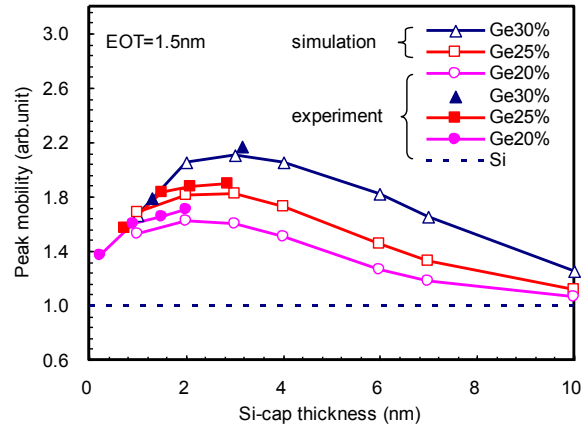
図 4.7(b) は有効ホール移動度のゲート電圧依存性を様々な T_{cap} についてプロットしたもので、 D_{it} に起因する界面クーロン散乱の影響を、実際の D_{it} と式 (4.1)-(4.3) でモデル化してシミュレーションした結果である。GC = 30 %, $V_D = -50$ mV のときの結果である。また、図 4.7(c) に、それらのピーク移動度を T_{cap} を関数として、GC = 20 %, 25 %, 30 % についてプロットし、対応する実験データと比較した。ここに、ピーク移動度は Si pMOSFET の値で規格化している。これらの計算結果によると、高いホール移動度をもつ SiGe チャネル層のホールの分布状態に依存して、ピーク移動度は、最初、 T_{cap} の減少に伴って増大し（詳細は、後に、ホール分布の計算結果を用いて説明する）、その後、 T_{cap} が 2 nm（GC = 20 %）あるいは 3 nm（GC = 25 %, 30 %）より小さくなるときに、減少しはじめることが示されている。有効移動度が減少しはじめる T_{cap} の値は、図 4.7(a) に示す D_{it} が増大する臨界膜厚に対応しているので、計算結果に示されている移動度の劣化は、確かに、ゲート酸化膜界面における増大した D_{it} に起因するものである。また、図 4.7(c) に示すように、ピーク移動度が劣化するこの計算結果は、実験結果の挙動をよく再現している。これは、界面におけるホールの散乱が、シミュレーションで正確に考慮されていることを意味しており、また、最大のパフォーマンスを獲得するための最適な T_{cap} の値が存在することを意味している。これについては、後に議論する。



(a)



(b)



(c)

図 4.7. (a) チャージポンピング法を用いて得られた平均界面トラップ密度 D_{it} の実験データ. GC=20, 25, 30% のsSG MOSFET および, 従来型Si MOSFET のデータをプロットする. (b) 多様な T_{cap} にて計算した有効ホール移動度のゲート電圧依存性. GC=30%, $V_D=-50$ mV. (c) GC=20, 25, 30% のsSG MOSFET のピーク移動度の T_{cap} 依存性. 対応する実験データもプロットする. ピーク移動度はSi pMOSFET のものと規格化して示す.

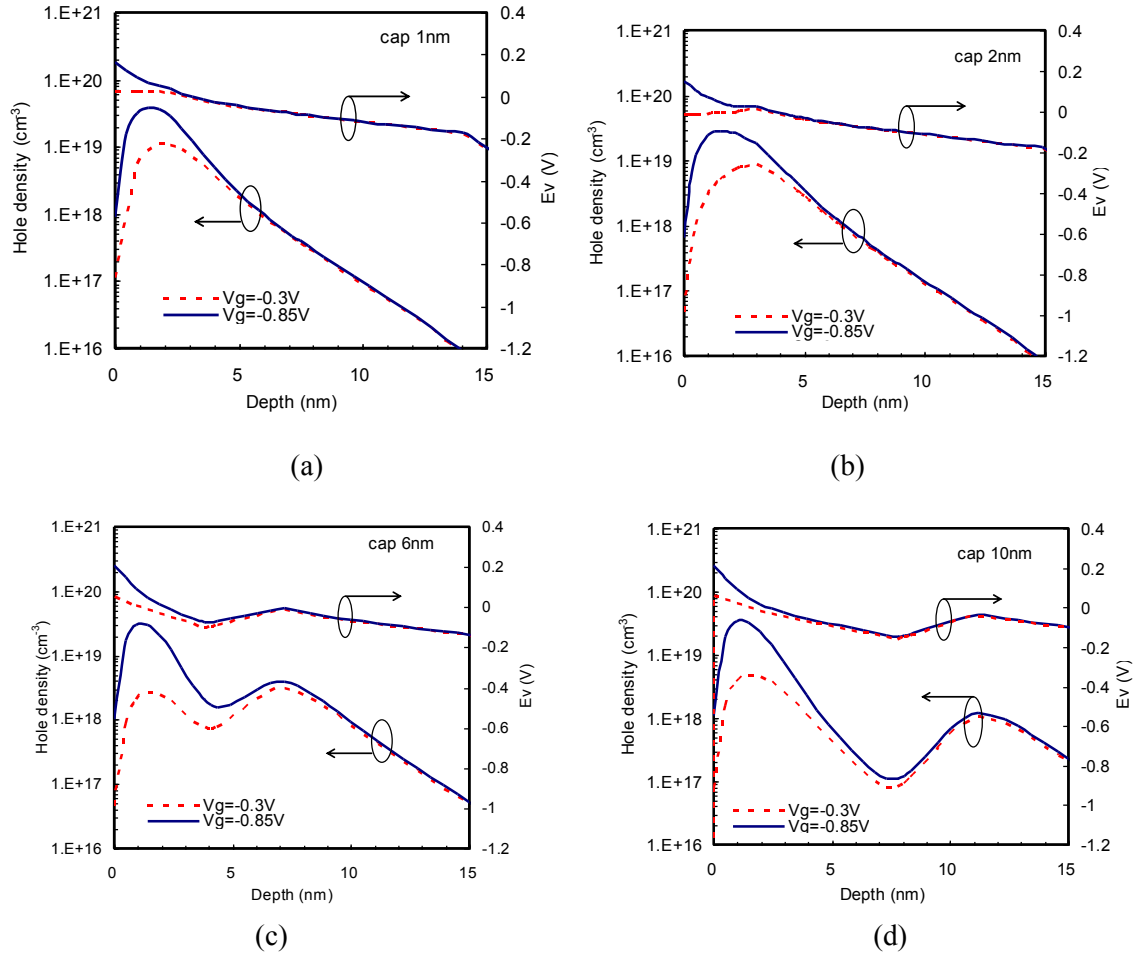


図 4.8. T_{cap} = (a) 1 nm, (b) 2 nm, (c) 6 nm, (d) 10 nm のときのホール密度とバレンスバンドエネルギー分布. 弱反転 ($V_G = -0.3\text{V}$) と強反転 ($V_G = -0.85\text{V}$) 条件についてプロットした. $GC = 30\%$, $V_D = -50\text{ mV}$.

次に、図 4.7(c) に示した T_{cap} が減少するにしたがって (10 nm から ~2 nm ま) でピーク移動度が増大する計算結果について詳細に説明する. 図 4.8 に、 T_{cap} = (a) 1 nm, (b) 2 nm, (c) 6 nm, (d) 10 nm の sSG pMOSFET に関して、弱反転状態 ($V_G = -0.3\text{V}$) と強反転状態 ($V_G = -0.85\text{V}$) でのホール密度とバレンスバンドエネルギー分布の計算結果をプロットした. $GC = 30\%$, $V_D = -50\text{ mV}$ のときの結果である. まず、図 4.8(c) と (d) に示されるように、 T_{cap} が 6 nm より大きいとき、Si キャップ層内部の最表面の近くに SiGe チャンネル層から分離した寄生チャンネルが形成されている. 特に、図 4.8(c) と (d) の強反転の条件で、殆どのホールはホール移動度の低い寄生チャンネルに存在しており、それ故、図 4.7(b) に示すように、有効ホ

ール移動度は、ゲート電圧が強反転状態に印加されるにつれて Si pMOSFET のそれとほぼ同じレベルにまで減少する．他方，たとえば T_{cap} が 2 nm に減少すると，図 4.8 (b) に示すように，相当量のホールが SiGe 層内部を伝播し，その結果，有効ホール移動度は T_{cap} が減少するにつれて上昇する．加えて，図 4.7 (b) に示すように，弱反転，強反転両方の条件で，最高の有効ホール移動度は $T_{cap}=2\text{ nm}\sim 3\text{ nm}$ のときに得られている．これは，図 4.8(b) に示されている好ましいホール分布に起因するもので，すなわち，大部分のホールが ゲート電圧に関係なく，SiGe 層の内部を伝播しているときとなる．図 4.8(a) に示されるように， T_{cap} が更に小さくなってもホール分布に関する状況は変わらないが，図 4.7 (a) に示すように， D_{it} が劇的に増大し，それ故，ホール移動度は式 (4.1) の G ファクターによって減少する．最適な T_{cap} が 3 nm 付近に存在することは過去の実験においても報告されており [21]，この研究では，上で述べたように，デバイスシミュレーションを用いてその物理的メカニズムを明らかにした．それ故，我々のシミュレーション技術は，ナノメートルスケールの Si キャップ層を備えた高パフォーマンスの sSG pMOSFET を設計するうえで信頼できる．

また，図 4.9 に示されるように，このようなホール分布の著しい変化は，ゲート容量の特性変動を引き起こすと考えられる．図 4.9 に，様々な T_{cap} をもつ sSG pMOSFET と Si pMOSFET について計算した， $V_D = 0\text{ V}$ のときのゲート容量のゲート電圧依存性をプロットした．予想したように，Si キャップ層を挿入することで CET が増大し，そのためゲート容量が減少する．なお，開始電圧が上昇するのは，挿入された Si キャップ層のバンドギャップエネルギーが大きいことに起因する．また，注目すべきことに，ゲート電圧が増加するとき（強反転状態に近づくとき），ゲート容量の低下が小さくなり，全ての曲線が Si pMOSFET と同じ値に収束している．これは，図 4.8 に示されるように，ゲート電圧が高くなると， T_{cap} に関係なく相当量のホールが Si キャップ層内に引き寄せられるためであり，それ故，全ての T_{cap} で，ゲート積層構造によって決定される酸化膜容量の値に収束している．上記結果は，sSG pMOSFET の オン状態のデバイス性能が，ゲート容量ではなく，有効ホール移動度に依存していると考えられることを示唆している．

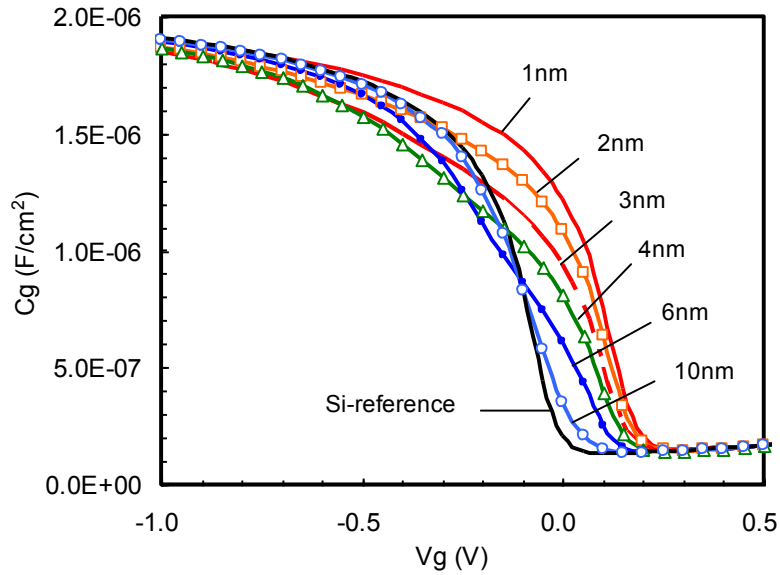


図 4.9. 多様な T_{cap} のsSG pMOSFET について計算したゲート容量 (C_g) vs ゲート電圧特性 (V_g) . Si pMOSFET の計算結果もプロットする. $V_D = 0$ V.

次に、図 4.10 に示すように、強反転状態における ($V_D = V_G = -1.1$ V のとき) T_{cap} のオン電流依存性について詳しく調べた. 図中には Si pMOSFET のオン電流も水平破線で示している. sSG pMOSFET のピーク移動度は $T_{cap} = 2$ nm 近辺で最も高いので、同じ $T_{cap} = 2$ nm 近辺で最も高いオン電流を示していることが、はっきりとわかる.

以上の議論をまとめると、sSG pMOSFET は、Ge 拡散によって発生する界面電荷に起因するクーロン散乱を避けるべく最適化されたホール分布によって、高いホール移動度を得る事ができる、おおよそ $T_{cap} = 2$ nm で最も高いオン状態のパフォーマンスを示すといえる.

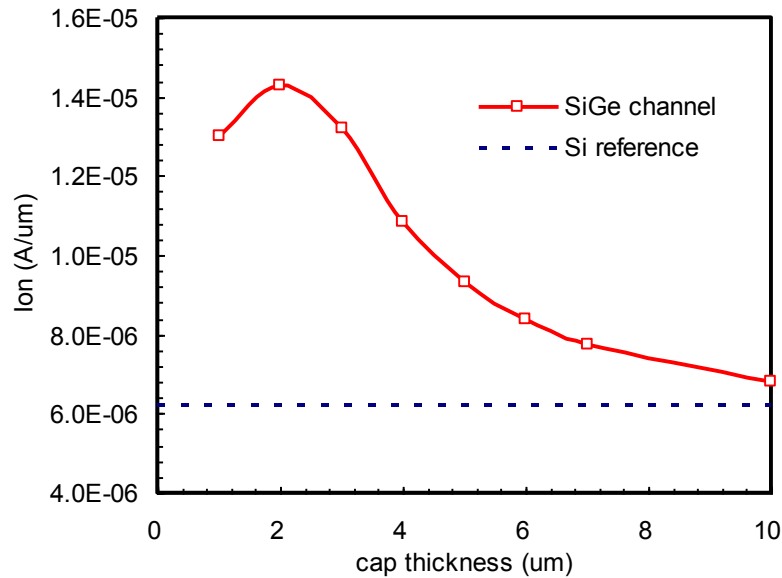


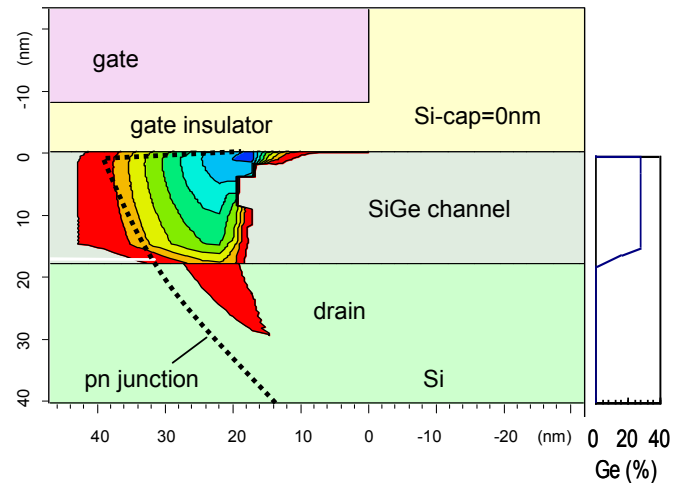
図 4.10. オン電流密度の T_{cap} 依存性のシミュレーション結果. $V_D = V_G = -1.1$ V. Si pMOSFET の結果を水平破線で示す.

4.4. オフリーク電流における Si キャップ層の影響

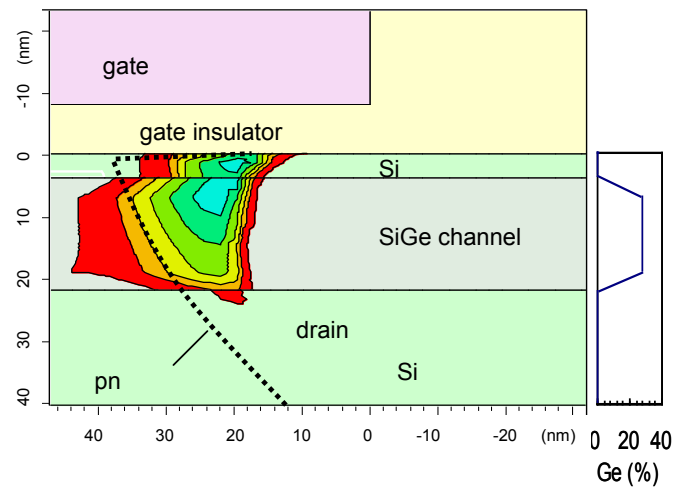
オフリーク電流は、チャネルに対するゲートの制御性が低下するためにサブスレッショルド電流が増大する現象である．これは、ゲート絶縁膜・チャネル界面品質の劣化や [21], ゲート絶縁膜を流れるゲートリーク電流 [20], チャネル・ドレイン接合で発生するバンド・バンド間トンネルリーク電流やトラップ・アシスト・トンネルリーク電流によって起きる．Oh 等は, Si キャップ層が界面品質を向上させることでオフリーク電流を抑制し, それ故, チャネルに対するゲートの制御性が改善されることを実験的に報告した [21]. 他方, SiGe 材料は Si よりもバンドギャップエネルギーが小さいので, チャネル・ドレイン接合で生ずる 2 つのトンネリングメカニズムが, ゲート長が短い sSG pMOSFET のオフリーク電流に対して重要な役割を果たしていると考えられる．実際に, それらのトンネリングメカニズムに起因するオフリーク電流の増大は, sSG pMOSFET の実用化において, 大きな懸案事項となっている [22] . Si キャップ層のバンドギャップエネルギーが広く, チャネル・ドレイン接合でおきるトンネルリーク電流を減少させられると考えられるので, Si キャップ層を挿入した sSG pMOSFET が有望視されている [30]. この項

では、Si キャップ層を挿入することでオフリーク電流が減少する可能性について、デバイスシミュレーションを用いて研究する。 $L = 1.1 \mu\text{m}$, 8 nm 厚の SiO_2 ゲート酸化膜からなる短チャネルデバイスを用いて検討をおこなった。 SiO_2 ゲート酸化膜を選択した理由は、 HfSiON/SiO_2 ゲート絶縁膜を用いて作製したデバイスでは、とりわけ短チャネルデバイスを作製するときにドーピングプロファイルのばらつきが大きく、実測の特性がばらついたためである。

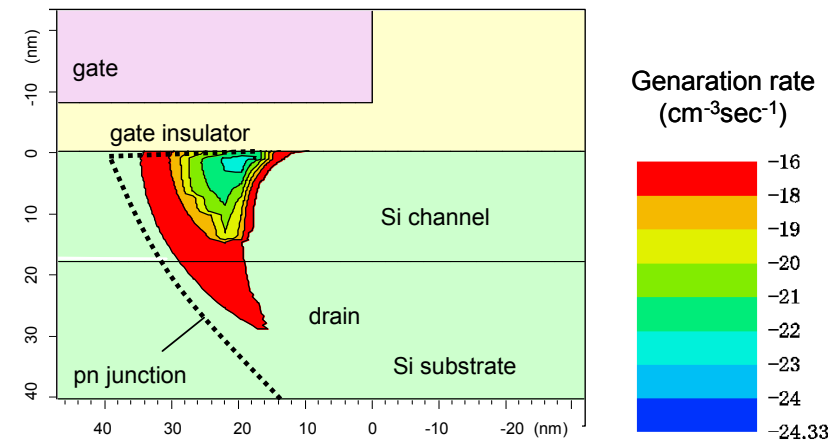
まず、図 4.11 に、 $V_D = -3 \text{ V}$, $V_G = 0.5 \text{ V}$ の条件で計算したリーク電流、 gate-induced-drain-leakage current (GIDL) の生成レートの分布を示す。ここに、(a) Si キャップ層の無い sSG pMOSFET, (b) 6 nm 厚さの Si キャップ層付き sSG pMOSFET, (c) 従来型 Si pMOSFET である。シミュレーションで仮定した GC プロファイルを、図 4.11(a) と (b) の右側に付け加えた。シミュレーションでは、バンド間トンネルリーク電流とトラップ・アシスト・トンネルリーク電流を考慮した。図 4.11 において、青いパターンの領域は GIDL の大きい領域をあらわし、それゆえ、全てのデバイスで、リーク電流の殆どがゲート酸化膜界面近傍で発生していることがわかる。次に、それぞれのデバイス間で比較すると、図 4.11(a) の Si キャップの無い sSG pMOSFET が、チャネル全領域に渡ってバンドギャップが小さいので、最も大きいリーク電流を示している。ここで注目すべきことは、図 4.11(b) に示されているように、Si キャップ層を挿入した場合、Si キャップ層内でのバンドギャップエネルギーが大きいため、リーク電流が確実に抑制されていることである。そして更に、図 4.12 に全 GIDL の T_{cap} 依存性をプロットした。ここに、縦軸は全 GIDL を Si pMOSFET のそれで規格化したものを示している。差し込み図には、シミュレーションで用いた GC プロファイルを各 T_{cap} に対応して示す。Si キャップ層を挿入することで、GIDL が抑制され、 $T_{cap} = 6 \text{ nm}$ のとき、Si pMOSFET と同等のレベルまで下がっていることがわかる。図 4.13 は、 $T_{cap} = 6 \text{ nm}$ のときの sSG pMOSFET と Si pMOSFET について計算した $I_D - V_G$ 特性を示している。実験データも併せて比較した。Si キャップ層を伴った sSG pMOSFET が、オン状態だけでなく、オフ状態においても良好に動作していることがわかる。加えて、計算結果が実験データと良好に一致しており、それは本研究のリーク電流を考慮するシミュレーション技術の妥当性を実証している。



(a)



(b)



(c)

図 4.11. GIDL 電流の生成分布の計算結果. $V_D = -3$ V, $V_G = 0.5$ V. (a) Si-cap 層のないsSG pMOSFET, (b) 6 nm Si-cap 層をもつsSG pMOSFET, (c) 従来型Si pMOSFET. シミュレーションで仮定されたGC プロファイルを (a) と (b) の右側に追加する.

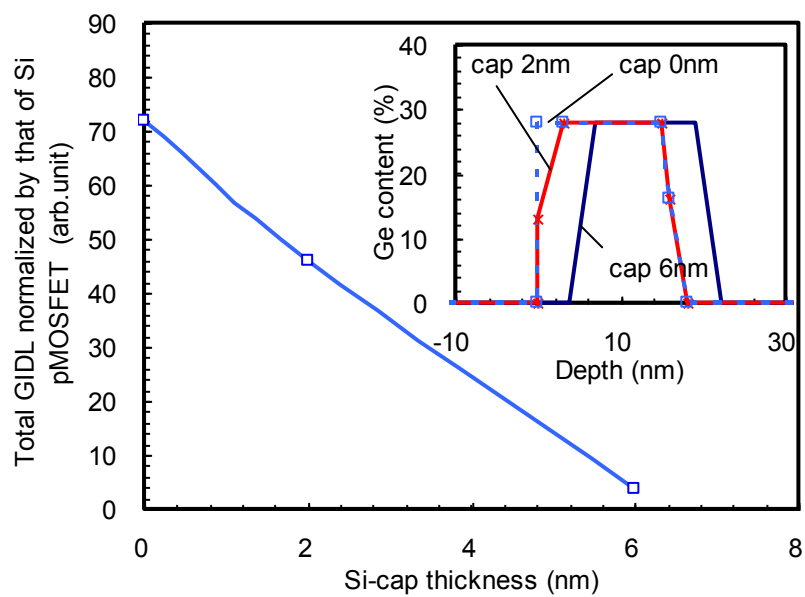


図 4.12. 全GIDL 電流の T_{cap} 依存性の計算結果. 縦軸はSi pMOSFET で規格化された全GIDL 電流である. 差込図はシミュレーションで用いたGC プロファイル.

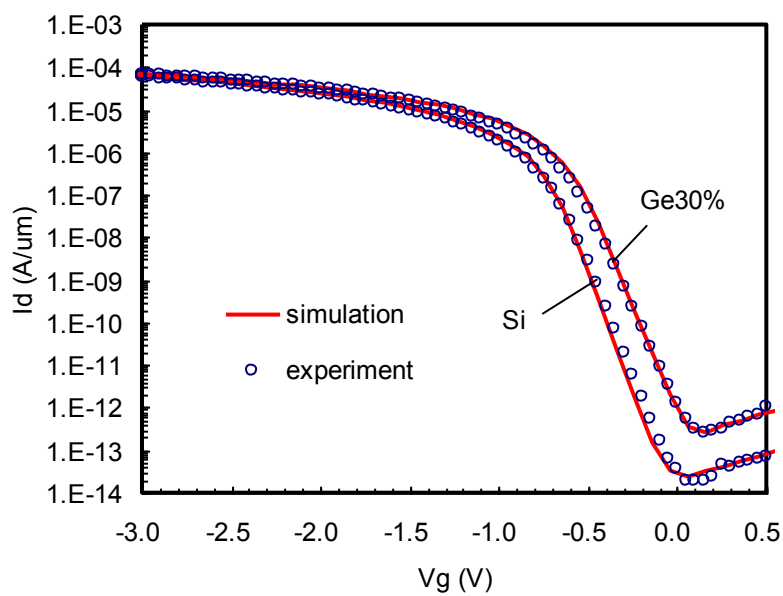


図 4.13. $T_{cap} = 6$ nm のsSG pMOSFET とSi pMOSFET の $I_D - V_G$ 特性の計算結果. 対応する実験データもプロットする.

4.5. 結言

Ge 拡散, 量子閉じ込め効果, 界面電荷に起因する表面ラフネス散乱とクーロン散乱を考慮したデバイスシミュレーション技術と実験結果を用いて, sSG pMOSFET の Si キャップ層の役割について研究した. その結果, sSG pMOSFET が $T_{cap} = 2 \text{ nm}$ 付近で, 界面電荷に起因するクーロン散乱を避ける最適化されたホール分布と高いホール移動度をもつことができ, 最高のオン状態でのパフォーマンスを示すことを見出した. 更に, Si キャップ層を挿入することで GIDL が抑制されることを実証し, それ故, Si キャップ層を最適設計した sSG pMOSFET は オン・オフ両方の状態で, 良好に動作することが期待できる.

第 4 章の参考文献

- 1) J.H. Stathis, and D.J. DiMaria, IEDM Tech. Dig., 167 (1998).
- 2) G. D.Wilk, R. M.Wallace, and J. M. Anthony, J. Appl. Phys., **89**, 5243 (2001).
- 3) E. P. Gusev, D. A. Buchanan, E. Cartier, A. Kumar, D. DiMaria, S. Guha, A. Callegari, S. Zafar, P. C. Jamison, D. A. Neumayer, M. Copel, M. A. Gribelyuk, H. Okorn-Schmidt, C. D’Emic, P. Kozlowski, K. Chan, N. Bojarczuk, L.-A. Ragnarsson, P. K. Ronsheim, Rim, R. J. Fleming, A. Mocuta, and A. Ajmera, IEDM Tech. Dig., 451 (2001).
- 4) A. L. P. Rotondaro, M. R. Visokay, A. Shanware, J. J. Chambers, and L. Colombo, IEEE Electron Device Letters **23**, 603 (2002).
- 5) W. Zhu, J.-P. Han, and T. P. Ma, IEEE Trans. Electron Devices **51**, 98 (2004).
- 6) M. El Kazzi, D.J. Webb, L. Czornomaz, C. Rossel, C. Gerl, M. Richter, M. Sousa, D. Caimi, H. Siegwart, J. Fompeyrine, and C. Marchiori, Microelectronic Engineering **88**, 1066 (2011).
- 7) A.M. Sonnet, R.V. Galatage, P.K. Hurley, E. Pelucchi, K. Thomas, A. Gocalinska, J. Huang, N. Goel, G. Bersuker, W.P. Kirk, C.L. Hinkle, and E.M. Voge, Microelectronic Engineering **88**, 1083 (2011).
- 8) C.C. Yeo, B. J. Cho, F. Gao, S. J. Lee, M. H. Lee, and C.-Y. Yu, IEEE Electron Device Letters **26**, 761 (2005).
- 9) B. De Jaeger, R. Bonzom, F. Leys, O. Richard, J. Van Steenberg, G. Winderickx, E. Van Moorhem, G. Raskin, F. Letertre, T. Billon, M. Meuris, and M. Heyns, Microelectronic Engineering **80**, 26 (2005).
- 10) K. Martens, J. Mitard, B. De Jaeger, M. Meuris, H. Maes, G. Groeseneken, F. Minucci, and F. Crupi, European Solid-State Device Research Conference (ESSDERC), 138 (2008).
- 11) C.-H. Fu, K.-S. Chang-Liao, K.-H. Tsai, T.-K. Wang, and Y.-J. Lee, Solid State Electronics **53**, 888 (2009).

- 12) C.-H. Fu, K.-S. Chang-Liao, L.-W. Du, T.-K. Wang, W.F. Tsai, and C. F. Ai, Solid State Electronics **54**, 1094 (2010).
- 13) J. Francoa, B. Kaczera, M. Toledano-Luquea, Ph. J. Roussela, P. Hehenbergerd, T. Grasserd, J. Mitarda, G. Enemana, L. Wittersa, T.Y. Hoffmanna, and G. Groeseneken, Microelectronic Engineering **88**, 1388 (2011).
- 14) Z. Shi, X. Chen, D. Onsongo, E.J.Quinones, and S. K. Banerjee, Solid State Electronics **44**, 1223 (2000).
- 15) T. Takagi, A.Inoue, Y. Hara, Y. Kanzawa, and M. Kubo, IEEE Electron Device Letters **22**, 206 (2001).
- 16) A. Asai, J. Sato-Iwanaga, A. Inoue, Y. Hara, Y. Kanzawa, H. Sorada, T. Kawashima, T. Ohnishi, T. Takagi, and M. Kubo, IEDM Tech. Dig., 35 (2002).
- 17) Y. Hara, T. Takagi, A. Inoue. Y. Kanzawa, T. Ohnishi, and M. Kubo, J. Electrochemical Society **149**, G394 (2002).
- 18) A. Inoue, A. Asai, Y. Kawashima, H. Sorada, Y. Kanzawa, T. Kawashima, Y. Hara, and T. Takagi, International SOI conference, 149 (2003).
- 19) Z. Shi, D. Onsongo, and S. K. Banerjee, Applied Surface Science **224**, 248 (2004).
- 20) J. Huang, P. D. Kirsch, J. Oh, S.H. Lee, J. Price, P. Majhi, H.R. Harris, D. C. Gilmer, D. Q. Kelly, P. Sivasubramani, G. Bersuker, D. Heh, C. Young, C.S. Park, Y. N. Tan, N. Goel, C. Park, P.Y. Hung, P. Lysaght, 1K. J. Choi, B. J. Cho, H.-H. Tseng, B .H. Lee, and R. Jammy, Symposium on VLSI Technology, 82 (2008).
- 21) J. Oh, P. Majhi, R. Jammy, R. Joe, A. Dip, T. Sugawara, Y. Akasaka, T. Kaitsuka,, T. Arikado, and M. Tomoyasu, Symposium on VLSI Technology, 22 (2009).
- 22) R. J. P. Lander, Y. V. Ponomarev, J. G. M. van Berkum, and W. B. de Boer, IEEE Trans. Electron Devices **48**, 1826 (2001).
- 23) M. J. Palmer, G. Braithwaite, T. J. Grasby, P. J. Phillips, M. J. Prest, E. H. C. Parker, T. E. Whall, C. P. Parry, A. M. Waite, A. G. R. Evans, S. Roy, J. R. Watling, S. Kaya, and A. Asenov, Appl. Phys. Lett. **78**, 1424 (2001).
- 24) Y.-J. Song, J.-W. Lim, S.-H. Kim, H.-C. Bae, J.-Y. Kang, K.-W. Park, and K.-H. Shim, Solid-State Electronics **46**, 1983 (2002).

- 25) G. K. Dalapati, S. Chattopadhyay, K. S. K. Kwa, S. H. Olsen, Y. L. Tsang, R. Agaiby, and A. G. O'Neill, P. Dobrosz and S. J. Bull, IEEE Trans. Electron Devices **53**, 1142 (2006).
- 26) C. G. Ahn, H. S. Kang, Y. K. Kwon, S. M. Lee, B. R. Ryum, and K. Kang, J. Appl. Phys. **86**, 1542 (1999).
- 27) T.E. Whall, and E.H.C. Parker, Thin Solid Films **368**, 297 (2000).
- 28) O'Neill AG, and Antoniadis DA. IEEE Trans. Electron Devices **43**, 911 (1996).
- 29) W.-K. Yeh, Y.-T. Chen, F.-S. Huang, C.-W. Hsu, C.-Y. Chen, Y.-K. Fang, K.-J. Gan, and P.-Y. Chen, IEEE Trans. Device and Materials Reliability **11**, 7 (2011).
- 30) H. R. Harris, P. Kalra, P. Majhi, M. Hussain, D. Kelly, J. Oh, D. He, C. Smith, J. Barnett, P. D. Kirsch, G. Gebara, J. Jur, D. Lichtenwalner, A. Lubow, T.P. Ma, G. Sung, S. Thompson, B. H. Lee, H.-H. Tseng, and R. Jammy, Symposium on VLSI Technology, 154 (2007).
- 31) Taurus-Device User Guide Version W-2004.09, Synopsys.
- 32) K. Yamaguchi, IEEE Trans. Electron Devices **30**, 658 (1983).
- 33) Sentaurus Device User Guide Version F-2011.09, Synopsys.
- 34) D. M. Caughey, and R. E. Thomas, Proc. IEEE **55**, 2192 (1967).

第 5 章 結論

本論文では、TCAD シミュレーション技術の高機能化と実用的応用を主題に、Si MOSFET, GaN 系 LED, 歪み SiGe チャネル MOSFET (sSG pMOSFET) , を研究対象として、① HB デバイスシミュレーション技術を用いた MOSFET の線形性の向上のための構造設計, ② マルチフィジクスシミュレータを用いた LED の高出力化, ③ 汎用シミュレータを用いた sSG pMOSFET の移動度モデリングとオン電流の向上とオフリーク電流の低減のための構造設計についての研究成果を述べた。その具体的内容を以下にまとめる。

第 1 章 序論

本章では、本研究の背景として、TCAD シミュレーション技術が、多様な材料と構造をもつデバイスの研究に活用されてきた過去の事例を説明し、更なる可能性を研究するという本研究の目的、および本論文の構成について述べた。

第 2 章 HB デバイスシミュレーション

本章では、HB デバイスシミュレーションという、周波数領域で半導体基本方程式を解くシミュレーション手法を取り入れた、オリジナルシミュレータを、Si MOSFET の 3 次相互変調歪み (IMD3) 特性解析に応用し、線形性に優れたデバイス構造の提案をおこなった研究成果について述べた。

- ・ HB デバイスシミュレータ PISCES-HB を用いて、一般的な nMOSFET のシミュレーションをおこない、IMD3 が発生する空間的な場所が、高い横方向電界が存在するチャネルドレイン p-n 接合上の最表面に位置することを見出した。
- ・ チャネルドレイン接合付近の横方向電界が小さい 3 種類の MOSFET 構造をシミュレーションし、チャネルドレイン接合部分のドーピング濃度プロファイルを最適化することで、飽和・強反転動作領域の場合に、低歪み特性を実現できることを示した。なかでも、p 型ウェルと n 型ドレイン領域の上

に、低ドーパの n 型表面チャネルと低ドーパの n 型ドレインとなる薄層を導入することで、飽和・強反転動作領域の場合に、通常の MOSFET 構造と比較して 8 dB もの顕著な IMD3 の出力 (P_{IMD3}) の低減を実現した。

- ・ シミュレーションから得られた電流電圧特性から、解析的手法を用いて IMD3 を計算し、HB デバイスシミュレーションの結果と一致することを確認してその妥当性を示した。
- ・ 飽和領域の IMD3 には、ドレイン電流をドレイン電圧で微分した項が強く影響していることを明らかにした。

第 3 章 GaN LED デバイスシミュレーション

本章では、マルチフィジクスシミュレータを用いて、完全連成 3 次元 electro-thermal デバイスシミュレータを開発し、プレーナ型 GaN 系 LED の高電流動作域での効率低下のメカニズムを明らかにした研究成果について述べた。

- ・ マルチフィジクスシミュレータ PROPHET を用いて、半導体基本方程式と熱方程式を練成し、LED の発光層のナノレベルのシミュレーションをおこなうと同時に、ミクロスケールの金属電極部分の電気伝導と熱伝導をシミュレーションし、さらに、ミリスケールの実装部分を等価回路モデル化して、同時にシミュレーションをおこない、LED の発光と発熱の現象を正確に計算した。
- ・ 厚みの薄い導電性 GaN 基板では、基板中の局所ジュール発熱が内部量子効率 (IQE) を低下させ、直列抵抗を増大させることを見出した。次に、100 μm 厚さの厚い導電性 GaN 基板を導入したときの基板内部の電流密度分布と温度分布をシミュレーションし、5 μm 厚さの薄い基板のときのものと比較して、GaN 基板内部の最大電流密度が 6 分の 1 に低減することを見出した。これにより、厚い導電性 GaN 基板を導入することで、最大接合温度が下がり、IQE と駆動電圧が向上することを明らかにした。

- ・ 厚い導電性 GaN 基板が, 高電流動作におけるプレーナ LED の効率低下を改善できることを証明した.

第 4 章 sSG pMOSFET デバイスシミュレーション

本章では, 汎用デバイスシミュレータを用いて sSG pMOSFET の移動度モデルを作成し, Si キャップ層を備えた sSG pMOSFET におけるホール伝導特性を支配する物理的要因を明らかにし, オン・オフ電流特性を向上させる最適設計をおこなった研究成果について述べた.

- ・ Si キャップ層は, ゲート酸化膜とチャネルの間の界面品質の劣化を防ぐために導入されている. Ge 拡散, 量子閉じ込め効果, 表面ラフネス散乱, 界面電荷に起因するクーロン散乱, 実験データを考慮した移動度モデルを作成し, 定量的に正確な電流電圧特性の計算をおこなった.
- ・ sSG pMOSFET における Si キャップ層の役割を明らかにし, さらに, 高いデバイスパフォーマンスを得るための最適設計をおこなった.
- ・ Si キャップ層を挿入することで, Si キャップ層内のバンドギャップエネルギーが大きくなり, オフ電流の低減に有効であることを証明した.

更なる発展にむけた今後の展望

半導体デバイスの TCAD シミュレーション技術は, 精度の高い特性予測が可能で, 開発・製造にも活用される実用的な技術として, 重要な役割を果たしてきた. これは, 確立した半導体基本方程式と, 理論と実験に裏づけされた精度の高い物性パラメータとモデリングの研究の積み重ねによるものと筆者は考える.

一方, 近年, 半導体結晶とは異なる, 多結晶, 非晶質, ナノ材料など, 物性パラメータが不明確な材料を用いたデバイスが多く研究されるようになり, 第一原理計算によって物性パラメータを明らかにする材料シミュレーションの研究が積極的におこなわれており, 特に材料設計の分野で活用されている. 今後は, これらの材料を用いた新しいデバイスシミュレーションの研究が盛んになることが予想され

る．このような複雑な材料は，デバイスモデリングもまた複雑であることが予想されるが，筆者は半導体のモデリング手法がしばしば参考になると考える．また，TCAD シミュレーション技術はナノスケールの物理現象を取り扱い，電子，ホール，光から電気的情報を引き出し，それを増幅し，デジタル信号化し，演算処理するといった，材料からプロセス，デバイス，回路，システムまでの一連の技術をつなぎ合わせてシミュレーションするという特長をもっている．これは，材料のもつポテンシャルをデバイスの特性やシステム上の価値にリンクさせて示すことができることを意味しており，先行デバイスをコンピュータ上でデザインする TCAD シミュレーションのコンセプトそのものである．

TCAD シミュレーション技術は，半導体材料にとどまらず，あらゆる新しい材料に対して，モデリング研究を積み重ねることで，新規材料の特徴を生かしたデバイスを生み出す技術として必要であり，研究され，発展し続けると展望する．

謝辞

本研究を遂行し本論文を作成するにあたり、終始懇切なるご指導、ご鞭撻を賜りました神戸大学大学院工学研究科電気電子工学専攻 土屋英昭准教授、相馬聡文准教授に心より厚く御礼申し上げます。

本論文の作成にあたり、神戸大学大学院工学研究科 藤井稔教授、竹野裕正教授、沼昌宏教授には有意義な御助言と御指導を頂き、本論文の質を大きく高めることが出来ました。ここに深く御礼申し上げます。

本研究を遂行するにあたり、ご支援を賜りました神戸大学大学院工学研究科電気電子工学専攻 小川真人教授、笹岡健二助教、伊地知武吉技術職員に厚く御礼申し上げます。

本論文の作成にあたり、懇篤なるご指導を賜りました Stanford University Robert W. Dutton 教授、Zhiping Yu 教授（現 Tsinghua University）、Yang Liu 教授（現 Zhejiang University）に厚く御礼申し上げます。

著者が松下電器産業（株）に入社後、本研究の基礎となるご指導を賜り、終始暖かい激励を賜りましたパナソニック（株）上野山雄フェロー、大阪大学 小田中紳二教授に衷心より御礼申し上げます。

本研究の機会を与えてくださり、暖かい激励を賜りました、東北大学 丹羽正昭教授、パナソニック（株）小田嘉則博士（現慶應義塾大学）、に深く御礼申し上げます。

本研究を遂行するにあたり、ご支援と激励を賜りました、パナソニック（株）藤井英治氏、辰巳国昭博士、吉岡俊彦博士、横川俊哉博士（現山口大学）、北畠真博士（現東洋炭素）、鈴木正明博士、神崎英明氏、小田川明弘博士、に深く御礼申し上げます。

本論第 2 章で述べたハーモニックバランスデバイスシミュレーションの研究において、ハーモニックバランスデバイスシミュレータをご提供いただいた Stanord University Boris Troyanovsky 博士に感謝いたします。

本論第 3 章で述べた GaN 系 LED のシミュレーションの研究において、シミュレータ PROPHET をご提供いただいた Robust Chip Inc. Klas Lilja 博士、貴重な議論と

実験データをご提供いただいたパナソニック (株) GaNLED 研究メンバーの皆様、井上彰氏、崔成伯博士、田口誠二博士に感謝いたします。

本論第 4 章で述べた SiGe pMOSFET のシミュレーションの研究において、研究の機会を与えてくださったパナソニック (株) 久保実博士 (現 (株) サムスン日本研究所)、大西照人氏 (現パナソニック・タワージャズセミコンダクター (株))、懇切丁寧なご助言とご指導を賜りました 高木剛博士 (現 (株) 東芝)、貴重な実験データをご提供いただくとともに、活発なご議論をいただいたパナソニック (株) SiGe デバイス研究メンバーの皆様、斎藤徹博士 (現 JOLED)、原義博氏、浅井明博士、神澤好彦博士、空田晴之氏、井上彰氏、川島孝啓博士、IMEC Serge Biesemans 博士、(現東京エレクトロン (株))、Roger Loo 博士、Aude Rothschild 博士に感謝いたします。移動度モデルを作成し、ご提供いただいた、Stanford University Choshu Ito 博士、モンテカルロの移動度シミュレーションデータをご提供いただいた RWTH Aachen University Christoph Jungemann 教授、活発に議論していただきました Stanford University Cha-Yu Chen 博士 (現 IBM) に感謝いたします。また、プロセスシミュレーションモデルをご提供いただいたパナソニック (株) TCAD チームのメンバーの皆様、海本博之氏に感謝いたします。

本論第 1 章で述べた高周波デバイスシミュレーションの研究は、筆者が松下電器 (株) およびパナソニック (株) に在籍中におこなったもので、本研究をはじめの動機となったものであります。その機会を与えてくださった梶原孝生氏、小沼毅氏、暖かいご指導とご助言を賜りました、井上薫博士、広木彰博士 (現京都工芸繊維大学准教授)、手束明稔氏、長谷川克也博士 (現東京大学特任教授)、石川修博士 (現信越化学)、太田順道博士 (台湾交通大学特任教授)、西井勝則博士、池田義人氏、藤本和久氏、松野年伸博士、正戸宏幸氏、石田秀俊博士、田邊充氏、福田健志氏に感謝いたします。

最後に、筆者が本研究を遂行するにあたり終始支援してくださり、激励をいただいた、父、母、夫、娘、息子、義父、義母に心より深く感謝の意を表します。

本論文に関する研究業績

論文

- 1) J. Sato-Iwanaga, Z. Yu, R. W. Dutton, and H. Tsuchiya, “Low-distortion MOSFET with optimized donor concentration profile at channel–drain junction designed by harmonic balance device simulation”, Jpn. J. Appl. Phys. **55**, 044103 (2016).
- 2) J. Sato-Iwanaga, Y. Liu, R. W. Dutton, H. Tsuchiya, and T. Yokogawa, “Theoretical considerations on efficiency degradation due to thermal effect in a planar GaN-based LED with a GaN substrate”, Jpn. J. Appl. Phys. **53**, 102101 (2014).
- 3) J. Sato-Iwanaga, A. Inoue, H. Sorada, T. Takagi, A. Rothschild, R. Loo, S. Biesemans, C. Ito, Y. Liu, R. W. Dutton, and H. Tsuchiya, “Optimized design of Si-cap layer in strained-SiGe channel p-MOSFETs based on computational and experimental approaches”, Solid State Electronics **91**, 1 (2014).
- 4) Z. Yu, R. W. Dutton, B. Troyanovsky, and J. Sato-Iwanaga, “Large signal analysis of RF circuits in device simulation”, IEICE Trans. Electron. **E82-C**, 908 (1999).
- 5) T. Saitoh, T. Kawashima, Y. Kanzawa, J. Sato-Iwanaga, K. Idota, T. Takagi, T. Ohnishi¹, K. Yuki, T. Sano, and S. Sawada, “Base current control in low-VBE-operated SiGeC heterojunction bipolar transistors using SiGe-cap structure and high-carbon-content base”, Jpn. J. Appl. Phys. **43**, 2250 (2004).

国際会議

- 1) B. Troyanovsky, F. Rotella, Z. Yu, R. W. Dutton, and J. Sato-Iwanaga, “Large signal analysis of RF/Microwave devices with parasitics using harmonic balance device simulation”, Proc. SASIMI '96 (1996).
- 2) J. Sato-Iwanaga, K. Fujimoto, H. Masato, Y. Ota, K. Inoue, B. Troyanovsky, Z. Yu, and R. W. Dutton, “Distortion analysis of GaAs MESFETs based on physical model using PISCES-HB”, IEDM Tech. Dig., 163 (1996).

- 3) R. W. Dutton, B. Troyanovsky, Z. Yu, T. Arnborg, F. Rotella, G. Ma, and J. Sato-Iwanaga, “Device simulation for RF applications”, IEDM Tech. Dig., 301 (1997).
- 4) J. Sato-Iwanaga, A. Asai, T. Takagi, M. Tanabe, Z. Yu, and R. W. Dutton, “Device design of SiGe HBTs with low distortion characteristics using harmonic balance device simulator”, Proc. SISPAD 03, 199 (2003).
- 5) A. Asai, J. Sato-Iwanaga, A. Inoue, Y. Hara, Y. Kanzawa, H. Sorada, T. Kawashima, T. Ohnishi, T. Takagi, and M. Kubo, “Low-frequency noise characteristics in SiGe channel heterostructure dynamic threshold pMOSFET (HDTMOS)”, IEDM Tech. Dig., 35 (2002).
- 6) K.-C. Wu, Z. Yu, L. So, R. W. Dutton, and J. Sato-Iwanaga, “Robust and efficient ac analysis of high-speed devices”, IEDM Tech. Dig., 935 (1992).
- 7) J. Sato-Iwanaga, Y. Ota, O. Ishikawa, K. Inoue, Z. Yu, and R. W. Dutton, “High-frequency small-signal analysis of GaAs MESFETs using AC simulation”, 1994 Asia Pacific Microwave Conference Workshop, 79 (1994).

学会発表

- 1) GaAsMESFET の高周波 AC シミュレーション, 岩永順子, 太田順道, 井上薫
応用物理学会第 54 回秋季全国大会 (1993).

研究会

- 1) GaAs MESFET の高周波 AC シミュレーション, 岩永順子, 太田順道, 石川修,
Ke-Chin Wu, Zhiping Yu, Robert W. Dutton, 電子情報通信学会, 信学技報 **ED92-126**, 23 (1993).

神戸大学博士論文「TCADシミュレーション技術の高機能化と実用的応用に関する研究」全83頁
提出日 2016年7月5日
本博士論文が神戸大学機関リポジトリ**Kernel** にて掲載される場合，掲載登録日（公開日）はリポジトリの該当ページ上に掲載されます．

© 岩 永 順 子
本論文の内容の一部あるいは全部を無断で複製・転載・翻訳することを禁じます．