



超低電力IoTデバイスに向けた集積回路設計技術に関する研究

浅野, 大樹

(Degree)

博士 (工学)

(Date of Degree)

2018-03-25

(Date of Publication)

2019-03-01

(Resource Type)

doctoral thesis

(Report Number)

甲第7182号

(URL)

<https://hdl.handle.net/20.500.14094/D1007182>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



博士論文

超低電力IoTデバイスに向けた集積回路設計技術に関する研究

平成30年1月

神戸大学大学院工学研究科

浅野 大樹

内容梗概

本論文は、極めて低い電力で動作可能な IoT (Internet of Things) デバイスに向けた集積回路設計技術に関する研究内容をまとめたものである。

近年、次世代型情報社会 IoT の実現が期待されている。IoT 社会ではセンサ端末 (IoT デバイス) を身の回りのあらゆる「モノ」に組み込み、センサネットワークを形成する。組み込まれたセンサは生体情報や環境情報を取得・処理を行い、ネットワークを介してベースステーションへ取得データを通信し、ビックデータを生成する。スマートフォン、タブレット、そして PC などの情報通信端末を用いてビックデータにアクセスし、健康管理・防犯・防災に活用することで「生活の質」を向上させることができる。この次世代型情報社会の実現には、センサ機能を有する IoT デバイスの創出が必須となる。IoT デバイスは VLSI (Very Large Scale Integration) 技術により多くの回路機能ブロックを持ち、超小型 (~ 数 mm³)、低コスト (~ 数円)、そして年単位での長期間動作が求められる。特に、あらゆる場所に組み込まれた膨大なセンサへのメンテナンスを考慮すると、長期間動作が重要な技術課題となる。この課題に対して、太陽光、熱、振動、そして電磁波などの自然エネルギーを利用した環境発電技術による IoT デバイスの駆動が解として注目を集めている。しかし、IoT デバイス用の環境発電素子は小型のため、環境発電により生成される電力は数マイクロワット程度と非常に小さい。そこで、IoT デバイス自身の消費電力を大幅に削減し、ナノワット程度の超低消費電力動作が必要になる。

VLSI (Very Large Scale Integration) システムの低電力化技術として電源電圧の低電圧化と間欠動作技術が挙げられる。電源電圧の低電圧化により、降圧幅の 2 乗に比例して消費電力削減が行える。しかし、電源電圧の低電圧化には降圧電源回路が必要になる。また、消費電力削減効果は電力変換効率に強く依存するため、高効率な降圧電源回路が求められる。従来の IoT デバイスに向けた降圧電源回路は、スイッチトキャパシタ (SC: Switched Capacitor) 型 DC-DC (Direct Current to Direct Current) コンバータ方式が報告されている。SC 型 DC-DC コンバータは、オンチップ搭載可能で高効率に電力変換効率が行える構成である。しかし、負荷電流特性が狭い点に課題がある。

一方で、間欠動作技術は、システムのアクティブレート (動作状態と停止状態の比率) を低く設定し、アプリケーション処理を行っていない回路ブロックの電源電圧を積極的に遮断することで超低消費電力動作を実現できる。しかし、常時動作する回路ブロックの消費電力がシステム全体の消費電力を律速するため、この低消費電力化が必要である。常時起動する回路ブロックとして時間計測を行うリアルタイムクロック (RTC: Real-Time Clock) がある。したがって、間欠動作技術による消費電力削減効果を高めるために、RTC の超低消費電力化が求められる。また、アクティブレートを下げるためには、待機状態から動作状態への早い起動時間が必要になる。信号処理を行うアプリケーションブロックの起動時間は、制御用のシステムクロックにより律速される。そのため、積極的な電源電圧遮断に向けて高速起動可能なシステムクロックが求められる。

従来の RTC とシステムクロックは水晶発振回路を用いて構成される。しかし、実装体積がオフチップ部品により増大する点と数百 μs 程度の長い起動時間が必要な点の課題がある。そこで、水晶発振回路の置き換えを目的としたオンチップ発振回路が報告されている。しかし、RTC 用途に向けたものは消費電力が数百ナノワット程度と依然として高く、システムクロックに向けたものは数十 μs 程度の起動時間が必要になる。長い起動時間は信号処理に必要な時間が増加し、 unnecessary 消費電力の増大を招く課題があるため、削減が必要である。また、オンチップ発振回路は製造プロセス (Process), 電源電圧 (Voltage), 温度 (Temperature) の変化による動作周波数の PVT ばらつき耐性に課題がある。

そこで、本論文では IoT デバイスの低電力手法の開拓を目的として、電源電圧の低電圧化に向けた広い負荷電流特性を持つ高効率オンチップ降圧電源回路と間欠動作技術に向けた超低電力フルオンチップ発振回路の実現を目指した。本論文は 4 つのテーマで構成される。

第一に、広い負荷電流特性を持つフルオンチップ SC 型 DC-DC コンバータ電源回路を検討した。従来回路は制御回路の消費電力を大幅に削減することで、高効率化を実現している。しかし、応答遅延が大きいため、負荷電流が増加すると制御回路の動作が困難になり、負荷電流範囲が狭くなる課題がある。提案回路は負荷電流をモニタし、電荷伝送を担うクロック信号生成回路へ負帰還制御する。負荷電流の負帰還制御を行うことで、提案回路はクロックの動作周波数を負荷電流の変化に対して適応的に制御可能になり、電力変換効率の負荷電流特性を改善する。提案する SC 型 DC-DC コンバータを $0.13\text{-}\mu\text{m}$ CMOS プロセスを用いてチップ試作し、測定評価を行った。提案回路は、入力電圧 3.0 V を与えた時、出力電圧 1.0 V を生成した。電力変換効率の負荷電流特性は、 $0.8\text{--}100\ \mu\text{A}$ の範囲で 60% の効率を達成した。

第二に、RTC に向けた超低電力動作可能な電流比較型弛張発振回路を検討した。オンチップ発振回路によるクロックの生成には、信号比較を行うコンパレータが必要になる。コンパレータの消費電力はバイアス電流で決まるため、バイアス電流を低電流化することで消費電力の削減を実現できる。しかし、バイアス電流を低電流化することで応答遅延が増大し、動作周波数が劣化する課題があった。従来回路は、コンパレータの応答遅延に対してオートゼロ技術による補正を行うことで、低電力・高精度な動作周波数を実現している。しかし、補正回路の消費電力が増大し、発振回路全体の消費電力が依然として高い点に課題がある。提案回路では、コンパレータの動作モードを、従来の電圧比較型から電流比較型へ変更することで超低消費電力動作を実現する。提案するオンチップ発振回路を $0.18\text{-}\mu\text{m}$ CMOS プロセスを用いてチップ試作し、測定評価を行った。電源電圧 0.85 V を印加した時、提案回路の消費電力は 54.2 nW 、動作周波数は 32.7 kHz 、そしてエネルギー効率を表わす FoM (Figure of Merit) は 1.66 nW/kHz であった。動作周波数の温度係数と電源電圧依存性は、それぞれ $\pm 0.6\%$ と $\pm 0.44\%$ であった。

第三に、実装面積の削減に向けて RTC 用の抵抗レス弛張発振回路を検討した。オンチップ発振回路の消費電力と抵抗にはトレードオフの関係がある。抵抗を大きく設計してバイアス電流を低電流化することで消費電力の削減は可能であるが、実装面積が増大する課題がある。提案回路は、上記で説明した電流比較型オンチップ発振回路を基本とし、抵抗を用いないバイアス電流源を組み込むことで、実装面積の削減と超低消費電力動作の両立を実現する。提案するオンチップ発振回路を 65-nm CMOS プロセスを用いて設計し、ポストレイアウトシミュレーション評価を行った。提案回路の面積は 0.022 mm^2 、動作周波数は 32.5 kHz 、消費電力は 271 nW であった。動作周波数の温度係数と電源電圧依存性は、それぞれ $\pm 0.83\%$ と $\pm 0.14\%$ であった。モンテカルロ解析によ

るシミュレーション評価では、動作周波数の平均値は 32.3 kHz、分散は 0.6 kHz、そして変動係数は 1.9%であった。

最後に、信号処理を行うシステムクロックに向けた高速応答可能な電流比較型弛張発振回路を検討した。従来回路は、オペアンプを用いた PLL(Phase Locked Loop) 方式のリング発振回路やオートゼロ技術の補正機構を搭載した弛張発振回路が報告されている。これらは、負帰還制御により高精度かつ高い動作周波数を実現している。しかし、負帰還制御に長いセトリング時間が必要になり、起動時間が数十 μs 程度に増大する課題がある。提案回路は、上記で説明した電流比較型アーキテクチャを利用した高速スイッチング動作を採用することで、応答遅延により生じる誤差を最小化し、補正機構が不要な構成を実現した。提案するオンチップ発振回路を 0.18- μm CMOS プロセスを用いてチップ試作し、測定評価を行った。提案回路は 1 μs 以内の高速起動を行い、動作周波数は 32.6 MHz であった。動作周波数の温度係数と電源電圧依存性は、それぞれ $\pm 0.69\%$ と $\pm 0.38\%$ であった。

本論文では、IoT デバイスの超低消費電力動作に向けた電源電圧の低電圧化と間欠動作技術に必要な電源回路と弛張発振回路の仕様や課題点について説明し、これらを解決する手法を提案した。シミュレーション評価と試作チップの測定評価結果から、提案した集積回路設計技術が IoT デバイスの超低電力化に有用であることを示した。

目次

第 1 章	序論	1
1.1	研究の背景と目的	1
1.2	本論文の構成	5
第 2 章	スイッチトキャパシタ型 DC-DC コンバータ	13
2.1	はじめに	13
2.2	SC 型 DC-DC コンバータの回路構成と動作原理	13
2.3	従来の SC 型 DC-DC コンバータの課題	15
2.4	提案回路	16
2.4.1	負荷電流モニタ回路	17
2.4.2	コンパレータ	18
2.4.3	参照電圧源・電流源	19
2.5	2/5 降圧回路	19
2.6	測定結果	21
2.7	まとめ	25
第 3 章	時間計測用途に向けた弛張発振回路	29
3.1	はじめに	29
3.2	水晶発振回路を用いた RTC	29
3.3	発振回路の種類	30
3.4	弛張発振回路	32
3.5	PVT ばらつきによる周波数精度の低下	33
3.6	PVT ばらつきに対して補正機構を搭載した従来回路	33
3.7	従来回路の課題	35
3.8	RTC に向けた超低消費電力動作可能な弛張発振回路	36
3.8.1	超低電力動作に向けた電荷再配分積分器	41
3.9	シミュレーション評価	43
3.10	測定評価	46
3.11	まとめ	51
第 4 章	RTC に向けた面積利用効率の高い弛張発振回路	55
4.1	はじめに	55
4.2	アーキテクチャ	55

4.3	提案回路	56
4.3.1	動作周波数	57
4.4	シミュレーション評価	60
4.5	まとめ	66
第 5 章	信号処理用途に向けた弛張発振回路	71
5.1	はじめに	71
5.2	従来回路の課題	71
5.3	提案回路	73
5.3.1	動作原理	74
5.3.2	トリミング回路	76
5.4	シミュレーション評価	76
5.5	測定評価	80
5.6	まとめ	88
第 6 章	結論	91
	謝辞	93
	研究業績	95

第1章 序論

1.1 研究の背景と目的

半導体エレクトロニクス技術の発展は、我々の生活に多くの利点をもたらしてきた。更に近年では、大規模センサネットワークを活用した次世代型情報社会 IoT (Internet of Things) の実現が期待される [1-3]。図 1.1 に IoT 社会の概念図を示す。IoT 社会ではセンサデバイスをあらゆる「モノ」に組み込み、センサ間でネットワークを形成する。センサデバイスは生体情報や環境情報を取得・処理し、データをベースステーションへ通信することでビックデータとして蓄積する。スマートフォン、タブレット、そして PC (Personal Computer) などの情報通信端末を用いてビックデータにアクセスし、防犯、防災、在庫管理、そして健康管理などに活用することで、その恩恵を享受し、「生活の質 (QoL: Quality of Life)」を向上させることができる。この IoT 社会の実現には、ネットワークノードを担うセンサデバイスの実現が必須となる。図 1.2, 1.3 に IoT のセンサデバイスの概念図とシステムの構成例を示す。センサデバイスは、通信を行うアンテナ、情報を取得するセンサ、センサが得た情報を処理する信号処理ユニット、センサの駆動を管理する電源管理ユニット、そして外付けのバッテリーから構成される。センサデバイスは身の回りに大量に配置するため、超小型 (~ 数 mm³)、低コスト (~ 数円)、そして年単位での長期間動作が求められる。特に、あらゆる場所に配置された膨大なセンサへのメンテナンスを考慮すると、長期間動作が重



図 1.1: IoT 社会の概念図.

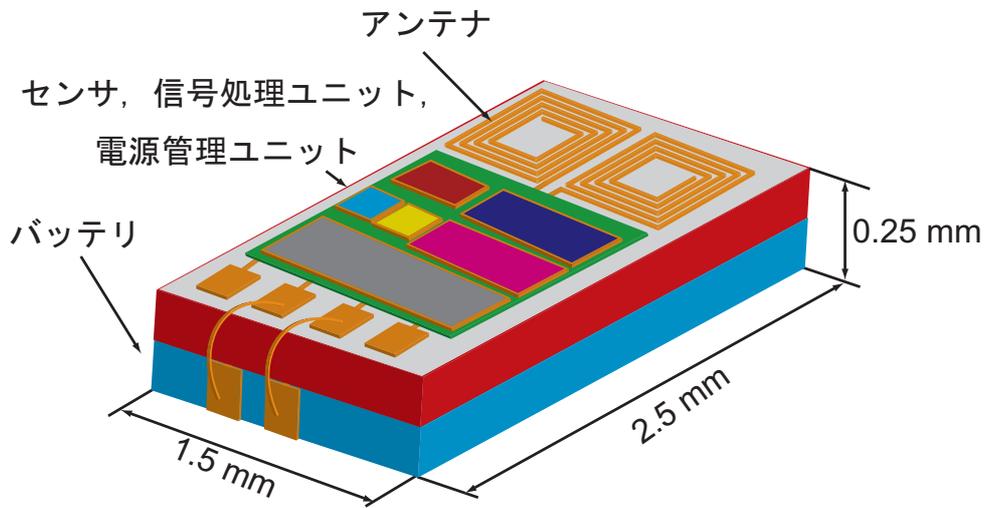


図 1.2: センサユニットの概念図.

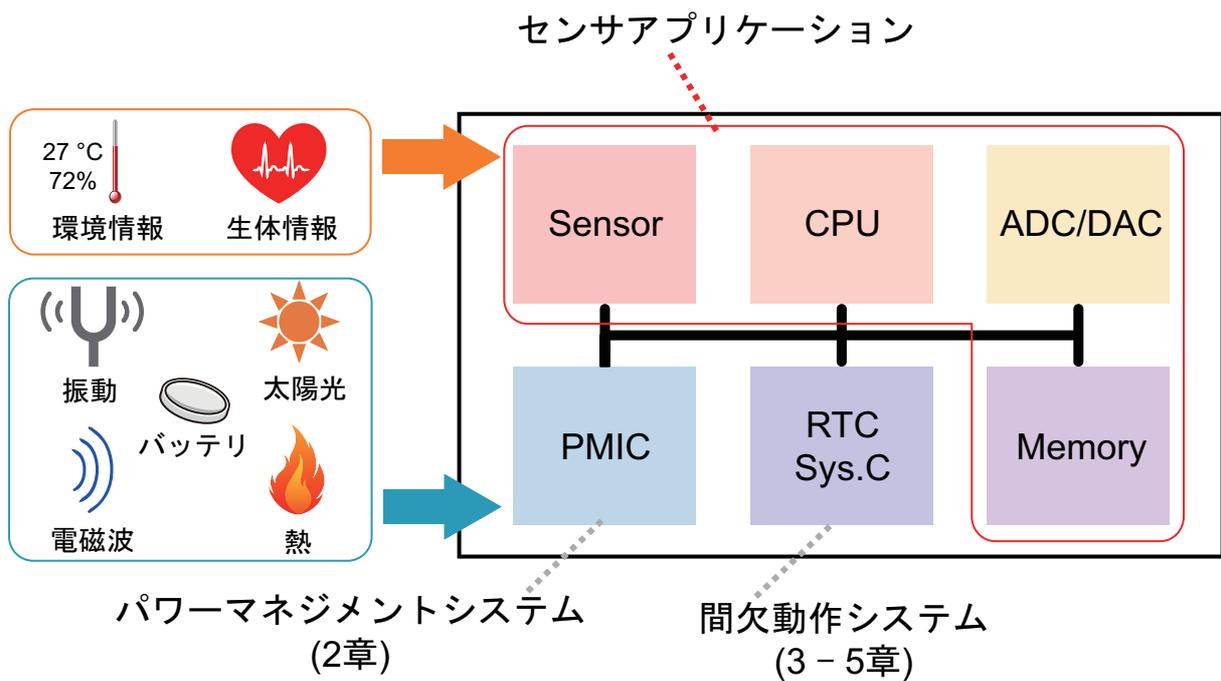


図 1.3: センサユニットの構成例.

要な技術課題となる。この課題に対して、図 1.3 に示すように、太陽光、熱、振動、そして電磁波などの自然エネルギーを利用した環境発電技術 [4,5] と小型バッテリー [6,7] による IoT デバイス駆動が解として注目を集めている。しかし、小型ハーベスタを利用した環境発電により生成される電力は、数マイクロワット程度と非常に小さい。また、小型バッテリーの容量は 1 mAh 以下と小さい [6,7]。そこで、IoT デバイス自身の消費電力を大幅に削減し、ナノワット程度の超低消費電力動作が必要になる [8]。

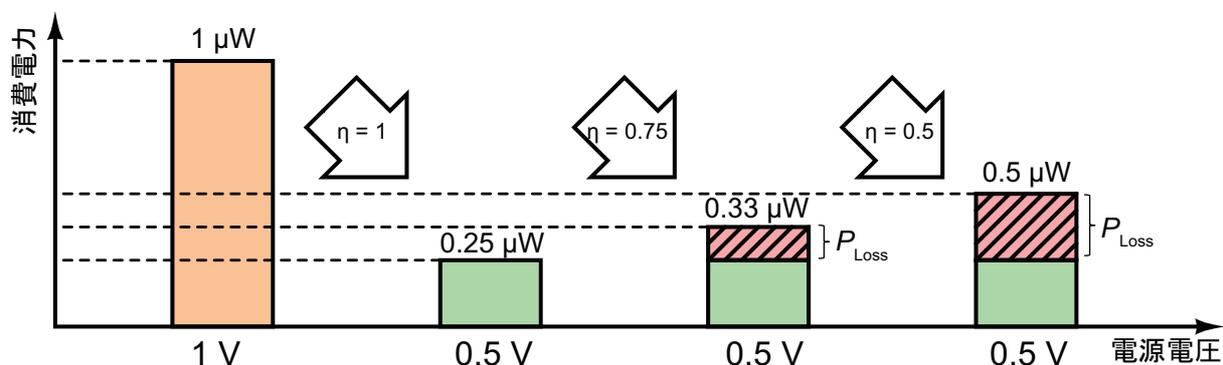


図 1.4: 電源電圧の低電圧化による消費電力削減。

VLSI (Very Large Scale Integration) システムの低電力化技術として電源電圧の低電圧化 [9, 10] と間欠動作技術が挙げられる [11]. 電源電圧の低電圧化により, 降圧幅の 2 乗に比例して消費電力の削減が行える. 図 1.4 に電源電圧の低電圧化による消費電力の削減効果を示す. 図 1.4 では, 1 V, 1 μ W で動作するシステムを電力変換効率 $\eta = 1, 0.7, 0.5$ で 0.5 V に降圧した場合を例にとり考察する. P_{Loss} は電力変換時に生じる損失である. 図 1.4 に示すように, 電源電圧を低電圧化したシステムは, 共に消費電力が削減される. しかし, 消費電力の削減効果は電力変換効率に強く依存する. そのため, 電力変換効率が 0.5 と 0.75 の時, 損失 P_{Loss} が増大し, 電力変換効率が 1 の時と比較すると電力変換に要する損失電力 P_{Loss} が付加されることがわかる. したがって, 高効率な降圧電源回路が必要になる. 従来の IoT デバイスに向けた降圧電源回路は, スイッチトキャパシタ (SC: Switched Capacitor) 型 DC-DC (Direct Current to Direct Current) コンバータ方式が報告されている. SC 型 DC-DC コンバータは, オンチップ搭載可能で高効率に電力変換効率が行える構成である. しかし, 負荷電流特性が狭い点に課題がある. したがって, IoT デバイスのパワーマネジメント回路に向けた広い負荷電流特性を持つ高効率オンチップ降圧電源回路が強く求められる.

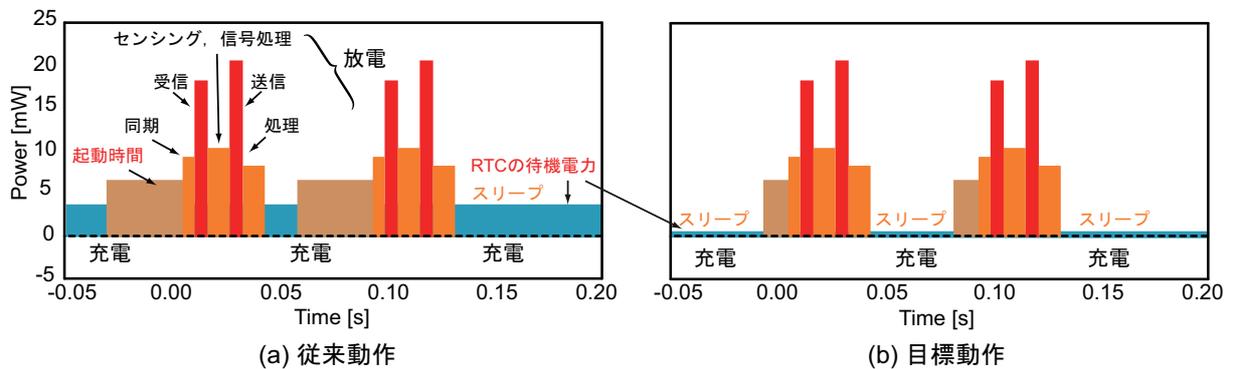


図 1.5: 間欠動作による (a) 従来動作と (b) 目標動作の消費電力の削減効果。

一方で、間欠動作技術は、システムのアクティブレート（動作状態と停止状態の比率）を低く設定し、処理を行っていない回路ブロックの電源電圧を積極的に遮断することで超低消費電力動作が実現することができる。しかし、全ての回路ブロックの電源を遮断することはできず、センサデバイス内の起動・待機を管理し、時間計測を行うリアルタイムクロック (RTC: Real-Time Clock) は常時動作させる必要がある。間欠動作を行うシステムの消費電力は、常時起動する RTC により律速されるため、この低消費電力化が強く求められる。図 1.5 に間欠動作技術を利用した消費電力の内訳を示す。それぞれ従来動作 (1.5 (a)) と本研究の目標動作 (1.5 (b)) を示している。どちらの場合も間欠動作技術を利用することで、消費電力が削減される。しかし、上記で説明したように、従来動作ではスリープ期間における常時起動の回路ブロックの消費電力が大きいため、消費電力削減効率が低い点に課題がある。また、図 1.5 に示すように、従来動作はスリープ期間から処理開始に移行する起動時間が長い。そのため、信号処理に要する時間が増加し、不必要な消費電力の増大を招く課題がある。図 1.5 (b) の目標動作を実現するためには、超低電力動作で常時起動する RTC と高速起動を行い信号処理をするシステムクロックが必要になる。従来では、それぞれのクロックを水晶発振回路を用いて構成している。水晶発振回路は、水晶自身が持つ固有振動数を利用して発振するため精度が高い周波数を実現できる。しかし、オフチップ部品による実装体積の増大と、固有振動数の高い Q (Quality Factor) 値のため起動時間に数 100 μs 程度必要な点に課題がある [12, 13]。そのため、超小型 IoT デバイスに向けたクロック源として水晶発振回路は適さない。そこで、水晶発振回路の置き換えを目的とした研究が報告されている [14–21]。従来回路は、製造プロセスのばらつき (Process)、電源電圧の変動 (Voltage)、温度変化 (Temperature) による動作周波数の PVT ばらつき耐性に課題がある。PVT ばらつきを補正する機構を備えた発振回路 [20, 21] が提案されているが、補正機構を搭載することで回路構成が複雑になり、消費電力が増大し、セトリング時間が必要になる。したがって、超低電力動作可能な RTC と高速起動可能なシステムクロックに向けて、小面積・低コストで安定な周波数を生成可能なオンチップ発振回路が強く求められる。

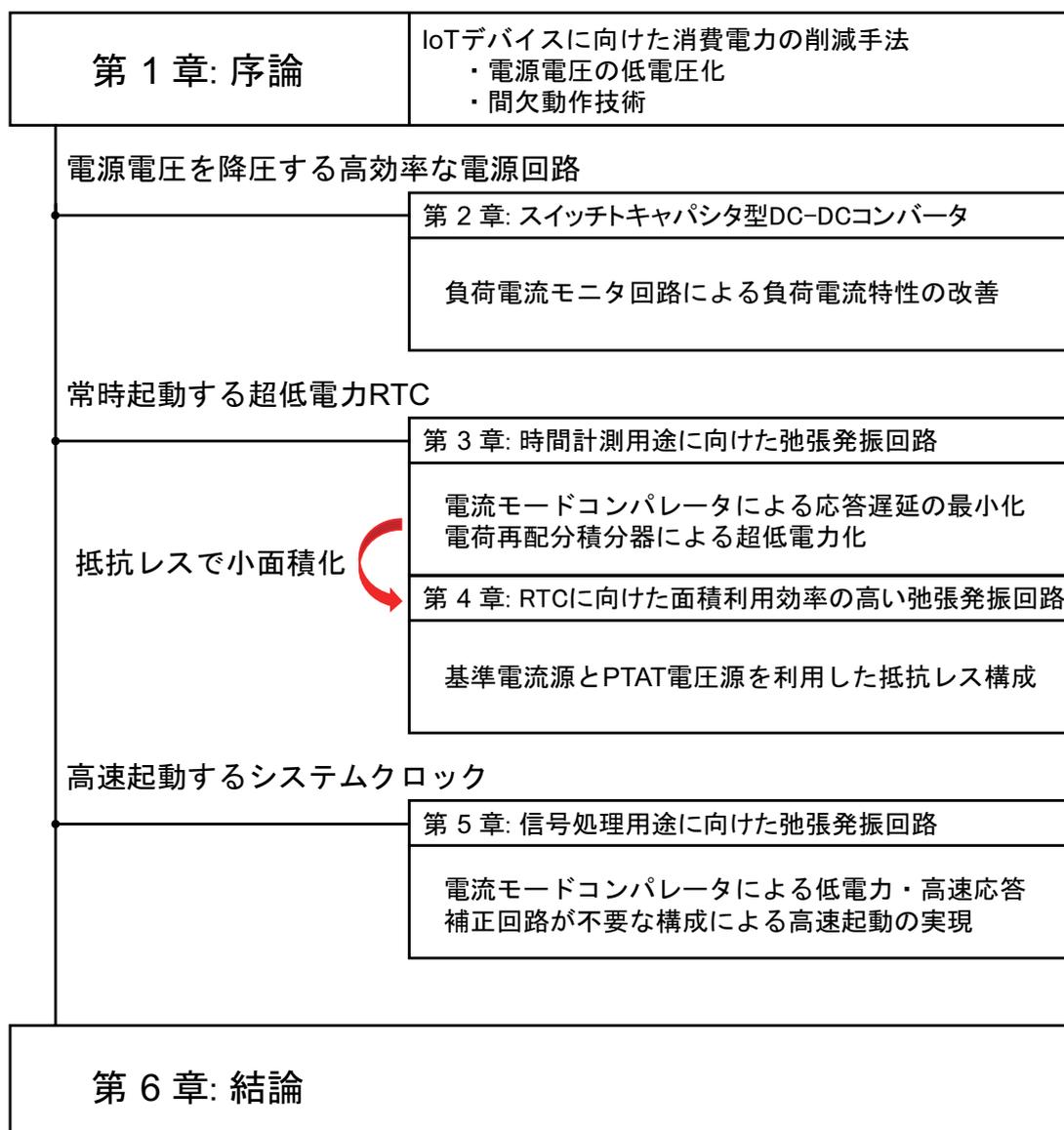


図 1.6: 本論文の構成.

1.2 本論文の構成

以上に述べた研究の背景と目的に基づき、本論文では極めて低い電力をで駆動するセンサデバイスの実現に向けて、超低電力 CMOS 集積回路の要素回路技術について検討した。図 1.6 に、本論文の構成を示す。本論文では、消費電力削減手法として電源電圧の低電圧化と間欠動作技術に着目し、その技術課題と考慮する点を挙げる。そして、上記であげた 2 つの消費電力削減の手法実現に向けて、4 つの回路技術を提案する。本論文は、以下の章から構成される。

第2章 スイッチトキャパシタ型 DC-DC コンバータ

本章では、広い負荷電流特性を持つフルオンチップ SC 型 DC-DC コンバータ電源回路を検討した。従来回路は制御回路の消費電力を大幅に削減することで、高効率化を実現している。しかし、応答遅延が大きいと、負荷電流が増加すると制御回路の動作が困難になり、負荷電流範囲が狭くなる課題がある。提案回路は負荷電流をモニタし、電荷伝送を担うクロック信号生成回路へ負帰還制御する。負荷電流の負帰還制御を行うことで、提案回路はクロックの動作周波数を負荷電流の変化に対して適応的に制御可能になり、電力変換効率の負荷電流特性を改善する。提案する SC 型 DC-DC コンバータを 0.13- μm CMOS プロセスを用いてチップ試作し、測定評価を行った。提案回路は、入力電圧 3.0 V 与えた時、出力電圧 1.0 V を生成した。電力変換効率の負荷電流特性は、0.8–100 μA の範囲で 60% の効率であった。

第3章 時間計測用途に向けた弛張発振回路

本章では、時間計測用途に向けた超低消費電力可能な弛張発振回路を検討した。弛張発振回路はオンチップ搭載可能なクロック源であり、コンパレータを用いて信号比較を行うことで動作周波数を生成する。しかし、動作周波数の精度はコンパレータの非理想要因により劣化する課題があった。従来回路はコンパレータの応答遅延に対してオートゼロ技術による補正を行うことで、低電力・高精度な動作周波数を実現している。しかし、補正回路の消費電力が増大し、発振回路全体の消費電力が依然として高い点に課題がある。提案回路では、コンパレータの動作モードを、従来の電圧比較型から電流比較型へ変更することで超低消費電力動作を実現する。提案するオンチップ発振回路を 0.18- μm CMOS プロセスを用いてチップ試作し、測定評価を行った。電源電圧 0.85 V を印加した時、提案回路の消費電力は 54.2 nW、動作周波数は 32.7 kHz、そしてエネルギー効率を表わす FoM (Figure of Merit) は 1.66 nW/kHz であった。動作周波数の温度係数と電源電圧依存性は、それぞれ $\pm 0.6\%$ と $\pm 0.44\%$ であった。

第4章 RTC に向けた面積利用効率の高い弛張発振回路

本章では、実装面積の削減に向けて抵抗レス弛張発振回路を検討した。オンチップ発振回路の消費電力と抵抗にはトレードオフの関係がある。抵抗を大きく設計してバイアス電流を低電流化することで消費電力の削減は可能であるが、実装面積が増大する課題がある。提案回路は、上記で説明した電流比較型オンチップ発振回路を基本とし、抵抗を用いないバイアス電流源を組み込むことで、実装面積の削減と超低消費電力動作の両立を実現する。提案するオンチップ発振回路を 65-nm CMOS プロセスを用いて設計し、ポストレイアウトシミュレーション評価を行った。提案回路の面積は 0.022 mm^2 、動作周波数は 32.5 kHz、消費電力は 271 nW であった。動作周波数の温度係数と電源電圧依存性は、それぞれ $\pm 0.83\%$ と $\pm 0.14\%$ であった。モンテカルロ解析によるシミュレーション評価では、動作周波数の平均値は 32.3 kHz、分散は 0.6 kHz、そして変動係数は 1.9% であった。

第5章 信号処理用途に向けた弛張発振回路

本章では、信号処理用途に向けた高速起動可能な弛張発振回路を検討した。従来回路では、システムクロックに向けてオペアンプを用いた PLL(Phase Locked Loop) 方式のリング発振回路や補正機構を搭載した弛張発振回路が報告されている。これらは、負帰還制御により高精度かつ高い動作周波数を実現している。しかし、負帰還制御に長いセトリング時間が必要になり、起動時間が数十 μs 程度に増大する課題がある。提案回路は、RTC の電流比較型の回路構成を採用することで高速起動を実現する。提案するオンチップ発振回路を $0.18\text{-}\mu\text{m}$ CMOS プロセスを用いてチップ試作し、測定評価を行った。提案回路は $1\ \mu\text{s}$ 以内の高速起動を行い、動作周波数は $32.6\ \text{MHz}$ であった。動作周波数の温度係数と電源電圧依存性は、それぞれ $\pm 0.38\%$ と $\pm 0.69\%$ であった。

第6章 結論

本章では、本研究で得られた研究成果について総括する。

参考文献

- [1] D. Blaauw, D. Sylvester, P. Dutta, Y. Lee, I. Lee, S. Bang, Y. Kim, G. Kim, P. Pannuto, Y.-S. Kuo, D. Yoon, W. Jung, Z. Foo, Y.-P. Chen, S. Oh, S. Jeong, and M. Choi, “IoT design space challenges: Circuits and systems,” in *Symp. VLSI Technol. Dig. Tech. Papers*, 2014, pp. 1-2.
- [2] T. Jang, G. Kim, B. Kempke, M. B. Henry, N. Chiotellis, C. Pfeiffer, D. Kim, Y. Kim, Z. Foo, H. Kim, A. Grbic, D. Sylvester, H.-S. Kim, D. D. Wentzloff, and D. Blaauw, “Circuit and System Designs of Ultra-Low Power Sensor Nodes With Illustration in a Miniaturized GNSS Logger for Position Tracking: Part I—Analog Circuit Techniques,” *IEEE Trans. Circuits Syst. I*, vol. 64, no. 9, pp. 2237-2249, 2017.
- [3] T. Jang, G. Kim, B. Kempke, M. B. Henry, N. Chiotellis, C. Pfeiffer, D. Kim, Y. Kim, Z. Foo, H. Kim, A. Grbic, D. Sylvester, H. -S. Kim, D. D. Wentzloff, and D. Blaauw, “Circuit and System Designs of Ultra-Low Power Sensor Nodes With Illustration in a Miniaturized GNSS Logger for Position Tracking: Part II—Data Communication Energy Harvesting Power Management and Digital Circuits”, *IEEE Trans. Circuits Syst. I*, vol. 64, no.9, pp. 2250-2262, 2017.
- [4] T. Ozaki, T. Hirose, H. Asano, N. Kuroki, and M. Numa, “Fully-Integrated High-Conversion-Ratio Dual-Output Voltage Boost Converter with MPPT for Low-Voltage Energy Harvesting,” *IEEE J. of Solid-State Circuits*, vol. 51, no. 10, pp. 2398-2407, 2016.
- [5] T. Ozaki, T. Hirose, T. Nagai, K. Tsubaki, N. Kuroki, and M. Numa, “A highly efficient switched-capacitor voltage boost converter with nano-watt MPPT controller for low-voltage energy harvesting,” *IEICE Trans. Fundam. Electron. Commun. Computer*, vol. E99-A, no. 12, pp. 2491-2499, 2016.
- [6] Cymbet Corporation. EnerChip Solid State Battery Overview, accessed on Jan. 18, 2018. [Online]. Available: <http://www.cymbet.com> and <http://www.cymbet.com/products/enerchip-overview.php>
- [7] STMicroelectronics. EFL700A39 EnFilm—Rechargeable Solid State Lithium Thin Film Battery, accessed on Jan. 18, 2018. [Online]. Available: <http://www.st.com> and http://www.st.com/web/en/catalog/sense_power/FM142/CL848/SC1107/PF250531

-
- [8] A. Bahai, "Ultra-low Energy Systems: Analog to Information," in *Proc. Eur. Solid-State Circuits, Conf.*, 2016, pp. 3-6.
- [9] A. P. Chandrakasan, D. C. Daly, J. Kwong, and Y. K. Ramadass, "Next generation micro-power systems," in *Symp. VLSI Circuits Dig. Tech. Papers*, 2008, pp. 2 - 5.
- [10] M. Alioto, "Ultra-low power VLSI circuit design demystified and explained: a tutorial," *IEEE Trans. Circuits Syst. I*, vol. 59, no. 1, pp. 3-27, 2012.
- [11] H. Nakamura, T. Nakada, S. Miwa, "Normally-Off Computing Project : Challenges and Opportunities," in *Proc. Asia South Pacific Design Autom. Conf.*, 2014, pp. 1-5.
- [12] D. Griffith, J. Murdock, P. T. Røine, "A 24MHz crystal oscillator with robust fast start-up using dithered injection," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 104-105, 2016.
- [13] S. Iguchi, H. Fuketa, T. Sakurai, and M. Takamiya, "Variation-Tolerant Quick-Start-Up CMOS Crystal Oscillator With Chirp Injection and Negative Resistance Booster," *IEEE J. of Solid-State Circuits*, vol. 51, no. 2, pp. 496-508, 2015.
- [14] S. Jeong, I. Lee, D. Blaauw, and D. Sylvester, "A 5.8 nW CMOS wake-up timer for ultra-low-power wireless applications," *IEEE J. of Solid-State Circuits*, vol. 50, no. 8, pp. 1754-1763, 2015.
- [15] Y. Lee, B. Giridhar, Z. Foo, D. Sylvester, and D. Blaauw, "A sub-nW multi-stage temperature compensated timer for ultra-low-power sensor nodes," *IEEE J. of Solid-State Circuits*, vol. 48, no. 10, pp. 2511-2521, 2013.
- [16] Y. S. Lin, D. Sylvester, and D. Blaauw, "A sub-pW timer using gate leakage for ultra low-power sub-Hz monitoring systems," in *Proc. Custom Integr. Circuits Conf.*, 2007, pp. 397-400.
- [17] Y. S. Lin, D. Sylvester, and D. Blaauw, "A 150pW program-and-hold timer for ultra-Low-power sensor platforms," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2009, pp. 326-327.
- [18] T. Jang, M. Choi, S. Jeong, S. Bang, D. Sylvester, and D. Blaauw, "A 4.7nW 13.8ppm/°C self-biased wakeup timer using a switched-resistor scheme," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2016, pp. 102-103.
- [19] M. Choi, S. Bang, T.-K. Jang, D. Blaauw, and D. Sylvester, "A 99nW 70.4kHz resistive frequency locking loop on-chip oscillator with 27.4ppm/°C temperature stability," in *Symp. VLSI Circuits Dig. Tech. Papers*, 2015, pp. 238-239.
- [20] A. Paidimarri, D. Griffith, A. Wang, A. P. Chandrakasan, and G. Burra, "A 120nW 18.5kHz RC oscillator with comparator offset cancellation for $\pm 0.25\%$ temperature stability," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2013, pp. 184-185.

-
- [21] K. Tsubaki, T. Hirose, N. Kuroki, and M. Numa, “A 32.55-kHz, 472-nW, 120ppm/°C, fully on-chip, variation tolerant CMOS relaxation oscillator for a real-time clock application,” in *Proc. Eur. Solid-State Circuits Conf.*, 2013, pp.315-318.

第2章 スイッチトキャパシタ型DC-DCコンバータ

2.1 はじめに

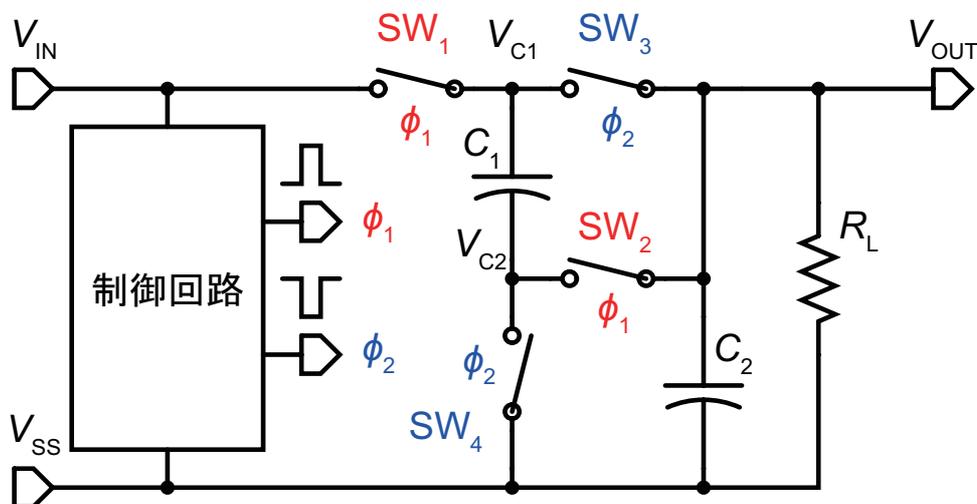
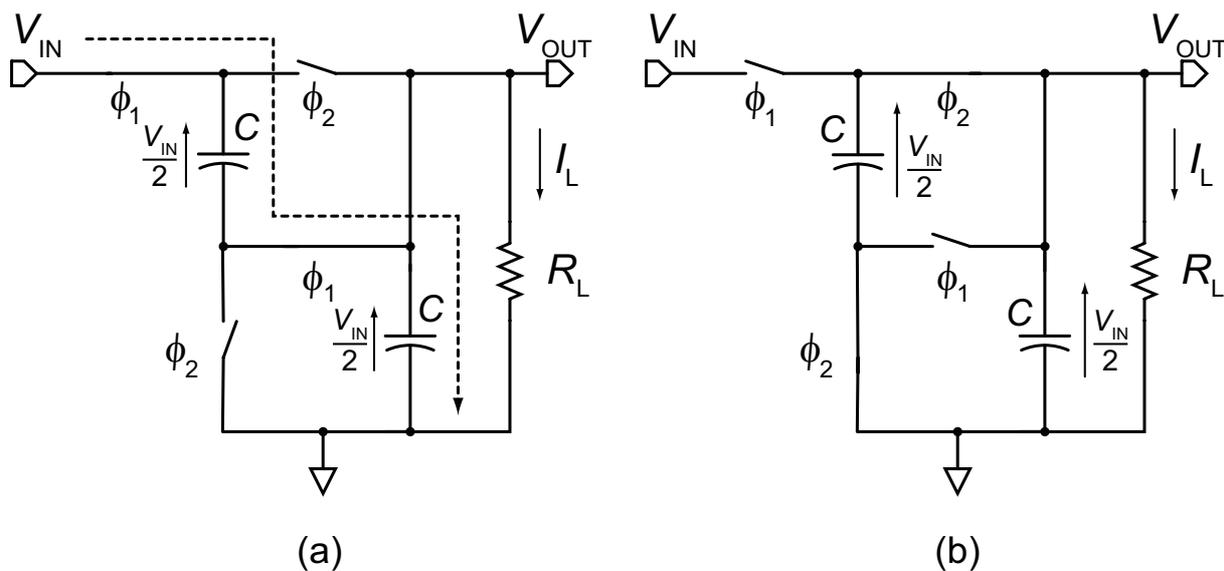
IoT 社会では 1 兆個を超えるセンサが配置されることが予想されるため、個々のセンサに対して電池交換等のメンテナンスを行うことは困難である。そこで、IoT デバイスは超低消費電力動作で年単位の長時間動作を行うことが求められる。VLSI システムの消費電力削減手法として電源電圧の低電圧化が挙げられる。この手法には、IoT デバイスに電力を供給する 2 次電池等の電源電圧を降圧するパワーマネジメント回路が必要になる。オンチップ搭載可能で高効率に降圧動作を行う回路として、SC(Switched Capacitor) 型 DC-DC(Direct Current to Direct Current) コンバータがある。SC 型 DC-DC コンバータは、MOSFET(Metal Oxide Semiconductor Field Effect Transistor) をスイッチとして用いて、電荷伝送を行うキャパシタの接続を切り替えることで降圧動作を行う。集積化が容易で高効率に降圧できることから、研究が盛んに行われている [1-10]。従来回路は、電力損失となる制御回路の消費電力を削減し、高効率化を実現している。しかし、応答遅延が大きいため負荷電流が増加すると、制御が困難になる。そのため、電力変換効率の負荷電流範囲が狭い点に課題がある。

本章では、フルオンチップ搭載可能で幅広い負荷電流範囲で高効率動作可能な SC 型 DC-DC コンバータを提案する。

2.2 SC 型 DC-DC コンバータの回路構成と動作原理

1/2 降圧動作を例にあげ、SC 型 DC-DC コンバータの降圧動作の原理について説明する。図 2.1 に 1/2 降圧を行う SC 型 DC-DC コンバータを示す。この回路は、降圧を行う SC 回路とクロック信号を生成する制御回路により構成される。SC 回路はスイッチ ($SW_1 - SW_4$) とキャパシタ (C_1, C_2) から構成される。制御回路は相補クロック ϕ_1, ϕ_2 を生成し、スイッチ ($SW_1 - SW_4$) を駆動する。 ϕ_1, ϕ_2 はノンオーバーラップクロックであり、すべてのスイッチが同時にオンする期間に生じる電力損失を抑制する。

回路動作を相補クロック ϕ_1, ϕ_2 を用いて説明する。図 2.2(a), (b) に、それぞれの ϕ_1, ϕ_2 に対応する回路図を示す。 ϕ_1 が High, ϕ_2 が Low の時、 SW_1, SW_2 はオンし、 SW_3, SW_4 はオフする。図 2.2(a) より、キャパシタ C_1, C_2 の接続は入力電圧 V_{IN} に対して直列状態になる。キャパシタ C_1, C_2 の電位は入力電圧 V_{IN} によって充電され、 V_{C1}, V_{C2} の各ノードの電位はそれぞれ $V_{IN}, V_{IN}/2$ となる。次に相補クロックが反転して ϕ_1 が Low, ϕ_2 が High となると、 SW_1, SW_2 はオフ、 SW_3, SW_4 はオンする。図 2.2(b) より、キャパシタ C_1, C_2 の接続は出力電圧 V_{OUT} に対して並列接続になる。出力電圧 V_{OUT} には、各キャパシタ C_1, C_2 に保持された電圧である $V_{IN}/2$ が

図 2.1: $\frac{1}{2}$ 降圧 SC 型 DC-DC コンバータ.図 2.2: (a) $\phi_1 = \text{High}$, $\phi_2 = \text{Low}$, (b) $\phi_1 = \text{Low}$, $\phi_2 = \text{High}$.

出力される．クロックを用いてこの動作を繰り返すことにより出力電圧は

$$V_{\text{OUT}} = \frac{1}{2} V_{\text{IN}} \quad (2.1)$$

となる．以上より SC 型 DC-DC コンバータはキャパシタの接続状態をスイッチにより変更し，充放電を繰り返すことで降圧動作を実現する．

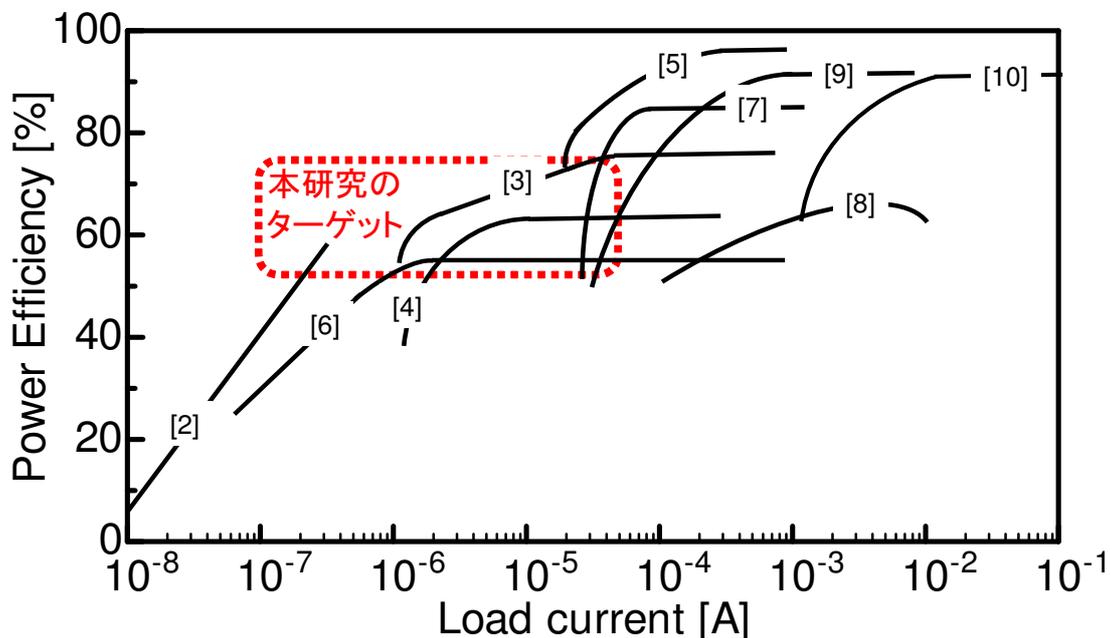


図 2.3: 従回路における電力変換効率の負荷電流特性.

2.3 従来の SC 型 DC-DC コンバータの課題

図 2.3 に従回路における電力変換効率の負荷電流特性を示す. 図 2.3 に示すように 1 mA 以上の負荷電流範囲では, 電力変換効率が 90% 以上の高効率な DC-DC コンバータが報告されている. しかし, 100 μ A 以下の負荷電流範囲では, 電力変換効率が低下することが確認できる. 電力変換効率は式 (2.2) で定義される.

$$\eta = \frac{P_{\text{OUT}}}{P_{\text{IN}}} = \frac{P_{\text{OUT}}}{P_{\text{OUT}} + P_{\text{LOSS}}} \quad (2.2)$$

ここで, P_{IN} , P_{OUT} はそれぞれ SC 型 DC-DC コンバータの入力電力, 出力電力である. P_{LOSS} は SC 型 DC-DC コンバータにある制御回路と SC 回路の消費電力の総和である. 負荷電流が低い時, 制御回路の消費電力が出力電力に対して大きい. そのため, 制御回路の消費電力が入力電力に対して支配的になり, 電力変換効率が低下する. 負荷電流範囲の拡大のためには, 制御回路が消費する電力の大幅な削減が必要になる.

図 2.3 に示すように, 点線で囲まれた数 100 nA から 100 μ A は IoT デバイスのアプリケーションとして想定される負荷電流範囲であるが, フルオンチップで実装された高効率な SC 型 DC-DC コンバータが報告されていない. そこで, この点線で囲まれた範囲を本研究のターゲットとする.

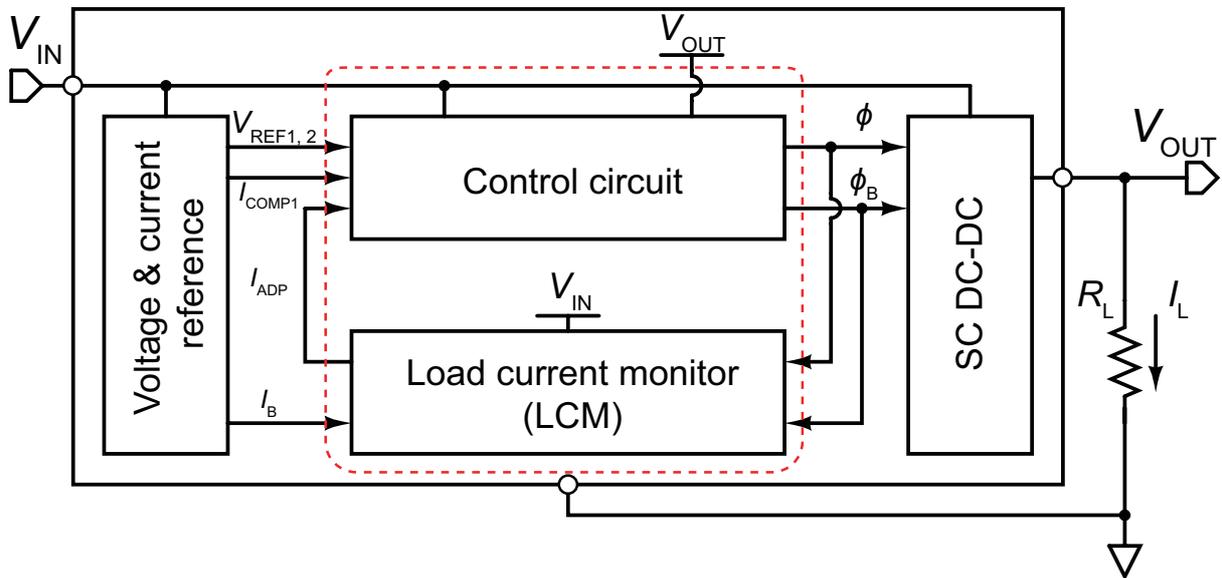


図 2.4: 提案する SC 型 DC-DC コンバータの簡易化したブロック図.

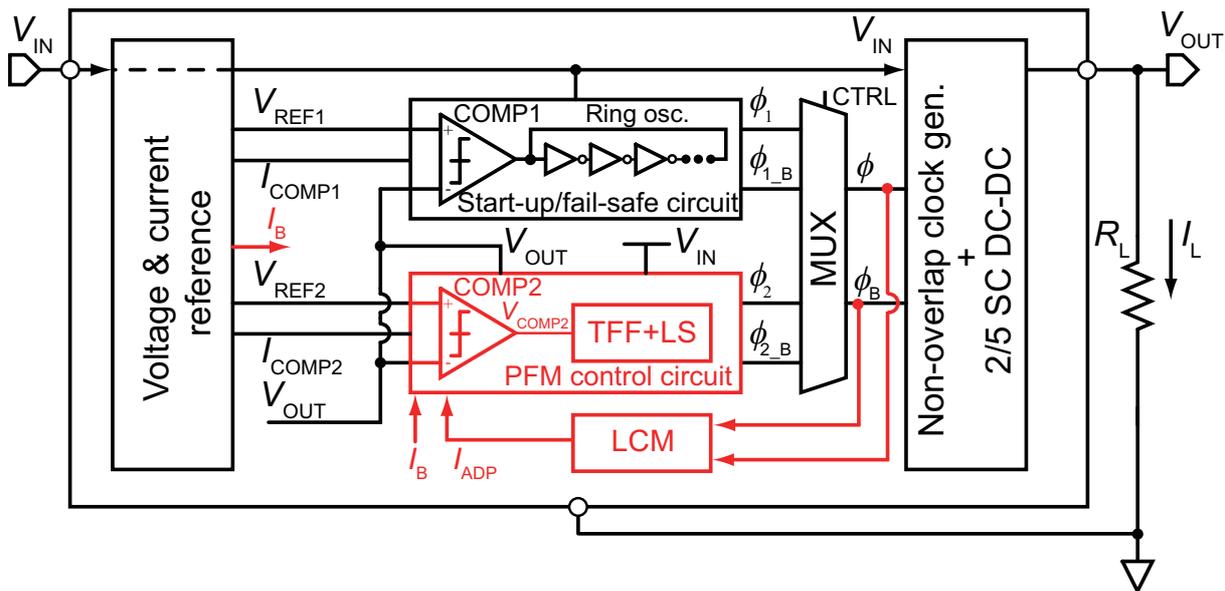


図 2.5: 提案する SC 型 DC-DC コンバータのブロック図.

2.4 提案回路

図 2.4 に提案する SC 型 DC-DC コンバータの簡易化したブロック図を示す. この回路は, コンパレータを用いて出力電圧 V_{OUT} と参照電圧 V_{REF} を比較して入力電圧を降圧する SC 型 DC-DC コンバータを基に構成される [10]. この回路は, 参照電圧源 [11], 電流源 [12], 制御回路, 負荷電流モニタ回路 (LCM), そして 2/5 降圧回路 [13] より構成される. 従来回路 [10] は, 点線で囲われた制御回路を超低電力化することで, 高効率化を実現していた. しかし, 負荷電流 I_L が増加する

ことにより制御回路の応答遅延が増大し、適切な制御動作ができない点に課題があった。提案回路は、負荷電流モニタ回路 (LCM) を採用することで制御回路の応答遅延が増大することを解決する。以下に詳細な回路構成を説明する。図 2.5 に、提案する SC 型 DC-DC コンバータの詳細なブロック図を示す。この回路は、参照電圧源 [11]、電流源 [12]、スタートアップ・フェイルセーフ回路、PFM 制御回路、負荷電流モニタ回路 (LCM)、そして 2/5 降圧回路 [13] より構成される。提案回路は、バッテリーとして想定される 2 次電池の開放電圧 ($>3\text{ V}$) [14, 15] をエネルギー利用効率の高い電圧 ($\sim 1\text{ V}$) [16–18] に降圧するために 2/5 降圧回路を採用した。参照電圧源と電流源は、出力電圧 V_{OUT} と比較する参照電圧 $V_{\text{REF}2}$ 、コンパレータのバイアス電流 $I_{\text{COMP}1,2}$ 、そしてオペアンプのバイアス電流 I_{B} を生成し各回路へ供給する。スタートアップ・フェイルセーフ回路は起動時において 2/5 降圧回路を駆動するクロックを生成し、定常状態に遷移するとクロック生成機能を PFM 制御回路へ引継ぐ。また、負荷電流の急激な増加やノイズによる出力電圧 V_{OUT} が降下した時にその状態を検知し、2/5 降圧回路の駆動用クロックを生成し定常状態を維持する。PFM 制御回路は、コンパレータを用いて出力電圧 V_{OUT} と参照電圧 V_{REF} を比較することで、制御回路のクロックを生成する。負荷電流モニタ回路は、PFM 制御回路のクロックにより負荷電流に応じた適応バイアス電流を生成する。提案回路は適応バイアス電流を PFM 制御回路に負帰還制御することで、負荷電流に対して適切なクロックの動作周波数を生成し、電力変換効率を改善する。以下に詳細を述べる。

2.4.1 負荷電流モニタ回路

図 2.6, 2.7 に負荷電流モニタ回路の回路図と定常状態における出力電圧 V_{OUT} の波形を示す。この回路は、オペアンプ、スイッチ SW_1 と SW_2 、キャパシタ $C_{\text{L},\text{S}}$ 、そしてカレントミラー回路から構成される。 C_{S} 、 C_{L} は、それぞれ安定化容量とスイッチトキャパシタの容量である。 C_{L} と 2 つのスイッチ SW_1 と SW_2 は、PFM 制御回路のクロック信号 (ϕ と ϕ_{B}) で駆動され、これらはスイッチトキャパシタ抵抗 R_{SC} を構成する。したがって、SC 抵抗の値は以下の式で表せる。

$$R_{\text{SC}} = \frac{1}{f_{\text{SW}} C_{\text{L}}} \quad (2.3)$$

ここで、 f_{SW} は ϕ と ϕ_{B} の動作周波数である。一方で、図 2.7 に示すように、スイッチング周波数は f_{SW} 以下のように表せる。

$$f_{\text{SW}} = \frac{I_{\text{L}}}{C_{\text{Fly}} \Delta V_{\text{Ripple}}} \quad (2.4)$$

ここで、 I_{L} は負荷電流、 C_{Fly} は電荷伝送を行うキャパシタの容量値、そして V_{Ripple} は出力電圧 V_{OUT} のリップル電圧である。オペアンプにより、 $V_{\text{SW}1}$ ノード電位は $V_{\text{REF}2}$ と一致するため、生成される電流 I_{ADP} は以下のように表せる。

$$I_{\text{ADP}} = \frac{V_{\text{REF}2}}{R_{\text{SC}}} = V_{\text{REF}2} \cdot f_{\text{SW}} \cdot C_{\text{L}} \quad (2.5)$$

式 (2.4) を式 (2.5) に代入すると、 I_{ADP} は以下ようになる。

$$I_{\text{ADP}} = \frac{V_{\text{REF}2}}{\Delta V_{\text{ripple}}} \cdot \frac{C_{\text{L}}}{C_{\text{Fly}}} \cdot I_{\text{L}} = \alpha \cdot I_{\text{L}} \quad (2.6)$$

したがって、 I_{L} に比例して増加する適応バイアス電流 I_{ADP} を得ることができる。

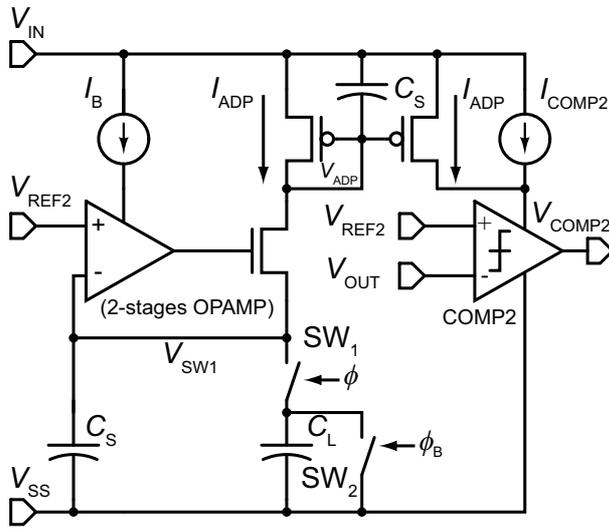


図 2.6: 負荷電流モニタ回路の回路図 (LCM) .

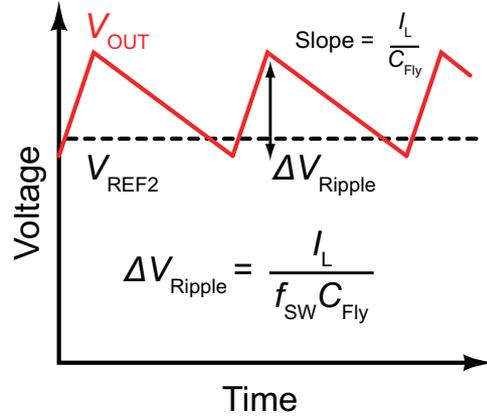


図 2.7: 定常状態での SC 型 DC-DC コンバータの出力電圧.

2.4.2 コンパレータ

図 2.8 にコンパレータの回路構成を示す. コンパレータは, プリアンプ, デシジョン回路, そしてバッファより構成される. 参照電圧 V_{REF2} と出力電圧 V_{OUT} は電源電圧 V_{DD} の半分 ($= 1.5\text{ V}$) より低いため, コンパレータの入力段は pMOS 入力段を採用し, プリアンプの負荷は nMOSFET のダイオード接続構成を用いた. コンパレータの低電力化に向けて, デシジョン回路とバッファの電源電圧は SC 型 DC-DC コンバータが生成する V_{OUT} を用いている. コンパレータの動作を以下に説明する. プリアンプは差動対の入力信号 V_{REF2} と V_{OUT} の差を増幅し, 後段のデシジョン回路に伝達する. デシジョン回路はプリアンプが増幅した信号差をもとに, 大小関係を判定しバッファへ伝達する. バッファは, デシジョン回路の比較結果を V_{COMP2} として出力する. コンパレータは, V_{OUT} と V_{REF2} をモニタして後段の制御回路を駆動することで負荷電流に対して適切なク

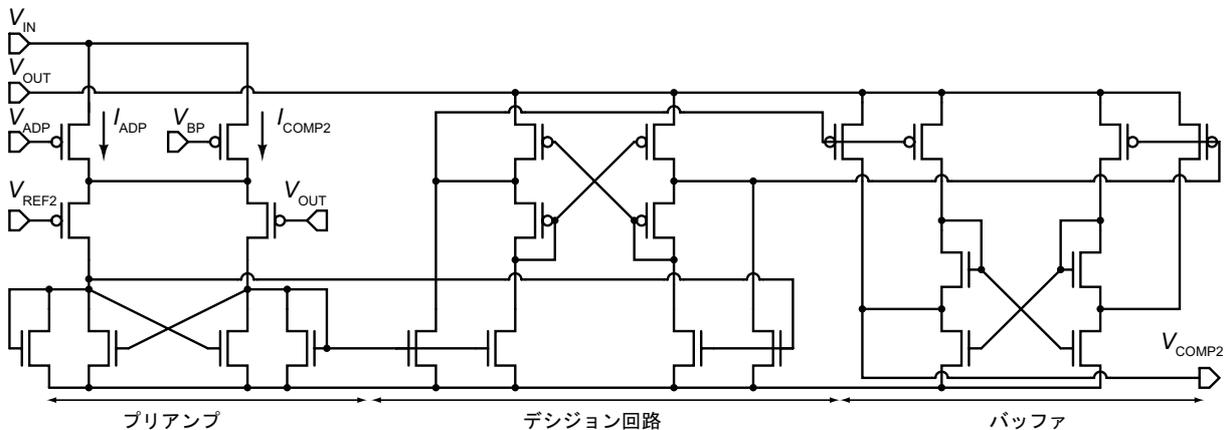


図 2.8: コンパレータの回路構成.

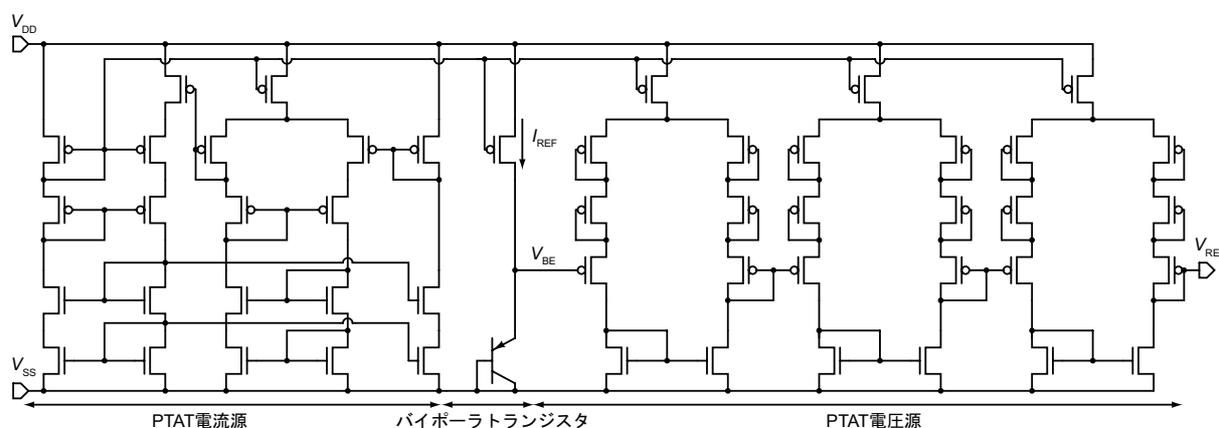


図 2.9: 参照電圧源・電流源の回路構成.

ロック信号を生成する.

負荷電流モニタ回路を用いることで、コンパレータ COMP2 のバイアス電流は、 I_{ADP} と固定バイアス電流 I_{COMP2} の和で決定する. そのため、COMP2 は負荷電流の増加に対して適応的に動作する. したがって、提案する SC 型 DC-DC コンバータはコンパレータのバイアス電流 $I_{ADP} + I_{COMP2}$ により、高効率に幅広い負荷電流範囲で動作可能になる.

2.4.3 参照電圧源・電流源

図 2.9 に、提案する SC 型 DC-DC コンバータに用いた参照電圧源 [11]・電流源 [12] の回路構成を示す. 参照電圧源回路は、バイポーラトランジスタが生成する負の温度特性を持つ V_{BE} と差動対回路が生成する正の温度特性を持つ PTAT (Proportional to Absolute Temperature) 電圧を組み合わせることで温度に対して一定の V_{REF} を生成する. V_{REF} は後段の回路により分圧され、スタートアップ・フェイルセーフ回路と PFM 回路のコンパレータを駆動する. 参照電流源はナノアンペアの PTAT 電流を生成し、参照電圧源とスタートアップ・フェイルセーフ回路・PFM 回路のコンパレータを駆動する. そのため、参照電圧源・電流源、そして制御回路は超低電力動作可能である.

2.5 2/5 降圧回路

図 2.10 に 2/5 降圧回路の回路構成を示す. この回路は、キャパシタ (C_1 - C_4) と ϕ_1 , ϕ_2 で駆動されるスイッチより構成される. ϕ_1 , ϕ_2 の振幅は V_{IN} である. スイッチを用いてキャパシタの接続状態を変更することで、入力電圧の $\frac{2}{5}$ 降圧された出力電圧を生成する. 図 2.11(a), (b) に、それぞれのキャパシタの並列接続状態と直列接続状態を示す. 以下に動作原理を説明する.

ϕ_1 , ϕ_2 がそれぞれ High, Low の時、図 2.11(a) に示すように、キャパシタは並列接続される. この時の各キャパシタに充電される電圧は、それぞれ図 2.11 に示す通りである. 次に、 ϕ_1 , ϕ_2 がそれぞれ Low, High の時、図 2.11(b) に示すように、キャパシタは直列接続される. 入力電圧 V_{IN} と出力電圧 V_{OUT} の関係は、キャパシタが並列接続時に充電された電圧を用いて、以下の式で表

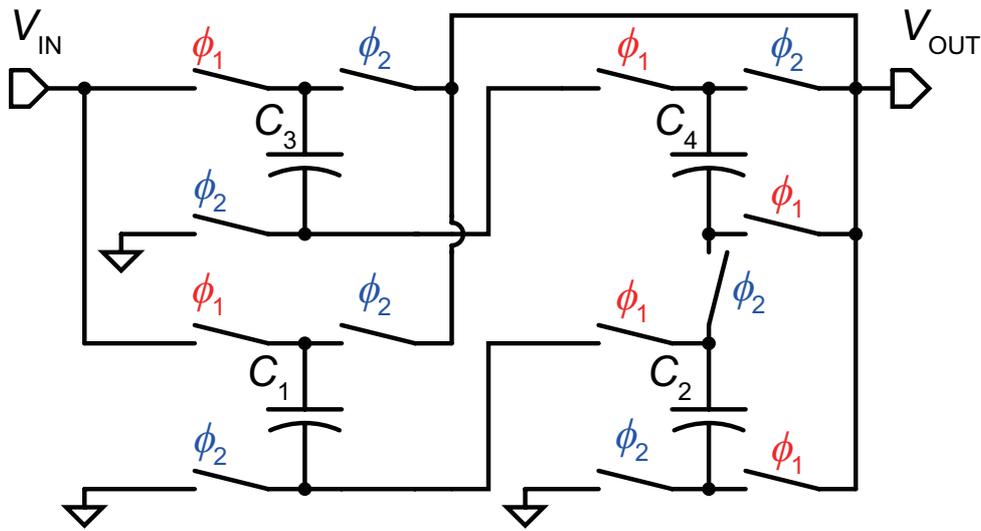


図 2.10: 2/5 降圧回路の回路構成.

せる.

$$V_{\text{IN}} = V_{\text{OUT}} + \frac{1}{2}V_{\text{OUT}} + V_{\text{OUT}} \quad (2.7)$$

この式を整理すると、出力電圧 V_{OUT} は以下の式で表せる.

$$V_{\text{OUT}} = \frac{2}{5}V_{\text{OUT}} \quad (2.8)$$

式(2.8)より、この構成を用いることで出力電圧 V_{OUT} は入力電圧 V_{IN} の 2/5 降圧された電圧を生成できる.

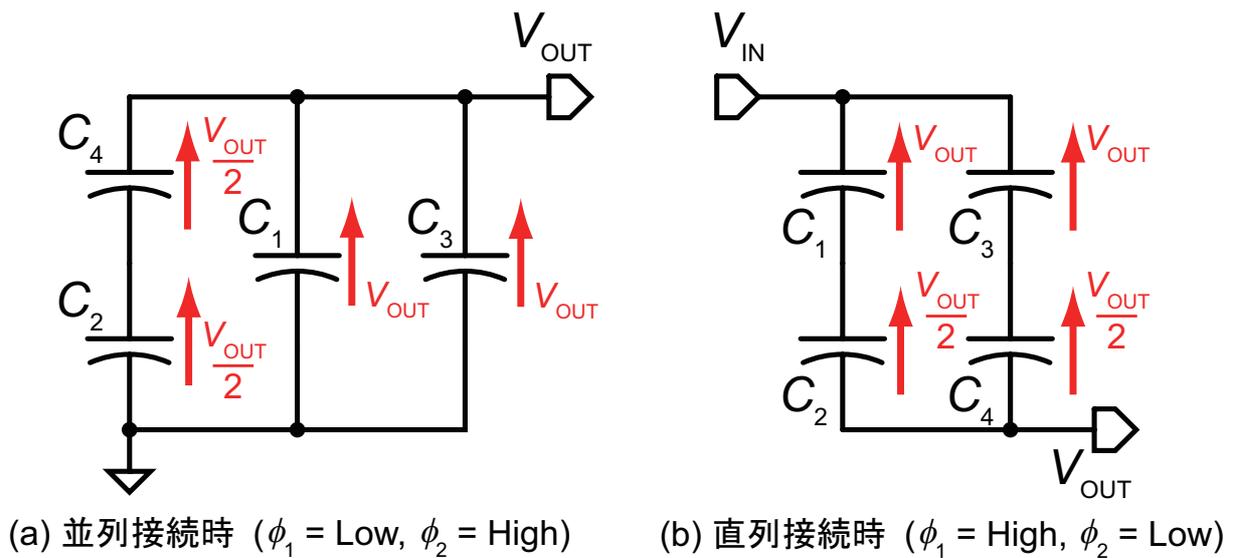


図 2.11: (a) 並列接続, (b) 直列接続.

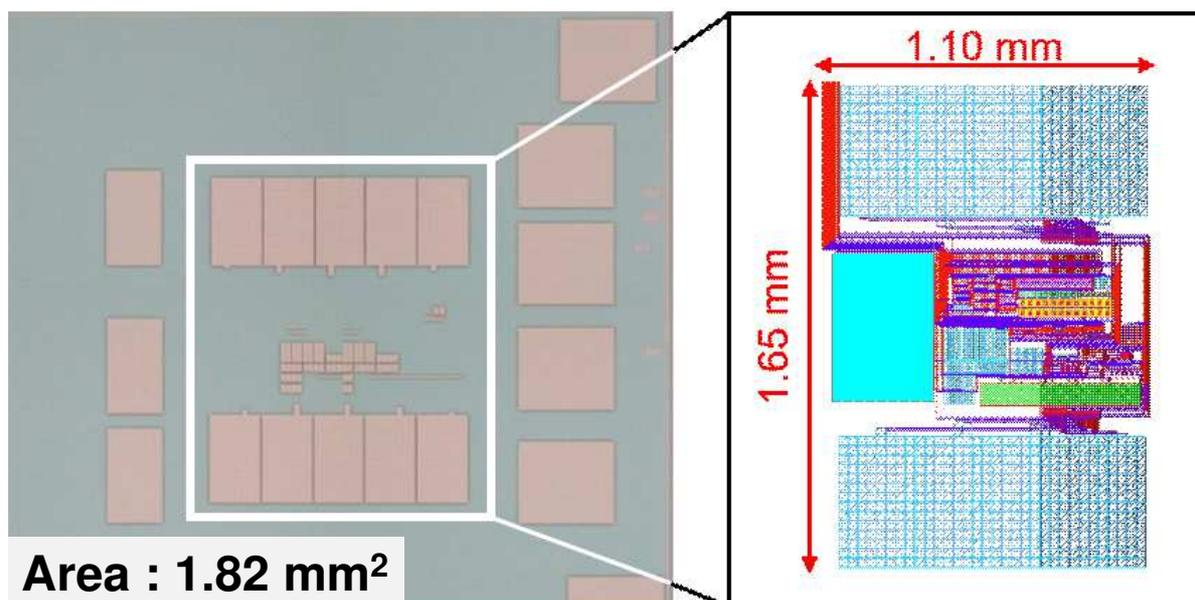
図 2.12: チップ写真 (面積: 1.82 mm²).

図 2.13: スタートアップ波形の測定結果.

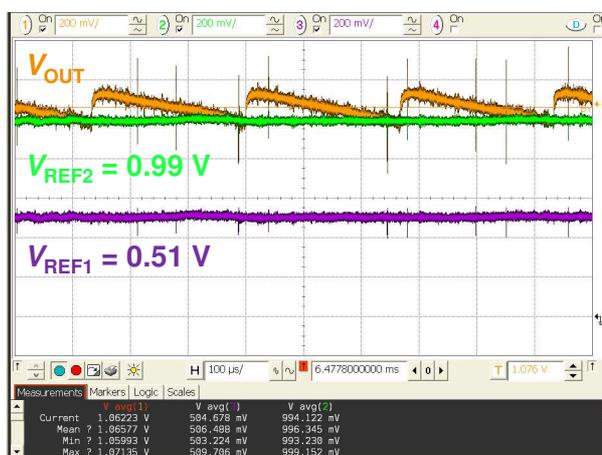


図 2.14: 定常状態の測定結果.

2.6 測定結果

提案する SC 型 DC-DC コンバータを 0.13- μm 1P5M CMOS プロセスを用いて試作し、測定評価した。図 2.12 にチップ写真とレイアウト図を示す。面積は 1.82 mm² となった。参照電圧 (V_{REF1} , V_{REF2}), 参照電流 I_B , コンパレータのバイアス電流 $I_{\text{COMP1,2}}$ は、それぞれ 0.5, 1.0 V, 1.2 nA, そして 1.2 nA とした。

図 2.13 に、電源電圧 V_{IN} を 3 V 入力した時の提案する SC 型 DC-DC コンバータのスタートアップ波形の測定結果を示す。 V_{IN} を入力すると V_{OUT} は増加し、 V_{REF2} で定常状態となった。セトリグ時間は 2 ms であった。図 2.14 に、電源電圧 V_{IN} を 3 V、負荷電流 I_L を 455 nA とした時、定常

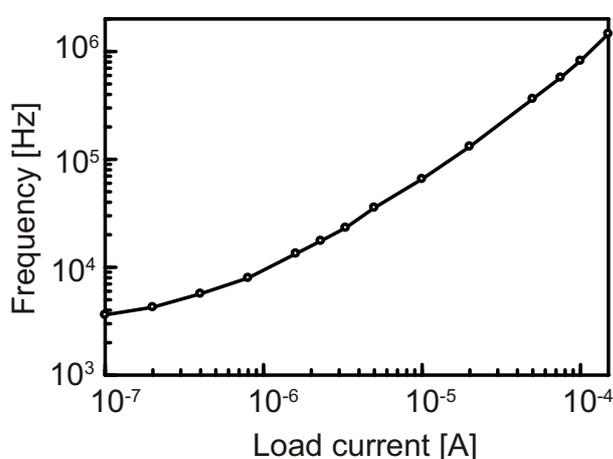
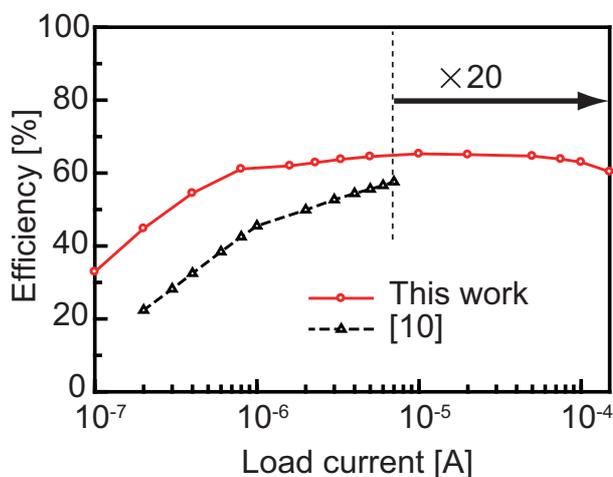
図 2.15: スイッチング周波数 f_{SW} の測定結果.

図 2.16: 電力変換効率の測定結果.

状態における出力波形 V_{OUT} の測定結果を示す. リップル電圧 ΔV_{Ripple} は降圧比率の電圧と V_{REF2} の差で決まり, 0.2 V 以内であった. 提案回路の設計では, V_{IN} , V_{REF2} , そして降圧比率をそれぞれ 3.0 , 1.0 V , そして $2/5$ と設定した. したがって, リップル電圧 ΔV_{Ripple} は $3.0 \times (2/5) - 1.0 = 0.2\text{ V}$ より求まり, 測定結果と一致する.

図 2.15 にスイッチング周波数 f_{SW} の負荷電流特性を示す. $1\ \mu\text{A}$ 以上において, f_{SW} は負荷電流に正比例で増加した. したがって, 提案回路は負荷電流モニタ回路によりコンパレータの適応バイアス電流を生成できていることが確認できる.

図 2.16 に電力変換効率の負荷電流特性を示す. 提案回路の電力変換効率の負荷電流範囲は, 従来の SC 型 DC-DC コンバータ [10] と比較して 20 倍に拡大した. 電力変換効率は 0.8 から $100\ \mu\text{A}$ の範囲において, 出力電圧として 1 V を維持し, 60% 以上を達成した. ここで, 0.2 から $100\ \mu\text{A}$ の範囲においても, 提案回路の電力変換効率は 50% 以上を達成した. 負荷電流モニタ回路を SC 型 DC-DC コンバータに組み込むことで, 高い電力変換効率で幅広い負荷電流範囲を達成することを確認した.

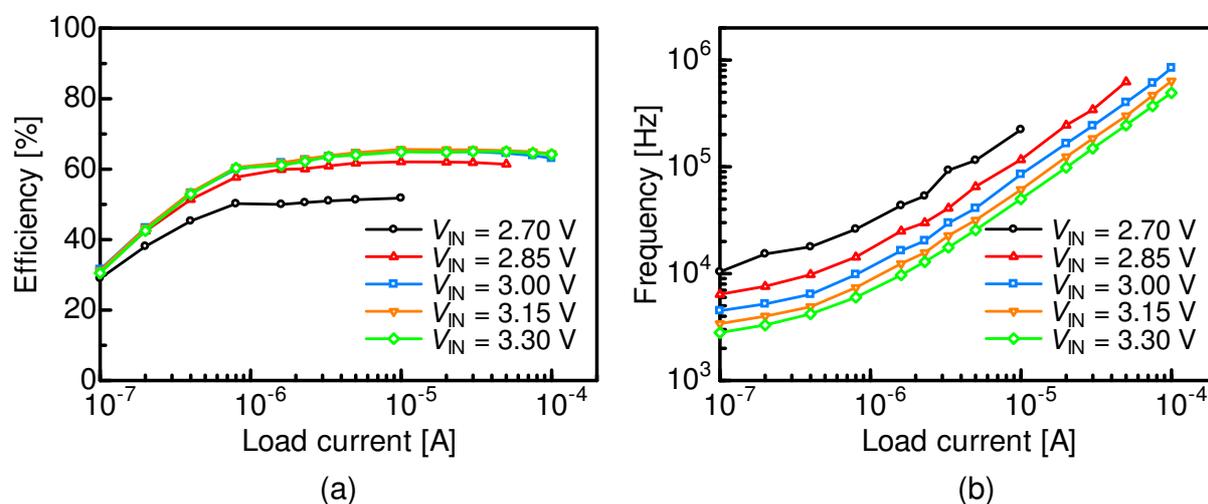


図 2.17: (a) 電力変換効率と (b) スイッチング周波数の入力電圧依存性の測定結果.

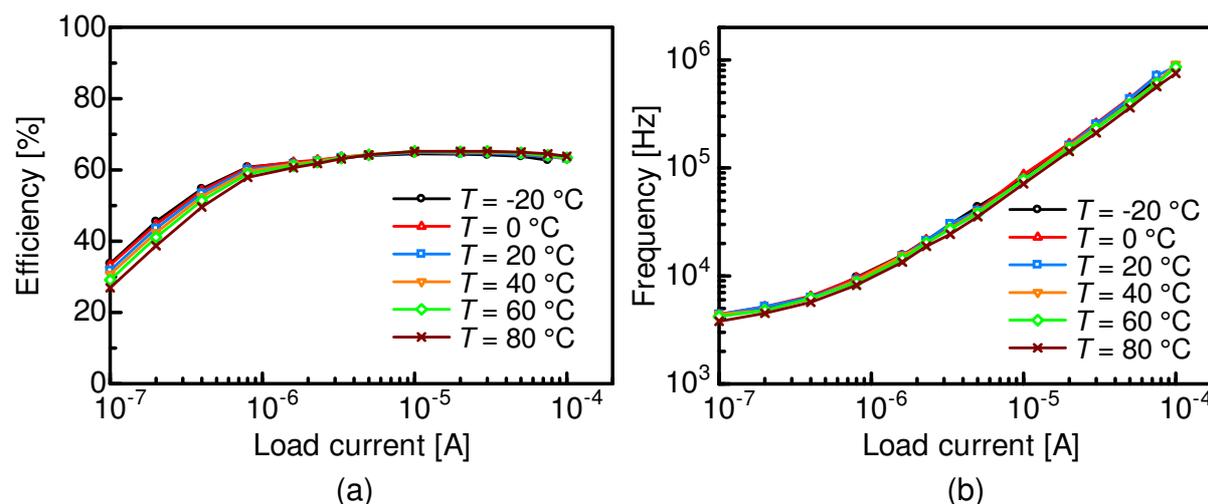


図 2.18: (a) 電力変換効率と (b) スイッチング周波数の温度特性の測定結果.

入力電圧 V_{IN} の変動と温度変化の依存性を調べるために、入力電圧 V_{IN} と温度を変化させて回路性能を評価した。図 2.17 (a) と (b) に、室温で、入力電圧 V_{IN} を 2.7 から 3.3 V まで変化させた時の電力変換効率とスイッチング周波数 f_{SW} の負荷電流特性を示す。図 2.17 (a) に示すように、提案回路は入力電圧 V_{IN} は変化しても 50% の電力変換効率を達成した。しかし、 V_{IN} が 2.7 V の時、電力変換効率が他の条件よりも低下した。この理由は、出力電圧 V_{OUT} と参照電圧 V_{REF2} が近くなったためである。図 2.17 (b) に示すように、リップル電圧が小さくなりスイッチング周波数が増加したためである。したがって、電力変換効率は入力電圧 V_{IN} の変動に対して制御回路の消費電力により低下する。

図 2.18 (a) と (b) に入力電圧 V_{IN} として 3.0 V 印加し、温度を -20 から 80 °C まで変化させた時の電力変換効率とスイッチング周波数 f_{SW} の負荷電流特性を示す。電力変換効率とスイッチング

表 2.1: 性能諸元.

Reference	This Work	[2]	[3]	[4]
Technology [nm]	130	65	180	180
Area [mm ²]	1.82	0.12	1.69	0.79
V_{IN} [V]	2.7 – 3.3	1.2	3.4 – 4.3	3.6 – 4.2
V_{OUT} [V]	1.05	0.3 – 1.1	0.9 – 1.5	0.98
Frequency [Hz]	3.6 k – 1.5 M	N/A	80 k – 1.7 M	380 – 18 M
Load current I_L [A]	0.8 – 100 μ	1 μ – 1 m	1 – 300 μ	0.05 – 1 m
Efficiency [%]	65 (@ 10 μ A)	78 (@ 100 μ A)	72 (@ 10 μ A)	54 (@ 1 mA)
C_{Fly} [nF]	0.8	0.6	2.24	0.36 pF
Fully integrated	Yes	No	Yes	No

周波数は温度変化に対してほとんど同じ値を示した. この理由は, 式 (2.6) に示すように, 適応バイアス電流 I_{ADP} は主に負荷電流に依存するためである. したがって, 制御回路の消費電力は温度変化に依存しない. 参照電圧源による小さな温度変化のみ影響した.

表 2.1 に性能諸元と従来の超低電力 IoT デバイスに向けた SC 型 DC-DC コンバータとの性能比較を示す. 提案回路は 0.8 から 100 μ A まで幅広い負荷電流範囲を達成した. 最大の電力変換効率は, 10 μ A において 65% をフルオンチップ実装で達成した. [2, 5] はオフチップ部品が必要であるが, 提案回路はフルオンチップ搭載可能な構成である. 一方で, [3] はフルオンチップ搭載可能で負荷電流範囲と電力変換効率は提案回路と同程度であるが, 電荷伝送キャパシタの総容量が大きい. したがって, [3] は単位面積当たりの電力変換効率が低い. 提案回路は, 他の回路と比較して高効率で広い負荷電流範囲を実現していることが確認できる.

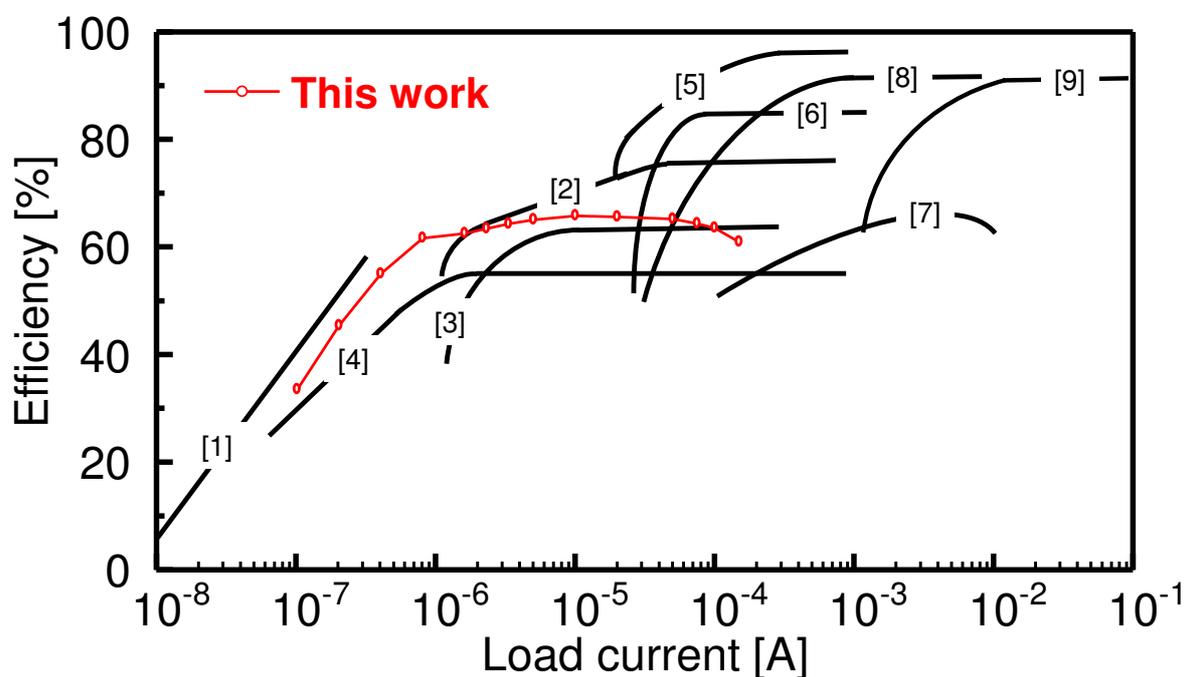


図 2.19: 従来回路との比較結果 (電力変換効率の負荷電流特性).

図 2.19 に従来回路と提案回路の電力変換効率における負荷電流特性の比較結果を示す. 提案回路は負荷電流モニタ回路を用いることで幅広い負荷電流範囲を達成し, 本研究の目標である IoT デバイスの負荷電流範囲を達成した. したがって, 提案回路は超低電力 IoT デバイスに向けたパワーマネジメント回路に有用である.

2.7 まとめ

本章では, 電源電圧の低電圧化による IoT デバイスの低電力化に向けて, 適応バイアス電流コンパレータを用いた SC 型 DC-DC コンバータを提案した. 提案回路は従来回路の構成を基本とし, 負荷電流モニタ回路を用いて負荷電流をモニタし, 電荷伝送を担うクロック生成回路へ負帰還制御する. 負荷電流の負帰還制御を行うことで, 提案回路はクロックの動作周波数を負荷電流の変化に対して適応的に制御可能になり, 電力変換効率の負荷電流特性を改善した. 提案する SC 型 DC-DC コンバータを $0.13\text{-}\mu\text{m}$ CMOS プロセスを用いてチップ試作し, 測定評価を行った. 提案回路は入力電圧 3.0 V を印加した時, 出力電圧 1.0 V を生成し, 負荷電流範囲は $100\text{ }\mu\text{A}$ まで達成した. 電力変換効率は, 負荷電流の範囲が 0.8 から $100\text{ }\mu\text{A}$ において 60% 以上を達成した. また, 電力変換効率の負荷電流範囲は, 従来回路と比較して 20 倍に拡大した. 提案回路は超低電力 IoT デバイスに向けたパワーマネジメント回路に有用である.

参考文献

- [1] M. Wieckowski, G. K. Chen, M. Seok, D. Blaauw, and D. Sylvester, "A hybrid DC-DC converter for sub-microwatt sub-1V implantable applications," in *Symp. VLSI Circuit Dig. Tech. Papers*, 2009, pp.166 - 167.
- [2] J. Kwong, Y. K. Ramadass, N. Verma, and A. P. Chandrakasan, "A 65 nm sub-vt microcontroller with integrated SRAM and switched capacitor DC-DC converter," *IEEE J. Solid-State Circuit*, vol. 44, no. 1, pp. 115 - 126, 2009.
- [3] S. Bang, A. Wang, B. Giridhar, D. Blaauw, and D. Sylvester, "A fully integrated successive-approximation switched capacitor DC-DC converter with 31mV output voltage resolution," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2013, pp. 370 - 372.
- [4] T. Ozaki, T. Hirose, H. Asano, N. Kuroki, and M. Numa, "A 0.38- μ W stand-by power, 50-nA-to-1-mA load current range DC-DC converter with self-biased linear regulator for ultra-low power battery management," in *Proc. Asian Solid-State Circuits Conf.*, 2016, pp. 225 - 228.
- [5] D. El-Damak, S. Bandyopadhyay, and A. P. Chandrakasan, "A 93% efficiency reconfigurable switched-capacitor DC-DC converter using on-chip ferroelectric capacitor," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2013, pp. 374 - 376.
- [6] L. G. Salem and P. P. Mercier, "An 85%-efficiency fully integrated 15-ratio recursive switched-capacitor DC-DC converter with 0.1-to-2.2V output voltage range," in *IEEE Int. Solid-State Circuits Dig. Tech. Papers*, 2014, pp. 88 - 90.
- [7] Y. Ramadass, A. Fayed, B. Haroun, and A. Chandrakasan, "A 0.16mm² completely on-chip switched-capacitor DC-DC converter using digital capacitance modulation for LDO replacement in 45nm CMOS," in *IEEE Int. Solid-State Circuits Dig. Tech. Papers*, 2010, pp. 208 - 210.
- [8] C. K. Teh and A. Suzuki, "A 2-output step-up/step-down switched-capacitor DC-DC converter with 95.8% peak efficiency and 0.85-to-3.6V input voltage range," in *IEEE Int. Solid-State Circuits Dig. Tech. Papers*, 2016, pp. 222 - 224.
- [9] V. Ng and S. Sanders, "A 92%-efficiency wide-input-voltage-range switched-capacitor DC-DC converter," in *IEEE Int. Solid-State Circuits Dig. Tech. Papers*, 2012, pp. 282 - 284.

-
- [10] Y. Kojima, T. Hirose, K. Tsubaki, T. Ozaki, H. Asano, N. Kuroki, M. Numa, "A Fully On-Chip 3-Terminal Switched Capacitor DC-DC Converter for Low-Voltage CMOS LSIs," *JJ. Appl. Phys.* 55, 04EF09 (2016).
- [11] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "1.2-V supply, 100-nW, 1.09-V bandgap and 0.7-V supply, 52.5-nW, 0.55-V sub-bandgap reference circuits for nano-watt CMOS LSIs," *IEEE J. of Solid-State Circuits*, vol. 48, no.6, pp. 1530 - 1538, 2013.
- [12] T. Hirose, Y. Osaki, N. Kuroki, and M. Numa, "A nano-ampere current reference circuit and its temperature dependence control by using temperature characteristics of carrier mobilities," in *Proc. Eur. Solid-State Circuits Conf.*, 2010, pp. 114 - 117.
- [13] H. -P. Le, J. Crossley, S. R. Sanders, and E. Alon, "A sub-ns response fully integrated battery-connected switched-capacitor voltage regulator delivering 0.19W/mm² at 73% efficiency," in *IEEE Int. Solid-State Circuits Dig. Tech. Papers*, 2013, pp. 372 - 374.
- [14] Cymbet Corporation. EnerChip Solid State Battery Overview, accessed on Jan. 18, 2018. [Online]. Available: <http://www.cymbet.com> and <http://www.cymbet.com/products/enerchip-overview.php>
- [15] STMicroelectronics. EFL700A39 EnFilm—Rechargeable Solid State Lithium Thin Film Battery, accessed on Jan. 18, 2018. [Online]. Available: <http://www.st.com> and http://www.st.com/web/en/catalog/sense_power/FM142/CL848/SC1107/PF250531
- [16] A. P. Chandrakasan, D. C. Daly, J. Kwong, and Y. K. Ramadass, "Next generation micro-power systems," in *Symp. VLSI Circuits Dig. Tech. Papers*, 2008, pp. 2 - 5.
- [17] M. Alioto, "Ultra-low power VLSI circuit design demystified and explained: a tutorial," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 59, no. 1, pp. 3-27, 2012.
- [18] N. Pinckney, D. Blaauw, D. Sylvester, "Low-Power Near-Threshold Design," *IEEE Solid-State Circuits Mag.*, vol. 7, no. 2, 2015

第3章 時間計測用途に向けた弛張発振回路

3.1 はじめに

極めて低い入力電力を利用した IoT デバイスの駆動には、間欠動作技術を用いた大幅な消費電力削減が必須となる。間欠動作を行う VLSI システムの消費電力は、動作時と停止時の平均値として算出される。処理を行っていない時には積極的に電源電圧を遮断することで、消費電力を大幅に削減できる。間欠動作技術の制御には常時起動して、時間計測を行い、他の回路ブロックの起動・停止を管理する RTC が必要になる。消費電力削減効率も RTC により律速されるため、できる限り低い消費電力で動作することが求められる。

本章では、RTC に求められる発振回路について要求仕様・性能・動作概要を説明する。次に、従来回路の課題について議論し、その課題点を解決した提案回路について説明する。

3.2 水晶発振回路を用いた RTC

図 3.1(a), (b) に水晶発振回路とオンチップ搭載可能な発振回路を用いて IoT デバイスの RTC を構成した場合の実装図を示す。従来の RTC は水晶発振回路を用いて構成する [1-5]。水晶発振回路は水晶の持つ固有振動数を用いて動作するため、高い周波数精度を実現できる。しかし、図 3.1(a) に示すように、オフチップ部品の水晶が必要になるため実装コストが増大する課題がある。一方で、図 3.1(b) に示すように、オンチップ搭載可能な発振回路を用いて RTC を構成した場合は追加の実装面積と配線が不要であり、実装コストを削減することができる。

そこで本研究の目標は、IoT デバイスの RTC に向けたフルオンチップ搭載可能な発振回路の実現である。

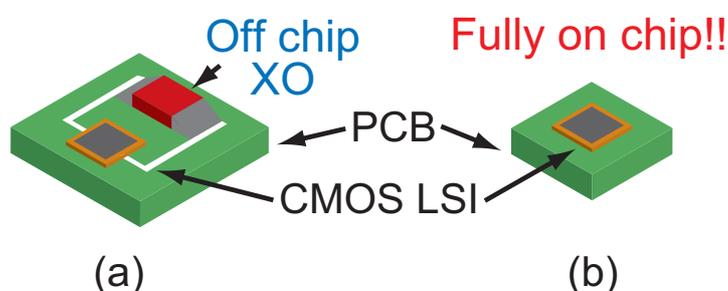


図 3.1: (a) 水晶発振回路と (b) オンチップ搭載可能な発振回路を用いて RTC を構成した場合の実装図。

3.3 発振回路の種類

図 3.2 に発振回路の種類を示す。オンチップ搭載可能な発振回路として、(a) LC 発振回路 [6,7], (b) リング発振回路 [8], (c) 正弦波発振回路 [9], そして (d) 弛張発振回路 [10–17] がある。

図 3.2(a) に示す LC 発振回路は、nMOSFET, pMOSFET, インダクタ L そして、キャパシタ C より構成される。LC 発振回路は、インダクタ L とキャパシタ C の共振周波数により発振する。式 (3.1) に LC 発振回路の動作周波数 f_{LC} を示す。

$$f_{LC} = \frac{1}{2\pi\sqrt{LC}} \quad (3.1)$$

近年の微細化により、受動素子の抵抗 R , キャパシタ C , そしてインダクタ L のオンチップ搭載が可能になった。しかし、インダクタンスは 2.5 mm 角のチップに 10 回巻きで 200 nH 程度と非常に小さい値となる [6,7]。式 (3.1) より、LC 発振回路を用いて 32 kHz 発振を実現するためには数百 μF オーダーのオフチップ部品のキャパシタ C が必要となるため、LC 発振回路は低周波動作の RTC には適さない。

図 3.2(b) に示すリング発振回路は、奇数段 N に繋がれたインバータチェーンにより構成される。リング発振回路は初段に High を入力すると、次段に接続されたインバータへ伝搬され Low が出力される。次段の出力した Low は、さらに後段に接続されたインバータへ伝搬され High が出力される。最終段のインバータへ信号が伝搬すると、フィードバックループを介して初段へ入力される。リング発振回路は奇数段で構成されるため、論理の伝搬が収束せずに発振動作を行う。動作周波数は後段の負荷容量を充電する MOSFET のドレイン電流 I_D に比例し、MOSFET のゲート容量 C_G , 電源電圧 V_{DD} そして段数 N に反比例する。式 (3.2) にリング発振回路の動作周波数 f_{RING} を示す。

$$f_{RING} = \frac{I_D}{2NC_GV_{DD}} \quad (3.2)$$

式 (3.2) より、リング発振回路が低消費電力動作かつ 32 kHz の低周波を実現するためには、ドレイン電流 I_D を低電流化する必要がある。ドレイン電流 I_D を低電流化するためには、MOSFET をサブスレッショルド領域で動作させる必要がある [18]。式 (3.3) にサブスレッショルド領域にお

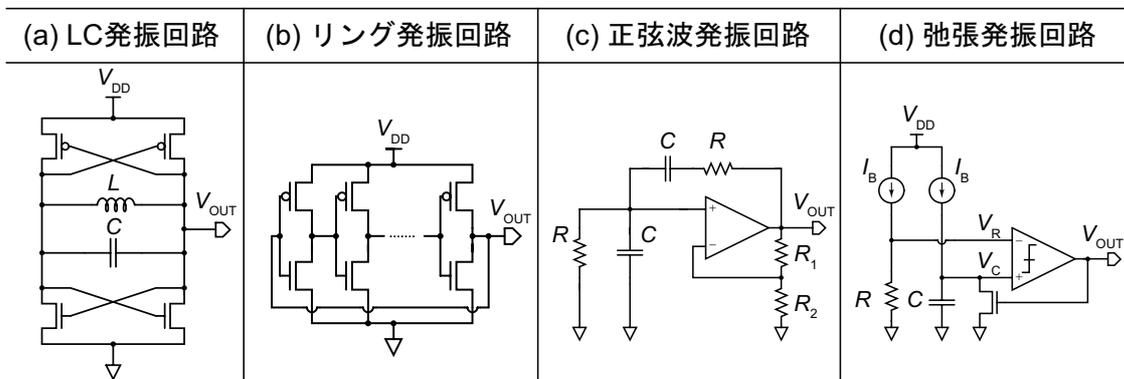


図 3.2: 発振回路の種類。

るドレイン電流 I_D を示す.

$$I_D = K I_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \quad (3.3)$$

ここで, $K, I_0, V_{GS}, V_{TH}, \eta, V_T$ は, それぞれ MOSFET を構成するサイズのアスペクト比, プロセスに依存する係数, ゲートソース間電圧, しきい値電圧, サブスレッショルドスロープファクタ, そして熱電圧である. 式 (3.3) より, サブスレッショルド電流は温度変化やしきい値電圧の変動により指数関数で変化する. また, リング発振回路の充電時間は電源電圧に依存する. 上記のことを考慮すると, PVT ばらつきから (製造プロセスのばらつき (Process), 電源電圧の変動 (Voltage), 温度変化 (Temperature)) リング発振回路は大きく影響を受けるため, RTC には適さない.

図 3.2(c) に示す正弦波発振回路は, 抵抗 R , キャパシタ C , そしてオペアンプより構成される. 正弦波発振回路の動作周波数は, オペアンプが正帰還制御を行うことで発振する. 式 (3.4) に正弦波発振回路の動作周波数 f_{SIN} を示す.

$$f_{SIN} = \frac{1}{2\pi RC} \quad (3.4)$$

式 (3.4) より, 正弦波発振回路の動作周波数は, 受動素子の抵抗 R とキャパシタ C の値により決定する. 正弦波発振回路は, 32 kHz の正弦波をオンチップで生成可能である. しかし, 正弦波をクロック信号の方形波にするためには, 後段にインバータが必要となる. インバータにはスルーレートが小さい正弦波が入力されるため, 貫通電流により消費電力が増大する. IoT デバイスの RTC に向けて超低消費電力動作を目標にしていることから, 正弦波発振回路は RTC に適さない.

図 3.2(d) に示す弛張発振回路は, バイアス電流源 I_B , 抵抗 R , キャパシタ C , nMOSFET のスイッチ, そしてコンパレータから構成される. コンパレータの出力電圧 V_{OUT} が Low の時, キャパシタ C はバイアス電流 I_B により充電され, V_{C1} は時間に比例し増加する. コンパレータは, V_{C1} と抵抗 R と I_B により生成される参照電圧 V_{REF} を比較する. V_{C1} が V_{REF} と一致した時, コンパレータはこれを検知し, V_{OUT} を Low から High へ反転する. V_{OUT} が High なので, V_{C1} は放電される. 放電が完了すると V_{OUT} は反転し, I_B により充電がされる. 弛張発振回路はこの動作を繰り返すことで発振し, 周波数を生成する. 弛張発振回路の動作周波数は, キャパシタ C の充電時間により決定する. 式 (3.5) に弛張発振回路の動作周波数を示す.

$$f_{ROSC} = \frac{I_B}{CV_{REF}} \quad (3.5)$$

弛張発振回路は, 32 kHz のクロック信号をオンチップで生成可能である. 生成されるクロックは方形波のため, コンパレータ, 参照電圧, そしてキャパシタ C に充電する電流パスのみで構成され低消費電力動作可能である. したがって, 弛張発振回路は超低電力 IoT デバイスに向けた RTC に適していることから, 本研究では弛張発振回路の構成を用いる.

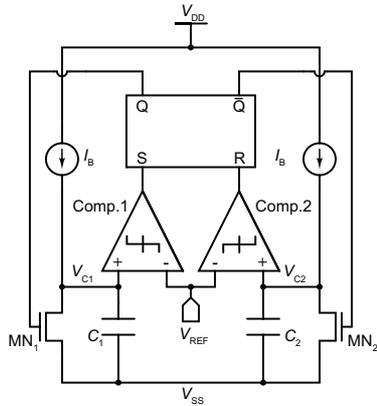


図 3.3: 弛張発振回路の構成.

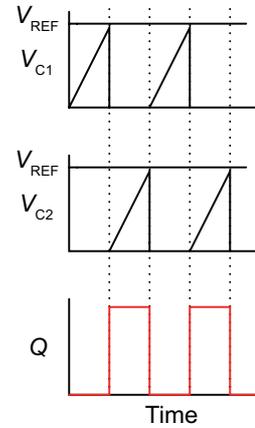


図 3.4: 弛張発振回路のタイムチャート.

3.4 弛張発振回路

本節では、弛張発振回路について説明する。図 3.3, 3.4 に、時間計測部を相補構成にした弛張発振回路の構成とタイムチャートを示す [21]。この回路はコンパレータ (Comp.1, Comp.2)、バイアス電流源 (I_B)、参照電圧源 (V_{REF})、nMOSFET スイッチ (MN_1, MN_2)、キャパシタ (C_1, C_2)、そしてセットリセットフリップフロップ (SR-FF) により構成される。図 3.4 のタイムチャートを用いて動作原理を説明する。初期状態が、 Q が Low、 \bar{Q} が High の場合を考える。 Q が Low より、 MN_1 はオフし、 I_B により C_1 が充電され、 V_{C1} の電位が時間に比例して増加する。 \bar{Q} が High より、 MN_2 がオンし、 V_{C2} の電位が放電されて V_{SS} となる。Comp.1 は、 V_{C1} と V_{REF} を比較する。 V_{C1} と V_{REF} が一致した時、Comp.1 はこれを検知し、SR-FF の S 端子に High を入力する。これにより論理値が反転し、 Q が High、 \bar{Q} が Low になる。 \bar{Q} が Low より、 MN_2 はオフし、 I_B により C_2 が充電され、 V_{C2} の電位が時間に比例し増加する。 Q が High より、 MN_1 はオンし、 V_{C1} の電位は放電され、 V_{SS} となる。Comp.2 は、 V_{C2} と V_{REF} を比較する。 V_{C2} と V_{REF} が一致した時、Comp.2 はこれを検知し、SR-FF の R 端子に Low を入力する。これにより論理値が反転し、 Q が Low、 \bar{Q} が High になる。以上の動作を繰り返すことで、SR-FF の Q は一定の周期で発振動作を行う。 Q の周波数 f_{CLK} は、式 (3.6) で示す。

$$f_{CLK} = \frac{I_B}{2CV_{REF}} \quad (3.6)$$

動作周波数 f_{CLK} は充放電キャパシタ C 、参照電圧 V_{REF} 、そして I_B により決定される。しかし、実際の回路においては、式 (3.6) に含まれていないコンパレータの入力オフセット電圧と応答遅延、デジタル回路の遅延などの非理想要因により動作周波数は劣化する。動作周波数が PVT ばらつきから受ける影響について次節で説明する。

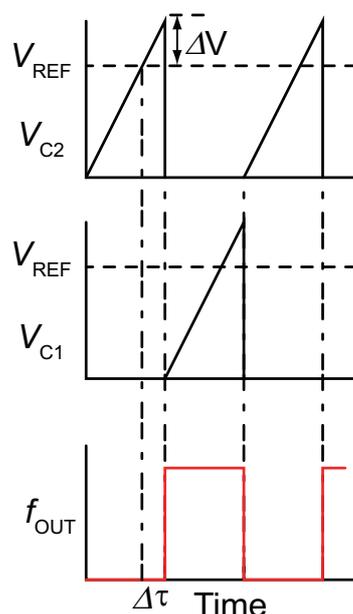


図 3.5: 遅延 $\Delta\tau$ による周波数精度の劣化.

3.5 PVT ばらつきによる周波数精度の低下

図 3.5 に非理想要因により生じた応答遅延 $\Delta\tau$ が及ぼす弛張発振回路の動作周波数への影響を示す. キャパシタ C_1 がバイアス電流 I_B により充電され, 時間に比例してキャパシタの電位 V_{C1} が増加する. コンパレータは, V_{C1} と V_{REF} を比較する. V_{C1} が V_{REF} に到達した瞬間に, 状態遷移が行われることが理想動作である. しかし, PVT ばらつきによりコンパレータの応答遅延 $\Delta\tau$ が生じ, その遅延 $\Delta\tau$ に比例したオフセット電圧 ΔV を伴いクロックが生成される. 式 (3.7) に $\Delta\tau$ を考慮した弛張発振回路の動作周波数を表わす.

$$f_{CLK} = \frac{I_B}{2C(V_{REF} + \frac{I_B\Delta\tau}{C})} \quad (3.7)$$

$\Delta\tau$ は常に一定の値ではなく, 製造ばらつき, 電源電圧の変動, そして温度変化の PVT ばらつきにより変化する. PVT ばらつきへの対処は困難である. 弛張発振回路が高精度な周波数生成を実現するためには, PVT ばらつきに生じる $\Delta\tau$ に対して補正を行う必要がある.

3.6 PVT ばらつきに対して補正機構を搭載した従来回路

図 3.6, 3.7 に補正機構を搭載した従来回路の構成とタイムチャートを示す [11, 12]. この回路はバイアス電流源 I_B , 参照電圧源 V_{REF} , スイッチ ($SW_1, SW_{12}, SW_{13}, SW_2, SW_{22}, SW_{23}$), 充放電に用いるキャパシタ (C_1, C_2), 補正電圧生成キャパシタ (C_{CAL1}, C_{CAL2}), マルチプレクサ (MUX1, MUX2), そしてスイッチを制御するロジック回路から構成される. 従来回路は, PVT ばらつきによるオフセット電圧 ΔV を考慮した補正電圧を生成し, 遅延 $\Delta\tau$ による影響を排除している [11, 12].

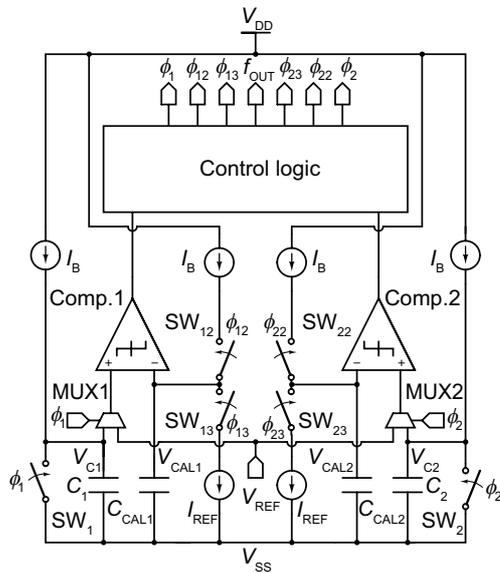


図 3.6: 従来弛張発振回路.

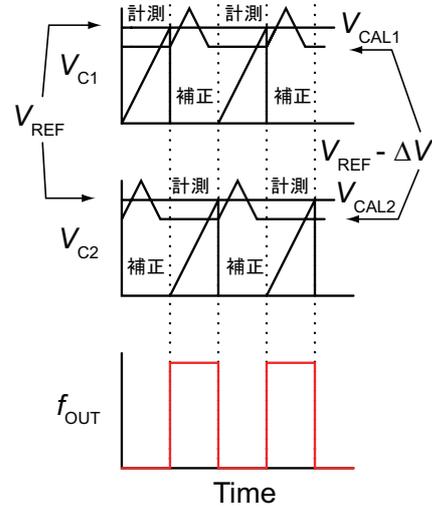


図 3.7: 従来回路のタイムチャート.

図 3.7 を用いて動作原理を説明する．初期状態が、 $\phi_1, \phi_{12}, \phi_{13}, \phi_{23}$ が Low、 ϕ_2, ϕ_{22} が High の場合を考える．この時、 $SW_1, SW_{12}, SW_{13}, SW_{23}$ がオフし、 SW_2, SW_{22} はオンし、MUX1, MUX2 は V_{C1}, V_{REF} の信号を選択する． SW_1 がオフするため、 C_1 は I_B により充電され、時間に比例し V_{C1} が増加する． V_{C1} は補正電圧 V_{CAL1} まで充電され、時間計測行う． SW_{22} がオンのため、 C_{CAL2} は I_B により充電され、 V_{CAL2} は増加する． V_{CAL2} の電位は Comp.2 により V_{REF} と比較され、 $V_{CAL2} > V_{REF}$ の場合に、Comp.2 より High が出力される． ϕ_{22}, ϕ_{23} が Low、High となり、 SW_{22}, SW_{23} がオフ、オンする． C_{CAL2} は I_B により放電され、 V_{CAL2} は時間とともに減少する． V_{CAL2} の電位が V_{REF} を下回ると、Comp.2 により Low が出力され、 ϕ_{23} が Low となり、 SW_{23} がオフする． V_{CAL2} は補正電圧 $V_{REF} - \Delta V$ を生成し、次状態に備えた補正電圧を保持する． V_{C1} が補正電圧 V_{CAL1} に到達すると比較が行われ、Comp.1 が High を出力し、次状態に移る．次状態では V_{C2} が時間計測動作を行い、 V_{CAL1} が補正電圧を生成する．上記のように、計測動作と補正動作を繰り返すことでクロックを生成する．

補正機構を搭載した従来回路が生成するクロックの動作周波数は、理想動作を行う弛張発振回路の式 (3.6) となる．補正機構は各コンパレータに対して動作するため、チップ内しきい値電圧のローカルなばらつきが生じた場合に対しても正常に補正動作を行う．弛張発振回路の動作周波数は、 I_B, V_{REF} 、そして C により決定される．バイアス回路は V_{REF} を抵抗 R と I_B により生成することから、オームの法則より式 (3.6) は、

$$f_{CLK} = \frac{1}{2CR} \quad (3.8)$$

と表せる．従来回路の動作周波数は、図 3.2 に示した弛張発振回路と同様に RC の時定数で決定する．

表 3.1: 性能比較

評価項目	先端技術 [1]	従来回路 [12]
発振周波数	32.768 kHz	32.85 kHz
消費電力	118.8 nW(@3.3 V)	1036.8 nW(@1.8 V)
周波数精度	1-100ppm	120ppm/°C
起動時間	1-10 ms	0.1 ms

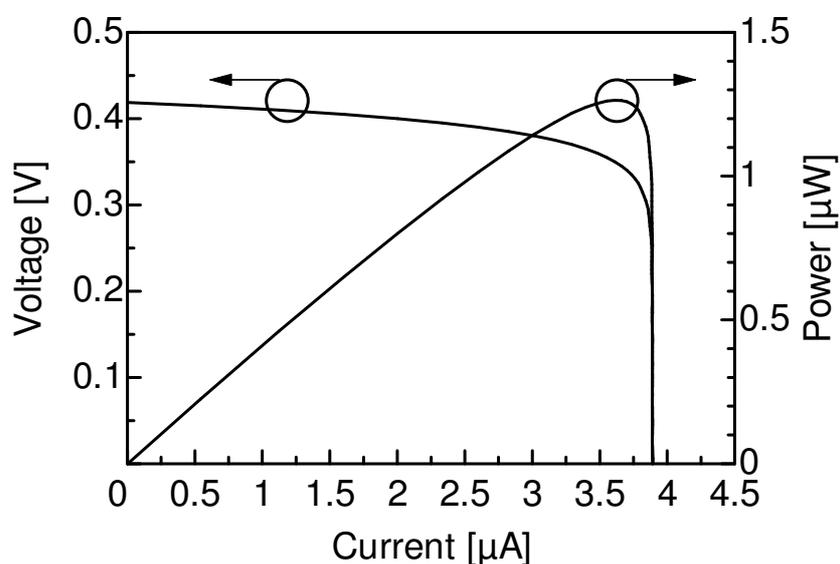


図 3.8: 室内光下における太陽電池の特性.

3.7 従来回路の課題

表 3.1 に補正機構を搭載した弛張発振回路と最先端の商用水晶発振回路の性能をまとめる．従来回路は 3.2 節で示した弛張発振回路の周波数精度を達成している．しかし，表 3.1 に示すように，消費電力で約 10 倍程度の差が生じる．例えば，同様の電力を持つコイン電池で双方の発振回路を動作させた場合を考えると，従来回路は先端回路の水晶発振回路よりも 10 倍早く電池寿命を迎えるため，電池交換のメンテナンスが必要になる．次世代型情報社会のセンサは環境発電技術により環境中に存在する光，熱，振動そして電磁波から自給自足的に発電することも想定される．図 3.8 に室内光下 (800 lux) で測定した微小な (開口部面積: $2.4 \times 2.8 \text{ mm}^2$) 太陽電池 (Si 系) の測定結果を示す [19]．図 3.8 より，微小な太陽電池が室内光下で発電する電力は数 μW 程度と非常に低い．そのため，他の回路ブロックを動作させることを考慮すると，RTC に許容される消費電力は先端技術の水晶発振回路の 100 nW 程度となり，従来回路の周波数精度を維持しつつ消費電力を削減する必要がある．

タイプ	電圧モード	電流モード [20]
回路図		
変換ステップ	2回 (V→I→V) 大きな消費電力	1回 (I→V) 低電力で高速応答が可能

図 3.9: コンパレータの動作モードによる違い.

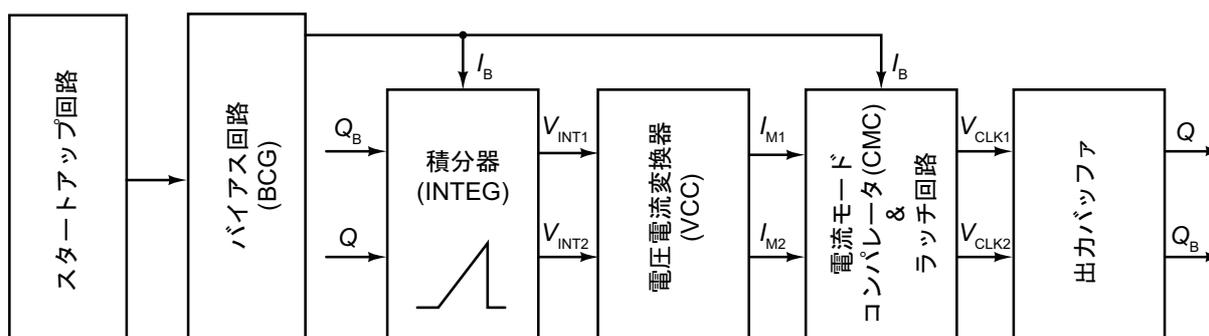


図 3.10: 提案回路のブロック図.

3.8 RTCに向けた超低消費電力動作可能な弛張発振回路

超低消費電力動作可能な弛張発振回路の実現には、補正回路を用いない構成が必要である。コンパレータの応答を高速化することで、応答遅延による誤差 ΔT が削減され、補正回路は不要になる。しかし、従来のコンパレータは応答を高速化することで消費電力が増大する課題がある。したがって、低電力で高速応答可能なコンパレータを考案する必要がある。コンパレータの動作モードは、電圧モードと電流モードがある [20]。図 3.9 に、電圧モードと電流モードコンパレータを示す。電圧モードコンパレータは、2回の変換ステップが必要である。一方で、電流モードコンパレータは1回の変換ステップで応答するため、電圧モードコンパレータと比較して低電力で高速応答可能である [20]。そこで、提案回路は電流モードコンパレータを用いた弛張発振回路を提案する。

図 3.10 に、提案する超低消費電力動作可能な弛張発振回路のブロック図を示す。提案回路は、スタートアップ回路、バイアス回路 (BCG)、積分器 (INTEG)、電圧電流変換器 (VCC)、電流モードコンパレータ (CMC)、ラッチ回路、そして出力バッファより構成される。バイアス回路はバイアス電流 I_B を生成し、 I_B を積分器と電流モードコンパレータに供給する。積分器はランプ波電圧

V_{INT1} と V_{INT2} を生成する．電圧電流変換器は V_{INT1} と V_{INT2} をモニタ電流 I_{M1} と I_{M2} へ変換する．電流モードコンパレータは I_{M1} と I_{M2} を I_B と比較する． I_{M1} もしくは I_{M2} が I_B に到達した時，ラッチ回路は内部状態を反転させ，クロック信号を生成する．提案回路は，コンパレータを従来の電圧モードから電流モードへ変更した．式 (3.7) より，従来の電圧モードコンパレータは，コンパレータが持つ非理想要因の Δ_T がバイアス電流 I_B と PVT ばらつきにより変動するため，高精度なクロックの生成には補正回路が必要な構成であった．一方で，提案する電流モードコンパレータは低電力で高速応答が可能であるため，補正回路が不要な構成となる．したがって，提案回路は従来の弛張発振回路の構成と比べて単純化が可能であり，補正回路を省いた分の消費電力の削減が可能である．

図 3.11 と 3.12 に，提案回路の回路図とタイムチャートを示す．バイアス回路は，MOSFET のしきい値電圧 (V_{TH}) を参照し，バイアス電流 I_B を生成する [21]．バイアス回路の抵抗は，異なる温度特性を持つ拡散抵抗 R_P と高抵抗ポリシリコン抵抗 R_N を用いた．バイアス電流 I_B は，以下の式で表せる．

$$I_B = \frac{V_{GS,MN1}}{(R_P + R_N)} \quad (3.9)$$

ここで， $V_{GS,MN1}$ は MN_1 のゲート・ソース間電圧である． Q と Q_B が High と Low の時，リセットスイッチ MN_{RST1} と MN_{RST2} は，それぞれ Off と On である．積分器 C_{RAMP1} は， I_B を受け，ランプ波電圧は以下の式で表せる．

$$V_{INT1} = I_B \cdot t / C_{RAMP1} \quad (3.10)$$

ここで， t は時間である． V_{INT1} は時間と共に増大し，電圧電流変換器 ($VCC1$) はこの電圧をモニタする． MN_3 は V_{INT1} をモニタし， I_{M1} を生成する．電流モードコンパレータ ($CMC1$) は I_B と I_{M1} を比較する．図 3.12 に示すように， I_{M1} が I_B に到達した時， $CMC1$ とラッチ回路はその状態を検知し， V_{CLK1} と V_{CLK2} の状態をそれぞれ Low と High へ切り替える．この動作を 2 つの積分器で相補的に繰り返すことで，弛張発振回路はクロック信号を生成する．

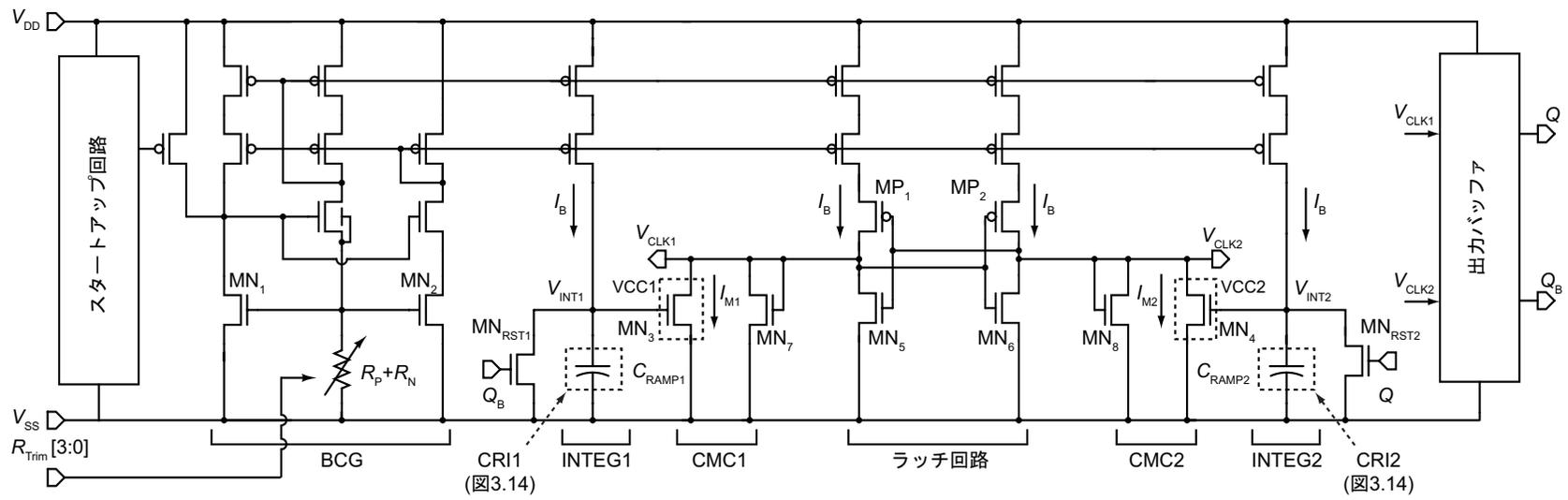


図 3.11: 提案回路の回路図.

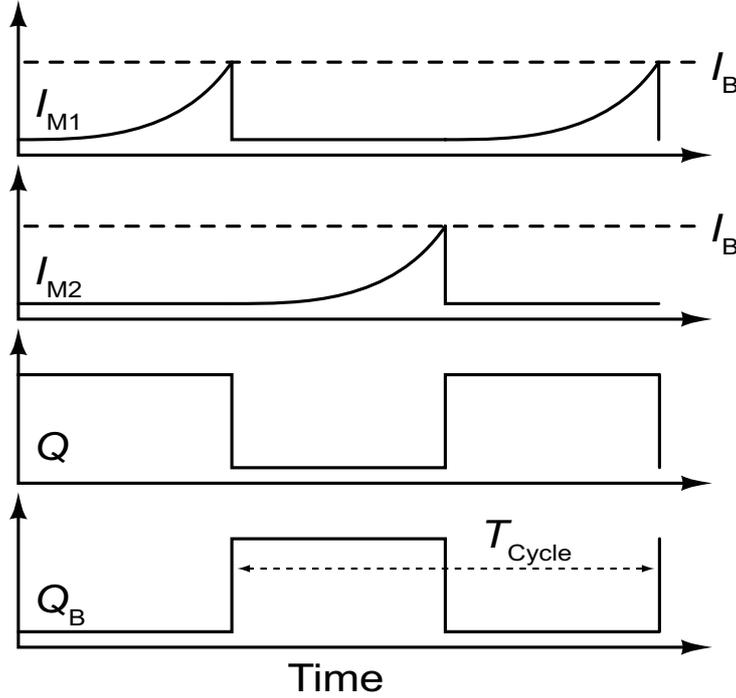


図 3.12: 動作波形.

上記では, 半周期 $T_{\text{cycle}}/2$ の動作について述べた. Q と Q_B が反転する時, V_{INT1} は $(I_B \cdot T_{\text{cycle}}/2)/C_{\text{RAMP1}}$ と表せる. このとき, V_{INT1} が $V_{\text{GS,MN3}}$ に等しくなるため, 以下の式を得る.

$$V_{\text{GS,MN3}} = \frac{I_B \cdot T_{\text{cycle}}}{2C_{\text{RAMP1}}} \quad (3.11)$$

式 (3.9) と (3.11) より, 周期 T_{cycle} は $C_{\text{RAMP1}} = C_{\text{RAMP2}} = C_{\text{RAMP}}$ として, 以下で与えられる.

$$T_{\text{cycle}} = 2(R_P + R_N)C_{\text{RAMP}} \left(\frac{V_{\text{GS,MN3}}}{V_{\text{GS,MN1}}} \right) \quad (3.12)$$

式 (3.12) より, MN_1 と MN_3 (そして MN_4) に同じサイズを用いて構成することで, ゲート・ソース間電圧の項は打ち消され, 製造プロセスのばらつきによる影響を最小限に抑えられる. このとき, 周期 T_{cycle} は

$$T_{\text{cycle}} = 2(R_P + R_N)C_{\text{RAMP}} \quad (3.13)$$

となる. したがって, 提案回路の動作周波数は以下の式で表せる.

$$f_{\text{OUT}} = \frac{1}{T_{\text{cycle}}} = \frac{1}{\{2(R_P + R_N)C_{\text{RAMP}}\}} \quad (3.14)$$

図 3.11 において, MN_7 と MN_8 は, V_{CLK1} と V_{CLK2} の電圧を制限するクランプダイオードとして使用する. このクランプダイオードがない場合, リセットの時, V_{CLK1} と V_{CLK2} は V_{DD} まで充電される. これにより, ラッチ回路の応答遅延が増大し, 生成するクロックの周波数を劣化させる原因となる. MN_7 と MN_8 を用いることにより, リセット時に V_{CLK1} と V_{CLK2} をダイオードの電圧に制限することで, ラッチ回路の応答遅延を改善することができる.

電源電圧の変動

提案回路の動作周波数は式 (3.13) で表すように、RC の時定数により決定する。そのため、電源電圧の変動は陽には表れないため、電源電圧依存性は少ない。しかし、提案回路は電流比較型のアーキテクチャを採用しているため、高精度な動作周波数の生成には各電流パスに流れるバイアス電流 I_B の精度が重要になる。提案回路は、電源電圧の変動に対して不感の特性をもつ MOSFET のしきい値電圧参照型バイアス電流源 [21] を用いてバイアス電流 I_B を生成し、カスコードカレントミラー回路を介して各回路に供給している。これにより、提案回路は電源電圧の変動による動作周波数への影響を最小限に抑えている。

温度変化

動作周波数の温度特性は、拡散抵抗 R_P 、高抵抗ポリシリコン抵抗 R_N 、そして MIM キャパシタ C_{RAMP} により決定する。図 3.13(a) に R_P と R_N 、図 3.13(b) に C_{RAMP} の温度特性を示す。図 3.13(a) より、拡散抵抗 R_P と高抵抗ポリシリコン抵抗 R_N はそれぞれ正の温度特性 $1430\text{ppm}/^\circ\text{C}$ 、負の温度特性 $2335\text{ppm}/^\circ\text{C}$ を持つ。一方で、図 3.13(b) より、キャパシタ $C_{RAMP1,2}$ の温度特性は、負の温度特性 $52.25\text{ppm}/^\circ\text{C}$ と抵抗の温度特性と比較して十分に小さく、無視できる。したがって、抵抗の温度特性を補償する対策が必要になる。温度特性を補償するため提案回路は、拡散抵抗 R_P と高抵抗ポリシリコン抵抗 R_N を組み合わせて用いた。拡散抵抗 R_P と高抵抗ポリシリコン抵抗 R_N の温度特性は以下の式で表せる。

$$\begin{aligned} R_P &= R_P(T_0) \cdot (1 + \alpha_P(T - T_0)) \\ R_N &= R_N(T_0) \cdot (1 + \alpha_N(T - T_0)) \end{aligned} \quad (3.15)$$

ここで、 $R_P(T_0)$ と $R_N(T_0)$ は絶対零度 (T_0) における抵抗値であり、 α_P と α_N は温度係数であり、そして T は温度を表わす。式 (3.13)、(3.15) より、キャパシタの温度特性を無視し、抵抗の温度特

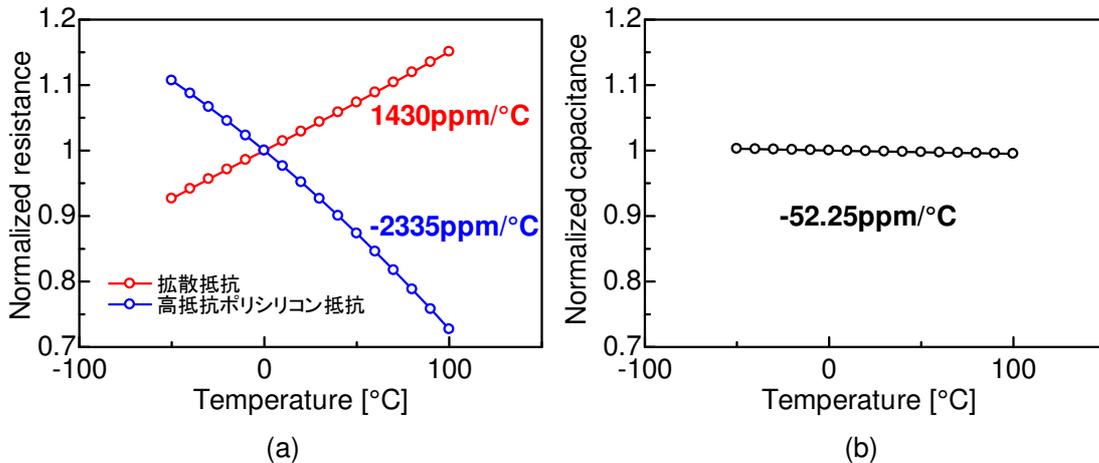


図 3.13: (a) 拡散抵抗と高抵抗ポリシリコン抵抗の温度特性 (b) MIM キャパシタの温度特性。

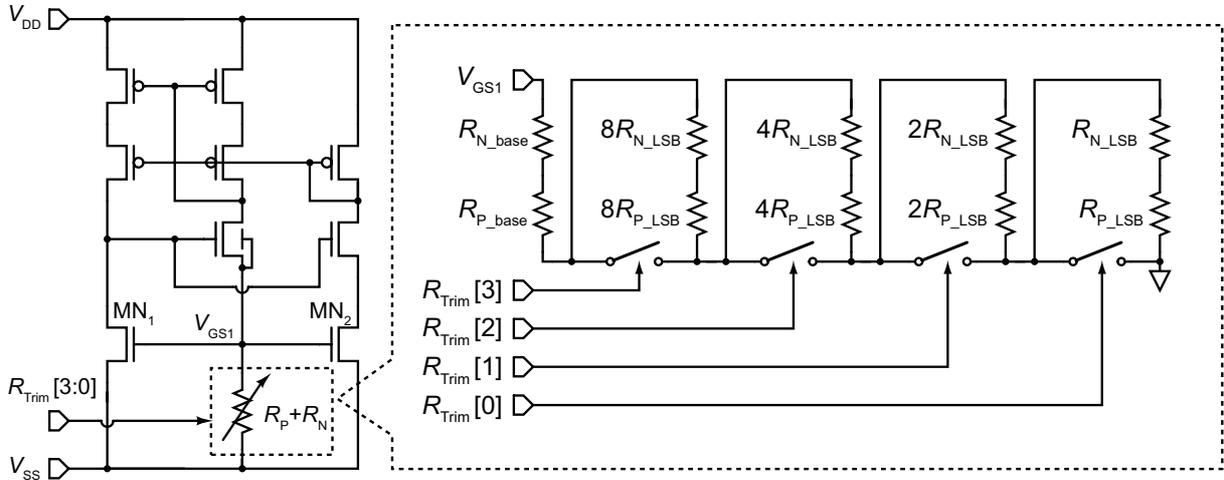


図 3.14: 抵抗トリミング回路 (点線内).

性を考慮すると、動作周波数の温度係数 (TC) は以下のように表せる。

$$\begin{aligned}
 \text{TC} &= \frac{1}{f_{\text{OUT}}} \frac{df_{\text{OUT}}}{dT} \\
 &= -\frac{R_{\text{P}}(T_0) \cdot \alpha_{\text{P}} - R_{\text{N}}(T_0) \cdot \alpha_{\text{N}}}{R_{\text{P}} + R_{\text{N}}} \quad (3.16)
 \end{aligned}$$

式 (3.16) より、 R_{N} と R_{P} の比率を適切に設定することで、提案する弛張発振回路の温度依存性を補償することができる。

製造プロセスのばらつき

3.8 節で説明したように、提案回路はバイアス電流 I_{B} を生成する MN_1 と電流比較を行う $\text{MN}_{3,4}$ のトランジスタを同じサイズで設計することで、製造プロセスのばらつきによる動作周波数への影響を最小限に抑えられる。しかし、動作周波数を決定する RC の時定数は受動素子であるキャパシタと抵抗の製造ばらつきに依存する。キャパシタは MIM キャパシタで構成することで高精度に実装可能である [22]。一方で、抵抗は $\pm 10\%$ 程度の精度ばらつきを持つ [22]。そこで、提案回路は抵抗トリミング回路を実装して製造プロセスのばらつきに対応した。図 3.14 に抵抗トリミング回路を示す。抵抗トリミング回路は、4bit のデジタル信号 $R_{\text{Trim}}[3:0]$ により接続を切り替えることで抵抗値を調整し、製造プロセスのばらつきに対応する。

3.8.1 超低電力動作に向けた電荷再配分積分器

弛張発振回路の低消費電力化には、バイアス電流の低電流化をするために非常に大きな $R_{\text{P}} + R_{\text{N}}$ を用いる必要がある。式 (3.14) に示すように、大きな抵抗を実装し、目標動作周波数を達成するには、小さな容量の C_{RAMP} を用いる必要がある。しかし、小さな容量の C_{RAMP} は、トランジスタの寄生容量やレイアウト後の配線容量の影響を受け動作周波数が劣化する課題がある。これを解

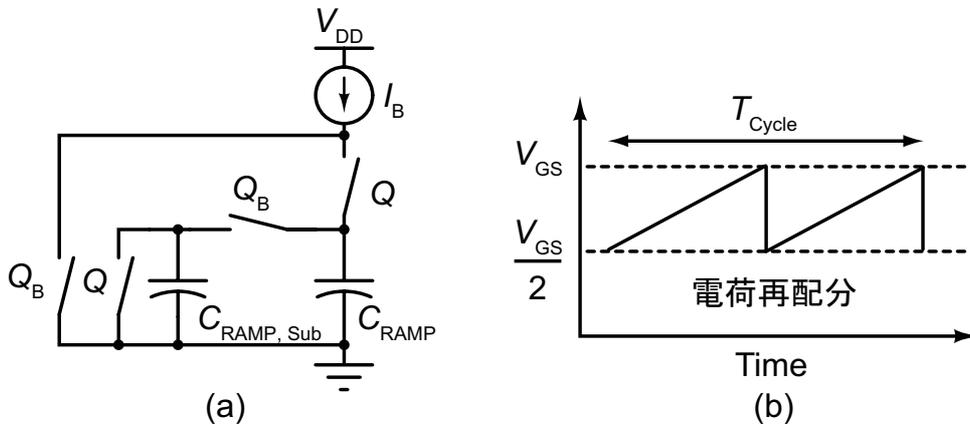


図 3.15: (a) 電荷再配分積分器 (CRI) の回路構成と (b) CRI の動作波形.

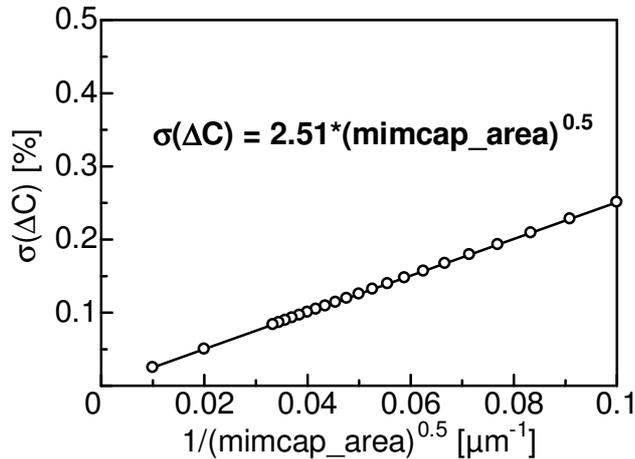


図 3.16: MIM キャパシタの実装面積と相対精度の関係.

決するために、スイッチトキャパシタ技術を応用した電荷再配分積分器 (CRI) を用いた。図 3.15 (a), (b) に、それぞれ CRI の回路図と動作波形を示す。ランプ波電圧がリセットされた時、 C_{RAMP} に充電されていた電荷は、並列に接続されている $C_{\text{RAMP,Sub}}$ へ再配分される。 $C_{\text{RAMP,Sub}}$ の電荷がスイッチによりリセットされた後、図 3.15(b) に示すように、 C_{RAMP} は $V_{\text{GS,MN3}}/2$ から再び積分する。CRI を用いることで、 C_{RAMP} の容量値を低減することなく、周期を保ったまま、2 倍大きな抵抗を用いることができる。しかし、CRI を用いて高精度な動作周波数を生成するためには、 C_{RAMP1} 、 $C_{\text{RAMP1,Sub}}$ 、 C_{RAMP2} 、そして $C_{\text{RAMP2,Sub}}$ の相対精度が重要になる。図 3.16 に、MIM キャパシタを構成する実装面積と相対精度の関係を示す。MIM キャパシタの相対精度は、実装面積の大きさに反比例して向上する。容量密度が $1 \text{ fF}/\mu\text{m}^2$ の場合において、提案回路が CRI の各キャパシタに 1 pF を用いると、MIM キャパシタの実装面積は $1,000 \mu\text{m}^2$ ($31.6 \times 31.6 \mu\text{m}$) となる。図 3.16 より、各キャパシタの相対精度は 0.1% となる。したがって、CRI は動作周波数の精度への影響は小さく、大きな抵抗を用いたバイアス電流の低電流化による消費電力の削減手法として有効である。

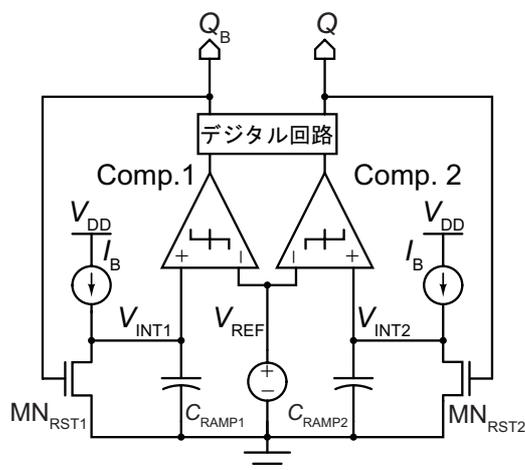


図 3.17: シミュレーション評価に用いた従来弛張発振回路.

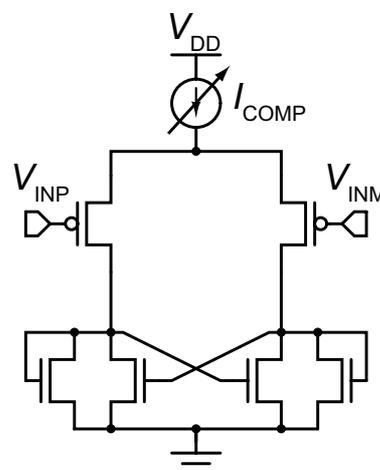


図 3.18: 従来弛張発振回路に用いたコンパレータの構成.

3.9 シミュレーション評価

0.18- μm CMOS スタandardプロセスを用いて、電圧モードコンパレータ (VMC)、電流モードコンパレータ (CMC)、そして提案する弛張発振回路の回路動作をシミュレーション評価した. CMCの低電力・高速な応答特性を確認するために、VMCを用いた弛張発振回路の比較評価を行った [21]. 図 3.17 に示した弛張発振回路を、図 3.18 で示す VMC の回路構成を用いて構成した. また、図 3.17 の C_{RAMP1} , C_{RAMP2} とコンパレータのバイアス電流は、それぞれ 1.0 pF と 7.5 nA とした. 弛張発振回路の性能は、コンパレータのバイアス電流 I_{COMP} に強く依存するため、それぞれの弛張発振回路に対して I_{COMP} を変更したシミュレーション評価を行った.

図 3.19 に、 I_{COMP} を変化させた時の VMC の応答遅延と CMC の応答遅延を示す. VMC の応答遅延は $I_{\text{COMP}} = 7.5 \text{ nA}$ の時、 $3.82 \mu\text{s}$ であり、応答遅延は、 I_{COMP} が増加すると小さくなることを確認できる. I_{COMP} が $1 \mu\text{A}$ のとき、VMC の応答遅延はもっとも高速になり、 $1.33 \mu\text{s}$ であった. 提案する CMC は、 I_{COMP} が 7.5 nA の時においても極めて速く応答し、 $0.18 \mu\text{s}$ であった. CMC の応答遅延は、従来の VMC より 21.2 倍速い結果となった.

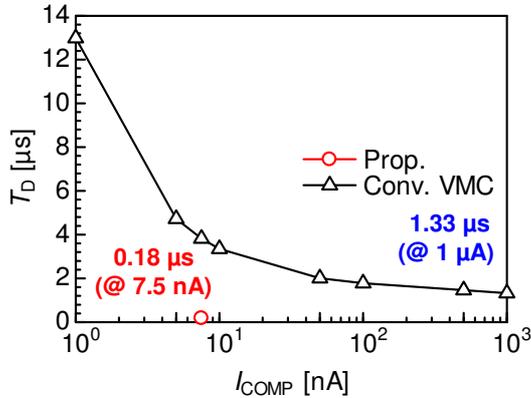


図 3.19: コンパレータの応答遅延

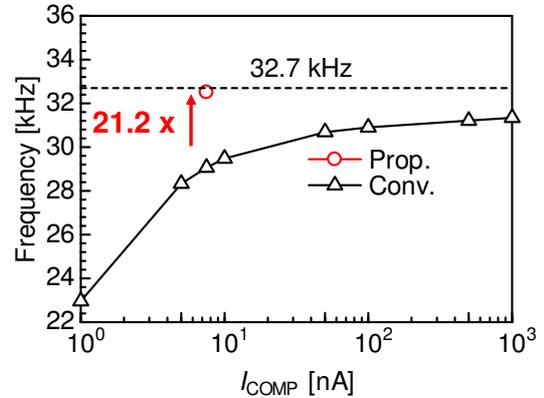


図 3.20: 動作周波数

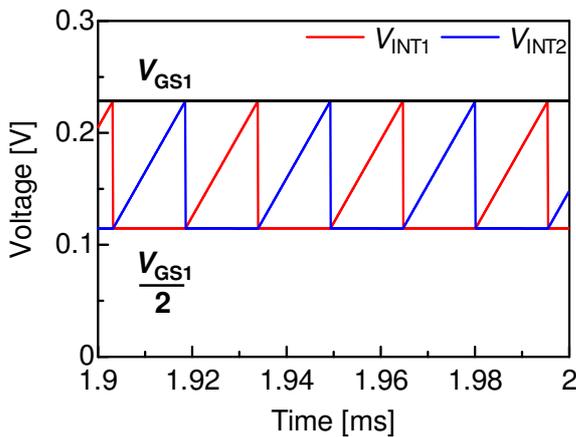


図 3.21: ランプ波のシミュレーション波形

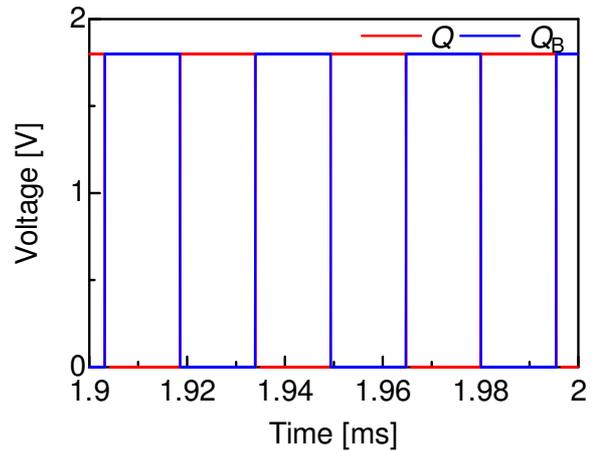


図 3.22: 出力クロックのシミュレーション波形

図 3.20 に、動作周波数を 32.7 kHz に設定した時の弛張発振回路の動作周波数を示す。弛張発振回路の抵抗 $R_P + R_N$ とキャパシタ C_{RAMP1} と C_{RAMP2} は、それぞれ 30.58 M Ω と 1.0 pF とした。 I_{COMP} が 7.5 nA の時、従来と提案する弛張発振回路の動作周波数は、それぞれ 29.1 と 32.5 kHz となった。提案する弛張発振回路の動作周波数は、目標値よりも少し低い。これは、MOSFET の寄生容量に起因するものである。シミュレーション結果より、提案する弛張発振回路は、目標値に近い周波数を生成可能なことを確認した。

次に、CRI を用いた電流比較型弛張発振回路の時間計測動作をシミュレーションにより評価した。図 3.21 と 3.22 に、それぞれ時間計測を行うランプ波と出力クロックの過渡応答のシミュレーション波形を示す。図 3.21 より、提案回路は CRI を用いることで積分区間を短縮して時間計測を行い、所望のクロック波形を出力することを確認した。

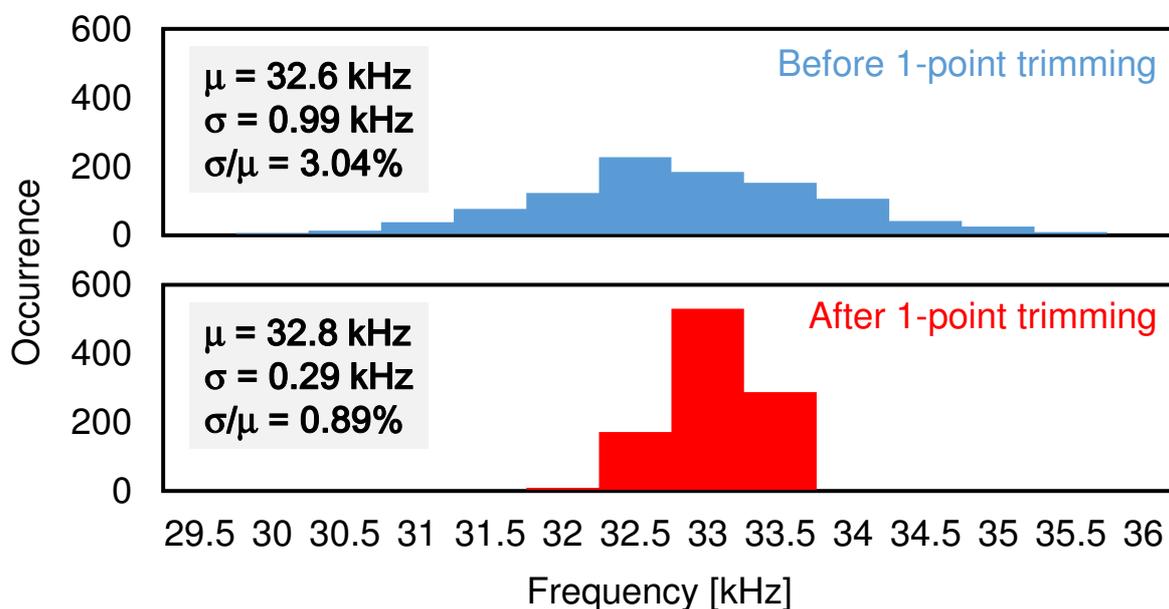


図 3.23: モンテカルロシミュレーション (1,000 回).

製造ばらつきによる動作周波数への影響を調べるために、すべてのトランジスタのばらつきをグローバルとローカルで考慮したモンテカルロシミュレーションを 1,000 回行うことで評価した。図 3.23 に室温で電源電圧 0.85 V を印加し、抵抗トリミングを行う前と後の動作周波数のヒストグラムを示す。トリミングを行った後は、動作周波数の平均値と分散は、それぞれ 32.8 kHz と 0.29 kHz であった。変動係数は 0.89% であった。提案回路はバイアス電流を生成するトランジスタ MN_1 と電流比較を行うトランジスタ MN_2 と MN_3 に相関を持たせることで、変動係数を低く抑えたいうえで抵抗トリミングを行うことで製造ばらつきによる変動を大幅に抑制できることをシミュレーション結果より確認した。

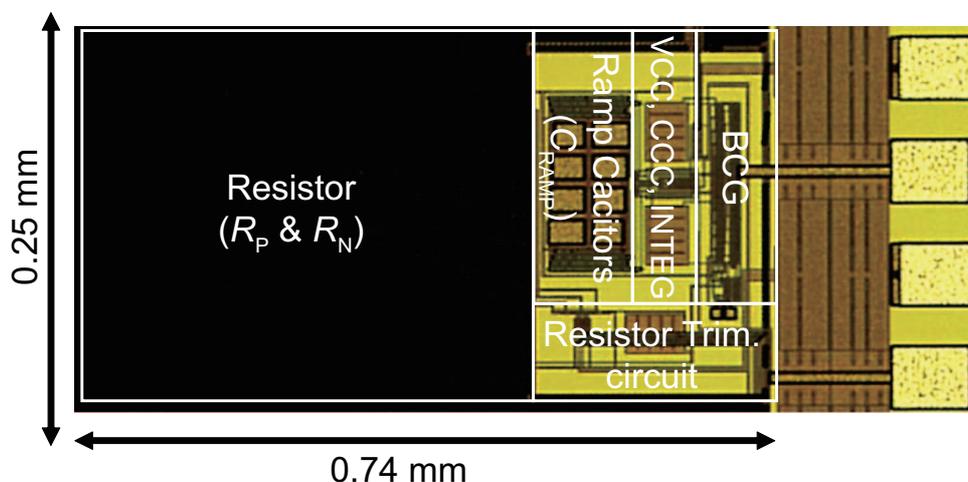
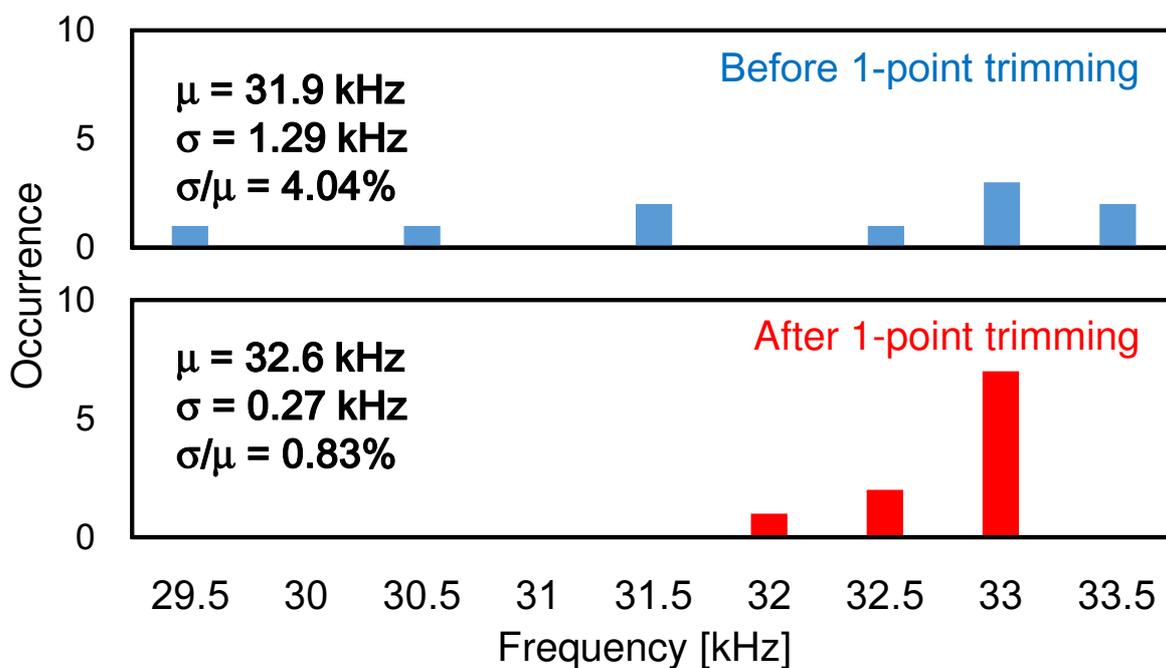
図 3.24: チップ写真 (面積 : 0.19 mm²).

図 3.25: トリミング前/後の動作周波数のヒストグラム (10 チップ).

3.10 測定評価

提案する弛張発振回路の試作評価を行った。目標周波数は、32.7 kHzとした。図 3.24 に、チップ写真を示す。チップ面積は、0.19 mm²であった。 R_P と R_N の抵抗値は、それぞれ 11.7, 19.1 M Ω とした。デジタルコードにより、 R_P と R_N は、それぞれ $10.5 < R_P < 12.7$ M Ω と $17.2 < R_N < 20.8$ M Ω の範囲で変更可能な構成とした。レイアウトにより寄生容量が 10%程度増加するため、 C_{RAMP1} , $C_{RAMP1,Sub}$, C_{RAMP2} , そして $C_{RAMP2,Sub}$ は、シミュレーション評価に用いた値より

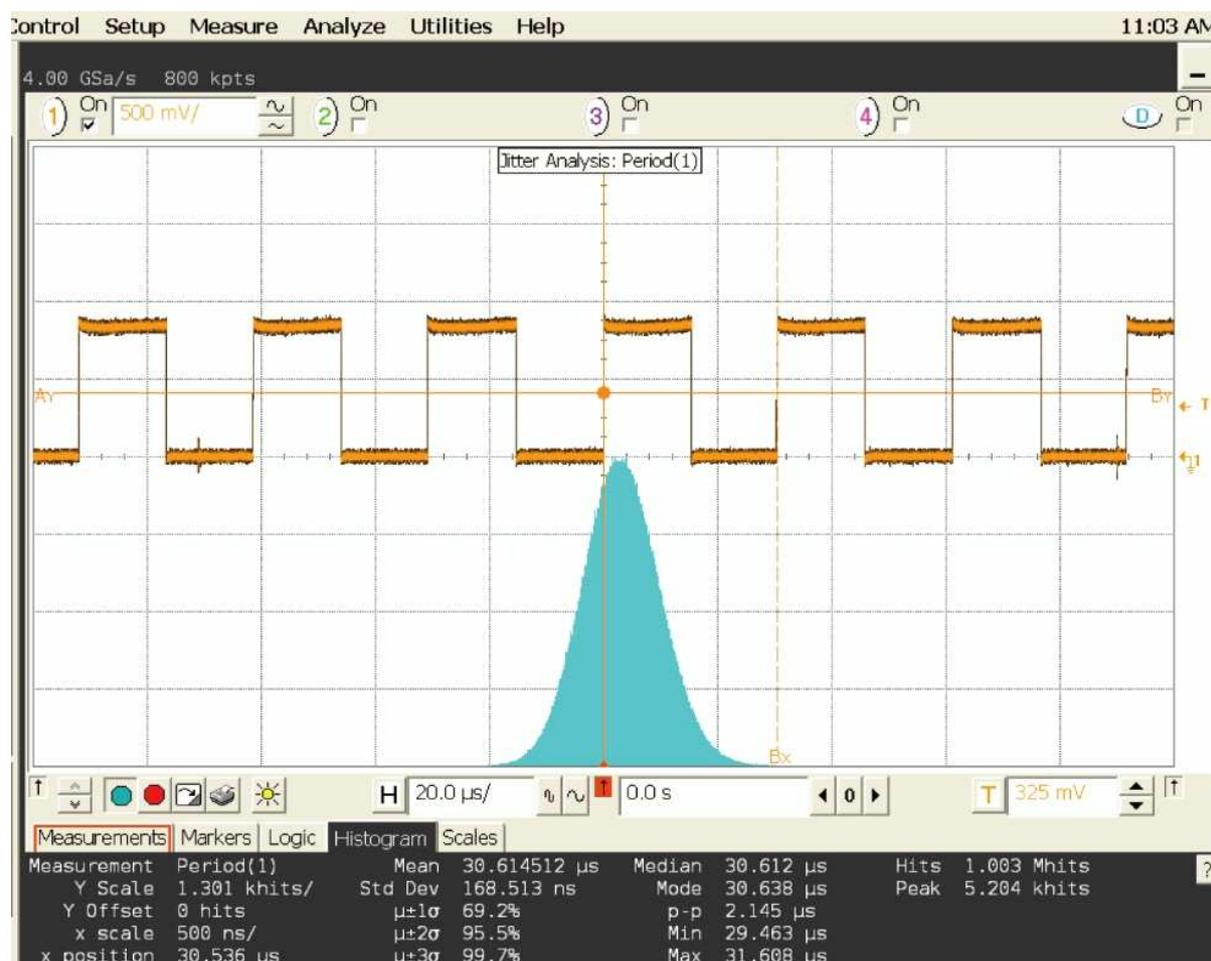


図 3.26: 0.85 V 印加時の動作波形 (室温).

も小さい、0.86 pF に設定した。製造ばらつきによる動作周波数の変動を確認するために、10 チップの動作周波数を評価した。図 3.25 に、トリミング前後における動作周波数のヒストグラムを示す。トリミング後の周波数平均は 32.6 kHz、分散は 0.27 kHz であった。周波数変動は 0.83% となった。提案回路は、10 チップの測定結果から、製造ばらつきによる影響が 1% 以内の小さな動作周波数変動を達成した。

図 3.26 に、電源電圧 0.85 V を印加した時の室温での出力波形と RMS ジッタを示す。動作周波数は 32.7 kHz、消費電力は 54.2 nW であった。RMS ジッタは、1 M サンプル時において、168.5 ns_{rms} であった。

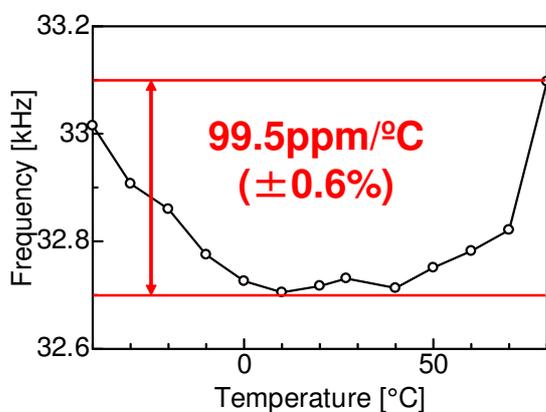


図 3.27: 動作周波数の温度特性.

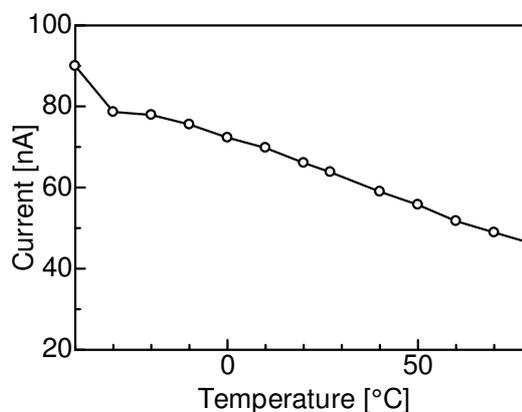


図 3.28: 消費電流の温度特性.

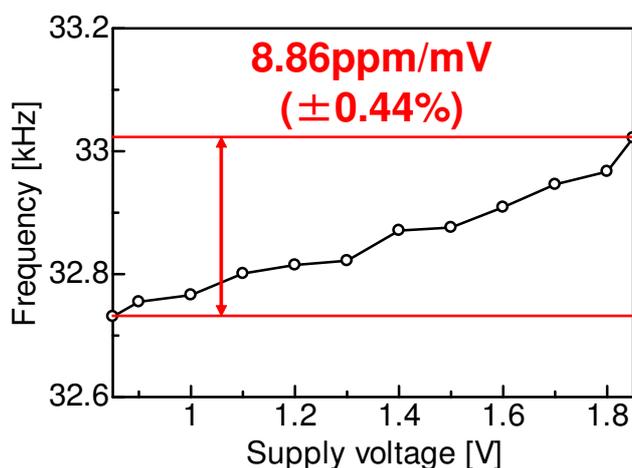


図 3.29: 動作周波数の電源電圧依存性.

図 3.27 と 3.28 に、電源電圧 0.85 V を印加し、 -40 から 80°C までの動作周波数と消費電流の温度依存性の測定結果を示す。動作周波数の温度係数は $\pm 0.6\%$ であった。提案回路は温度係数と電源電圧依存性ともに小さな値を達成した。消費電流は温度の増加に対して減少していることが確認できる。これは、使用したバイアス回路が生成する電流に起因するものである。バイアス回路の生成する電流は、式 (3.9) に示すとおりゲート・ソース間電圧に依存する。ゲート・ソース間電圧は温度に対して負の依存性を持つため、消費電流が温度と共に減少する。消費電流は、極めて小さく、室温で 63.8 nA であった。図 3.29 に室温で電源電圧を 0.85 から 1.85 V まで変化させた時の動作周波数の電源電圧依存性の測定結果を示す。動作周波数の電源電圧依存性は $\pm 0.44\%$ であった。

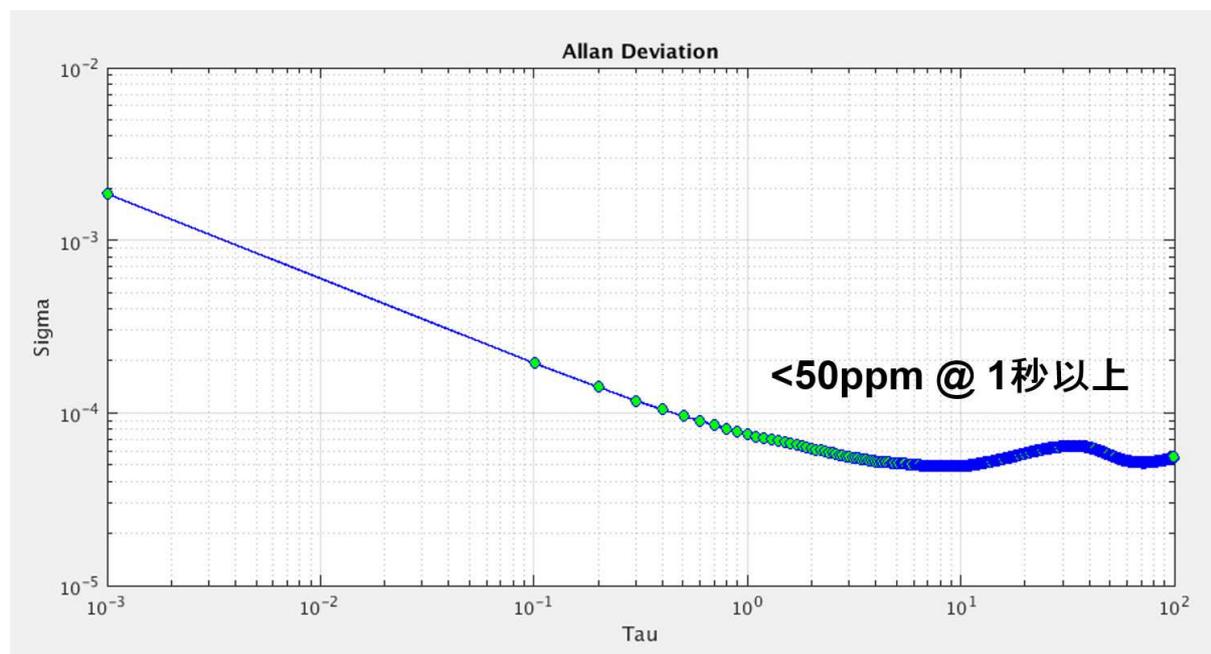


図 3.30: 動作周波数のアラン分散.

図 3.30 に動作周波数の長期安定度を表わすアラン分散の測定結果を示す. 1 秒以上のフロアにおいて, アラン分散は 50ppm 以下の値を達成した. アラン分散の結果より, 提案回路を 1 カ月連続で動作させた場合に生じる時差は 130 秒のズレであることを確認した. 提案回路による計測誤差は, 温度センサを利用した補正回路で対応可能な範囲 [23] であるため, IoT デバイスに向けた時間計測アプリケーションとして十分な精度を達成した.

表 3.2 に提案する弛張発振回路と従来の発振回路の性能比較を示す. 性能指標である FoM (FoM_{Energy} と FoM_{Area}) を,

$$FoM_{Energy} = Power/f_{OUT} \quad (3.17)$$

$$FoM_{Area} = FoM_{Energy} \times Area \quad (3.18)$$

と定義した. 提案回路は, 小さな周波数変動, 広い電源電圧範囲, 従来の発振回路と同程度のエネルギー利用効率 FoM_{Energy} を達成した. 面積の実装効率とエネルギー利用効率の両方を考慮した FoM_{Area} では, [11] に次ぐ値を達成した. [11] は特殊オプションを用いて温度依存が低いポリシリコン抵抗で実装している事を考慮すると, 提案回路の FoM_{Area} は優位な値を達成している. 以上より, 提案回路は超低電力 RTC に向けた発振回路として有用なものである.

表 3.2: 性能諸元.

Reference	[13]	[14]	[11]	[15]	[16]	[12]	[17]	Prop. I
Tech. [nm]	180	180	65	65	350	180	90	180
Area [mm ²]	0.51	0.26	0.032	0.015 ^{*1}	0.1	0.11	0.12	0.19
V _{DD} [V]	0.85 - 1.4	1.2 - 3.0	1.5 - 3.3	1.15 - 1.45	1 - 2.5	1.0 - 1.8	0.725 - 0.9	0.85 - 1.85
T [°C]	-25 - 85	-40 - 80	-40 - 90	-20 - 90	-20 - 80	-40 - 100	-40 - 90	-40 - 80
f _{OUT} [kHz]	3	70.4	18.5	33	3.3	32.6	100	32.7
Power [nW]	4.7	99.4	120	190	11 ^{*2}	472	280	54.2
μ _f /σ _f [%]	NA	NA	NA	1.96 ^{*3}	6.9 ^{*3}	1.39	NA	0.83 ^{*3}
Δf/(fΔT) [ppm/°C]	13.8	27.4	38.5	38.2	<500	120	104	99.5
Δf/(fΔV) [ppm/mV]	4.8	5	10	0.9	35	11	93	8.86
FoM _{Energy} [nW/kHz]	1.57	1.41	6.49	5.76	3.33	14.50	2.80	1.66
FoM _{Area} [nW·mm ² /kHz]	0.80	0.37	0.21	0.09 ^{*1}	0.33	1.60	0.34	0.32
Ext. signal	No	No	No	I _{PTAT}	No	No	No	No
Result	Measured	Measured	Measured	Measured	Measured	Measured	Measured	Measured

*1: オフチップ部品の面積を含まない値,

*2: デジタル回路の消費電力を含まない値, *3: トリミング後の結果.

3.11 まとめ

本章では、RTCに向けた超低電力動作可能な電流比較型弛張発振回路を検討した。従来の水晶を用いた発振回路は、実装体積が増大しIoTデバイスのRTCに適していないため、オンチップ搭載可能な弛張発振回路を用いた。従来の弛張発振回路は電圧モードのコンパレータを用いているため、バイアス電流の低電流化により応答遅延が増大し、高精度なクロック信号の生成には補正回路が必要な構成であった。コンパレータに補正回路を用いることで、従来回路は低電力・高精度な動作周波数を実現しているが、補正回路の消費電力が増大し、発振回路全体の消費電力が依然として高い点に課題がある。提案回路では、コンパレータの動作モードを、従来の電圧比較型から電流比較型へ変更した。提案回路は電流モードのコンパレータを用いることで、低電力で小さな応答遅延による補正回路が不要な構成とし、超低消費電力動作を実現した。提案するオンチップ発振回路を0.18- μm CMOSプロセスを用いてチップ試作し、測定評価を行った。提案回路は電源電圧が0.85 Vを印加した時の消費電力は54.2 nW、動作周波数は32.7 kHz、エネルギー効率を表わすFoM (Figure of Merit) は1.66 nW/kHzであった。動作周波数の温度係数と電源電圧依存性は、それぞれ $\pm 0.6\%$ と $\pm 0.44\%$ であった。動作周波数のPVTばらつきによる影響は、 $\pm 1\%$ 以下の高精度を達成した。エネルギー利用効率は従来の研究と同等の値を達成した。提案する弛張発振回路が、IoTデバイスの超低電力RTCに有用であることを示した。

参考文献

- [1] Ambiq micro. AM18xx ultra-low power RTC with advanced power management, accessed on Jan. 18, 2018. [Online]. Available: <http://ambiqmicro.com/am08xx-ultra-low-power-rtc/>
- [2] E. Vittoz, M. G. Degrauwe, and S. Bitz, "High-performance crystal oscillator circuits: theory and application," *IEEE J. of Solid-State Circuits*, vol. 23, no. 3, pp. 774-783, 1977.
- [3] K. -J. Hsiao, "A 1.89nW/0.15V self-charged XO for real-time clock generation," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2014, pp. 298-299.
- [4] D. Yoon, T. J. Jang, D. Sylvester, and D. Blaauw, "A 5.58 nW crystal oscillator using pulsed driver for real-time clocks," *IEEE J. of Solid-State Circuits*, vol. 51, no. 2, pp. 509-522, 2016.
- [5] A. Shrivastava, D.-A. Kamakashi, and B. H. Calhoun, "A 1.5 nW, 32.768 kHz XTAL oscillator operational from a 0.3 V supply," *IEEE J. of Solid-State Circuits*, vol.51, no.3, pp. 686-696, 2016.
- [6] N. M. Pletcher, S. Gambini, J. Rabaey, "A 2 GHz 52 W wake-up receiver with 72 dBm sensitivity using uncertain-IF architecture," *IEEE J. of Solid-State Circuits*, vol. 44, no.1, pp. 269-280, 2009.
- [7] M. McCorquodale , et.al, "A 25-MHz self-referenced solid-state frequency source suitable for XO-replacement," *IEEE Trans. Circuits Syst. I*, vol. 56, no. 5, pp. 943-956, 2009.
- [8] I. Lee, D. Sylvester, and D. Blaauw, "A Constant energy-per-cycle ring oscillator over a wide frequency range for wireless sensor nodes," *IEEE J. of Solid-State Circuits*, vol. 51, no. 3, pp. 697-711, 2016.
- [9] V. D. Smedt, P. D. Wit, W. Vereecken, and M. J. Steyaert, "A 66 μ W 86ppm/ $^{\circ}$ C fully-integrated 6 MHz wienbridge oscillator with a 172dB phase noise FOM," *IEEE J. of Solid-State Circuits*, vol. 44, no. 7, pp. 1990-2001, 2009.
- [10] F. Sebastiano, L. J. Breems, K. A. Makinwa, S. Drago, D. W. Leenaerts, and B. Nauta, "A low-voltage mobility-based frequency reference for crystal-less ULP radios," *IEEE J. of Solid-State Circuits*, vol. 44, no. 7, pp. 2002-2009, 2009.

- [11] A. Paidimarri, D. Griffith, A. Wang, A. P. Chandrakasan, and G. Burra, "A 120nW 18.5kHz RC oscillator with comparator offset cancellation for $\pm 0.25\%$ temperature stability," in *IEEE ISSCC Dig. Tech. Papers*, 2013, pp. 184-185.
- [12] K. Tsubaki, T. Hirose, N. Kuroki, and M. Numa, "A 32.55-kHz, 472-nW, 120ppm/ $^{\circ}$ C, fully on-chip, variation tolerant CMOS relaxation oscillator for a real-time clock application," in *Proc. Eur. Solid-State Circuits Conf.*, 2013, pp.315-318.
- [13] T. Jang, M. Choi, S. Jeong, S. Bang, D. Sylvester, and D. Blaauw, "A 4.7nW 13.8ppm/ $^{\circ}$ C self-biased wakeup timer using a switched-resistor scheme," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2016, pp. 102-103.
- [14] M. Choi, S. Bang, T.-K. Jang, D. Blaauw, and D. Sylvester, "A 99nW 70.4kHz resistive frequency locking loop on-chip oscillator with 27.4ppm/ $^{\circ}$ C temperature stability," in *Symp. VLSI Circuits Dig. Tech. Papers*, 2015, pp. 238-239.
- [15] D. Griffith, P. T. Røine, J. Murdock, and R. Smith, "A 190nW 33kHz RC oscillator with $\pm 0.21\%$ temperature stability and 4ppm long-term stability," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2014, pp. 300-301.
- [16] U. Denier, "Analysis and design of an ultralow-power CMOS relaxation oscillator," *IEEE Trans. Circuits Syst. I*, vol. 57, no. 8, pp. 1973-1982, 2010.
- [17] T. Tokairin, K. Nose, K. Takeda, K. Noguchi, T. Maeda, K. Kawai, and M. Mizono, "A 280nW, 100kHz, 1-cycle start-up time, on-chip CMOS relaxation oscillator employing a feedforward period control scheme," in *Symp. VLSI Circuits Dig. Tech. Papers*, 2012, pp. 16-17.
- [18] Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI Devices*. Cambridge, U.K.: Cambridge Univ., 2002.
- [19] Hamamatsu Photonics. Si photodiode, accessed on Jan. 18, 2018. [Online]. Available: https://www.hamamatsu.com/resources/pdf/ssd/s1787_series_kspd1038e.pdf
- [20] J. Kim, J. Shin, J. Sim, H. Part, "5-Gb/s peak detector using a current comparator and three-state charge pump," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 58, no. 5, pp. 269-273, 2011.
- [21] P.E. Allen and D.R. Holbelg, *CMOS Analog Circuit Design Third Edition*, Oxford University Press, 2011.
- [22] A. Hastings, *The Art of Analog Layout*, 2nd edition, Pearson Prentice Hall, 2005.
- [23] Y. Lee, B. Giridhar, Z. Foo, D. Sylvester, and D. Blaauw, "A sub-nW multi-stage temperature compensated timer for ultra-low-power sensor nodes," *IEEE J. Solid-State Circuits*, vol. 48, no. 10, pp. 2511-2521, 2010.

第4章 RTCに向けた面積利用効率の高い弛張発振回路

4.1 はじめに

3章では、電流モードコンパレータを用いた超低消費電力動作可能な弛張発振回路を説明した。低電力で高速応答可能な電流モードコンパレータを用いることで、提案する弛張発振回路は消費電力が 54.2-nW、動作周波数は 32.7-kHz、動作周波数の PVT ばらつきに対する影響は ±1%以下を達成した。しかし、図 3.24 に示すように、バイアス電流の低電流化をするために用いた抵抗が大きな面積を占めている。提案回路は電荷再配分積分器を用いて抵抗値を下げ面積削減を試みているが、依然として 30-MΩ 程度大きな抵抗が必要である。IoT デバイスに他の機能回路ブロックを実装することを考慮すると、低電力動作可能な抵抗レス弛張発振回路が強く求められる。

4.2 アーキテクチャ

本章では、RTC の実装面積削減に向けた抵抗レス弛張発振回路を提案する。式 (3.9), (3.14) より、弛張発振回路の動作周波数は以下のように書きなおせる。

$$f_{\text{OUT}} = \frac{I_B}{2C_{\text{RAMP}}V_{\text{GS}}} \quad (4.1)$$

提案回路では、超低電力動作に向けてバイアス電流 I_B を低電流化するために大きな抵抗を用いており、これが全体の実装面積の増大を招いた。この課題を解決するために、抵抗レス RTC に向けて I_B と V_{GS} の温度依存性を補償することを考える。抵抗レス実装で超低電力動作可能な定電流源が報告されている [1-4]。提案回路はバイアス回路として定電流源として組み込むことができる。したがって、温度変化に対して安定な動作周波数の生成には V_{GS} の温度依存性を補償する必要がある。

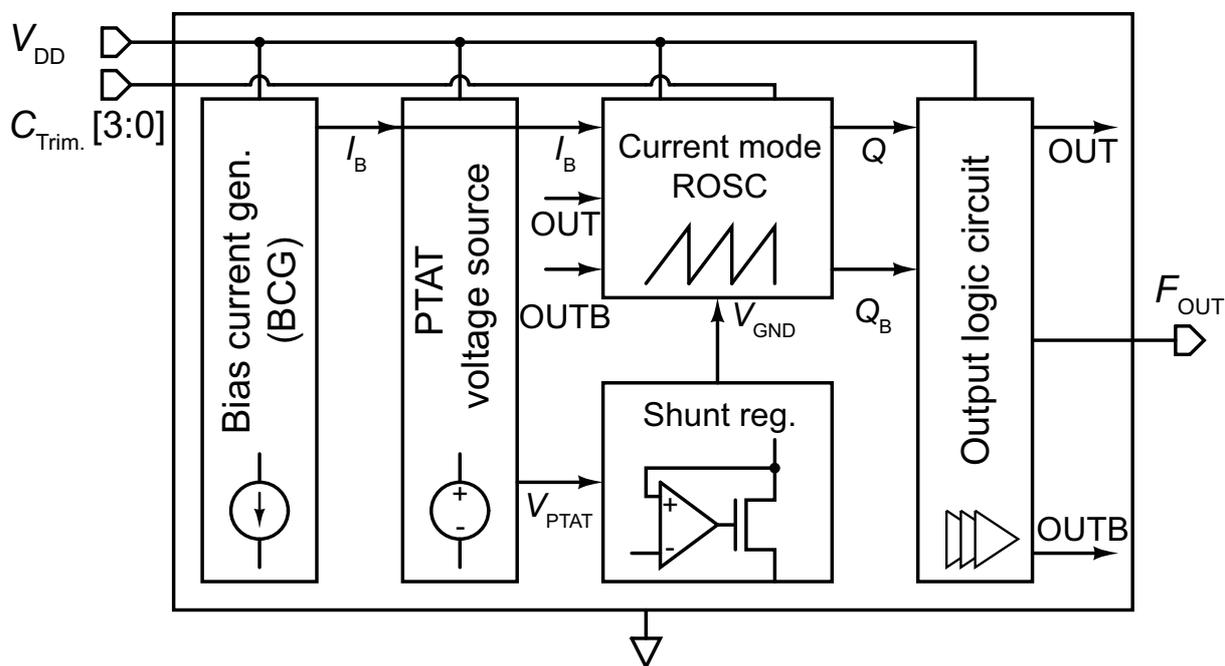


図 4.1: 面積利用効率の高い弛張発振回路のブロック図.

4.3 提案回路

図 4.1 に提案する面積利用効率の高い弛張発振回路のブロック図を示す。提案回路は定電流源 (BCG) [1], 温度に対して正比例な電圧を生成する PTAT (Proportional to Absolute Temperature) 電圧源, 電流比較型弛張発振回路, シャントレギュレータ, そして出力ロジック [5,6] より構成される。提案回路は, 3 章で提案した電流比較型弛張発振回路をもとに構成し, それを面積利用効率が高い構成へ変更している。従来回路は抵抗の温度依存性を補償するために, 正の温度依存性を持つ拡散抵抗と負の温度依存性を持つ高抵抗ポリシリコン抵抗を組み合わせで実装している。しかし, 拡散抵抗のシート抵抗は低いため, 大きな実装面積が必要になる。したがって, 高い面積利用効率の弛張発振器を用いて高精度な動作周波数の生成に向けて, 定電流源をバイアス回路として採用し, PTAT 電圧源とシャントレギュレータを用いることで弛張発振回路の温度補償を行う。

図 4.1 に示すように, PTAT 電圧源は V_{PTAT} を生成し, この電圧はシャントレギュレータの参照電圧として用いる。シャントレギュレータの出力電圧 V_{GND} は V_{PTAT} により変化するため, V_{GS} の温度依存性を補償可能である。詳細を以下に述べる。

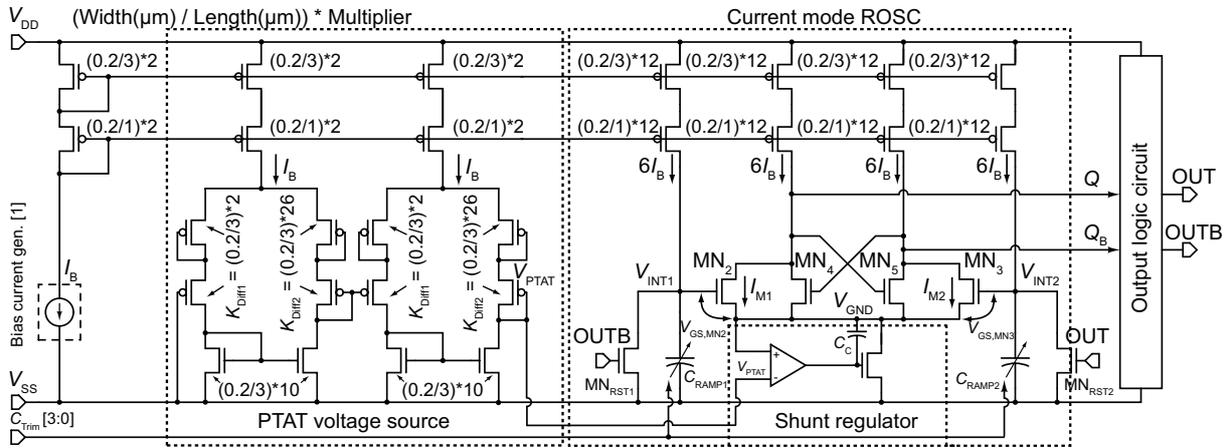


図 4.2: 面積利用効率が低い弛張発振回路の回路図

4.3.1 動作周波数

図 4.2 に提案する弛張発振器の詳細な回路図を示す。図 4.2 に示すように、提案回路はバイアス回路 (BCG) として定電流源 [1], PTAT 電圧源, そしてシャントレギュレータを用いる。シャントレギュレータは出力電圧 V_{GND} を V_{PTAT} を参照して生成する。 V_{GND} は電流比較型弛張発振の信号の接地点として用いる。したがって、 $C_{RAMP1} = C_{RAMP2} = C_{RAMP}$ として、動作周波数は以下の式で表せる。

$$f_{OUT} = \frac{6I_B}{2C_{RAMP} (V_{GS,MN2,3} + V_{PTAT})} \quad (4.2)$$

式 (4.2) より、提案回路はパラメータ I_B, C_{RAMP}, V_{PTAT} を設計により適切な値を設定することで所望の動作周波数を生成可能である。

電源電圧の変動

抵抗レスで構成可能な定電流源 [1] はバイアス電流 I_B を生成し、カスコードカレントミラーを介して電流比較型弛張発振回路へ供給する。したがって、電源電圧の変動による動作周波数への影響を小さくすることができる。

温度変化

式 (4.2) に示すように、 I_B は定電流であるため、動作周波数 f_{OUT} の温度依存性は $V_{GS,MN2,3} + V_{PTAT}$ により決定される。 $V_{GS,MN2,3}$ は負の温度依存性を示すため、提案回路は正の温度依存性を持つ PTAT 電圧源を用いて f_{OUT} の温度依存性を補償することができる。PTAT 電圧源は、図 4.2 に示すように、トランジスタの差動対により構成される。適切なサイズ比のトランジスタで構成された差動対のゲート間電圧は、PTAT 電圧を生成する [7, 8]。所望の PTAT 電圧を生成するために、提案回路は差動対をカスコード接続した構成を用いる。PTAT 電圧は以下の式で表せる。

$$V_{PTAT} = V_{PTAT0} + N\eta \frac{k_B T}{q} \ln(K_{Diff}) \quad (4.3)$$

ここで、 V_{PTAT0} は PTAT 電圧の絶対零度 (0 K) でのオフセット電圧、 N が差動対の数、 k_B はボルツマン定数、 T は絶対温度、 q は電荷量、そして K_{Diff} ($= K_{Diff2}/K_{Diff1}$) は差動対のアスペクト比である。 $V_{GS,MN2,3}$ は以下の式で表せる。

$$V_{GS,MN2,3} = V_{TH0} + T \left(\frac{\eta k_B}{q} \ln \left(\frac{6I_B}{K_{2,3}I_0} \right) - \kappa \right) \quad (4.4)$$

ここで、 V_{TH0} は 0 K でのしきい値電圧 [9]、 $K_{2,3}$ はトランジスタ $MN_{2,3}$ のアスペクト比、 I_0 ($= \mu C_{OX}(\eta - 1)V_T^2$) はプロセス依存の係数、 μ は移動度、 C_{OX} はゲート酸化膜容量、そして κ は V_{TH} の温度係数である。式 (4.4) の第 2 項は、対数関数の真数部である $\frac{6I_B}{K_{2,3}I_0}$ が常に 1 以下になるため、負の温度依存性を示すことに注意する。したがって、 $V_{GS,MN2,3}$ は負の温度依存性を示す。負の温度依存性を補償するためには、提案回路は $V_{GS,MN2,3}$ に PTAT 電圧を加算する。

式 (4.3), (4.4) より、 $V_{GS,MN2,3} + V_{PTAT}$ は以下の式で与えられる。

$$\begin{aligned} V_{GS,MN2,3} + V_{PTAT} &= V_{TH0} + V_{PTAT0} \\ &+ T \left(\frac{\eta k_B}{q} \left(N \ln(K_{Diff}) + \ln \left(\frac{6I_B}{K_{2,3}I_0} \right) \right) - \kappa \right) \end{aligned} \quad (4.5)$$

したがって、温度係数 (TC) は以下の式で与えられる。

$$\begin{aligned} TC &= \frac{\partial}{\partial T} (V_{GS,MN2,3} + V_{PTAT}) \\ &= \frac{\eta k_B}{q} \left(N \ln(K_{Diff}) + \ln \left(\frac{6I_B}{K_{2,3}I_0} \right) \right) - \kappa \end{aligned} \quad (4.6)$$

式 (4.6) より、提案回路はトランジスタのアスペクト比や差動対の段数 N をを設定することで TC を 0 にし、温度変化に対して安定な動作周波数を得ることができる。動作周波数 f_{OUT} は以下のよう書きなおせる。

$$f_{OUT} = \frac{6I_B}{2C_{RAMP}(V_{TH0} + V_{PTAT0})} \quad (4.7)$$

上記の設計を行うことで、温度特性が補償された動作周波数を得ることができる。

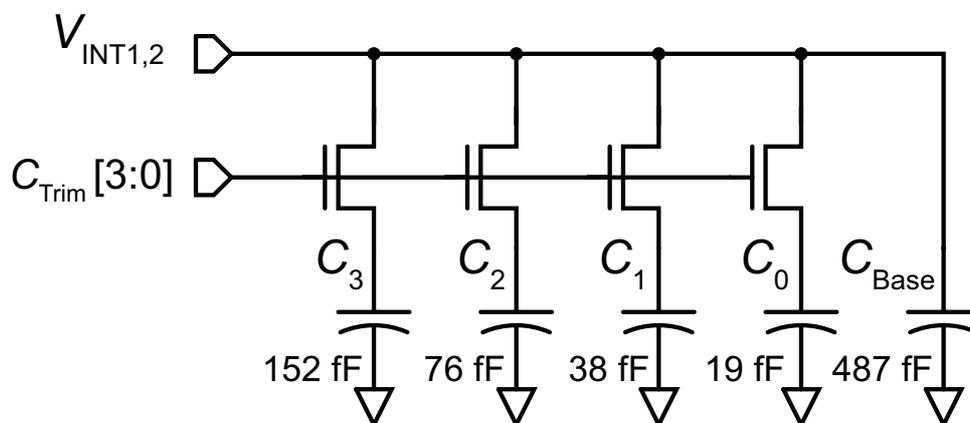


図 4.3: キャパシタトリミング回路 (CTC).

製造プロセスのばらつき

式 (4.7) に示すように，動作周波数は V_{TH0} と V_{PTAT0} に依存する．これらの電圧はプロセス変動に依存する係数であり，その変動幅はプロセスのコーナーで $\pm 0.1 \text{ V}$ の広がりを持つ．結果として，動作周波数は製造プロセスのばらつきに大きな影響を受ける．この問題に対処するために，提案回路はキャパシタトリミング (CTC) 回路を実装する．図 4.3 に CTC 回路を示す．CTC 回路はベースキャパシタ C_{Base} ，スイッチ，そしてトリミングキャパシタ ($C_0 - C_3$) より構成される．製造プロセスのばらつきにより V_{TH0} と V_{PTAT0} の値が変動した場合，提案回路は CTC 回路を用いて充放電キャパシタの値を調整することでプロセス変動に対して安定な動作周波数を得ることができる．

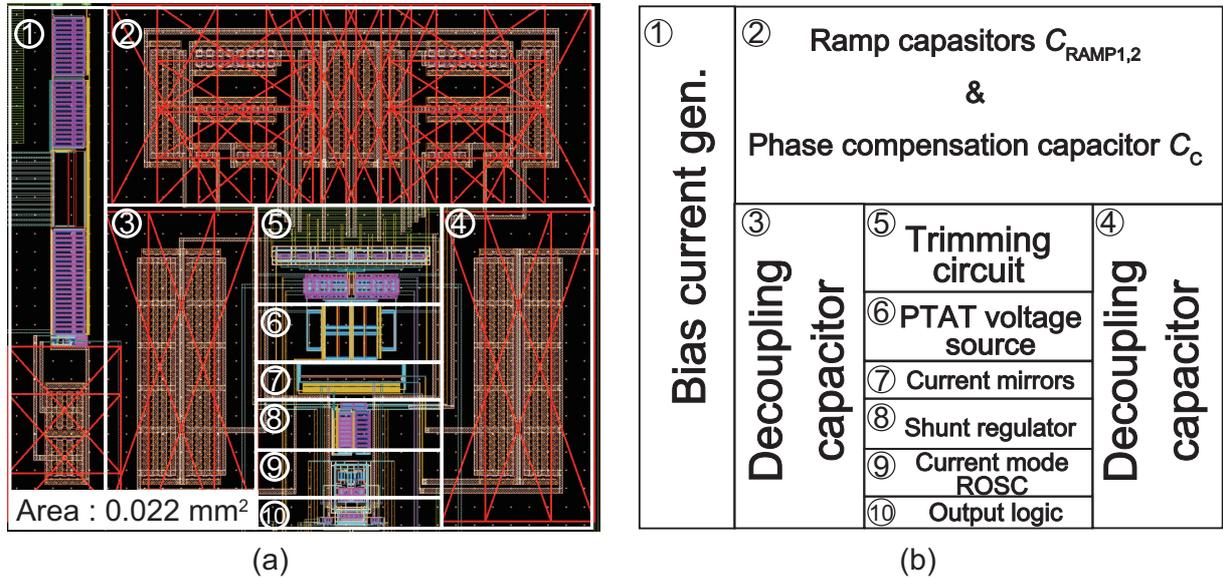


図 4.4: (a) 面積利用効率の高い弛張発振回路のレイアウト図 (面積: 0.022 mm²) と (b) フロアプラン.

4.4 シミュレーション評価

提案する面積利用効率の高い弛張発振回路を 65-nm CMOS プロセスを用いて設計し、シミュレーションにより性能を評価した。目標の動作周波数は 32-kHz とした。 $C_{RAMP}(=C_{RAMP1}=C_{RAMP2})$ と C_C は、それぞれ 601 と 994 fF した。4 ビットの制御信号により、 $487 < C_{RAMP} < 771$ fF の範囲で値を変更可能である。図 4.4 (a) と (b) に提案回路のレイアウト図とフロアプランを示す。実装面積は 0.022 mm² である。提案回路の性能を評価するために、レイアウトデータから寄生容量を抽出し、シミュレーション評価を行った。すべてのシミュレーション評価には SPICE BSIM4 v4.5 モデルを用いて評価した。

図 4.5 に電源電圧 1.2 V を印加し、温度を -40 から 80°C まで変化させた I_B の温度特性を示す。 I_B は室温で 5.07 nA であり、温度係数は $\pm 0.6\%$ であった。図 4.6 に、室温で、電源電圧を 1.1 から 1.3 V まで変化させた I_B の電源電圧依存性を示す。 I_B の電源電圧依存性は $\pm 0.3\%$ であった。提案する弛張発振回路は I_B をバイアス電流として用いた。

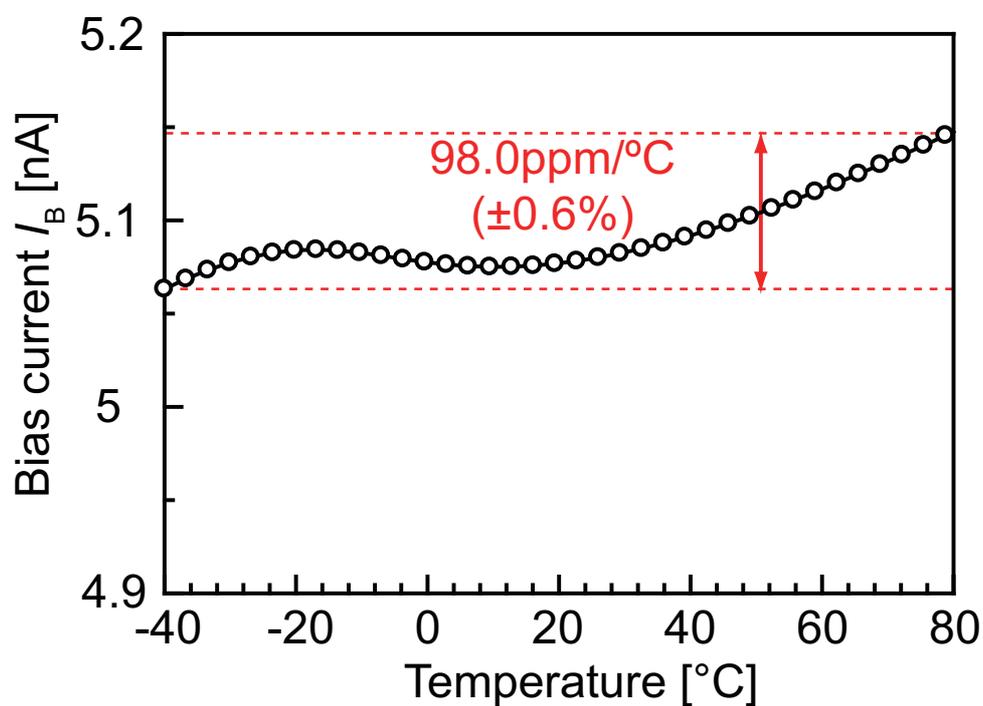
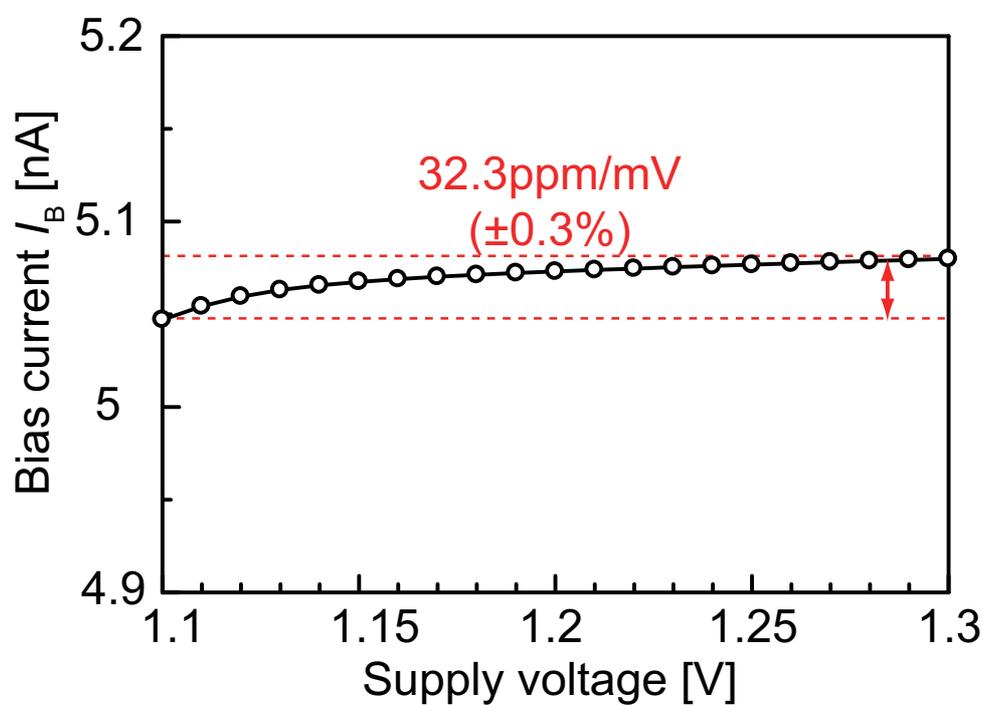
図 4.7 に V_{PTAT} と V_{GND} の温度特性を示す。図 4.7 に示すように、 V_{PTAT} と V_{GND} は温度が変化すると共に増加していることがわかる。 V_{GND} はシャントレギュレータにより V_{PTAT} と同電位になるように制御されている。 V_{PTAT} と V_{GND} の平均電圧誤差は ΔV_{Error} は 1.6 mV 以内であった。

図 4.8 に室温における提案回路の V_{INT1} , V_{INT2} , OUT, OUTB の動作波形を示す。電源電圧は 1.2 V に設定した。動作周波数は 32.5 kHz, 消費電力は 271 nW であった。消費電力の内訳は、それぞれ定電流源が 125 nW, 電流比較型弛張発振回路のコア部分が 146 nW であった。

図 4.9 に電源電圧 1.2 V を印加した時、温度を -40 から 80°C まで変化させた動作周波数の温度特性を示す。動作周波数の温度変化による変動は ± 0.35 kHz 以内であり、温度係数は $\pm 0.83\%$ であった。提案する温度補償の手法により、動作周波数は小さな温度依存性を示した。提案回路が達成した動作周波数の温度特性は、従来に報告されている抵抗レス弛張発振回路 [14] と比較して

4倍良い値となった。図 4.10 に室温において、電源電圧を 1.1 から 1.3 V まで変化させた時の動作周波数の電源電圧依存性を示す。動作周波数の電源電圧の変動による変化は小さく、 $\pm 0.14\%$ であった。

製造ばらつきによる動作周波数への影響を調べるために、すべてのトランジスタと MIM キャパシタのグローバルとローカルのばらつきを考慮したモンテカルロシミュレーションを 1000 回行うことで評価した。図 4.11 に室温で電源電圧 1.2 V を印加し、キャパシタトリミングを行う前と後の動作周波数のヒストグラムを示す。トリミングを行う前は、動作周波数の平均値と分散は、それぞれ 32.6 kHz と 3.4 kHz、変動係数は 10.4% であった。トリミングを行った後は、動作周波数の平均値と分散は、それぞれ 32.3 kHz と 0.6 kHz、変動係数は 1.9% であった。キャパシタトリミングを行うことで、提案回路の動作周波数は製造ばらつきによる変動を大幅に抑制できることを確認した。

図 4.5: I_B の温度特性のシミュレーション結果.図 4.6: I_B の電源電圧依存性のシミュレーション結果.

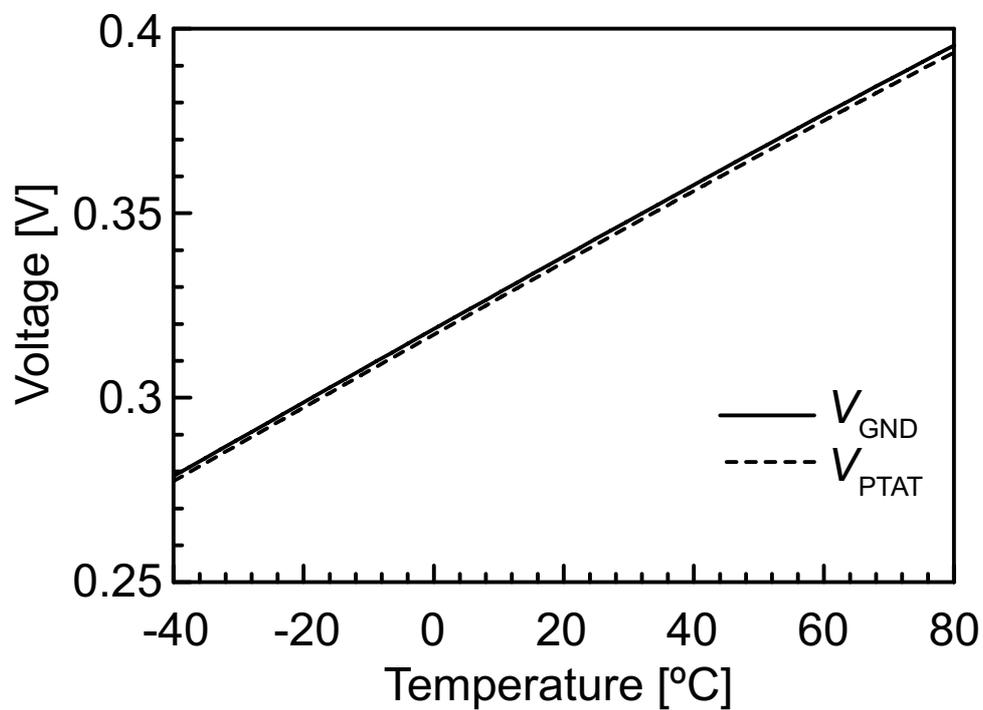
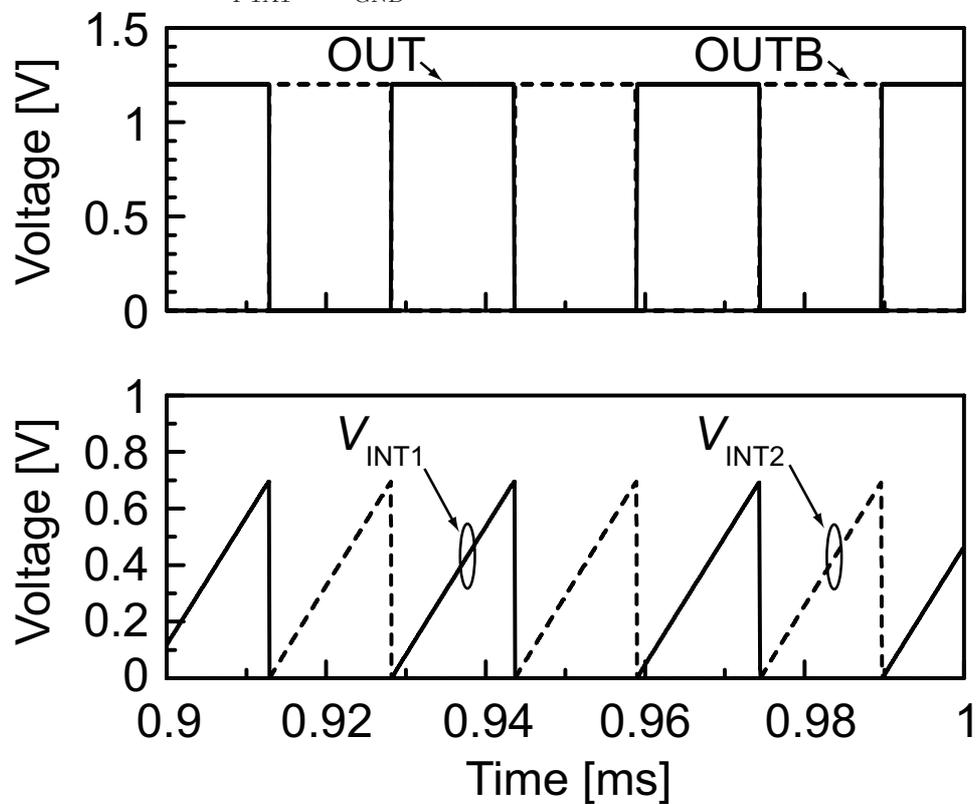
図 4.7: V_{PTAT} と V_{GND} の温度特性のシミュレーション結果.

図 4.8: 出力波形のシミュレーション結果.

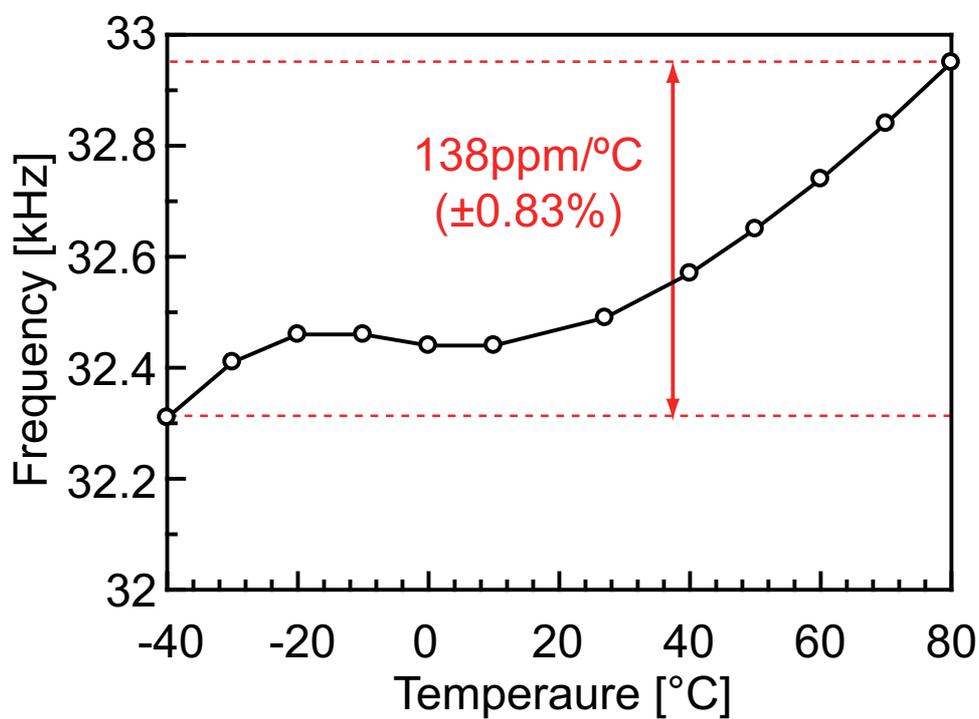


図 4.9: 動作周波数の温度特性シミュレーション結果.

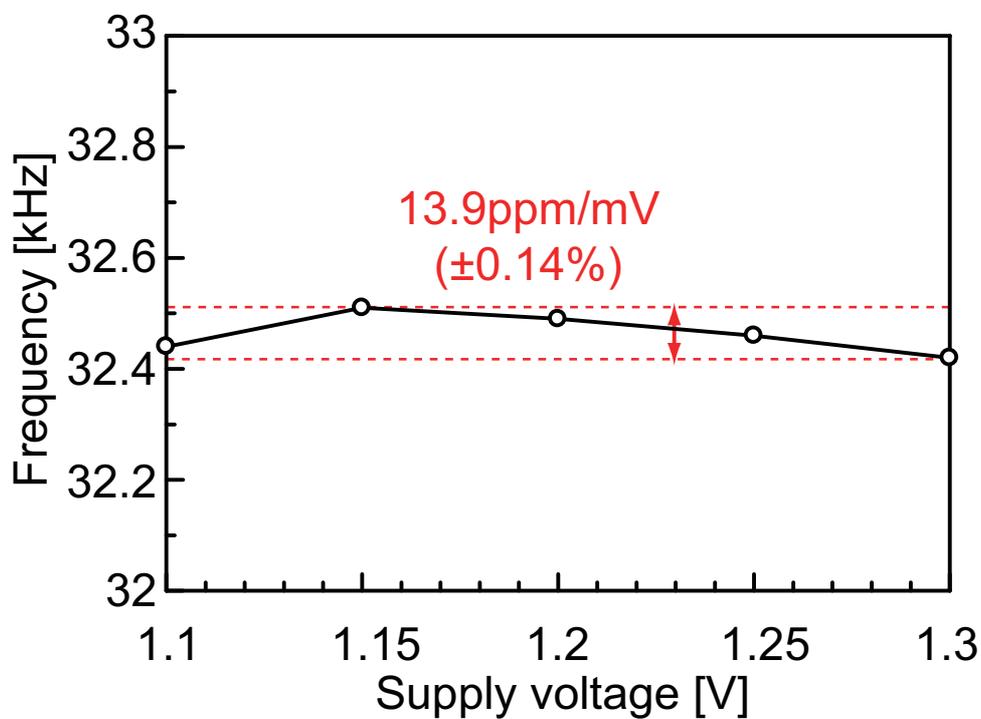


図 4.10: 動作周波数の電源電圧依存性のシミュレーション結果.

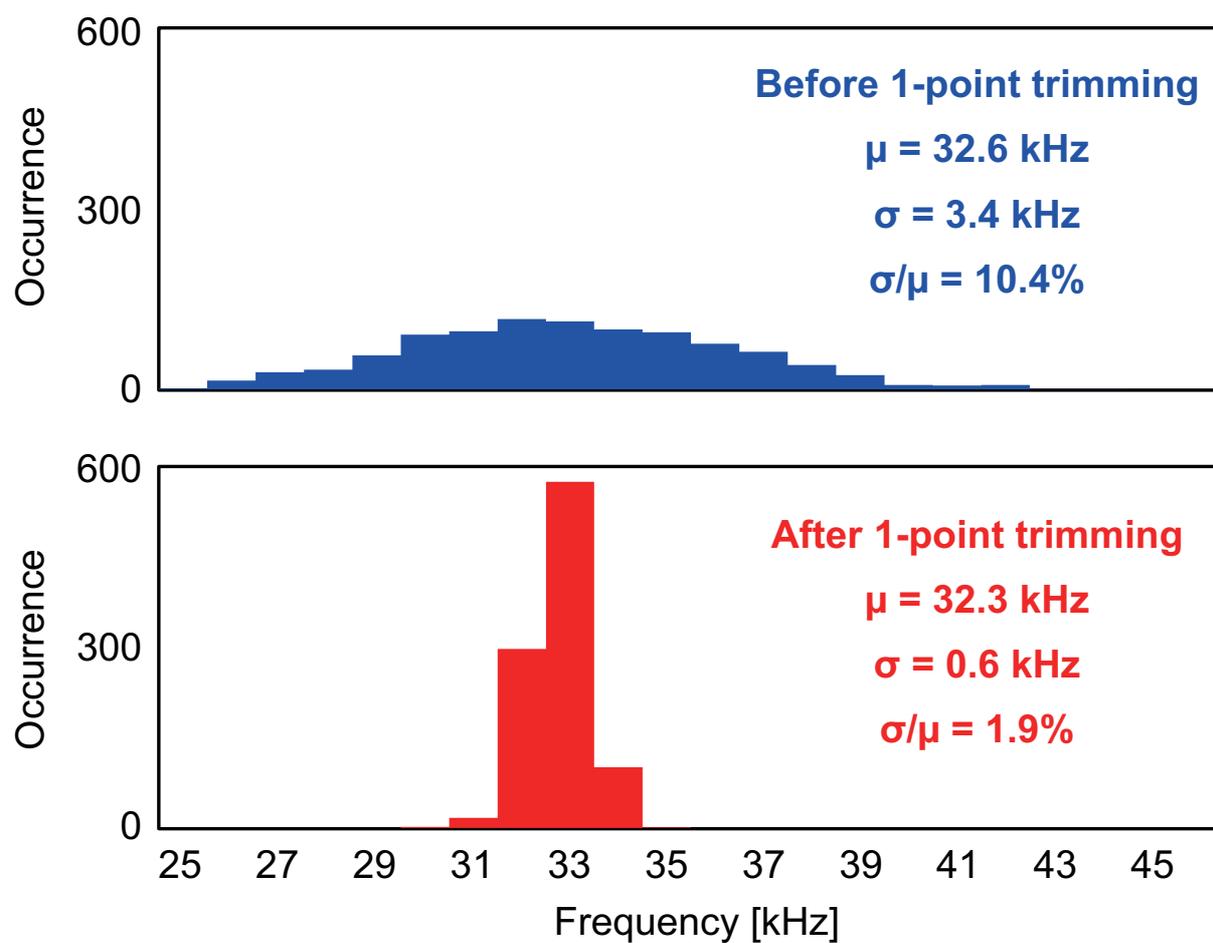


図 4.11: モンテカルロシミュレーション (1,000 回) によるトリミング前後の動作周波数のヒストグラム.

表4.1に提案回路の性能諸元と既存の発振回路の性能比較を示す。性能指標の FoM_{Energy} , FoM_{Area} は、それぞれ式(3.17), (3.18)で定義したものをを用いた。提案する面積利用効率の高い弛張発振回路は、PVTばらつきに対して小さな周波数変動、従来回路と同等のエネルギー利用効率 FoM_{Energy} , そして最大の面積利用効率 FoM_{Area} を達成した。したがって、面積利用効率が高い弛張発振回路はIoTデバイスの超低電力で小面積なRTCに向けた発振回路として有用である。

4.5 まとめ

本章では、RTCの実装面積削減に向けた抵抗レス弛張発振回路を検討した。小面積化を目指した弛張発振回路は抵抗レスで実装可能な定電流源をバイアス回路として採用し、温度依存項をPTAT電圧源とシャントレギュレータを用いて補償した。これにより、提案回路の実装面積は、抵抗を用いる構成の1/10に抑えた 0.022 mm^2 の小面積を達成した。提案するオンチップ発振回路を65-nm CMOSプロセスを用いて設計し、ポストレイアウトシミュレーション評価を行った。提案回路の動作周波数は32.5 kHz、消費電力は271 nWであった。動作周波数の温度係数と電源電圧依存性は、それぞれ $\pm 0.83\%$ と $\pm 0.14\%$ であった。モンテカルロ解析によるシミュレーション評価では、動作周波数の平均値は32.3 kHz、分散は0.6 kHz、そして変動係数は1.9%であった。面積利用効率の高い弛張発振回路は、動作周波数のPVTばらつきによる性能を $\pm 1\%$ 以下に維持し、エネルギー利用効率と面積利用効率の両方を考慮した FoM_{Area} は従来の研究と比較して最小の値を達成した。提案する弛張発振回路が、IoTデバイスの超低電力で小面積なRTCに有用であることを示した。

表 4.1: 性能諸元.

Reference	[10]	[11]	[12]	[13]	[14]	[15]	[16]	Prop. I	Prop. II
Tech. [nm]	180	180	65	65	350	180	90	180	65
Area [mm ²]	0.51	0.26	0.032	0.015 ^{*1}	0.1	0.11	0.12	0.19	0.022
V _{DD} [V]	0.85 - 1.4	1.2 - 3.0	1.5 - 3.3	1.15 - 1.45	1 - 2.5	1.0 - 1.8	0.725 - 0.9	0.85 - 1.85	1.1 - 1.3
T [°C]	-25 - 85	-40 - 80	-40 - 90	-20 - 90	-20 - 80	-40 - 100	-40 - 90	-40 - 80	-40 - 80
f _{OUT} [kHz]	3	70.4	18.5	33	3.3	32.6	100	32.7	32.5
Power [nW]	4.7	99.4	120	190	11 ^{*2}	472	280	54.2	271
μ_f/σ_f [%]	NA	NA	NA	1.96 ^{*3}	6.9 ^{*3}	1.39	NA	0.83 ^{*3}	1.9 ^{*3}
$\Delta f/(f\Delta T)$ [ppm/°C]	13.8	27.4	38.5	38.2	<500	120	104	99.5	138
$\Delta f/(f\Delta V)$ [ppm/mV]	4.8	5	10	0.9	35	11	93	8.86	13.9
FoM _{Energy} [nW/kHz]	1.57	1.41	6.49	5.76	3.33	14.50	2.80	1.66	8.3
FoM _{Area} [nW·mm ² /kHz]	0.80	0.37	0.21	0.09 ^{*1}	0.33	1.60	0.34	0.32	0.18
Ext. signal	No	No	No	I _{PTAT}	No	No	No	No	No
Result	Measured	Measured	Measured	Measured	Measured	Measured	Measured	Measured	Simulated

*1: オフチップ部品の面積を含まない値, *2: デジタル回路の消費電力を含まない値, *3: トリミング後の結果.

参考文献

- [1] Z. Huang, Q. Luo, and Y. Inoue, "A CMOS sub-1-V nano power current and voltage reference with leakage compensation," in *Proc. Int. Symp. Circuits Syst.*, 2010, pp. 4069-4072.
- [2] T. Hirose, Y. Osaki, N. Kuroki, and M. Numa, "A nano-ampere current reference circuit and its temperature dependence control by using temperature characteristics of carrier mobilities" in *Proc. Eur. Solid-State Circuits Conf.*, 2009, pp. 114-117.
- [3] K. Ueno, T. Hirose, T. Asai, and Y. Amemiya, "A 1- μ W 600-ppm/ $^{\circ}$ C current reference circuit consisting of subthreshold CMOS circuits" *IEEE Trans. Circuits Syst. II: Express Briefs*, vol. 57, no. 9, pp. 681-685, 2010.
- [4] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "A 95-nA 523ppm/ $^{\circ}$ C, 0.6- μ W CMOS current reference circuit with subthreshold MOS resistor ladder," in *Proc. Asia South Pacific Design Autom. Conf.*, 2011, pp. 113-114.
- [5] R. Matsuzuka, T. Hirose, Y. Shizuku, N. Kuroki, and M. Numa, "A 0.19-V minimum input low energy level shifter for extremely low-voltage VLSIs," in *Proc. Int. Symp. Circuits Syst.*, 2015, pp. 2948-2951.
- [6] R. Matsuzuka, T. Hirose, Y. Shizuku, K. Shinonaga, N. Kuroki, and M. Numa, "An 80mV-to-1.8V conversion-range low-energy level shifter for extremely low-voltage VLSIs," *IEEE Trans. Circuits Syst. I: Regular Papers*, vol. 64, issue 8, pp. 2026-2035, 2017.
- [7] K. Ueno, T. Hirose, T. Asai, and Y. Amemiya, "A 300-nW, 15-ppm/ $^{\circ}$ C, 20-ppm/V CMOS voltage reference circuit consisting of subthreshold MOSFETs," *IEEE J. of Solid-State Circuits*, vol. 44, no. 7, pp. 2047-2054, 2009.
- [8] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "1.2-V supply, 100-nW, 1.09-V bandgap and 0.7-V supply, 52.5-nW, 0.55-V sub-bandgap reference circuits for nano-watt CMOS LSIs," *IEEE J. of Solid-State Circuits*, vol. 48, no. 6, pp. 1530-1538, 2013.
- [9] I. M. Filanovsky, and A. Allam, "Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits," *IEEE Trans. Circuits Syst. I, Fundam. Theory Appl.*, pp. 876-884, 2001.

- [10] T. Jang, M. Choi, S. Jeong, S. Bang, D. Sylvester, and D. Blaauw, "A 4.7nW 13.8ppm/°C self-biased wakeup timer using a switched-resistor scheme," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2016, pp. 102-103.
- [11] M. Choi, S. Bang, T.-K. Jang, D. Blaauw, and D. Sylvester, "A 99nW 70.4kHz resistive frequency locking loop on-chip oscillator with 27.4ppm/°C temperature stability," in *Symp. VLSI Circuits Dig. Tech. Papers*, 2015, pp. 238-239.
- [12] A. Paidimarri, D. Griffith, A. Wang, A. P. Chandrakasan, and G. Burra, "A 120nW 18.5kHz RC oscillator with comparator offset cancellation for $\pm 0.25\%$ temperature stability," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2013, pp. 184-185.
- [13] D. Griffith, P. T. Roine, J. Murdock, and R. Smith, "A 190nW 33kHz RC oscillator with $\pm 0.21\%$ temperature stability and 4ppm long-term stability," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2014, pp. 300-301.
- [14] U. Denier, "Analysis and design of an ultralow-power CMOS relaxation oscillator," *IEEE Trans. Circuits Syst. I*, vol. 57, no. 8, pp. 1973-1982, 2010.
- [15] K. Tsubaki, T. Hirose, N. Kuroki, and M. Numa, "A 32.55-kHz, 472-nW, 120ppm/°C, fully on-chip, variation tolerant CMOS relaxation oscillator for a real-time clock application," in *Proc. Eur. Solid-State Circuits Conf.*, 2013, pp. 315-318.
- [16] T. Tokairin, K. Nose, K. Takeda, K. Noguchi, T. Maeda, K. Kawai, and M. Mizono, "A 280nW, 100kHz, 1-cycle start-up time, on-chip CMOS relaxation oscillator employing a feedforward period control scheme," in *Symp. VLSI Circuits Dig. Tech. Papers*, 2012, pp. 16-17.

第5章 信号処理用途に向けた弛張発振回路

5.1 はじめに

VLSI システムの間欠動作は、処理を行っていないシステムの電源を積極的に遮断することで待機時の消費電力を削減する低電力化手法であり、次世代 IoT デバイスの低電力化に向けた手法として注目されている [1,2]. 回路ブロックの中でクロック源は、アナログ回路とデジタル回路の信号処理のために必要な回路要素である。しかし、従来のクロック源回路や水晶発振回路は数 100 μs の長い起動時間が必要になり、起動時の消費電力が増大する課題がある [3,4]. 長い起動時間は信号処理に必要な時間が増加し、不必要な消費電力の増大を招く課題がある。

水晶発振回路の置き換えを目的として、信号処理用途に向けた高周波を生成する様々なクロック源回路が提案されてきた [5-11]. 特に、前章でも説明した弛張発振回路はオンチップ集積が可能であり、水晶発振回路と比較して起動時間が早いことから注目されている。しかし、依然として起動時間は数 10 μs と長く、更なる高速起動が求められる。また、外部信号を必要とする回路構成も報告されていることから [8,10], 完全フルオンチップ搭載で動作する発振回路が強く求められる。

本章では、信号処理用途に向けた高速起動可能な高周波を生成するシステムクロックを提案する。提案回路は、第3,4章で説明した電流比較型弛張発振回路を基本とし、高速起動可能な構成をとる。

5.2 従来回路の課題

従来回路は、電圧比較アーキテクチャのコンパレータを用いて弛張発振回路を構成している。3.5節の式(3.7)より、動作周波数はPVTばらつきにより影響を受ける。PVTばらつきの影響を緩和するために、コンパレータの補正機構を搭載した回路やオペアンプとリング発振回路によるPLL(Phase Lock Loop)方式を導入した回路が報告されている。しかし、これらの回路は高精度な動作周波数を達成しているが、補正機構や負帰還制御回路のセトリング時間が必要になり、スタートアップ時間の高速化には向いていない。そこで、高速なスタートアップ時間の達成に向けて、補正機構や負帰還制御回路を用いることなく高精度な動作周波数の生成する必要がある。電圧比較アーキテクチャのコンパレータの応答遅延は以下の式で表せる。

$$\Delta\tau = \frac{C_L\Delta V}{I_B} \quad (5.1)$$

ここで、 C_L はコンパレータの出力段の負荷容量、 ΔV はコンパレータの出力電圧、そして I_B はコンパレータのバイアス電流である。図 5.1 に、式 (5.1) の I_B を変数として数値計算した結果を示す。 C_L と ΔV は、100 fF と 1.8 V と設定した。電圧比較アーキテクチャのコンパレータの応答遅延は、バイアス電流 I_B の増加に反比例して減少する。従来回路を用いて 32-MHz の生成に向けて

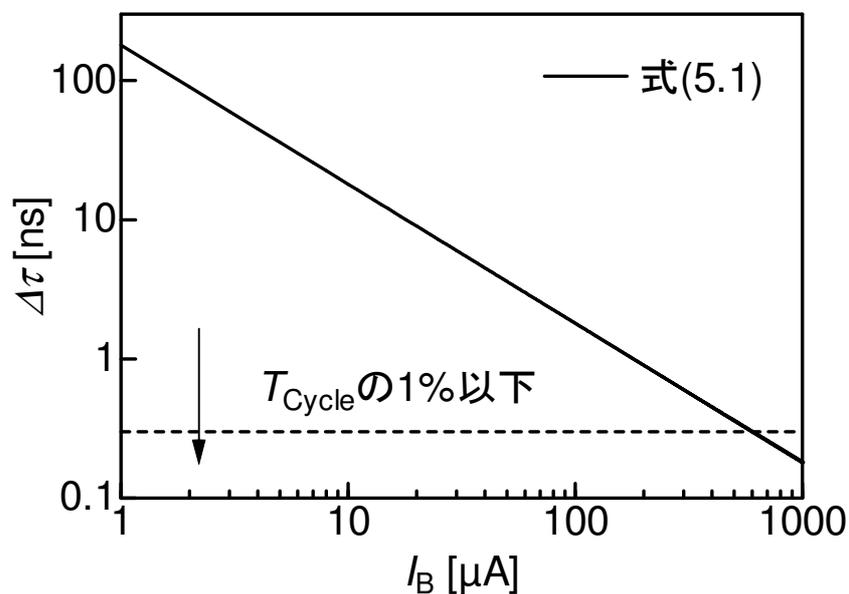


図 5.1: 電圧比較アーキテクチャの応答遅延.

応答遅延 $\Delta\tau$ を周期の 1%以下と抑制した場合、応答遅延 $\Delta\tau$ は 0.3 ns 以下に抑える必要がある。しかし、図 5.1 に示すように、応答遅延 $\Delta\tau$ を 0.3 ns 以下にするためには、バイアス電圧 I_B は 600 μA 以上必要になる。したがって、従来回路を用いた間欠動作の制御は、消費電力削減効果が低下する。したがって、従来回路の構成は高速起動可能なシステムクロックの生成には適さない。

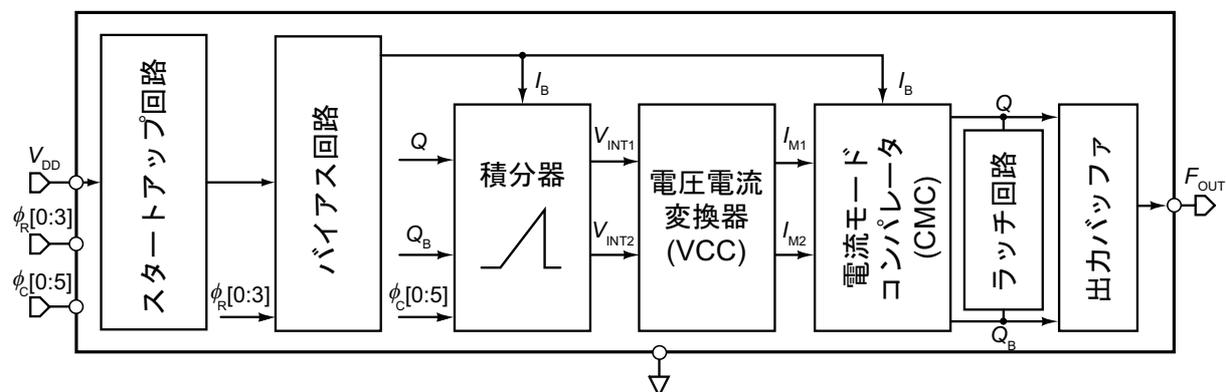


図 5.2: 提案回路のブロック図.

5.3 提案回路

高速起動可能なシステムクロックの生成に向けて、提案回路は第 3, 4 章で説明した電流比較アーキテクチャを採用する。提案回路は電流比較アーキテクチャの低電力で高速なスイッチング動作により、電圧比較アーキテクチャの課題を最小限に抑える。また、電流比較アーキテクチャの高速なスイッチ動作を利用することで、提案回路は補正機構や負帰還制御回路が不要な構成となる。そのため、提案回路はスタートアップ時間を高速化することができる。

図 5.2 に提案回路のブロック図を示す。提案回路は、スタートアップ回路、バイアス回路、積分器、電圧電流変換器 (VCC)、電流モードコンパレータ (CMC)、ラッチ回路、そして出力バッファから構成される。バイアス回路は、バイアス電流 I_B を生成し、積分器と電流モードコンパレータへ供給する。積分器は、 I_B を用いて充電し、ランプ電圧 V_{INT1} と V_{INT2} を生成する。電圧電流変換器は、 V_{INT1} と V_{INT2} をモニタし、 I_{M1} と I_{M2} へと変換する。電流モードコンパレータは、 I_{M1} と I_{M2} を I_B と比較する。 I_{M1} (もしくは I_{M2}) が、 I_B へ到達した時、ラッチ回路は、 Q と Q_B の状態を切り替え、クロック信号を生成する。

上記で述べた動作は、クロックの半周期 ($T_{\text{cycle}}/2$) について説明した。したがって、 Q と Q_B が切り替わる時の V_{INT1} は、以下の式で表せる。

$$I_B \cdot T_{\text{cycle}}/2 / C_{\text{RAMP1}} \quad (5.4)$$

V_{INT1} は、 $V_{\text{GS,MN3}}$ と等しいため、

$$V_{\text{GS,MN3}} = \frac{I_B \cdot T_{\text{cycle}}}{2C_{\text{RAMP1}}} \quad (5.5)$$

を得る。したがって、式 (5.2), (5.5) よりクロックの周期 T_{cycle} は、

$$T_{\text{cycle}} = 2(R_P + R_N)C_{\text{RAMP1}} \frac{V_{\text{GS,MN3}}}{V_{\text{GS,MN1}}} \quad (5.6)$$

となる。ここで、バイアス回路の MN_1 と電圧電流変換器の MN_3 (そして MN_4) を同じサイズで設計することで、ゲート・ソース間電圧の項を打消し、製造ばらつきによる影響を最小限に抑えることができる。周期 T_{cycle} は、 $C_{\text{RAMP}} = C_{\text{RAMP1}} = C_{\text{RAMP2}}$ として、以下の式で表せる。

$$T_{\text{cycle}} = 2(R_P + R_N)C_{\text{RAMP}}. \quad (5.7)$$

したがって、動作周波数は

$$f_{\text{OUT}} = \frac{1}{T_{\text{cycle}}} = \frac{1}{2(R_P + R_N)C_{\text{RAMP}}} \quad (5.8)$$

と表せる。 C_{RAMP} の温度依存性は小さく無視できるため、式 (5.8) より、動作周波数 f_{OUT} の温度依存性は、 R_P と R_N の比率を適切に組み合わせて構成することで補正することができる。

ここで、図 5.3 の R_{L1} と R_{L2} はクランプ抵抗として使用する。3 章で説明した RTC は、ダイオード接続の nMOSFET トランジスタを用いて電流パスをクランプしていた。しかし、ダイオード接続による電流パスのクランプは寄生容量が増大する点に課題がある。RTC 用のクロック信号の動作周波数は 32-kHz と低いため、寄生容量による影響は無視できる。一方で、システムクロックが生成するクロック信号は 32-MHz と高周波のため、寄生容量による動作周波数への影響が大きく、ダイオード接続による電流パスのクランプは適さない。そこで、提案回路は図 5.3 に示すように、抵抗 R_{L1} と R_{L2} を用いて電流パスをクランプした。クランプ抵抗がない場合、 Q もしくは Q_B は、リセットの際に V_{DD} まで充電され、バイアス電流 I_B の電流パスの損失原因になる。これは、ラッチ回路の応答遅延が大幅に増大し、動作周波数が劣化する要因になる。

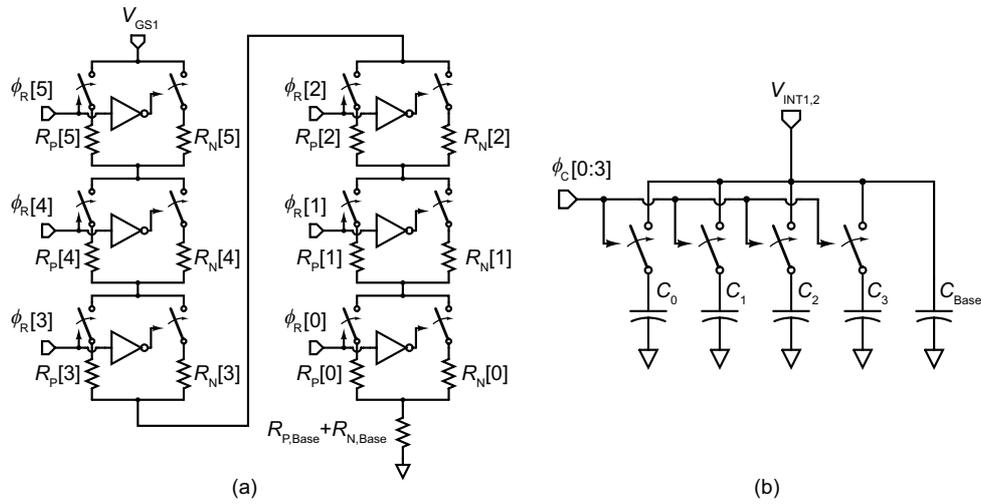


図 5.5: (a) 抵抗トリミング回路 (RTC), (b) キャパシタトリミング回路 (CTC).

5.3.2 トリミング回路

式 (5.8) に示すように、動作周波数 f_{OUT} が、RC の時定数によってのみ決定されることを述べた。しかし、 f_{OUT} は RC の製造ばらつきが生じた場合に周波数が変化する。このばらつきを補正するために、抵抗とキャパシタのトリミング回路を実装した。

図 5.5(a) に、抵抗トリミング回路を示す。抵抗トリミング回路は、ベース抵抗の $R_{P,Base} + R_{N,Base}$ 、スイッチ、インバータ、そしてトリミング抵抗 ($R_P[i]$ と $R_N[i]$ ($i = 0-5$)) により構成される。抵抗値が同じで異なる温度係数を持つ抵抗 $R_P[i]$ と $R_N[i]$ を用いることで、抵抗トリミング回路は、RC の時定数を変化することなく温度係数のみを制御することができる。

図 5.5(b) に、キャパシタトリミング回路を示す。この回路は、ベースキャパシタ C_{Base} 、スイッチ、そしてトリミングキャパシタ ($C_0 - C_3$) より構成される。キャパシタの温度依存性は小さく無視できるため、キャパシタトリミング回路は、周波数の絶対値補正を行うことができる。

5.4 シミュレーション評価

5.2.1 項で説明したように、CMC の応答遅延 $\Delta\tau$ はクランプ抵抗 $R_{L1,2}$ に依存する。CMC の応答遅延 $\Delta\tau$ を調べるために、0.18- μm CMOS スタandardプロセスのパラメータを用いてクランプ抵抗 $R_{L1,2}$ を変化させてシミュレーションにより評価した。図 5.6 に、クランプ抵抗 $R_{L1,2}$ と応答遅延 $\Delta\tau$ の関係を示す。電流パスのクランプ電圧は、クランプ抵抗 R_{L1}, R_{L2} の値とバイアス電流 I_B の積で決定する。したがって、 R_{L1}, R_{L2} を設定することで、クランプ電圧は線形に制御可能になり、電流モードコンパレータの応答遅延を小さくできる。図 5.6 より、 R_{L1}, R_{L2} が 40.7 k Ω に設定することで、応答遅延 $\Delta\tau$ による誤差を最小化可能なことがわかる。

提案する弛張発振器を上記と同様の 0.18- μm CMOS Standardプロセスを用いて設計し、RC 抽出した後にはポストレイアウトシミュレーション評価を行った。目標の動作周波数は、32 MHz とした。抵抗 $R_P + R_N$ とキャパシタ $C_{RAMP}(= C_{RAMP1} = C_{RAMP2})$ は、それぞれ 20.5 k Ω と 546.1

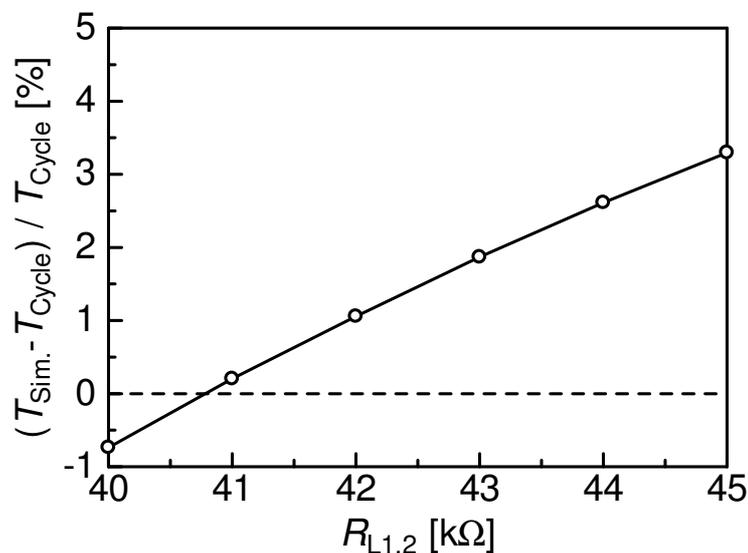


図 5.6: クランプ抵抗 $R_{L1,2}$ と CMC と応答遅延 $\Delta\tau$.

fF とした。クランプ抵抗は 43.7 kΩ とした。

図 5.7 に、起動時の動作波形を示す。電源電圧 V_{DD} として、1 ns の間に 0 から 1.8 V に上昇するように印加した。シミュレーション評価の結果、提案回路は 0.4 μs で起動した。図 5.8 に、動作周波数を時間軸にプロットしたグラフを示す。動作周波数は 1 μs 以内で安定し、定常状態は 32.1 MHz で動作した。消費電力は、325.8 μW であった。

図 5.9 に起動エネルギー (Eoh: Energy over head) のシミュレーション結果を示す。Eoh は、261.9 pJ と非常に小さな値となった。

製造ばらつきによる動作周波数変動を確認するために、すべてトランジスタのグローバルとローカルばらつきを考慮したモンテカルロシミュレーションを 1,000 回行うことで評価した。図 5.10 に、室温で 1.8 V を印加した場合の動作周波数のヒストグラムを示す。動作周波数の平均は 32.2 MHz であり、分散は 0.25 MHz であった。製造ばらつきによる周波数変動は、0.79% となった。シミュレーション評価より、提案回路が高速起動可能であり、製造ばらつきによる動作周波数の変動に対して頑健な 32-MHz のクロック信号を実現できることを確認した。

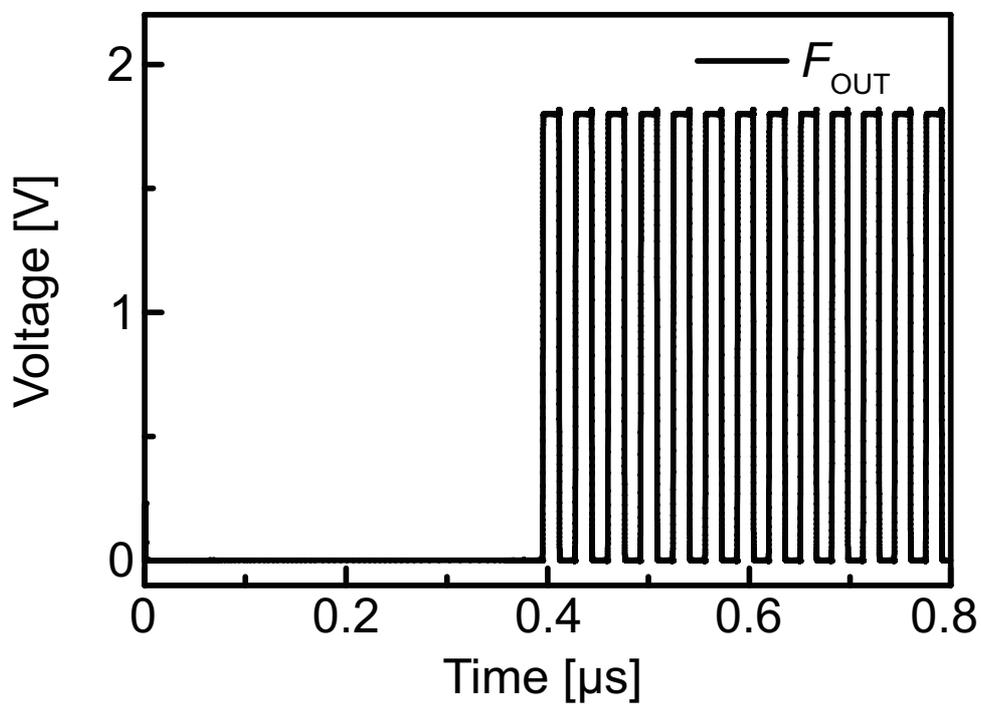


図 5.7: 起動時のシミュレーション結果.

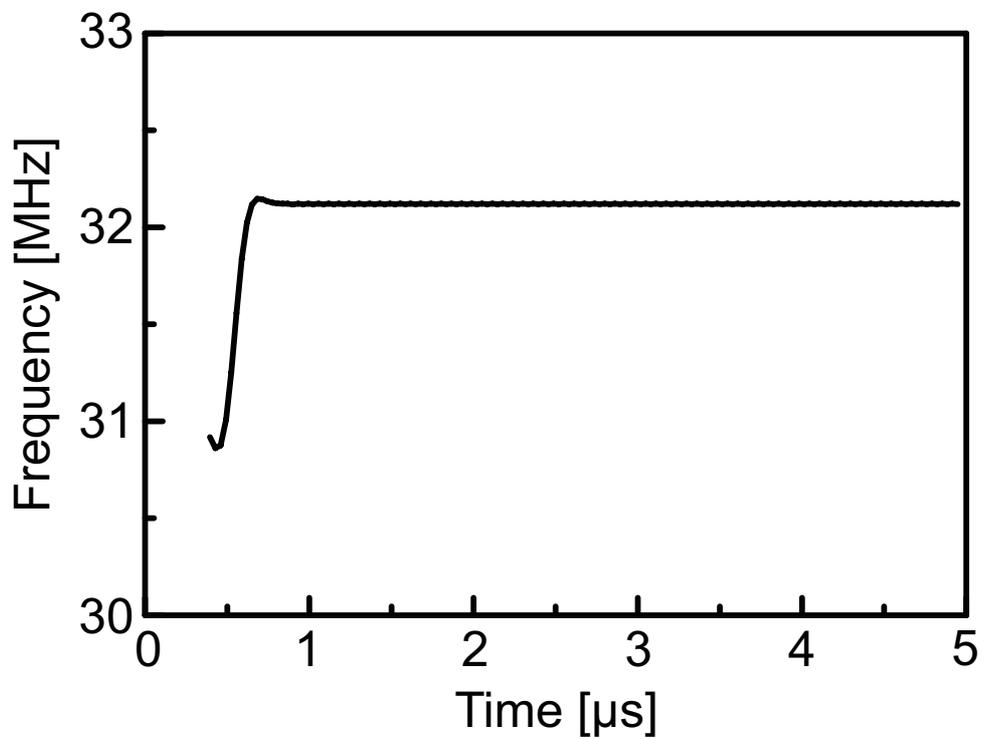


図 5.8: 動作周波数のシミュレーション結果.

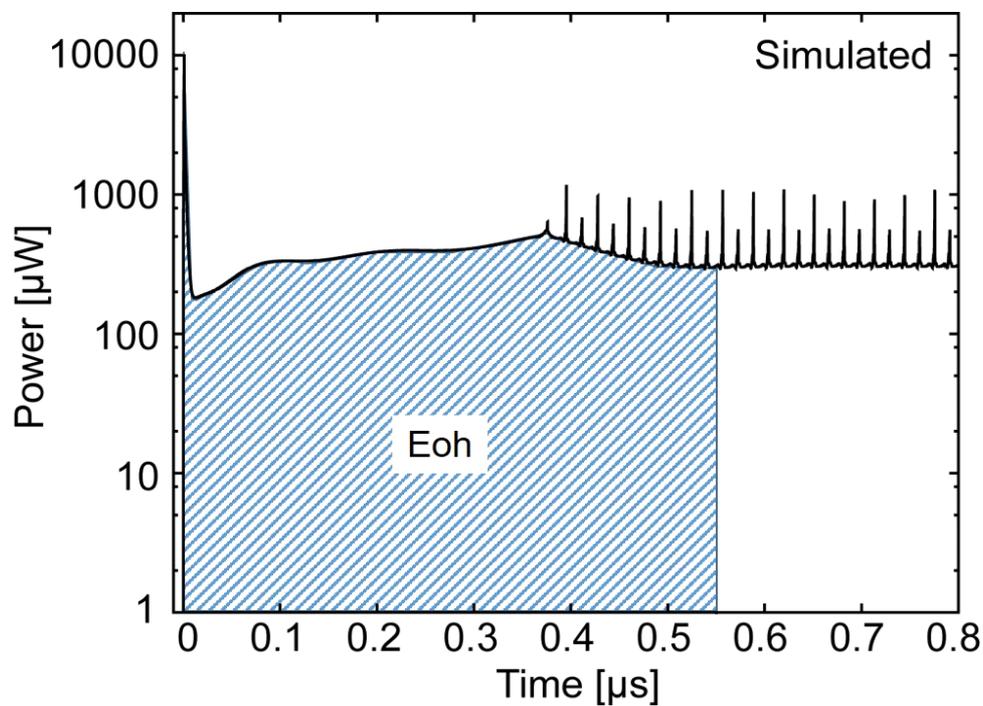


図 5.9: 起動エネルギーのシミュレーション結果.

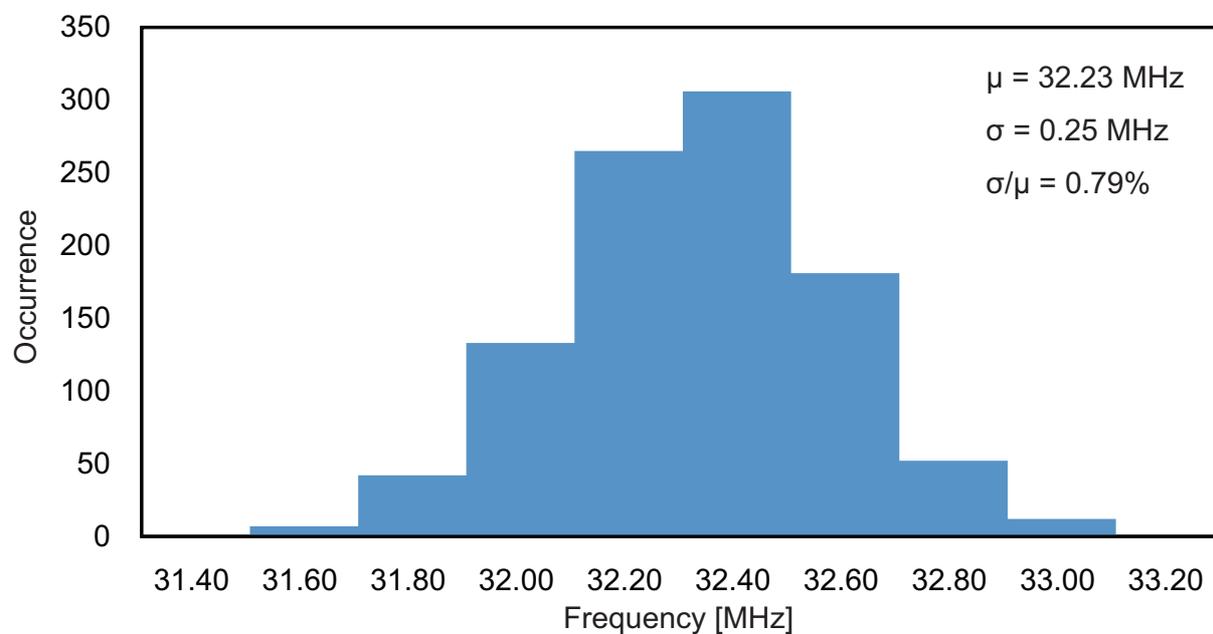


図 5.10: 動作周波数のモンテカルロシミュレーション結果 (1,000 回).

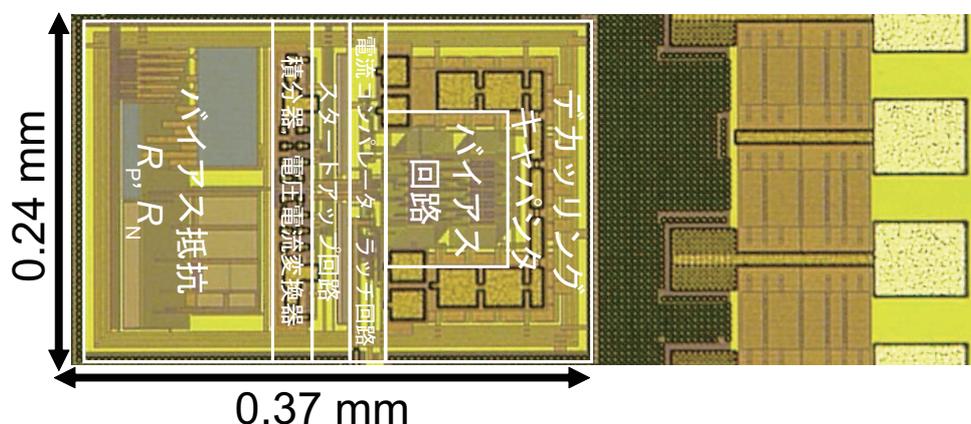


図 5.11: チップ写真.

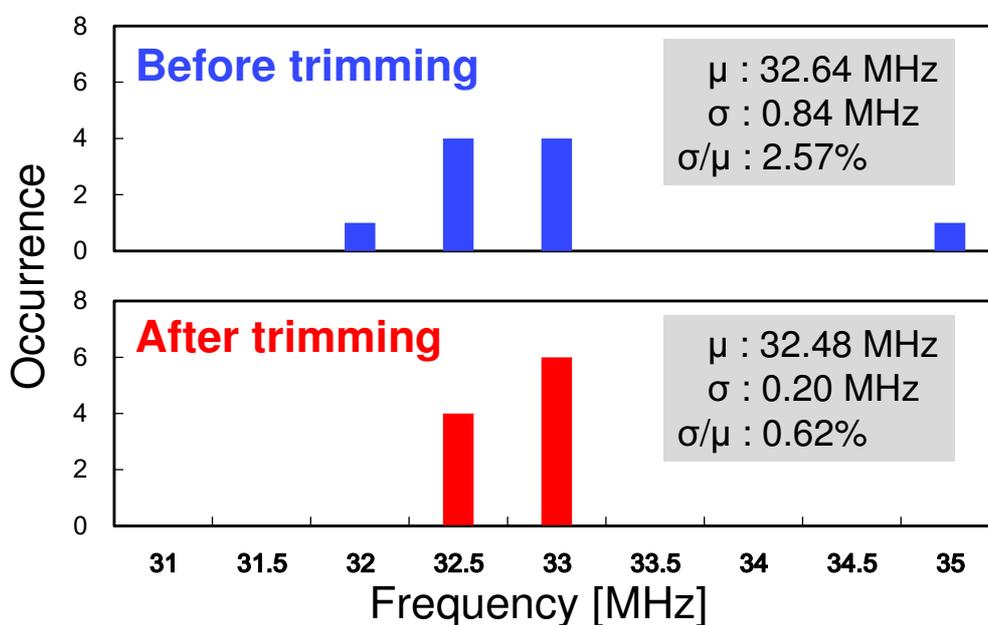


図 5.12: 動作周波数のヒストグラム (10 チップ).

5.5 測定評価

提案する弛張発振回路を、シミュレーション評価と同じプロセスを用いて試作・評価を行った。図 5.11 にチップ写真を示す。チップ面積は 0.09 mm^2 であった。抵抗 R_P , R_N とキャパシタ $C_{\text{RAMP}} (= C_{\text{RAMP}1} = C_{\text{RAMP}2})$ の値は、デジタルコードを用いることで、それぞれ $5.7 < R_P < 12.7 \text{ k}\Omega$, $7.8 < R_N < 14.8 \text{ k}\Omega$, そして $476.1 < C_{\text{RAMP}} < 618.1 \text{ fF}$ までトリミング可能な構成とした。製造ばらつきによる動作周波数変動を確認するために、10 チップの動作周波数を評価した。図 5.12 に、室温、電源電圧として 1.8 V を印加し測定を行ったトリミング前後における動作周波数のヒストグラムを示す。トリミング後の平均は 32.5 MHz であり、分散は 0.20 MHz であった。製造ばらつきによる周波数変動は、 0.62% となった。提案回路は 10 チップの測定結果から、製造ばらつきによる影響が 1% 以内の小さい動作周波数変動を達成した。

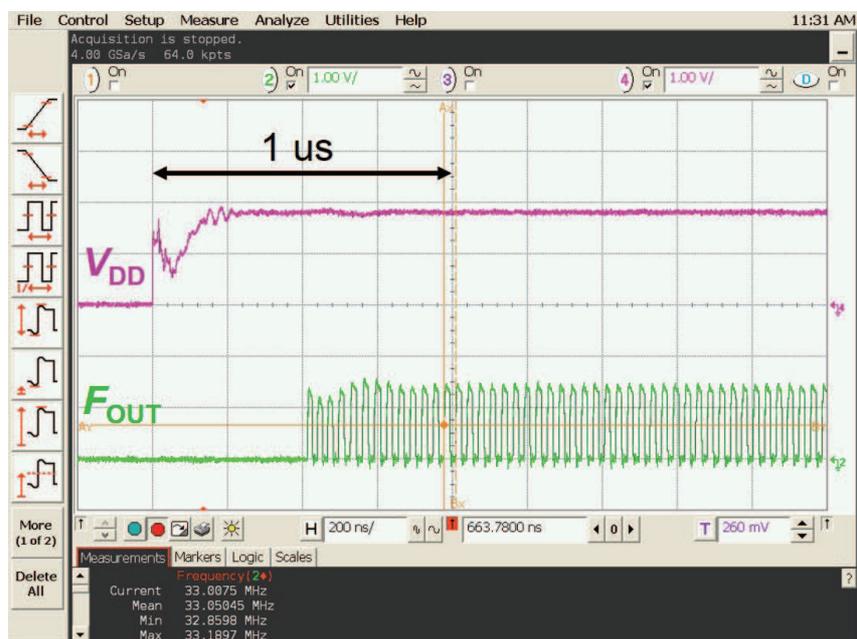


図 5.13: 起動時の動作波形.

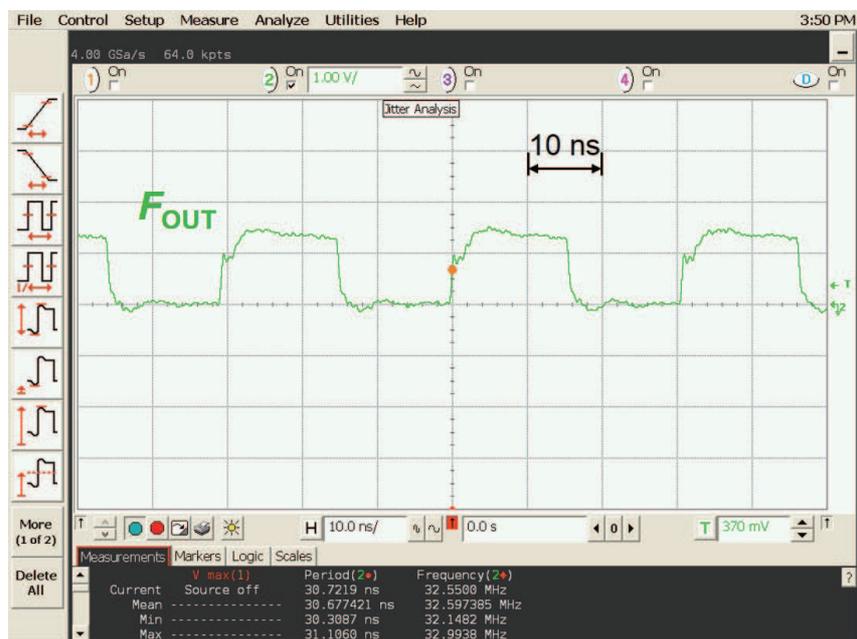


図 5.14: 定常時の動作波形.

図 5.13, 5.14 に, 室温, 電源電圧として 1.8 V を印加した時の起動時と定常時の動作波形を示す. 起動時間は極めて高速で, $1\text{-}\mu\text{s}$ 以内であった. 動作周波数は 32.6 MHz, 消費電力は $300.6\text{ }\mu\text{W}$ であった.

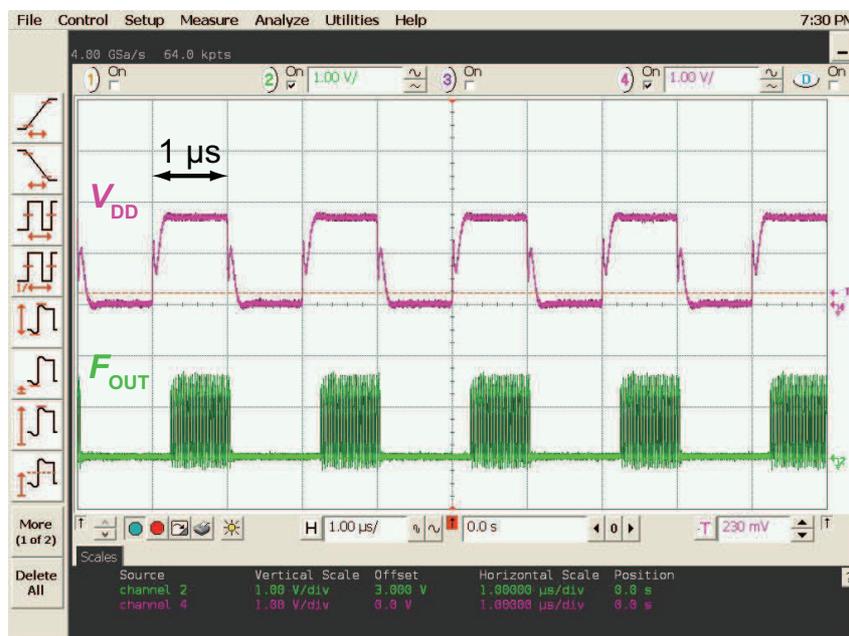


図 5.15: 間欠動作.

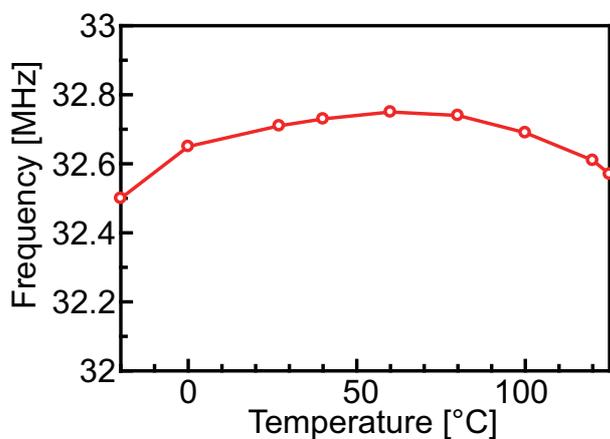


図 5.16: 動作周波数の温度依存性.

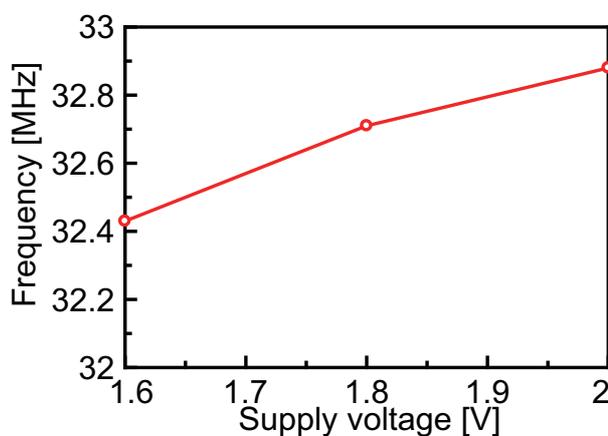


図 5.17: 動作周波数の電源電圧依存性.

図 5.15 に、電源電圧として 1.8 V の 500 kHz のパルス信号を印加し、提案回路の間欠動作した時の動作波形を示す。積極的に電源電圧を遮断した場合でも安定してクロック信号を生成していることが確認できる。

図 5.16(a) に、電源電圧として 1.8 V を印加し、温度を -20 から 125 °C まで変化させた時の動作周波数の温度特性を示す。温度依存性は、 $\pm 0.38\%$ であった。図 5.17(b) に、室温で、電源電圧を 1.6 から 2.0 V まで変化させた時の動作周波数の電源電圧依存性を示す。電源電圧依存性は $\pm 0.69\%$ であった。提案回路は温度と電源電圧の変動に対して、 $\pm 1\%$ 以内の小さな周波数変動を達成した。

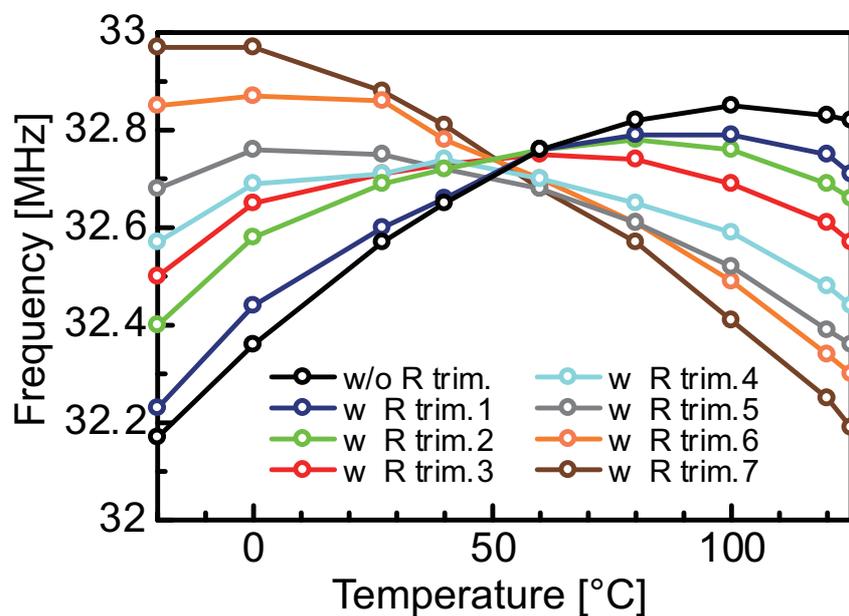


図 5.18: RTC による動作周波数.

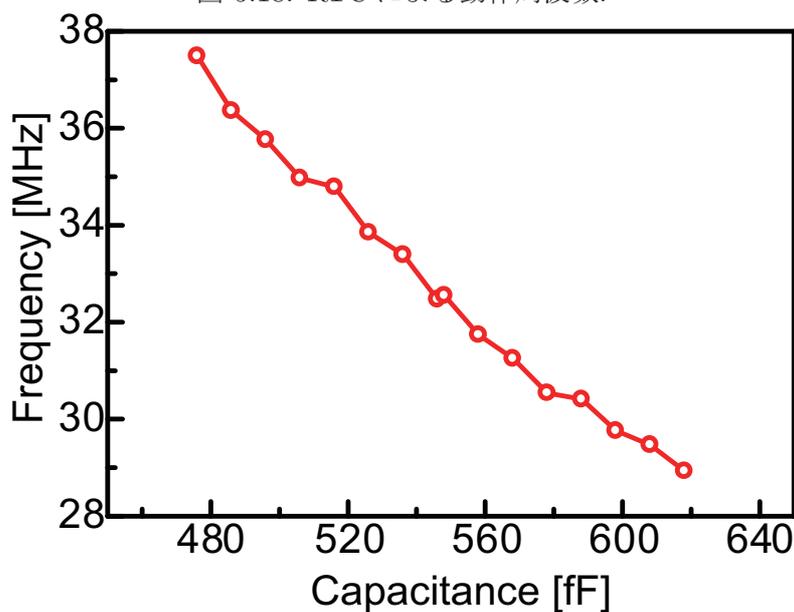


図 5.19: CTC による動作周波数.

トリミング回路の動作を確認するために、デジタルコードを変化させた場合の動作周波数を評価した。図 5.18 に、抵抗トリミング回路のデジタルコードを変化させた場合の動作周波数の温度依存性を示す。抵抗トリミング回路により、温度係数が変更可能なこと確認した。デジタルコードを変化させることで、動作周波数の温度係数は $\pm 0.38\text{--}1.18\%$ で変更可能であった。図 5.19 に、室温でキャパシタトリミング回路のデジタルコードを変化させた場合の動作周波数を示す。動作周波数は、 $28.9\text{--}37.5\text{ MHz}$ で変更可能であった。

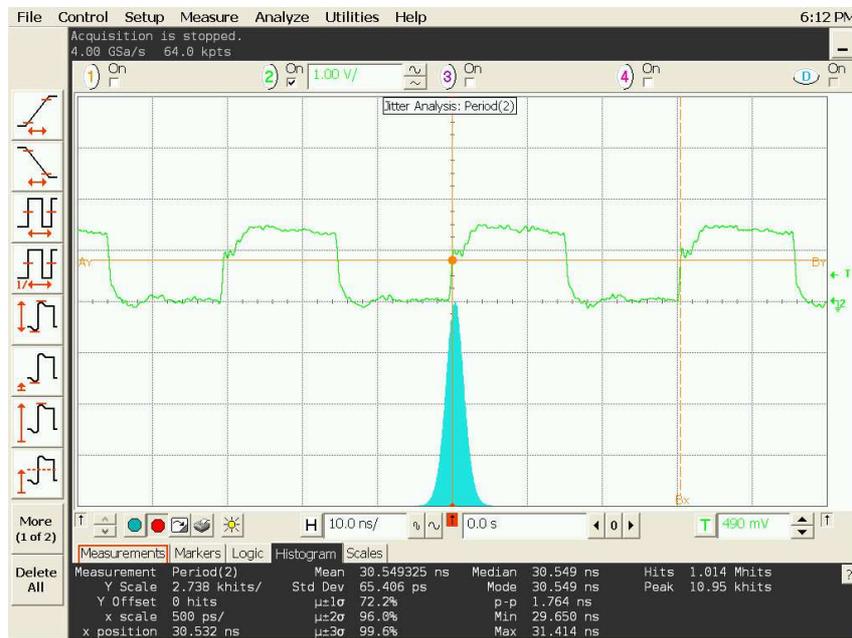


図 5.20: ジッタの測定結果.

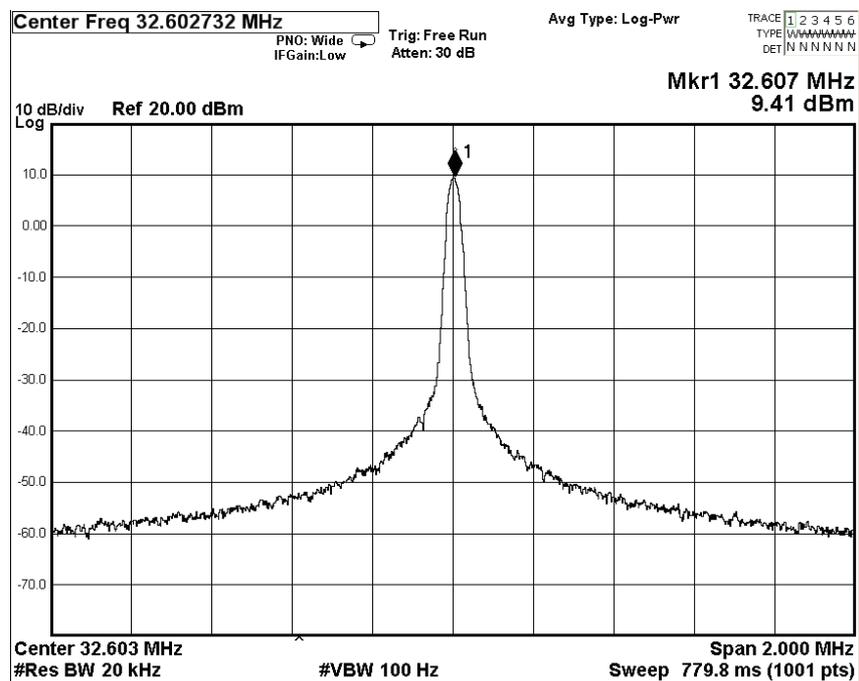


図 5.21: スペクトラムの測定結果.

図 5.20, 5.21 に、それぞれ短期的なノイズ成分を表わすジッタと周波数領域のスペクトラムの測定結果を示す。RMS ジッタは、1M サンプル時に $66 \text{ pS}_{\text{RMS}}$ となった。スペクトラムの測定結果より、32.6 MHz の周波数成分がピークを持つことがわかる。

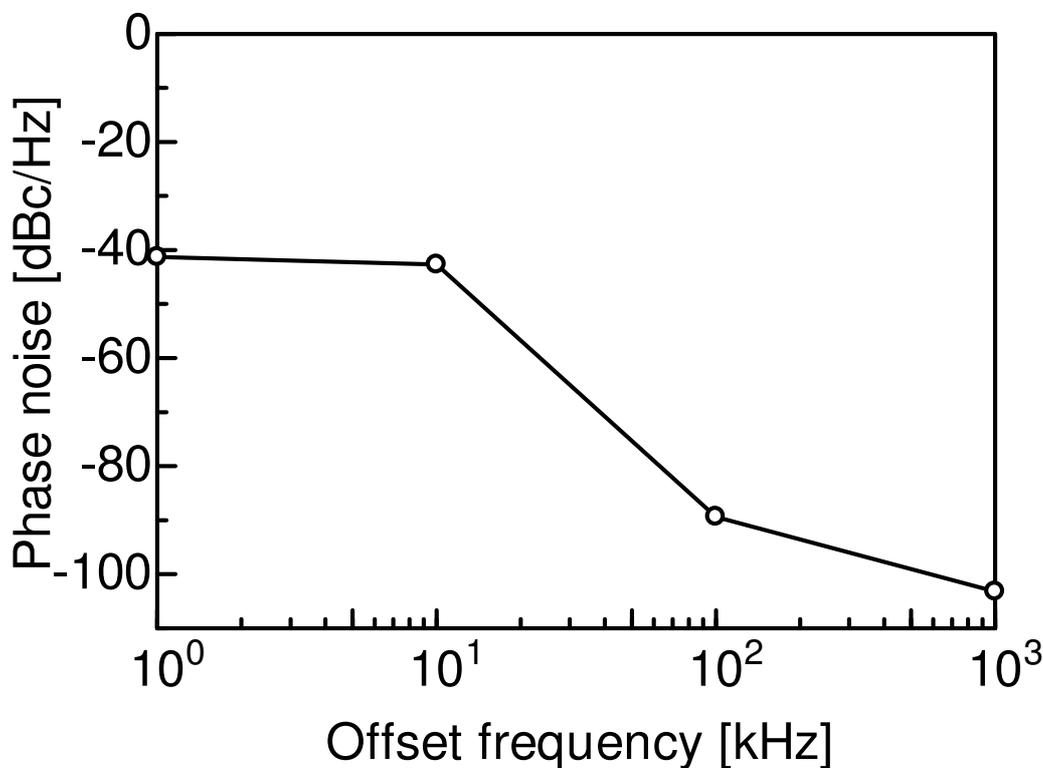


図 5.22: 位相ノイズの測定結果.

図 5.21 の測定結果より，オフセット周波数を考慮することで，RF (Radio Frequency) で用いられる雑音指標の位相雑音を求めることができる．図 5.22 に，スペクトラム解析の測定結果から求めた位相雑音を示す．位相雑音は，オフセット周波数が 1, 10, 100 kHz，そして 1 MHz の場合で，それぞれ -41.3 , -42.7 , -89.4 ，そして -103.2 dBc/Hz となった．2.4 GHz の搬送波の場合には， ± 75 kHz 以下 [13] の周波数ばらつき ($31\text{ppm} = 75\text{ kHz} / 25\text{ GHz}$) に抑える必要があり，75 kHz のオフセット周波数において位相雑音は -175 dBc/Hz 程度が求められる．提案回路は，100 kHz のオフセット周波数において位相雑音は -89.4 dBc/Hz であり，要求仕様と比較して粗いため，RF 信号への応用は困難である．しかし，提案回路は信号処理用途のクロック源のため問題にならない．

提案回路が生成するクロック信号を用いて ADC (Analog to Digital Converter) を間欠動作させた場合に，クロック信号が持つ周波数雑音が ADC の性能にどの程度の影響が現われるかを考える．SNR (Signal to Noise Ratio) は ADC の性能指標であり，ADC の信号と雑音の比率を表わす． SNR_{ADC} は量子化雑音と ADC の構成で決定し， $\text{SNR}_{\text{Jitter}}$ は RMS ジッタにより決定する． $\text{SNR}_{\text{Jitter}}$ は以下の式で表せる [14]．

$$\text{SNR}_{\text{Jitter}} = -20 \log (\Delta t_{\text{rms}} 2\pi f_{\text{in}}) [\text{dB}] \quad (5.9)$$

ここで， Δt_{rms} は RMS ジッタ， f_{in} は入力信号の周波数である． SNR_{ADC} と $\text{SNR}_{\text{Jitter}}$ を考慮した

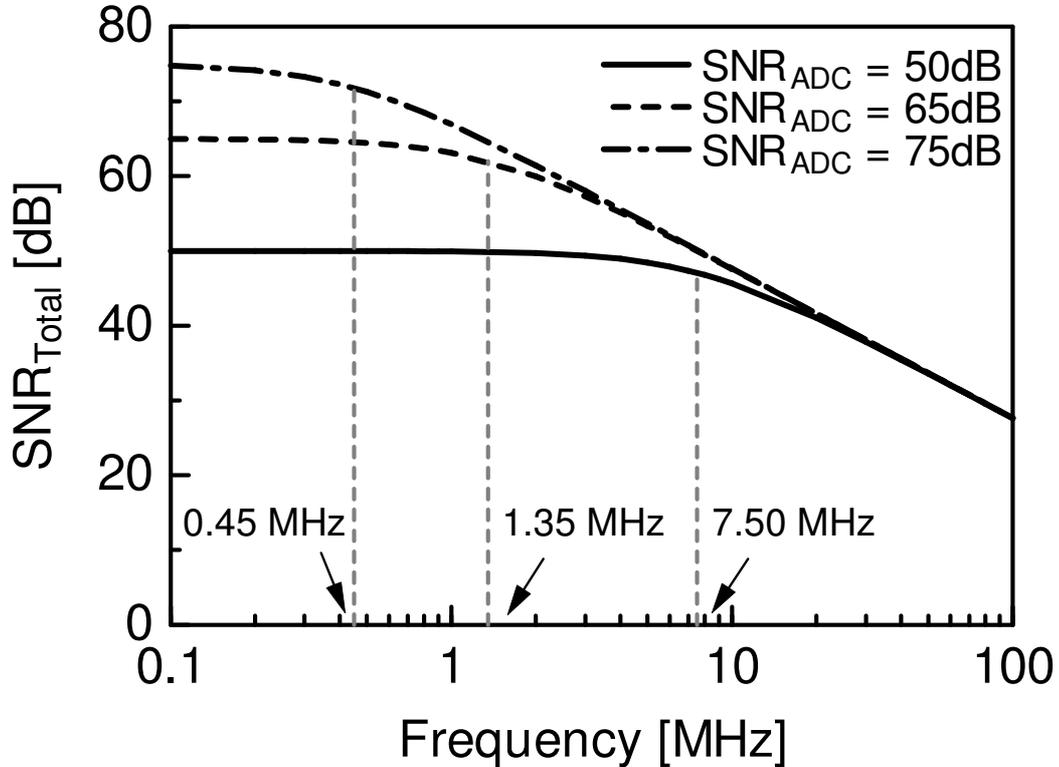


図 5.23: 周波数雑音が ADC へ与える影響.

全体の SNR_{Total} は、以下の式で表せる [14].

$$SNR_{Total} = -20 \log \sqrt{10^{\left(\frac{-SNR_{ADC}}{10}\right)} + 10^{\left(\frac{-SNR_{Jitter}}{10}\right)}} \quad (5.10)$$

式 (5.9), (5.10) より, RMS ジッタによる ADC の性能への影響を見積もることができる. 図 5.23 に, 各 SNR_{ADC} における提案回路の RMS ジッタ ($= 66 \text{ ps}_{rms}$) を考慮した SNR_{Total} の数値計算の結果を示す. SNR_{ADC} が 75, 65, 50 dB の時, RMS ジッタによりロールオフする周波数が, それぞれ 0.45, 1.35, そして 7.5 MHz とシフトしていることがわかる. 提案回路のクロックを用いて ADC を間欠動作させた場合は, SNR_{ADC} が 50 dB の時, 入力信号が 7.5 MHz まで対応できる. したがって, IoT デバイスのアプリケーションは十分な分解能を満足できることから, 提案回路は信号処理用途のクロック源として有用である.

表 1 に, 提案した弛張発振器と既存の発振器の性能比較を示す. 提案回路は, フルオンチップ搭載可能な構成で, 小さい周波数変動, 広い動作温度範囲, そして, 今まで報告されている中で最も早い起動を達成した. 提案回路は間欠動作を行う VLSI システムのクロック源として適していることを確認した.

表 5.1: 性能諸元.

Ref.	[3]	[5]	[6]	[7]	[8]	[9]	[10]	[11]	Prop.
Type	X-tal	Relax.	Relax.	Relax.	Relax.	Relax.	Relax.	Ring	Relax.
Tech. (nm)	65	180	180	180	180	180	180	350	180
Area (mm ²)	0.08	0.14	0.14	0.015	0.032	0.012	0.013	0.08	0.09
V_{DD} (V)	1.68	1.9 - 3.0	1.4 - 1.9	1.4 - 2.0	1.7 - 1.9	0.6 - 1.1	1.5 - 3.6	1.8 - 3.0	1.6 - 2.0
T (°C)	-40 - 90	NA	-40 - 125	-40 - 125	-40 - 125	-30 - 120	-40 - 85	-20 - 100	-20 - 125
f_{OUT} (MHz)	24	2.02	25	10.5	14	12.77	32.8	30	32.6
Start-up time (μ s)	64	NA	15*	NA	NA	NA	5*	2.5*	1
Power (μ W)	393	12	39.6*	219.8	43.2	56.2	16.6	180	300.6
FoM (μ W/MHz) ^{***}	9.74	5.94	1.58*	14.95	1.7	4.88	0.01	3.33	9.22
$\Delta f_V/f_{OUT}$ (%)	NA	± 0.06	$\pm 0.2^*$	± 0.13	± 0.16	± 0.01	$\pm 0.27^{**}$	± 2.4	$\pm 0.69^{**}$
$\Delta f_T/f_{OUT}$ (%)	NA	NA	$\pm 0.18^*$	± 1.13	$\pm 0.19^{**}$	± 0.4	$\pm 0.84^{**}$	± 0.6	$\pm 0.38^{**}$
$\sigma_{f_{CLK}}/\mu f_{CLK}$	NA	5.62	NA	NA	NA	<0.8	NA	2.7	0.62 ^{**}
Ext. signal	X-tal	No	No	No	I_{BIAS}	No	I_{BIAS}	No	No

*: シミュレーション結果, **: トリミング後の結果, ***: FoM = Power/ f_{OUT}

5.6 まとめ

本章では、信号処理用途に向けた高速起動可能な弛張発振回路を提案した。提案回路は、第3, 4章で説明した電流比較型弛張発振回路の高速スイッチング動作を利用することで、高速起動かつ高周波・高精度の動作周波数の生成を実現した。提案するオンチップ発振回路を0.18- μm CMOSプロセスを用いてチップ試作し、測定評価を行った。測定結果より、提案回路は室温で1.8 V印加した場合において、32.6 MHzのクロックを生成した。起動時間は極めて早く、1 μs 以内であった。トリミング後の周波数変動は、0.62%を達成した。周波数雑音の測定結果より、提案回路が生成するクロック信号を用いてADCを間欠動作させた場合、 SNR_{ADC} が50dBの時、入力信号の帯域は7.5 MHzまで対応可能である。

参考文献

- [1] A. Bahai, "Ultra-low energy systems: analog to information," in *Proc. Eur. Solid-State Circuits Conf.*, 2016, pp. 3-6.
- [2] H. Nakamura, T. Nakada, S. Miwa, "Normally-off computing project : challenges and opportunities," in *Proc. Proc. Asia South Pacific Design Autom. Conf.*, 2014, pp. 1-5.
- [3] D. Griffith, J. Murdock, P. T. Røine, "A 24MHz crystal oscillator with robust fast start-up using dithered injection," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 104-105, 2016.
- [4] S. Iguchi, H. Fuketa, T. Sakurai, and M. Takamiya, "Variation-tolerant quick-start-up CMOS crystal oscillator with chirp injection and negative resistance booster," *IEEE J. of Solid-State Circuits*, vol. 51, no. 2, pp. 496-508, 2015.
- [5] H. Bhamra, P. Irazoqui, "A 2-MHz, process and voltage compensated clock oscillator for biomedical implantable for SoC in 0.18- μ m CMOS," in *Proc. Int. Symp. Circuits. Syst.*, pp. 618-621, 2013.
- [6] H. Abbasizadeh, B. S. Rikan, K. Y. Lee, "A fully on-chip 25MHz PVT-compensation CMOS relaxation oscillator," in *Proc. IEEE Int. Conf. Very Large Scale Integr.*, pp. 241-245, 2015.
- [7] J. Lee, A. George, M. Je, "A 1.4V 10.5MHz swing-boosted differential relaxation oscillator with 162.1dBc/Hz FOM and 9.86ps_{rms} period jitter in 0.18 μ m CMOS," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 106-107, 2016.
- [8] Y. Tokunaga, S. Sakiyama, A. Matsumoto, S. Dosho, "An on-chip CMOS relaxation oscillator with power averaging feedback using a reference proportional to supply voltage," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 404-405, 2009.
- [9] J. Wang, W. L. Goh, X. Liu, J. Zhou, "A 12.77-MHz on-chip relaxation oscillator with digital compensation for loop delay variation," in *Proc. Asian Solid-State Circuits Conf.*, pp. 169-172, 2015.
- [10] Y. H. Lam, S. J. Kim, "A 16.6 μ W 32.8MHz monolithic CMOS relaxation oscillator," in *Proc. Asian Solid-State Circuits Conf.*, pp. 161-164, 2014.

-
- [11] K. Ueno, T. Asai, Y. Amemiya, "A 30-MHz, 90-ppm/°C fully-integrated clock reference generator with frequency-locked loop," in *Proc. Eur. Solid-State Circuits Conf.*, pp. 392-395, 2009.
- [12] P.E. Allen and D.R. Holbelg, *CMOS Analog Circuit Design Third Edition*, Oxford University Press, 2011.
- [13] Bluetooth Special Interest Group (SIG). Specification of the Bluetooth System, accessed on Jan. 18, 2018. [Online]. Available: <https://www.bluetooth.org/>
- [14] C. A. -Leme "Clock jitter effects on sampling: a tutorial," *IEEE Circuits Syst. Mag.*, vol. 11, no. 2, pp. 26-37, 2011.

第6章 結論

本論文は、極めて低い電力で動作可能な IoT (Internet of Things) デバイスに向けた集積回路設計技術に関する研究内容をまとめた。

第2章では、広い負荷電流特性を持つフルオンチップスイッチトキャパシタ (SC: Switched Capacitor) 型 DC-DC(Direct Current to Direct Current) コンバータ電源回路を検討した。従来回路は制御回路の消費電力を大幅に削減することで、高効率化を実現していた。しかし、応答遅延が大きいため、負荷電流が増加すると制御回路の動作が困難になり、負荷電流範囲が狭くなる課題があった。提案回路は負荷電流をモニタし、電荷伝送を担うクロック信号生成回路へ負帰還制御する。負荷電流の負帰還制御を行うことで、提案回路はクロックの動作周波数を負荷電流の変化に対して適応的に制御可能になり、電力変換効率の負荷電流特性を改善した。提案するフルオンチップ SC 型 DC-DC コンバータを 0.13- μm CMOS プロセスを用いてチップ試作し、測定評価を行った。提案回路は、入力電圧 3.0 V を与えた時、出力電圧 1.0 V を生成した。電力変換効率の負荷電流特性は、0.8–100 μA の範囲で 60% の効率を達成した。提案回路は、超低電力 IoT デバイスのパワーマネジメント回路に有用であることを示した。

第3章では、時間計測用途に向けた超低消費電力動作可能な弛張発振回路を検討した。弛張発振回路はオンチップ搭載可能なクロック源であり、コンパレータを用いて信号比較を行うことで動作周波数を生成する。しかし、動作周波数の精度はコンパレータの非理想要因により劣化する課題があった。従来回路はコンパレータの応答遅延に対してオートゼロ技術による補正を行うことで、低電力・高精度な動作周波数を実現している。しかし、補正回路の消費電力が増大し、発振回路全体の消費電力が依然として高い点に課題があった。提案回路では、コンパレータの動作モードを、従来の電圧比較型から電流比較型へ変更することで超低消費電力動作を実現した。提案するオンチップ発振回路を 0.18- μm CMOS プロセスを用いてチップ試作し、測定評価を行った。電源電圧 0.85 V を印加した時、提案回路の消費電力は 54.2 nW、動作周波数は 32.7 kHz、そしてエネルギー効率を表わす FoM (Figure of Merit) は 1.66 nW/kHz であった。動作周波数の温度係数と電源電圧依存性は、それぞれ $\pm 0.6\%$ と $\pm 0.44\%$ であった。提案回路が IoT デバイスの超低電力 RTC に有用であることを示した。

第4章では、実装面積の削減に向けた抵抗レス弛張発振回路を検討した。オンチップ発振回路の消費電力と抵抗にはトレードオフの関係がある。抵抗を大きく設計してバイアス電流を低電流化することで消費電力の削減は可能であるが、実装面積が増大する課題があった。提案回路は、上記で説明した電流比較型オンチップ発振回路を基本とし、抵抗を用いないバイアス電流源を組み込むことで、実装面積の削減と超低消費電力動作の両立を実現した。提案するオンチップ発振回路を 65-nm CMOS プロセスを用いて設計し、ポストレイアウトシミュレーション評価を行った。提案回路の面積は 0.022 mm^2 、動作周波数は 32.5 kHz、消費電力は 271 nW であった。動作周波数の温度係数と電源電圧依存性は、それぞれ $\pm 0.83\%$ と $\pm 0.14\%$ であった。モンテカルロ解析による

シミュレーション評価では、動作周波数の平均値は 32.3 kHz、分散は 0.6 kHz、そして変動係数は 1.9%であった。提案回路が IoT デバイスの超低電力で小面積な RTC に有用であることを示した。

第5章では、信号処理用途に向けた高速起動可能な弛張発振回路を検討した。従来回路では、システムクロックに向けてオペアンプを用いた PLL (Phase Locked Loop) 方式のリング発振回路や補正機構を搭載した弛張発振回路が報告されている。しかし、これらの方式はフィードバックループの安定に時間が必要なため高速起動が困難な課題があった。提案回路は、RTC の電流比較型の回路構成を採用することで高速起動を実現した。提案する高速起動可能なオンチップ発振回路を 0.18- μm CMOS プロセスを用いてチップ試作し、測定評価を行った。提案回路は 1 μs 以内の高速起動を行い、動作周波数は 32.6 MHz であった。動作周波数の温度係数と電源電圧依存性は、それぞれ $\pm 0.38\%$ と $\pm 0.69\%$ であった。提案回路が、IoT デバイスの信号処理回路ブロックの間欠動作に向けた高速起動を特徴としたシステムクロックに有用であることを示した。

本論文では、IoT デバイスの超低消費電力動作に向けた電源電圧の低電圧化と間欠動作技術に必要な電源回路と弛張発振回路の仕様や課題点について説明し、これらを解決する手法を提案した。シミュレーション評価と試作チップの測定評価結果から、提案した集積回路設計技術が IoT デバイスの超低電力化に有用であることを示した。本研究における成果が、集積回路エレクトロニクスの持続可能な発展に貢献することを期待する。

謝 辞

本研究は、神戸大学大学院工学研究科電気電子工学専攻 廣瀬哲也准教授のご指導の下に行われたものであり、本研究を遂行するにあたり、終始懇切な御指導、御鞭撻を賜りました。心より感謝致します。

本研究を遂行するにあたり、貴重な御教示と御助言を頂きました。神戸大学大学院工学研究科電気電子工学専攻 沼 昌宏教授に深く感謝致します。

本論文に対して御検討、御助言を頂いた神戸大学大学院工学研究科電気電子工学専攻増田澄男教授、北村雅季教授に深く感謝致します。

日頃から暖かい励ましと貴重な御助言を頂きました。神戸大学大学院工学研究科電気電子工学専攻黒木修隆准教授に深く感謝いたします。

研究室における環境の便宜を図ってくださいました。神戸大学大学院工学研究科電気電子工学専攻松本 香技術専門職員に深く感謝いたします。

本研究を遂行するにあたり、神戸大学大学院工学研究科電気電子工学専攻 集積回路情報研究室の皆様、誠に世話になりました。本研究を遂行するにあたり極めて重要な議論を交わしました。椿 啓志氏 (現 ラピスセミコンダクタ株式会社)、尾崎年洋氏 (現 旭化成株式会社)、三好太朗氏 (現 四国電力株式会社)、に深く感謝いたします。雫 讓 (現 リコー電子デバイス株式会社)、塚元瑞穂氏 (現 富士通株式会社)、長井崇浩氏 (現 村田製作所株式会社)、平井貴之氏 (現 ラピスセミコンダクタ株式会社)、山内貴仁氏 (現 ソニー株式会社)、田中勇氣氏 (現 パナソニック株式会社)、團野祐也氏 (現 神鋼鋼線工業株式会社)、中澤明良氏 (現 株式会社村田製作所)、上田僚太氏 (現 アークレイ株式会社)、小國一道氏 (現 旭化成株式会社)、木村祐太氏 (現 株式会社デンソー)、松塚 凌氏 (現 パナソニック株式会社)、秋原優樹氏 (現 三菱電機株式会社)、小島裕太氏 (現 関西電力株式会社)、佐渡健司氏 (現 村田製作所株式会社)、坪井惇紀氏 (現 リコー電子デバイス株式会社)、篠永恭平氏 (現 タカラトミー株式会社)、佐藤孝憲氏、竹川和希氏、辻 佑斗氏、増田創太氏、足立崇明、神崎脩斗氏、中澤勇一郎氏、寺田達矢氏、山手浩樹氏、LEE YOUNG GYUN 氏、沖田 翔氏、木村亮平氏、佐藤啓樹氏、矢倉佳樹氏、とは多くの議論を致しました。そこで行った議論は本研究を進める上で大変有意義なものでありました。深く感謝致します。

最後に、常に暖かく見守り、終始精神的、経済的に支援して頂いた両親、兄に心より感謝し、本論文の謝辞といたします。

研究業績

学術論文

1. Y. Kojima, T. Hirose, K. Tsubaki, T. Ozaki, H. Asano, N. Kuroki, M. Numa, “A fully on-chip 3-terminal switched-capacitor DC-DC converter for low-voltage CMOS LSIs,” *Japanese Journal of Applied Physics*, vol. 55, no. 4S, 04EF09, 2016.
2. T. Ozaki, T. Hirose, H. Asano, N. Kuroki, and M. Numa, “Fully-integrated high-conversion-ratio dual-output voltage boost converter with MPPT for low-voltage energy harvesting,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 10, pp. 2398-2407, 2016.
3. T. Ozaki, T. Hirose, H. Asano, N. Kuroki, and M. Numa, “Ultra-low quiescent current and wide load range low-dropout linear regulator with self-biasing technique for micro-power battery management,” *Japanese Journal of Applied Physics*, vol. 56, no. 4S, 04CF11, 2017.
4. H. Asano, T. Hirose, Y. Kojima, N. Kuroki, and M. Numa, “A fully integrated, wide load range, high power conversion efficiency switched capacitor DC-DC converter with adaptive biasing comparator for ultra-low-power power management integrated circuit,” *Japanese Journal of Applied Physics* 57, (採録決定)
5. H. Asano, T. Hirose, T. Miyoshi, K. Tsubaki, T. Ozaki, N. Kuroki, and M. Numa, “A Sub-1- μ s Start-up Time, Fully-integrated 32-MHz Relaxation Oscillator for Low-power Intermittent Systems,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. 101-C, no. 3, 2018. (採録決定)
6. H. Asano, T. Hirose, T. Ozaki, N. Kuroki, and M. Numa, “An Area-Efficient, 0.022-mm², Resistor-less On-Chip Frequency Reference Circuit for Ultra-low Power Real-time Clock Application,” *IEEJ Transactions on Electronics, Information and Systems*, (条件付き採録)

国際会議

1. Y. Kojima, T. Hirose, K. Tsubaki, T. Ozaki, H. Asano, N. Kuroki, and M. Numa, “A fully on-chip switched-capacitor DC-DC power converter with startup/fail-safe circuit,” in *Ext. abs. of the 2015 International Conference on Solid State Devices and Materials*, 2015, pp. 158-159.

2. T. Ozaki, T. Hirose, H. Asano, N. Kuroki, and M. Numa, "A fully-integrated, high-conversion-ratio and dual-output voltage boost converter with MPPT for low-voltage energy harvesting," in *Proc. of the 2015 IEEE Asian Solid-State Circuits Conference, 2015*, pp. 1-4.
3. H. Asano, T. Hirose, T. Miyoshi, K. Tsubaki, T. Ozaki, N. Kuroki, M. Numa, "A fully integrated, 1- μ s start-up time, 32-MHz relaxation oscillator for low-power intermittent systems," in *Proc. of the 14th IEEE International New Circuits and Systems Conference, 2016*, pp. 1-4.
4. H. Asano, T. Hirose, K. Tsubaki, T. Miyoshi, T. Ozaki, N. Kuroki, M. Numa, "A 1.66-nW/kHz, 32.7-kHz, 99.5ppm/ $^{\circ}$ C, fully integrated current-mode RC oscillator for real-time clock applications with PVT stability," in *Proc. of the 42nd European Solid-State Circuits Conference, 2016*, pp. 149-152.
5. T. Ozaki, T. Hirose, H. Asano, N. Kuroki, and M. Numa, "A self-biased low-dropout linear regulator for ultra-low power battery management," in *Ext. abs. of the 2016 International Conference on Solid State Devices and Materials, 2016*, pp. 463-464.
6. T. Ozaki, T. Hirose, H. Asano, N. Kuroki, and M. Numa, "A 0.38- μ W stand-by power, 50-nA-to-1-mA load current range DC-DC converter with self-biased linear regulator for ultra-low power battery management," in *Proc. of the 2016 IEEE Asian Solid-State Circuits Conference, 2016*, pp. 225-228.
7. H. Asano, T. Hirose, T. Miyoshi, K. Tsubaki, T. Ozaki, N. Kuroki, and M. Numa, "Sub-1-s start-up time, 32-MHz relaxation oscillator for low-power intermittent VLSI systems," in *Proc. of IEEE Asia and South Pacific Design Automation Conference, 2017*, 1S-16, pp.35-36.
8. H. Asano, T. Hirose, T. Ozaki, N. Kuroki, and M. Numa, "An area-efficient, 0.022-mm², fully integrated resistor-less relaxation oscillator for ultra-low power Real-time clock applications," in *Proc. of the 50th IEEE International Symposium on Circuits and Systems, 2017*, pp.447-480.
9. H. Asano, T. Hirose, Y. Kojima, N. Kuroki, and M. Numa, "A wide load range switched capacitor DC-DC converter with adaptive bias comparator for ultra-low-power power management integrated circuit," in *Ext. abs. of the International Conference on Solid State Devices and Materials, 2017*, pp. 511-512.
10. Y. Tsuji, T. Hirose, T. Ozaki, H. Asano, N. Kuroki, and M. Numa, "A 0.1–0.6 V Input Range Voltage Boost Converter with Low-Leakage Driver for Low-Voltage Energy Harvesting," in *Proc. of the 24th IEEE International Conference on Electronics, Circuits and Systems, 2017*, pp. 502 - 505.

11. T. Sato, T. Hirose, H. Asano, N. Kuroki, and M. Numa, "An Ultra-Low-Power Supercapacitor Voltage Monitoring System for Low-Voltage Energy Harvesting," in *Proc. of the 24th IEEE International Conference on Electronics, Circuits and Systems*, 2017, pp. 499 - 501.

国内会議

1. 浅野大樹, 廣瀬 哲也, 椿 啓志, 尾崎年洋, 黒木修隆, 沼 昌宏, "電力変換効率の負荷電流依存性を考慮したオンチップチャージポンプの高効率化," 第 27 回 回路とシステムワークショップ, 2014 年 8 月 4 日, pp. 25 - 30.
2. 浅野大樹, 廣瀬 哲也, 椿 啓志, 尾崎年洋, 黒木修隆, 沼 昌宏, "環境エネルギー利用に向けたエネルギー変換回路の高効率化設計," 第 41 回 KOBE 工学サミット, 2015 年 6 月 8 日, ポスターセッション.
3. 佐渡健司, 廣瀬哲也, 椿啓志, 尾崎年洋, 浅野大樹, 松本 香, 黒木修隆, 沼 昌宏, "振動エネルギーを用いた環境発電のための超低電力・適応バイアス型シリーズレギュレータ," 電子情報通信学会 集積回路研究専門委員会 第 41 回アナログ RF 研究会, 2015 年 7 月 21-22 日.
4. 三好太朗, 廣瀬哲也, 椿 啓志, 浅野大樹, 尾崎年洋, 黒木修隆, 沼 昌宏, "高速起動を特徴とするフルオンチップ 32 MHz 弛張発振回路," 第 28 回 回路とシステムワークショップ, 2015 年 8 月 3-4 日, pp. 70-75.
5. 坪井惇紀, 廣瀬哲也, 尾崎年洋, 浅野大樹, 黒木修隆, 沼 昌宏, "適応バイアス技術を用いた超低電力・高速オペアンプの高性能化," 第 28 回 回路とシステムワークショップ, 2015 年 8 月 3-4 日, pp. 94-99,
6. 佐渡健司, 廣瀬哲也, 椿 啓志, 尾崎年洋, 浅野大樹, 松本 香, 黒木修隆, 沼 昌宏, "高耐圧 CMOS プロセスによる超低電力・適応バイアス型シリーズレギュレータ," 第 28 回 回路とシステムワークショップ, 2015 年 8 月 3-4 日, pp. 264-269.
7. 小島裕太, 廣瀬哲也, 椿 啓志, 尾崎年洋, 浅野大樹, 黒木修隆, 沼 昌宏, "スイッチトキャパシタ回路を用いたオンチップ電源回路の高効率化," 第 28 回 回路とシステムワークショップ, 2015 年 8 月 3-4 日, pp. 270-275.
8. 辻 佑斗, 廣瀬哲也, 尾崎年洋, 浅野大樹, 小國一道, 黒木修隆, 沼 昌宏, "極低入力電圧を昇圧するチャージポンプ回路の設計," 第 29 回 回路とシステムワークショップ, 2016 年 5 月 12-13 日, pp. 301-306.
9. 浅野大樹, 廣瀬哲也, 三好太朗, 椿 啓志, 尾崎年洋, 黒木修隆, 沼 昌宏, "間欠動作型 VLSI システムに向けた高速起動可能な 32-MHz フルオンチップ弛張発振器," LSI とシステムのワークショップ 2016, 2016 年 5 月 16-17 日, ps-12.

10. 浅野大樹, 廣瀬哲也, 三好太朗, 椿 啓志, 尾崎年洋, 黒木修隆, 沼 昌宏, “高速起動を特徴とした間欠動作型 VLSI システム用 32-MHz オンチップクロック源回路,” 電子情報通信学会 集積回路研究専門委員会 集積回路研究会, 2016 年 8 月 1-3 日, pp. 3-8.
11. 浅野大樹, 廣瀬哲也, 三好太朗, 椿 啓志, 尾崎年洋, 黒木修隆, 沼 昌宏, “1 マイクロ秒以内の高速起動を特徴とする高精度 32-MHz 弛張発振器,” 平成 28 年度 VDEC デザイナーズフォーラム, 2016 年 8 月 25-26 日.
12. 浅野大樹, 廣瀬哲也, 椿 啓志, 三好太朗, 尾崎年洋, 黒木修隆, 沼 昌宏, “時間計測アプリケーションに向けた超低電力フルオンチップ電流比較型 RC 発振器,” 電子情報通信学会 集積回路研究専門委員会集積回路研究会, 2017 年 1 月 22-23 日, pp. 81-86.
13. 浅野大樹, 廣瀬哲也, 椿 啓志, 三好太朗, 尾崎年洋, 黒木修隆, 沼 昌宏, “リアルタイムクロックに向けた電流比較型超低電力フルオンチップ RC 発振器,” LSI とシステムのワークショップ 2017, 2017 年 5 月 15-16 日, ps-44.
14. 辻 佑斗, 廣瀬哲也, 尾崎年洋, 浅野大樹, 黒木修隆, 沼 昌宏, “極低入力電圧 エネルギーハーベスティングに向けた昇圧コンバータの設計,” LSI とシステムのワークショップ 2017, 2017 年 5 月 15-16 日, PS-46.
15. 浅野大樹, 廣瀬哲也, 椿 啓志, 三好太朗, 尾崎年洋, 黒木修隆, 沼 昌宏, “超低消費電力 32-kHz リアルタイムクロック生成回路,” 平成 29 年度 VDEC デザイナーズフォーラム, 2017 年 9 月 4 日.
16. 浅野大樹, 廣瀬哲也, 尾崎年洋, 黒木修隆, 沼 昌宏, “時間計測アプリケーションに向けた抵抗レスで面積利用効率の高い超低電力フルオンチップ弛張発振器,” 電子情報通信学会 集積回路研究専門委員会 集積回路研究会, 2017 年 12 月 14-15 日, pp. 141.

招待講演・ポスター

1. 浅野大樹, 廣瀬哲也, 三好太朗, 椿 啓志, 尾崎年洋, 黒木修隆, 沼 昌宏, “1 マイクロ秒以内の高速起動を特徴とする高精度 32-MHz 弛張発振器,” VDEC20 周年記念会, 歴代 VDEC デザインアワード受賞ポスター展示, 2017 年 1 月 20 日, PS-20.
2. T. Ozaki, T. Hirose, H. Asano, N. Kuroki, M. Numa, “A self-biased low-dropout linear regulator for ultra-low power battery management,” 第 17 回関西コロキウム電子デバイスワークショップ, 2018 年 1 月 29 日.

受賞

1. 浅野大樹, 廣瀬哲也, 三好太朗, 椿 啓志, 尾崎年洋, 黒木修隆, 沼 昌宏, “間欠動作型 VLSI システムに向けた高速起動可能な 32-MHz フルオンチップ弛張発振器,” IEEE SSCS Japan Chapter Academic Research Award, 2016 年 5 月 17 日.
2. H. Asano, T. Hirose, T. Miyoshi, K. Tsubaki, T. Ozaki, N. Kuroki, M. Numa, “A fully integrated, 1- μ s start-up time, 32-MHz relaxation oscillator for low-power intermittent systems,” the 14th IEEE International NEWCAS Conference, 2016, Best Student Paper Award.
3. 浅野大樹, 廣瀬哲也, 三好太朗, 椿 啓志, 尾崎年洋, 黒木修隆, 沼 昌宏, “1 マイクロ秒以内の高速起動を特徴とする高精度 32-MHz 弛張発振器,” 平成 28 年度 VDEC デザイナーズフォーラム 優秀賞, 2016 年 8 月 25 日.
4. 浅野大樹, 廣瀬哲也, 椿 啓志, 三好太朗, 尾崎年洋, 黒木修隆, 沼 昌宏, “リアルタイムクロックに向けた電流比較型超低電力フルオンチップ RC 発振器,” IEEE SSCS Japan Chapter Academic Research Award, 2017 年 5 月 16 日.
5. 浅野大樹, 廣瀬哲也, 椿 啓志, 三好太朗, 尾崎年洋, 黒木修隆, 沼 昌宏, “超低消費電力 32-kHz リアルタイムクロック生成回路,” IEEE SSCS Japan Chapter VDEC Design Award, 2017 年 9 月 4 日.
6. 浅野大樹, 廣瀬哲也, 椿 啓志, 三好太朗, 尾崎年洋, 黒木修隆, 沼 昌宏, “超低消費電力 32-kHz リアルタイムクロック生成回路,” 平成 29 年度 VDEC デザイナーズフォーラム 優秀賞, 2017 年 9 月 4 日.

神戸大学博士論文 全 99 頁

「超低電力 IoT デバイスに向けた集積回路設計技術に関する研究」

提出日 2018 年 01 月 18 日

本博士論文が神戸大学機関リポジトリ Kernel にて掲載される場合、掲載登録日（公開日）はリポジトリの該当ページ上に掲載されます。

©浅野 大樹

本論文の内容の一部あるいは全部を無断で複製・転載・翻訳することを禁じます。
