



高速デジタル信号処理システムの構成に関する研究

菅原, 一孔

(Degree)

博士 (工学)

(Date of Degree)

1989-04-28

(Date of Publication)

2014-03-28

(Resource Type)

doctoral thesis

(Report Number)

乙1302

(URL)

<https://hdl.handle.net/20.500.14094/D2001302>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



神戸大学博士論文

高速デジタル信号処理
システムの構成に関する研究

平成元年3月

菅原一孔

内容梗概

本論文は、複数のデジタル信号処理専用プロセッサを用いることにより従来の構成法に比べ、高速な信号処理が可能な信号処理システムの開発に関する研究の成果をまとめたもので、緒論、結論を含めて全6章から構成されている。各章の概要は次のとおりである。

第1章緒論では、デジタル信号処理の分野におけるデジタル信号処理システムの実現に関するこれまでの研究について概説し、本論文の目的と意義について述べている。

第2章では、複数のデジタル信号処理専用プロセッサを用いた新しい高速な信号処理システムの構成法である、遅延多通路構成デジタル信号処理システムを提案するとともに、その二つの設計法を提案している。第1の方法は従来からの近似法によって通常の構成法によるフィルタを設計し、この伝達関数の分母、分子に適当な多項式をかけることにより、遅延多通路構成のための伝達関数を得るものである。また第2の設計法は、遅延多通路構成で実現することのできるようあらかじめ伝達関数の分母の形に制約を加え、これを線形計画法により設計仕様から近似するものである。

第3章では、前半の部分でデジタル回路の記号解析を行うための、数式処理言語を用いた新しい記号解析手法を提案している。この方法によると回路の様々な特性を回路定数を記号のまま含んだ形の解析結果を得ることができるとため本章の後半で行う遅延多通路構成の特性を調べる上で有効なものとなる。後半では第2章で提案した遅延多通路構成デジタル信号処理システムの特性について、各通路の構成要素となるサブフィルタをいままでに知られているさまざまな構成法により実現し、この場合の感度特性、雑音特性などを

通常の構成法によるものと比較検討を行った。この結果遅延多通路構成法が従来のものに比べ良好な特性を持つことを示している。

第4章では、遅延多通路構成を利用した高速信号処理が可能な新しい適応型デジタルフィルタの構成法を提案している。この構成法によると通路数が N^2 の場合、通常の構成法に比べ信号処理速度が N^2 倍に、また適応処理の収束に要する時間が N 倍高速化されることが示されている。適応アルゴリズムについては LMS アルゴリズムと LRS アルゴリズムを例にとり、これらを遅延多通路構成で実現することができるようにアルゴリズムの分解を行ったものを用いている。

第5章では、ここで提案した遅延多通路構成の信号処理システムだけでなく、一般の信号処理システムを構築する際にも、より小さな規模でかつ信頼性の高いシステムを実現するために、新しく開発したデジタル信号処理専用プロセッサのための周辺回路用 LSI を設計試作している。特に遅延多通路構成システムでは複数のプロセッサを用いて構成されるために、そのシステムの規模は大きなものになる傾向にある。ここで開発した LSI を用いてシステムを構築すると規模は小さなものとするのが可能であり、さらに雑音などに対する信頼性も向上させることが可能である。

第6章結論では、本研究の成果を総括して述べている。

高速デジタル信号処理システムの構成に関する研究

目次

第 1 章 緒論

第 2 章 遅延多通路構成デジタルフィルタ

2. 1	緒言	4
2. 2	多通路構成デジタルフィルタ	5
2. 3	DM 構成デジタルフィルタ	9
A.	FIR デジタルフィルタ	9
(I)	2 通路の場合	9
(II)	多通路構成の場合	12
B.	IIR フィルタ	12
(I)	2 通路の場合	12
(II)	多通路の場合	13
C.	設計例	15
2. 4	線形計画法による IIR 形線形位相 DM 構成デジタル フィルタの設計	18
A.	伝達関数の変形	18
B.	安定性について	23
C.	設計例	23
(I)	例. 1	23
(II)	例. 2	26
2. 5	結言	27

第3章 DM 構成デジタルフィルタの特性

3.1	緒言	29
3.2	数式処理プログラムによるデジタル回路の記号解析	29
3.3	回路解析の流れ	31
3.4	解析例	33
3.5	DM 構成	36
3.6	DM 構成の感度特性	37
3.7	DM 構成の雑音特性	38
A.	直接型構成	39
B.	転置直接型構成	40
C.	Avenhaus 型構成	44
3.8	結言	49

第4章 DM 構成適応型デジタルフィルタ

4.1	緒言	51
4.2	DM 構成適応型デジタルフィルタ	54
A.	k が偶数の場合	57
B.	k が奇数の場合	58
4.3	DM 構成 LMS アルゴリズム	59
4.4	DM 構成 LRS アルゴリズム	60
4.5	シミュレーション結果	62
A.	LMS アルゴリズム	63
B.	LRS アルゴリズム	67
4.6	結言	68

第5章 DSP 用周辺 LSI を用いたシステムの構成

5.1	緒言	73
5.2	DSP を用いた信号処理システムの基本的な構成	74

5.3	DSP 用周辺 LSI	76
A.	初期プログラム転送回路	79
B.	アドレス信号制御回路	82
C.	マイクロプロセッサとのインターフェイス回路	83
D.	パーソナルコンピュータへの組込用の回路	89
5.4	システム構成例	93
A.	スタンドアローンシステム	93
B.	マイクロプロセッサで制御されるシステム	94
5.5	結言	94

第6章 結論

謝 辞	100
参考文献	101
研究発表一覧	110

第 1 章 緒論

デジタル信号処理の技術は，デジタル IC 技術の目覚しい進歩とともに，従来アナログ的に処理がなされてきた分野においても，これにとって代ろうとする勢で進歩してきた。またこの進歩とともにデジタル信号処理のための多くの理論も見出され，現在ではアナログ回路を単に模擬するだけではなく，デジタル信号処理特有の技術も多く開発され大きな役割を果たしている^{〔1-1〕-〔1-8〕}。

従来ではこのようなデジタル信号処理システムは個別部品で構成するか，あるいは汎用のマイクロプロセッサでソフトウェア的に実現されていたため，信号処理速度とその汎用性を同時に得ることが困難であったが，近年の IC 技術の目覚しい進歩によって，デジタル信号処理専用のプロセッサが開発され，この問題はある程度克服された^{〔1-9〕-〔1-12〕}。これによって，小型の高速な汎用性に富むシステムを実現することが容易になり，制御機器など従来デジタル信号処理がなされていなかった分野においても，そのデジタル化が急速に進んでいる。デジタル信号処理専用プロセッサも改良が進み，現在では第 2 世代のものが主流をしめ，さらに第 3 世代のプロセッサの開発も進んでいる。

ところがこのように，デジタル信号処理の技術が各方面で応用されてくると，システムの高速度の要求はさらに高度なものになり，これに応えるには先に述べたような急速に進歩しているデジタル信号処理専用プロセッサを用いても，困難な場合がある。さらに現在の時点では，デジタル信号処理専用プロセッサに関する開発はプロセッサ本体にのみ集中しており，汎用マイクロプロセッサのような周辺 LSI などが開発された例は数少ない。このため周辺回路は個別部品を用いて構成されねばならず，必然的にその回路規模は

大きなものになってしまう。これによって得られたシステムの信頼性などに問題を残す結果になってしまう。

本研究の目的は、このような信号処理速度の問題を解決するために、現在提供されているデジタル信号処理専用プロセッサを複数用いた、新しい高速な信号処理システムの構成法である、遅延多通路構成を提案すること、その新しい構成法の特性を調べその特徴を確認すること、さらにデジタル信号処理システムを構成するために必要となる、デジタル信号処理専用プロセッサのための周辺 LSI を開発することにある。提案する遅延多通路構成は複数のプロセッサを用いて構成されるため、新しく開発した周辺 LSI はシステム構築の上で大きな助けとなる。

本論文において、第 2 章では、高速な信号処理のために複数のデジタル信号処理専用プロセッサを用る、新しい信号処理システムの構成法の遅延多通路構成デジタル信号処理システムを提案するとともに、これによりデジタルフィルタを構成するときの近似法を 2 つ提案している。第 1 の方法は従来からの近似法によって通常の構成法によるフィルタを設計し、得られた伝達関数の分母、分子に適当な多項式をかけることにより、遅延多通路構成のための伝達関数を得るものである。この方法によると従来からある設計法がそのまま利用することができるために便利であるが、あとで分母、分子に多項式をかけるために、システムの次数が必要以上に高くなってしまう場合がある。第 2 の設計法は、あらかじめ遅延多通路構成で実現することのできるように伝達関数の分母多項式に制約を加え、これを線形計画法により設計仕様から近似するものである。これによると第 1 の方法で問題となった回路の次数が高くなるなどの問題はない。以上 2 つの方法による設計例を示し、それぞれの方法の有効性を確認している。

第 3 章の前半の部分では、数式処理言語を用いたデジタル回路の記号解析を行うための新しい記号解析手法を提案している。この

方法によると回路の様々な特性を回路定数を記号のまま含んだ形の解析結果を得ることができるため、本章の後半で遅延多通路構成の特性を調べる上で有効なものとなる。後半では第2章で提案した遅延多通路構成デジタル信号処理システムの特性について、各通路の構成要素となるサブフィルタをいままでに知られているいくつかの回路構成により実現し、感度特性、雑音特性などを通常の構成法によるものと比較検討を行っている。この結果、本論文で提案する遅延多通路構成法が従来のものに比べ良好な特性を持つことを示している。

第4章では、高速信号処理が可能な新しい適応型デジタルフィルタの構成法を遅延多通路構成を利用して構成している。この構成法によると通路数が N^2 の場合、通常の構成法に比べ信号処理速度が N^2 倍に、また適応処理の収束に要する時間が N 倍高速化されることが示されている。適応アルゴリズムについては LMS アルゴリズムと LRS アルゴリズムを例にとり、これらを遅延多通路構成で実現することができるようにアルゴリズムの分解を行ったものをもちいている。

第5章では、ここで提案した遅延多通路構成の信号処理システムだけでなく、一般の信号処理システムを構築する際にも、より小さな規模でかつ信頼性の高いシステムを実現するために、新しく開発したデジタル信号処理専用プロセッサのための周辺回路用 LSI を設計試作している。特に遅延多通路構成システムでは複数のプロセッサを用いて構成されるために、そのシステムの規模は大きなものになる傾向にある。この点、ここで開発した LSI を用いてシステムを構築すると規模は小さなものとするのが可能であり、さらに雑音などに対する信頼性も向上させることが可能である。

第 2 章 遅延多通路構成デジタルフィルタ

2. 1 緒言

現在の高度な半導体技術を背景に各種の複雑な機能をもつ LSI が相次いで開発されている。デジタル信号処理専用の LSI，デジタルシグナルプロセッサ（以下 DSP）^{[1-9]-[1-12]} もこの中にあり，従来個別部品を用いるかあるいは汎用マイクロプロセッサを用いるかして実現されていたデジタル信号処理システムを，より高速かつ汎用性をもった形で実現するものとして，注目されている^{[2-1]-[2-2]}。このような DSP は，基本的には従来からある汎用マイクロプロセッサと同じものであるが，ハードウェア乗算器を内蔵していたり，高速処理のための特殊なパイプライン構造の構成がなされている点に特徴がある。

しかし，個々のシグナルプロセッサは，それぞれ異なったアセンブリ言語を持ち，それによって信号処理のアルゴリズムが書き表されるため，信号処理のための実行時間はプログラムの長さに依存する。また，シグナルプロセッサが 1 つの命令を実行するのに要する時間は半導体技術により制約を受けており，これを用いて構成される信号処理システムの処理速度も限界がある。このためこのような DSP を用いても高速化の要求に十分に答えることができない場合も多く，高速化のための研究が各所でなされている。その中でも乗算が他の演算と比較してその処理に長い時間が必要であることに着目して，乗算を用いないデジタルフィルタの近似法^[2-3]，標準化周期を変化させて信号処理を行うマルチレートデジタル信号処理方式^{[2-4]-[2-6]}などがその代表的なものと考えることができる。

本章では従来の一の DSP による信号処理方式とは異なり，複数のデジタルシグナルプロセッサを用いて高速な信号処理を行う，

遅延多通路 (DM) 構成法^[2-7]と、これによってデジタルフィルタを構成する場合の近似法を 2 つ提案する。

2. 2 多通路構成デジタルフィルタ

複数の DSP を並列に接続して構成される多通路構成デジタルフィルタ^{[2-8]-[2-15]}の構成図を図 2-1 に示す。図 2-1 において、各通路を構成するサブフィルタは、それぞれ 1 つの DSP によってすべて同一の伝達関数を実現するよう構成され、これらの標本化周期はシステム全体の標本化周期を T とすると NT で与えられる。多通路構成デジタルフィルタは、このようなサブフィルタを、図 2-1 に示されているように N 個並列に並べ、各々への入力サンプルは N 接点のスイッチによって順次切り換えて入力し、また各 DSP によって得られた出力は同じく N 接点スイッチによってまとめ、システム全体の出力を得るものである。

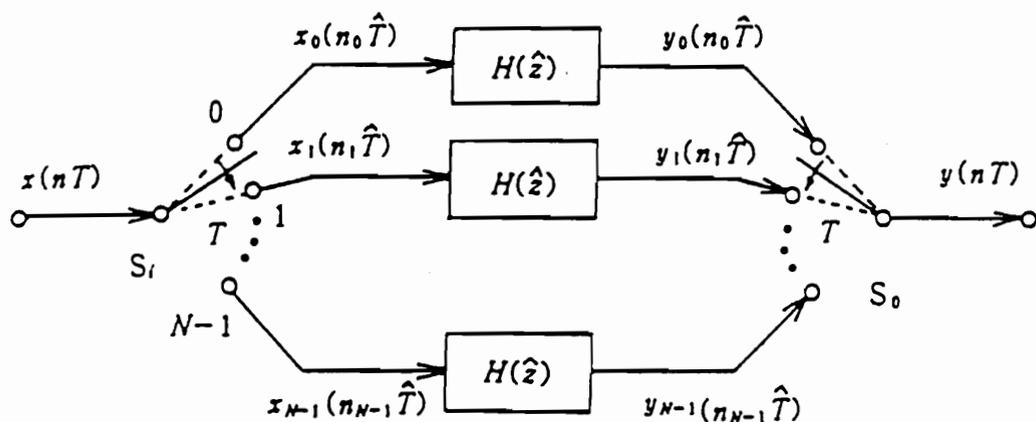


図 2-1 多通路構成デジタルフィルタ

このような構成における処理の様子を 2 通路構成の場合を例にとって図 2-2 に示す。図 2-2(a) には各サブフィルタのインパルス応答 $h(nT)$ の例を示している。このような多通路構成デジタルフ

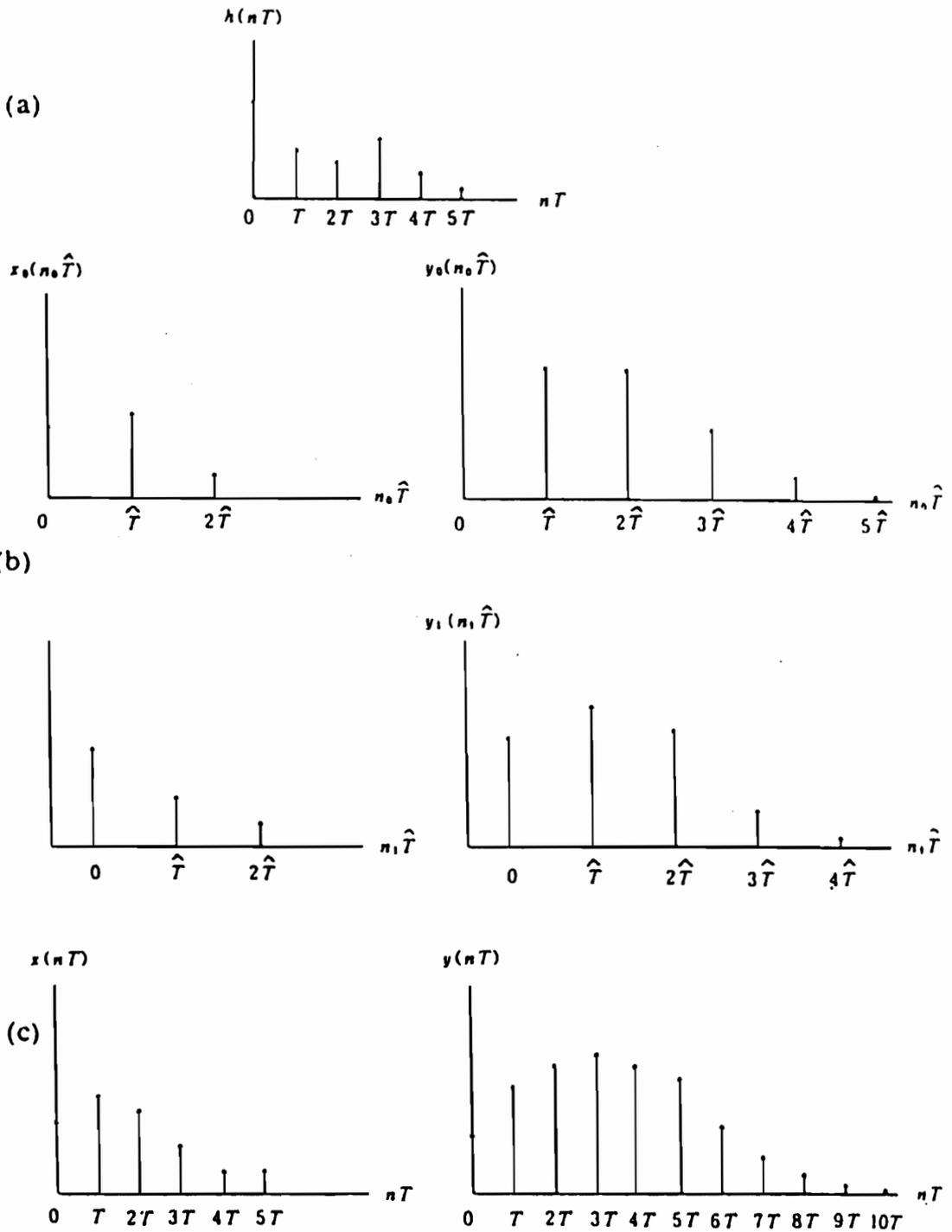


図 2-2 多通路構成デジタルフィルタにおける処理の様子

フィルタへ図2-2(b)に示されるような入力データ $x(nT)$ が与えられた場合、これは 2 接点のスイッチによって図2-2(c)に示されるような各サブフィルタへの入力データ $x_0(nT)$, $x_1(nT)$ に振り分けられる。各サブフィルタはこのようにして得られた入力データを NT 毎に取り込み処理をして、図2-2(d)に示されているような出力 $y_0(nT)$, $y_1(nT)$ を求め、さらにこれらを 2 接点のスイッチを用いてまとめることによりシステム全体の出力 $y(nT)$ を得る。これから分かるように、各サブフィルタでの処理は NT 以内に終了すればよいことになり、通常の構成では DSP が T 以内に処理を終了しなければならないものと比較すると、 N 倍の高速化が可能となったことになる。ただし、図中 $\hat{T} = 2T$ である。

次にこのような多通路構成デジタルフィルタの伝達関数を求める。入力信号 $x(nT)$ の z 変換 $X(z)$ は

$$X(z) = \sum_{n=0}^{\infty} x(nT)z^{-n} \quad (2-1)$$

で与えられ、これは

$$X(z) = \sum_{i=0}^{N-1} X_i(z^N)z^{-i} \quad (2-2)$$

$$X_i(z^N) = \sum_{n=0}^{\infty} x(nNT+iT)z^{-nN} \quad (2-3)$$

のように変形することができる。式(2-3)に示されているように i 番目のサブフィルタへの入力データは $x(iT)$, $x(NT+iT)$, $x(2NT+iT)$, \dots , $x(nNT+iT)$, \dots のように NT ごとに加えられることになる。

このことから各通路の入出力間の関係は

$$Y_i(z^N) = H(z^N)X_i(z^N) \quad (2-4)$$

で与えられる。さらにシステム全体としての出力 $y(nT)$ の z 変換 $Y(z)$ は各通路の出力 $Y_i(z^N)$ から

$$Y(z) = \sum_{i=0}^{N-1} Y_i(z^N) z^{-i} \quad (2-5)$$

と表される。これより多通路構成デジタルフィルタ全体としては

$$Y(z) = \sum_{i=0}^{N-1} H_i(z^N) X_i(z^N) z^{-i} = H(z^N) X(z) \quad (2-6)$$

の関係が成り立ち、その伝達関数は $H(z^N)$ で与えられることが示された。

このように多通路構成デジタルフィルタではその伝達関数が $H(z^N)$ で与えられるため、結果としてその周波数特性は $1/N$ に圧縮されたものとなる。図2-3に2通路構成の周波数特性の例が示され

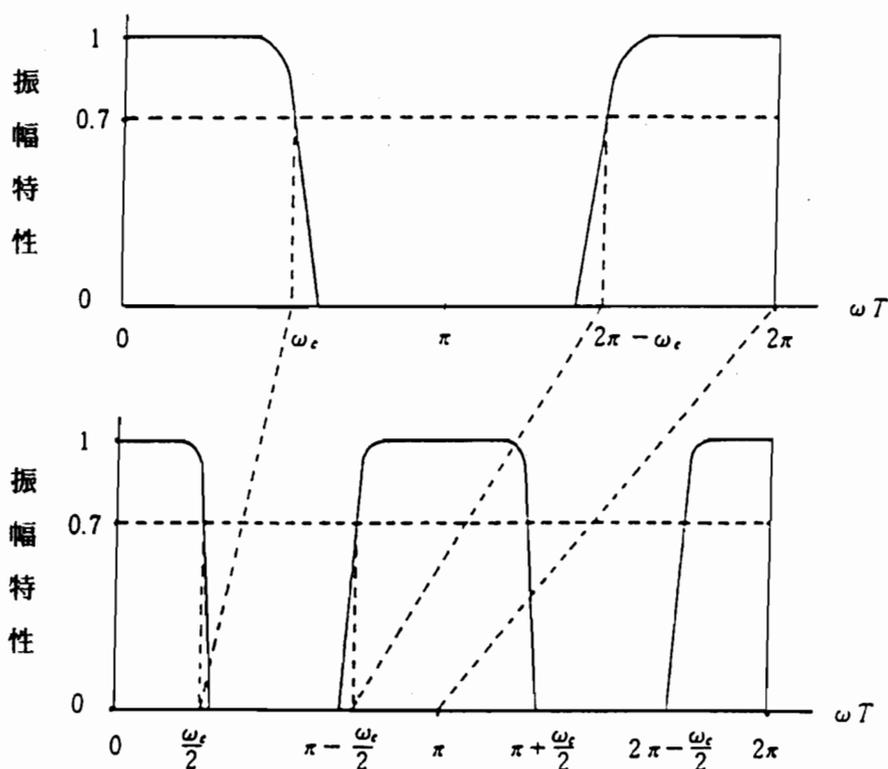


図2-3 多通路構成デジタルフィルタの周波数特性

ている。図2-3(a)に示されるような低域通過特性を持つフィルタ $H(z)$ をサブフィルタとして用いて 2 通路構成デジタルフィルタを構成すると、その伝達関数は $H(z^2)$ で与えられ、図2-3(b)に示されているように 2 分の 1 に圧縮された周波数特性を持つことになる。これによって本来 ω_c にあった通過域端は $\omega_c/2$ に移動し、さらに $2\pi - \omega_c$, 2π の点はそれぞれ $\pi - \omega_c/2$, π に移動する。これによって本来阻止域であるはずの $\omega = \pi$ の近辺にも不必要の通過域が生じることになる。このような不必要な通過域はいくつかの多通路構成デジタルフィルタを縦属に接続することによって取除くことができるが^{[2-9]-[2-10]}、この方法では実現することのできるフィルタの設計仕様に、強い制約ができるためあまり有効とは言えない。

そもそも多通路構成デジタルフィルタではその伝達関数は z^{-N} の多項式または有理式となるため $z^{-(N-1)}$ から $z^{-(N+1)}$ の項を持つ伝達関数は実現できない。このために先に述べたような周波数特性が圧縮されることになった。そこで次に多通路構成デジタルフィルタを並列に接続することによって、任意の伝達関数を実現する方法について次に考える。

2. 3 DM 構成デジタルフィルタ

A. FIR デジタルフィルタ

(I) 2 通路の場合

先に述べたように多通路構成デジタルフィルタでは本来阻止域である帯域に通過域が生じてくるため、そのままではフィルタを構成することはできない。そこで 2 通路構成デジタルフィルタ 2 つを、図2-4に示されるように遅延器を用いて並列に接続する。

この構成によって任意の伝達関数をもつデジタルフィルタを構成することを考える。

M 次の FIR デジタルフィルタの伝達関数は

$$H(z) = \sum_{k=0}^M \alpha_k z^{-k} \quad (2-7)$$

で与えられるが、これを

$$H(z) = H_0(z^2) + z^{-1}H_1(z^2) \quad (2-8)$$

のように書き表す。ただし、 $H_0(z^2)$ 、 $H_1(z^2)$ は、 M が偶数のときは

$$\left. \begin{aligned} H_0(z) &= \sum_{k=0}^{M/2} \alpha_{2k} z^{-k} \\ H_1(z) &= \sum_{k=0}^{(M/2)-1} \alpha_{2k+1} z^{-k} \end{aligned} \right\} \quad (2-9)$$

で与えられ、 M が奇数のときは

$$\left. \begin{aligned} H_0(z) &= \sum_{k=0}^{(M-1)/2} \alpha_{2k} z^{-k} \\ H_1(z) &= \sum_{k=0}^{(M-1)/2-1} \alpha_{2k+1} z^{-k} \end{aligned} \right\} \quad (2-10)$$

で与えられる。これによって $H_0(z^2)$ 、 $H_1(z^2)$ は z^{-2} のみの関数

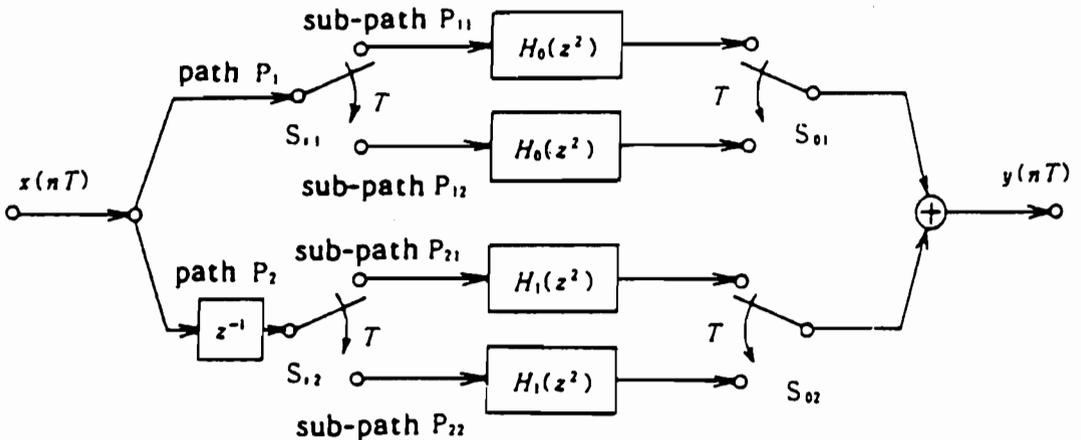


図 2-4 遅延多通路デジタルフィルタ (2 通路の場合)

となっているため、2 通路構成ディジタルフィルタで実現することができる。

(II) 多通路構成の場合

(I)の場合と同様に考えると先に示した式(2-7)の伝達関数 $H(z)$ は

$$H(z) = \sum_{i=0}^{N-1} H_i(z^N) z^{-i} \quad (2-11)$$

のように書き表すことができる。ただし、 $H_i(z^N)$ は

$$H_i(z) = \begin{cases} \sum_{k=0}^{I+1} \alpha_{Nk+i} z^{-k} & i=0, 1, \dots, J-1 \\ \sum_{k=0}^I \alpha_{Nk+i} z^{-k} & i=J, J+1, \dots, N-1 \end{cases} \quad (2-12)$$

で与えられる。ここで、 I, J はそれぞれ $I = \{(M+1) \text{ div } N\} - 1$, $J = (M+1) \text{ mod } N$ で与えられる。ただし、 $(x \text{ div } y)$ 及び $(x \text{ mod } y)$ は x/y の商と剰余を表すものとした。この式で与えられる $H_i(z^N)$ はすべて z^{-N} の関数となっているためそれぞれ多通路構成ディジタルフィルタで実現することができる。さらに、式(2-7)の伝達関数は $M+1$ 個の係数を持ち、1つのサンプルに対して M 回の乗算が必要となる。この点 DM 構成の場合、各々の構成要素となるサブフィルタは式(2-12)で示されているように、高々 $M/N+1$ 次のフィルタとなり M/N 回の乗算で済む。いま、乗算は他の演算に比べ、その処理に長い時間が必要なものすると、 N が大きな場合、1つの入力に対して必要な処理時間は通常の構成によるものと比べ、 N 分の1近くに減少することになる。これと多通路構成自体の高速化の度合をまとめると、FIR フィルタの場合通常の構成に比べ理想的には N^2 倍の高速化が計られることになる。式(2-11)を実現するための構成図を図2-5示す。

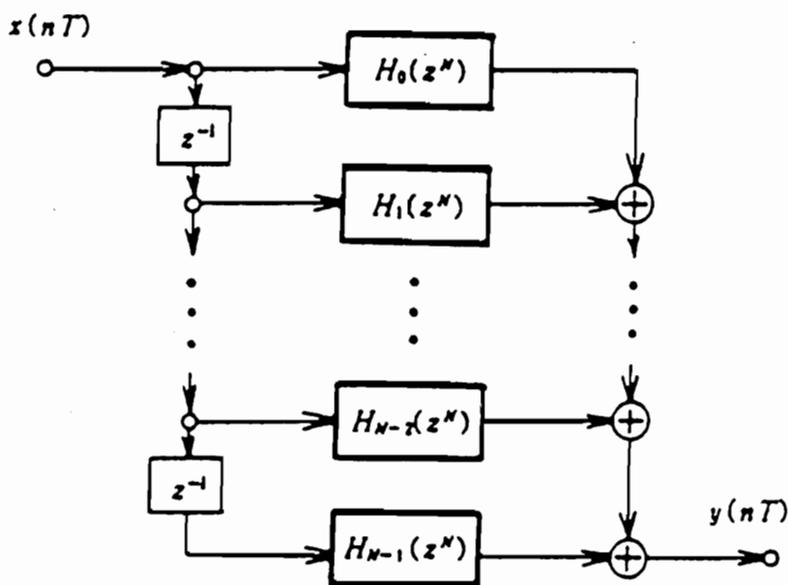


図 2-5 DM 構成デジタルフィルタ (多通路の場合)

B. IIR フィルタ

(I) 2 通路の場合

IIR デジタルフィルタの場合，多通路構成で実現するには分子多項式のみならず分母多項式も z^{-2} の多項式に変形する必要がある。いま，実現すべき伝達関数が

$$H(z) = \prod_{m=1}^L H_m(z) = \prod_{m=1}^L \frac{a_{0m} + a_{1m}z^{-1} + a_{2m}z^{-2}}{1 - b_{1m}z^{-1} + b_{2m}z^{-2}} \quad (2-13)$$

で与えられている場合， m 番目のセクション $H_m(z)$ は分母を因数分解して

$$H_m(z) = \frac{a_0 + a_1z^{-1} + a_2z^{-2}}{(1 - bz^{-1})(1 - b^*z^{-1})} \quad (2-14)$$

と書くことができる。さらにこの分母，分子に $(1 + bz^{-1})(1 + b^*z^{-1})$ を乗じることによりその伝達関数は

$$H_m(z) = \frac{(a_0 + a_1 z^{-1} + a_2 z^{-2})(1 + b z^{-1})(1 + b^* z^{-1})}{(1 - b^2 z^{-2})(1 - b^{*2} z^{-2})}$$

$$= \frac{A(z)}{B(z^2)} \quad (2-15)$$

のように変形できる。ただし、 x^* は x の共役複素数を表すものとし、また

$$A(z) = a_0 + (a_1 + a_0 b_1) z^{-1} + (a_2 + a_1 b_1 + a_0 b_2) z^{-2} + (a_2 b_1 + a_1 b_2) z^{-3} + a_2 b_2 z^{-4}$$

$$= \sum_{k=0}^4 \alpha_k z^{-k}$$

$$b_1 = 2r \cos \theta, \quad b_2 = r^2$$
} (2-16)

である。得られた式(2-15)の分母多項式 $B(z)$ は

$$B(z) = 1 - 2r^2 \cos 2\theta z^{-1} + r^4 z^{-2} \quad (2-17)$$

である。これから、式(2-14)で与えられる m 番目のセクションの伝達関数は

$$H_m(z) = H_{m0}(z^2) + z^{-1} H_{m1}(z^2) \quad (2-18)$$

$$H_{m0}(z) = \frac{\alpha_0 + \alpha_2 z^{-1} + \alpha_4 z^{-2}}{B(z)}$$

$$H_{m1}(z) = \frac{\alpha_1 + \alpha_3 z^{-1}}{B(z)}$$
} (2-19)

のように変形することができる。この $H_{m0}(z^2)$, $H_{m1}(z^2)$ は z^2 のみの関数であるので 2 通路構成により実現することができる。

各 m について同様に考えると式(2-13)で与えられる伝達関数は図2-6のように 2 通路構成された 2 次のフィルタを直列接続することにより実現することができる。

(II) 多通路の場合

(I)と同様に多通路構成の場合も考えることができる。すなわち与えられた伝達関数を 2 次のセクションに分解し、その分母、分

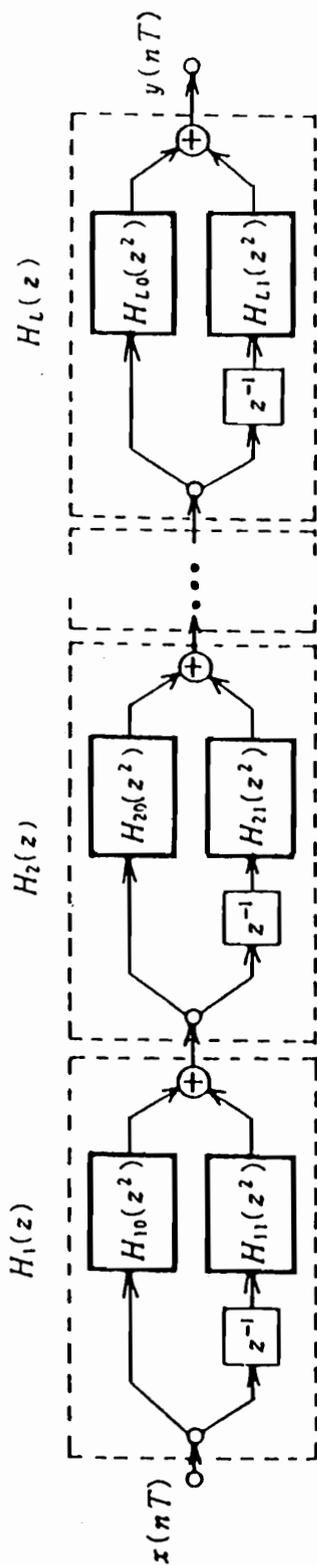


図 2-6 縦属接続された IIR 型 DM 構成デジタルフィルタ

子に適当な多項式をかけることによって分母多項式を $(1-b_N z^{-N})(1-b^* z^{-N})$ のように z^{-N} のみの形に変形することができる。

ここで行う式の変形とは

$$\frac{1}{(1-bz^{-1})(1-b^*z^{-1})} = \frac{C(z)}{(1-b_N z^{-N})(1-b^* z^{-N})} \quad (2-20)$$

のように分母，分子に

$$C(z) = \prod_{\theta=1}^{N-1} \{1 - 2r \cos(2\theta \pi / N + \theta) z^{-1} + r^2 z^{-2}\} \quad (2-21)$$

なる多項式を乗することである。ただし， r や θ は

$$1 - b^N z^{-N} = 0 \quad 1 - b^{*N} z^{-N} = 0 \quad (2-22)$$

の根によって与えられ

$$z, z^* = r e^{\pm j(\theta + 2\theta \pi / N)}, \quad \theta = 0, 1, 2, \dots, N-1 \quad (2-23)$$

となる。これによって m 番目の 2 次セクション $H_m(z)$ は

$$H_m(z) = \frac{A(z)}{B(z^N)} \quad (2-24)$$

のように書くことができる。ここで

$$\left. \begin{aligned} A(z) &= (a_0 + a_1 z^{-1} + a_2 z^{-2}) C(z) = \sum_{k=0}^{2N} \alpha_k z^{-k} \\ B(z^N) &= 1 - 2r^N \cos N\theta z^{-1} + r^{2N} z^{-2} \end{aligned} \right\} \quad (2-25)$$

である。よって全体のシステムは，このようにして求めた各セクションを図 2-5 に示されているように縦属に接続することによって得られることになる。

C. 設計例

ここでは先に述べた手法により DM 構成デジタルフィルタを設計する手順を例を用いて説明する。一般的には与えられた設計仕様を満足するフィルタを，通常の設計手法によって求める。次に信号に含まれている最高の周波数成分とフィルタを実現するための DSP

の実行速度を考慮して、通路数 N を決定する。これらを用いて前節で説明した手法によって DM 構成デジタルフィルタの伝達関数を決定する。

次の設計仕様を満足する 2 通路 DM 構成低域通過 IIR 型デジタルフィルタを設計する：

$$\begin{aligned}\omega_0 T &= 0.2 \pi & \alpha_{\max} &= 3 \text{ dB} \\ \omega_{\min} T &= 0.35 \pi & \alpha_{\min} &= 20 \text{ dB}\end{aligned}$$

ただし、 α_{\max} は通過域端 $\omega_0 T$ までの周波数帯における最大減衰量を、 α_{\min} は $\omega_{\min} T$ 以上の範囲の阻止域での最小減衰量を示す。この設計仕様を満足する伝達関数は文献 [2-16] から

$$H(z) = \frac{c(1+z^{-1})^2}{1-a_{21}z^{-1}+a_{31}z^{-2}} \frac{(1+z^{-1})^2}{1-a_{22}z^{-1}+a_{32}z^{-2}} \quad (2-26)$$

のように求めることができる。ただし、 $c = 0.00483378$, $a_{21} = 1.32046$, $a_{22} = 1.04816$, $a_{31} = 0.632596$, $a_{32} = 0.295921$ である。式(2-15)の演算によって $H(z)$ は

$$H(z) = \frac{\sum_{k=0}^8 \alpha_k z^{-k}}{B(z^2)} \quad (2-27)$$

$$B(z) = (1 + \beta_{11}z^{-1} + \beta_{12}z^{-2})(1 + \beta_{21}z^{-1} + \beta_{22}z^{-2})$$

のように変形される。ここに用いられた係数 α_k , $k=0, \dots, 8$ や β_{ij} , $i, j=1, 2$ は表 2-1 に示している。また式(2-7)に従う 2 つの通路の伝達関数 $H_0(z)$, $H_1(z)$ はそれぞれ、

$$H_0(z) = \frac{\alpha_0 + \alpha_2 z^{-1} + \alpha_4 z^{-2} + \alpha_6 z^{-3} + \alpha_8 z^{-4}}{B(z)} \quad (2-28)$$

$$H_1(z) = \frac{\alpha_1 + \alpha_3 z^{-1} + \alpha_5 z^{-2} + \alpha_7 z^{-3}}{B(z)}$$

で与えられる。設計したフィルタの振幅特性の理論値とその実験結果を図 2-7 に示す。

表 2 - 1 設計例 1 で求められた係数

係数	値	係数	値
α_0	0.00483378	α_1	0.0307845
α_2	0.0859787	α_3	0.137839
α_4	0.138983	α_5	0.0903461
α_6	0.0369833	α_7	0.00871341
α_8	0.0859787		
β_{11}	-0.478425	β_{12}	0.400176
β_{21}	-0.506797	β_{22}	0.0875692

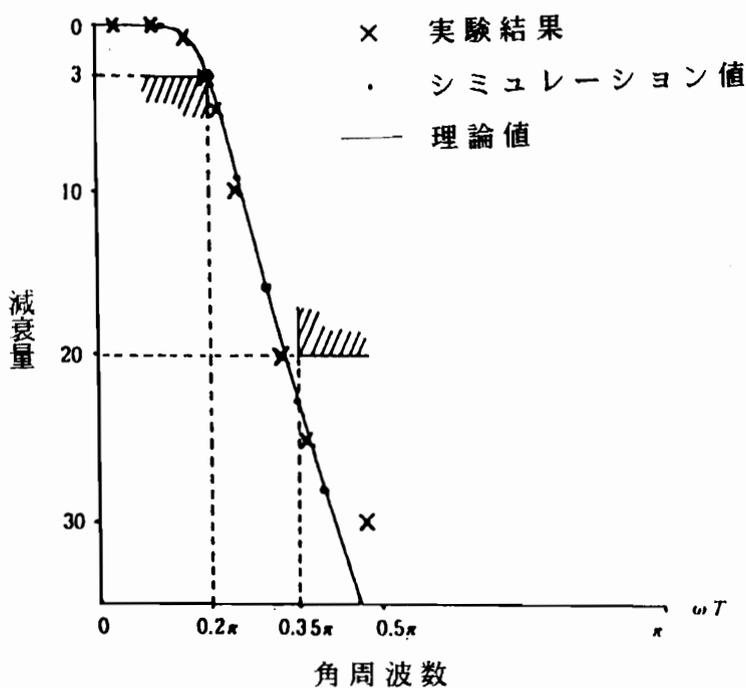


図 2 - 7 設計例 1 の振幅特性

2.4 線形計画法による IIR 形線形位相 DM 構成デジタルフィルタの設計

2.3では DM 構成法についてのあらましとその 1 つの実現方法について述べた。その方法によると、与えられた設計仕様から通常の構成法でのフィルタの伝達関数を求め、これの分母、分子に適当な多項式をかけて DM 構成のための伝達関数を求めるものであった。ところがこの方法では、伝達関数の分母、分子に多項式をかけているため回路の次数が不必要に高くなるおそれもある。この点をふまえ、次に与えられた設計仕様から DM 構成のための伝達関数を直接求める方法について述べる〔2-17〕-〔2-31〕。

A. 伝達関数の変形

まず DM 構成デジタルフィルタの伝達関数は、式(2-24)より

$$H(z) = \frac{N(z)}{D(z^N)} = \frac{\sum_{q=0}^L a_1 z^{-q}}{1 + \sum_{m=1}^M b_m z^{-Nm}} \quad (2-29)$$

の形で与えられることがわかる。ただし、 L, M は回路の次数を、 N は通路数を表す。フィルタの設計問題はこの伝達関数の係数 a_1, b_m を設計仕様から求めることに対応する。次にこの式(2-29)を線形計画法で用いられるよう不等式に変換する。

このフィルタの周波数特性 $H(\exp(j\omega))$ を

$$H(\exp(j\omega)) = N(\omega) / D(\omega) \quad (2-30)$$

と書くと、

$$\begin{aligned} N(\omega) &= \sum_{q=0}^L a_1 \exp(-jq\omega) \\ &= \sum_{q=0}^L a_1 \cos q\omega - j \sum_{q=0}^L a_1 \sin q\omega \end{aligned} \quad (2-31)$$

$$\begin{aligned}
 D(\omega) &= 1 + \sum_{m=1}^M b_m \exp(-jN_m \omega) \\
 &= 1 + \sum_{m=1}^M b_m \cos N_m \omega - j \sum_{m=1}^M b_m \sin N_m \omega
 \end{aligned} \tag{2-32}$$

となる。ここで、 ω は規格化された角周波数を表す。

次に、目的の振幅特性 $|H_D(\omega)|$ と、位相特性 $\phi_D(\omega)$ を持つフィルタの周波数特性は、

$$\begin{aligned}
 H_D(\omega) &= |H_D(\omega)| \exp(j\phi_D(\omega)) \\
 &= |H_D(\omega)| \cos \phi_D(\omega) + j |H_D(\omega)| \sin \phi_D(\omega)
 \end{aligned} \tag{2-33}$$

のように書くことができる。ただし、位相特性 $\phi_D(\omega)$ の値は線形位相の場合、適当な整数 α を用いて

$$\phi_D(\omega) = -\alpha \omega \tag{2-34}$$

のように表すことができる。これから設計するフィルタの周波数特性と目的の特性との差を $r(\omega)$ とすると、

$$\begin{aligned}
 r(\omega) &= H(\exp(j\omega)) - H_D(\omega) \\
 &= \frac{N(\omega)}{D(\omega)} - |H_D(\omega)| \cos \phi_D(\omega) - j |H_D(\omega)| \sin \phi_D(\omega)
 \end{aligned} \tag{2-35}$$

のように表すことができる。この式の両辺に $D(\omega)$ を掛けると重み付きの複素誤差は、

$$D(\omega)r(\omega) = N(\omega) - \{ |H_D(\omega)| \cos \phi_D(\omega) + j |H_D(\omega)| \sin \phi_D(\omega) \} D(\omega) \tag{2-36}$$

となる。ここでこの複素誤差を虚部と実部に分け、

$$D(\omega)r(\omega) = e_R(\omega) + j e_I(\omega) \tag{2-37}$$

とおくと、式(2-31), (2-32), (2-36)から

$$\begin{aligned}
 e_R(\omega) &= \sum_{k=0}^L a_k \cos k\omega - |H_D(\omega)| \cos \phi_D(\omega) \\
 &\quad - |H_D(\omega)| \cos \phi_D(\omega) \sum_{m=1}^M b_m \cos N_m \omega
 \end{aligned}$$

$$\begin{aligned}
& -|H_D(\omega)| \sin \phi_D(\omega) \sum_{m=1}^M b_m \sin N_m \omega \\
= & -|H_D(\omega)| \cos \phi_D(\omega) + \sum_{q=0}^L a_1 \cos q\omega \\
& -|H_D(\omega)| \sum_{m=1}^M b_m \{ \cos \phi_D(\omega) \cos N_m \omega + \sin \phi_D(\omega) \sin N_m \omega \} \\
= & -|H_D(\omega)| \cos \phi_D(\omega) + \sum_{q=0}^L a_1 \cos q\omega \\
& -|H_D(\omega)| \sum_{m=1}^M b_m \cos \{ \phi_D(\omega) - N_m \omega \} \\
e_I(\omega) = & -\sum_{q=0}^L a_1 \sin q\omega - |H_D(\omega)| \sin \phi_D(\omega) \\
& -|H_D(\omega)| \sin \phi_D(\omega) \sum_{m=1}^M b_m \sin N_m \omega \\
& -|H_D(\omega)| \sin \phi_D(\omega) \sum_{m=1}^M b_m \sin N_m \omega \\
= & -|H_D(\omega)| \sin \phi_D(\omega) + \sum_{q=0}^L a_1 \sin q\omega \\
& -|H_D(\omega)| \sum_{m=1}^M b_m \{ \sin \phi_D(\omega) \cos N_m \omega + \sin \phi_D(\omega) \sin N_m \omega \} \\
= & -|H_D(\omega)| \sin \phi_D(\omega) + \sum_{q=0}^L a_1 \sin q\omega \\
& -|H_D(\omega)| \sum_{m=1}^M b_m \sin \{ \phi_D(\omega) - N_m \omega \}
\end{aligned}$$

(2-38)

となる。

ここで、一般に線形計画法で得られる解は正のものに限られているため、求めるフィルタの係数を変形する。すなわち求める係数 $a_1 (q=0, 1, \dots, L)$, $b_m (m=1, 2, \dots, M)$ が、ある正の実数 F に対し

$$|a_1| < F, \quad |b_m| < F \quad (2-39)$$

の関係を満足するものと仮定し,

$$\left. \begin{aligned} a_1' &= a_1 + F, & b_m' &= b_m + F \\ a_1 &= a_1' - F, & b_m &= b_m' - F \end{aligned} \right\} \quad (2-40)$$

とおくことにより, 線形計画法を用いることが可能となる. これを式(2-38)に代入すると

$$\left. \begin{aligned} e_R(\omega) &= -|H_D(\omega)| \cos \phi_D(\omega) + \sum_{\varrho=0}^L (a_1' - F) \cos \varrho\omega \\ &\quad + |H_D(\omega)| \sum_{m=1}^M (b_m' - F) \cos \{ \phi_D(\omega) - N_m \omega \} \\ &= -|H_D(\omega)| \cos \phi_D(\omega) - F \sum_{\varrho=0}^L \cos \varrho\omega + \sum_{\varrho=0}^L a_1' \cos \varrho\omega \\ &\quad - |H_D(\omega)| \sum_{m=1}^M b_m' \cos \{ \phi_D(\omega) - N_m \omega \} \\ &\quad + F |H_D(\omega)| \sum_{m=1}^M \cos \{ \phi_D(\omega) - N_m \omega \} \\ e_I(\omega) &= -|H_D(\omega)| \sin \phi_D(\omega) + \sum_{\varrho=0}^L (a_1' - F) \sin \varrho\omega \\ &\quad - |H_D(\omega)| \sum_{m=1}^M (b_m' - F) \sin \{ \phi_D(\omega) - N_m \omega \} \\ &= -|H_D(\omega)| \sin \phi_D(\omega) + F \sum_{\varrho=0}^L \sin \varrho\omega - \sum_{\varrho=0}^L a_1' \sin \varrho\omega \\ &\quad + F |H_D(\omega)| \sum_{m=1}^M \sin \{ \phi_D(\omega) - N_m \omega \} \\ &\quad - |H_D(\omega)| \sum_{m=1}^M b_m' \sin \{ \phi_D(\omega) - N_m \omega \} \end{aligned} \right\} \quad (2-41)$$

となる.

この2つの誤差を $\omega = [0, \pi)$ の間の K 点 ω_i ($i = 1, \dots, K$) で評価し, これらの点で正の数 ε に対し

$$|e_R(\omega_i)| \leq W_i \varepsilon \quad |e_I(\omega_i)| \leq W_i \varepsilon \quad (2-42)$$

の関係を考え、この ε を 0 に近づけてゆくことにより、設計するフィルタの伝達関数を目的の特性に近づけて行くことができる。ただし、この式において W_i は、各評価点における誤差の重みを表す。転移域に対する通過域と阻止域での重みを適当に設定することにより、各帯域内での偏差の割合を規定することができる。

式(2-42)は

$$\left. \begin{aligned} e_R(\omega_i) - W_i \varepsilon &\leq 0, & e_I(\omega_i) - W_i \varepsilon &\leq 0 \\ -e_R(\omega_i) - W_i \varepsilon &< 0, & -e_I(\omega_i) - W_i \varepsilon &< 0 \end{aligned} \right\} \quad (2-43)$$

と書き改めることができる。

以上の式をまとめると DM 構成 IIR 線形位相デジタルフィルタの設計問題は、

$$\begin{aligned} & \sum_{q=0}^L a_1' \cos q\omega_i - |H_D(\omega_i)| \sum_{m=1}^M b_m' \cos\{\phi_D(\omega_i) - N_m\omega_i\} - W_i \varepsilon \\ & \leq |H_D(\omega_i)| \cos \phi_D(\omega_i) \\ & \quad + F \left[\sum_{q=0}^L \cos q\omega_i - |H_D(\omega_i)| \sum_{m=1}^M \cos\{\phi_D(\omega_i) - N_m\omega_i\} \right] \\ - \sum_{q=0}^L a_1' \cos q\omega_i + |H_D(\omega_i)| \sum_{m=1}^M b_m' \cos\{\phi_D(\omega_i) - N_m\omega_i\} - W_i \varepsilon \\ & \leq -|H_D(\omega_i)| \cos \phi_D(\omega_i) \\ & \quad - F \left[\sum_{q=0}^L \cos q\omega_i - |H_D(\omega_i)| \sum_{m=1}^M \cos\{\phi_D(\omega_i) - N_m\omega_i\} \right] \\ - \sum_{q=0}^L a_1' \sin q\omega_i - |H_D(\omega_i)| \sum_{m=1}^M b_m' \sin\{\phi_D(\omega_i) - N_m\omega_i\} - W_i \varepsilon \\ & \leq |H_D(\omega_i)| \sin \phi_D(\omega_i) \\ & \quad - F \left[\sum_{q=0}^L \sin q\omega_i + |H_D(\omega_i)| \sum_{m=1}^M \sin\{\phi_D(\omega_i) - N_m\omega_i\} \right] \\ \sum_{q=0}^L a_1' \sin q\omega_i + |H_D(\omega_i)| \sum_{m=1}^M b_m' \sin\{\phi_D(\omega_i) - N_m\omega_i\} - W_i \varepsilon \end{aligned}$$

$$\begin{aligned} &\leq -|H_D(\omega_i)| \sin \phi_D(\omega_i) \\ &+ F \left[\sum_{\rho=0}^L \sin \rho \omega_i + |H_D(\omega_i)| \sum_{m=1}^M \sin \{ \phi_D(\omega_i) - N m \omega_i \} \right] \end{aligned} \quad (2-44)$$

のように変数変換した伝達関数の係数 a_ρ ($\rho=0, 1, \dots, L$), b_m ($m=1, 2, \dots, M$) と ε についての, ε の最小化を目的とする線形計画問題として書き表すことができる.

B. 安定性について

IIR 型デジタルフィルタにおいて

$$\operatorname{Re}[D(\omega)] > \delta \quad (2-45)$$

が満足されれば, そのフィルタは安定である^[2-24]. 式(2-45)は式(2-32)から,

$$1 + \sum_{m=1}^M b_m \cos N m \omega > \delta \quad (2-46)$$

のようになる. さらに $b_m' = b_m + F$ の変数変換を施し

$$\delta - \sum_{m=1}^M b_m' \cos N m \omega < 1 - F \sum_{m=1}^M \cos N m \omega \quad (2-47)$$

の式を得る.

安定な DM 構成 IIR 線形位相デジタルフィルタを得るには, 式(2-47)を式(2-44)と同様に $\omega = \omega_i$ ($i=1, \dots, K$) で評価する必要がある.

C. 設計例

ここでは, 先に述べた方法によって実際に線形位相 DM 構成デジタルフィルタを設計し, その有効性を確認する.

(I) 例. 1

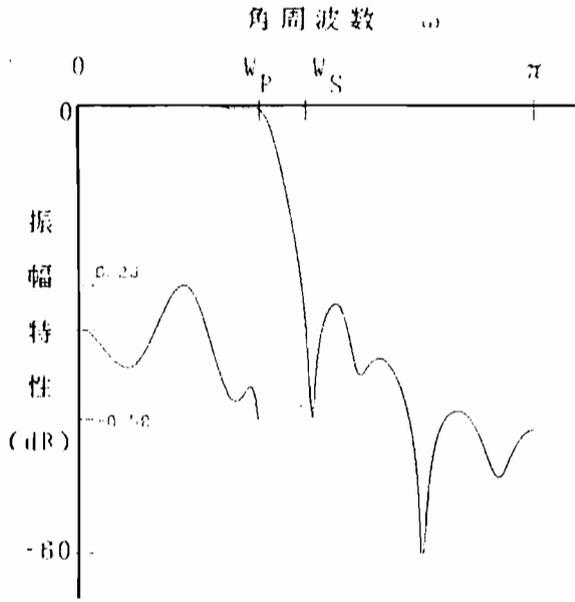
第1の設計例として, 通過域端, 阻止域端角周波数 ω_p, ω_s が

それぞれ 0.4π , 0.5π の 10 次の 2 通路構成低域通過フィルタを設計する。設計するにあたり通過域，転移域および阻止域での評価点数はそれぞれ 50, 10, 50 とした。また転移域に対する通過域と阻止域での誤差の評価の重み W_i を 4, 16 とした。さらに α の値は 6 に選んだ。

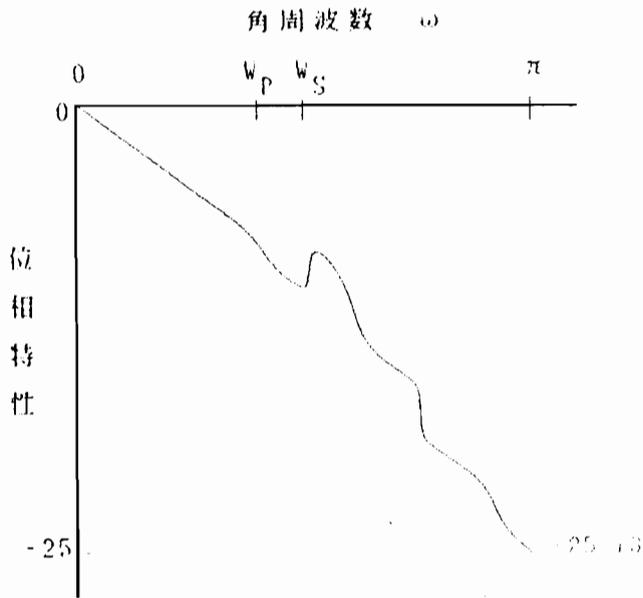
得られたフィルタの伝達関数の係数を表2-2に、またその周波数特性を図2-8に示す。この場合通過域での最大リップルおよび阻止域における最小減衰量はそれぞれ 0.52dB, 26.6dB となっている。これをチェビシェフフィルタで実現する場合必要な次数は 6 次となる。これから分かるとうり、この場合も 2.3 節の手法で実現する場合は 12 次のものになってしまうことになり本手法によると次数が低いフィルタを得ることができたことが分かる。さらに本

表 2 - 2 例 1 で設計されたフィルタの伝達関数の係数

i	a_i	b_i
0	0.014558	
1	0.007177	0.694058
2	-0.031382	0.229066
3	-0.053401	-0.057610
4	0.024715	0.029715
5	0.235781	-0.042634
6	0.471382	
7	0.570927	
8	0.474603	
9	0.283792	
10	0.064490	



(a) 振幅特性



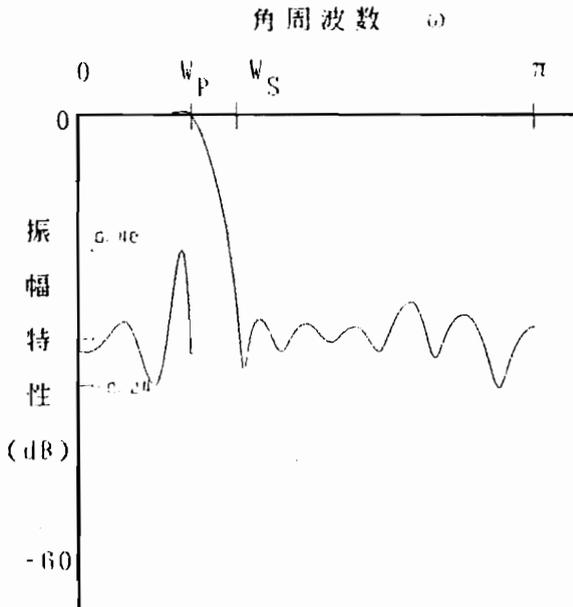
(b) 位相特性

図 2-8 設計例 1

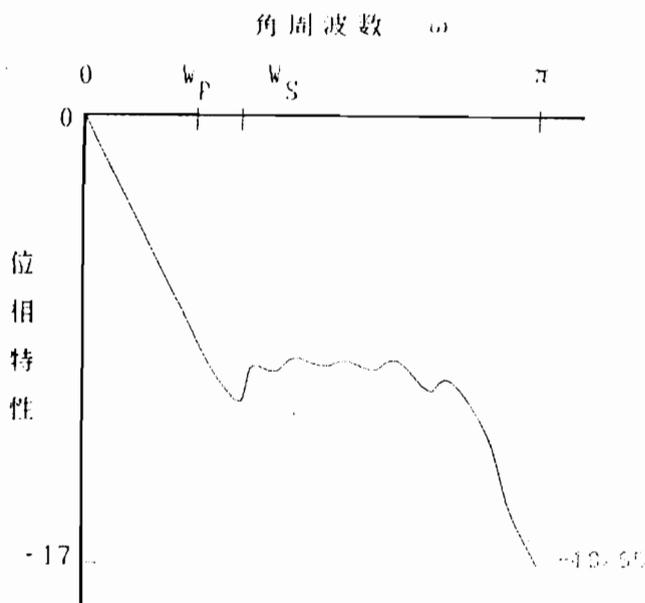
手法によると位相特性の通過域における線形性がほぼ満足するものが得られていることを考えると本手法の有効性が確認できた。

(II) 例. 2

第 2 の設計例として，通過域端，阻止域端角周波数 ω_p , ω_s がそれぞれ 0.25π , 0.35π の 16 次の 4 通路構成低域通過フィルタを設計する。この場合の通過域，転移域および阻止域での評価点数も例 1 と同様にそれぞれ 50, 10, 50 点とした。また転移域に対する通過域と阻止域での誤差の評価の重み W_i は 10, 8 とした。さらに α の値は 12 に選んだ。得られた周波数特性を図 2-9 に示す。この場合通過域での最大リップルおよび阻止域における最小減衰量はそれぞれ 0.45dB, 25dB となっている。これをチェビシェフフィルタで実現する場合必要な次数は 6 次となる。これから分かるとうり，この場合も 2.3 節の手法で実現する場合は 24



(a) 振幅特性



(b) 位相特性

図 2 - 9 設計例 2

次のものになってしまう。また先の例と同様に通過域における位相特性の線形性も満たされておりここでも本手法の有効性は確認できた。

2. 5 結言

本章では複数の DSP を用いる新しいデジタルフィルタの構成法を提案した。

まず、複数の DSP を並列接続した多通路構成デジタルフィルタについて考察を加え、その周波数特性が、各通路を構成するサブフィルタの周波数特性を通路数分だけ圧縮したものになることを述べた。次にこれによって発生する不必要な通過域を打消すために、多通路構成デジタルフィルタを遅延器をはさんで並列に接続した遅延多通路構成デジタルフィルタを提案した。

本構成法によっても，FIR 型及び IIR 型フィルタを構成することが可能であり，FIR 型フィルタにおいては N^2 個の DSP によって N^2 倍の高速化が達成され，IIR 型フィルタでは N^2 個の DSP によって N 倍の高速化が達成されることを示した。

本構成法による個々のサブフィルタの伝達関数を決定するためには，分母多項式が z^{-N} のみの多項式を求めなければならない。このためのフィルタの設計法についても

- 1) 通常の構成法に対する近似法で得られた伝達関数の分母，分子に適当な多項式をかけて求める方法
- 2) 特に問題となる IIR 型のデジタルフィルタのための，線形計画法による伝達関数の近似法

の 2 つの方法について述べた。1) の手法によると従来から知られているデジタルフィルタの近似法を利用することができるため便利ではあるが，分母，分子に余分な多項式をかけるため，得られたデジタルフィルタの次数が不必要に高くなることがある。この点，2) の方法では予め伝達関数の分母多項式の形に制約を加えた上で，直接設計仕様から近似するためこの問題は起こってこない。またそれぞれの方法による設計例も示した。

第3章 DM 構成デジタルフィルタの特性

3.1 緒言

本章では本論文の第2章で提案した DM 構成デジタルフィルタの構成要素となるサブフィルタを，直接型，転置直接型，及び Avenhaus 型の回路構成により構成し，得られた DM フィルタ全体としての感度特性や雑音特性について検討する。

本章では高次のフィルタは 1 次または 2 次のフィルタの縦属接続により構成することを念頭におき 2 次のフィルタを考える。またこの解析のために，数式処理言語による新しいデジタル回路の記号解析手法を提案している。この手法によって回路を記号解析することにより，従来の数値解析では困難であった回路の係数感度特性や雑音特性の解析が容易に行うことができる。

3.2 数式処理プログラムによるデジタル回路の記号解析

従来からデジタル回路を解析するプログラムについては幾種類かのものが報告されている。ところがそのほとんどが，数値処理により回路の解析が行われているため，たとえば回路中の乗算器係数に対する感度の解析や雑音の解析をすることが容易ではなかった。

最近，数式処理を行うプログラムについての研究が盛んに行われ，その成果として幾種類かの数式処理プログラムが発表されている。ここではその内 REDUCE^[3-1] を取り上げ，それによりデジタル回路を記号解析するプログラム (SDNAP) について述べる。^{[3-2]-[3-7]}

本プログラムではすべての乗算器の係数を記号として取り扱い，回路中任意の節点から任意の節点までの伝達関数を式の形で求めることが可能である。これにより任意の乗算器の係数に対する感度特性や雑音特性も容易に求める事ができる。

A. REDUCE について

(I) REDUCE の特徴^[3-1]

REDUCE で記号処理する事ができる事柄のうち，おもなものを列挙すると

変数へ式の代入，整理

多項式の因数分解

有理式の約分

関数の微分，積分

その他演算規則の生成

などがある．また計算結果を FORTRAN 形式でファイルに出力することもできる．

(II) REDUCE 使用上での注意点

REDUCE は前節で述べたように，能力のあるプログラムではあるが，これを使って行く上で幾つか注意する点がある．

ここではその中で回路解析をしてゆく上で特に注意の必要な事柄について述べる．すなわち REDUCE では

```
X:=2*X+1;
```

```
X;
```

のように両辺に同じ変数が含まれる方程式をその変数について直接解くことはできず，

```
A:=X;
```

```
B:=2*X+1;
```

```
SOLVE(A-B,X);
```

```
X:=SOLN(1,1);
```

のように，SOLVE コマンドを用いなければならない．ただし，SOLVE コマンドにより得られた解は SOLN という特定の名前の配列に格納されるために，ここでは解 X にこれを代入している．

3. 3 回路解析の流れ

SDNAP は、処理の流れを図3-1に示すように回路解析を行うために、幾つかのプログラムを中間ファイルを介し、データの授受を行うようなコマンドプロシージャを構成している。

以下では、図3-1の各部分について説明を加える。

A. 回路情報の入力

通常、デジタル回路の接続状態は、

$$Y(z) = X(z) + H \cdot Y(z) \quad (3-1)$$

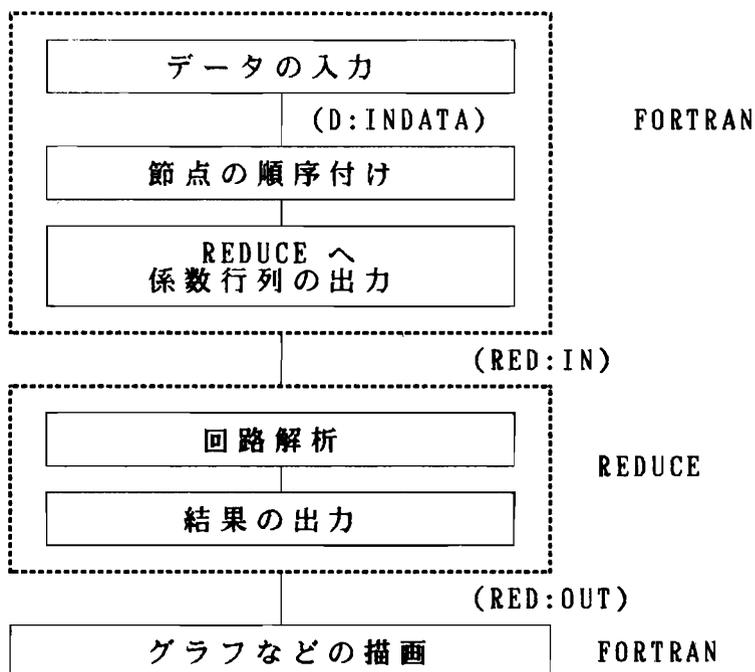
のように表すことができる。ただし、 $X(z)$ は回路の各節点への入力を、 $Y(z)$ は各節点の状態を表し、これらは節点の総数を N とすると、共に $N \times 1$ の縦ベクトルである。また、 H は回路を構成する素子の係数を要素とする $N \times N$ の大きさの行列を表わしその中には乗算器、加算器、遅延器が含まれる。ただし、その列の番号は入力節点番号を、行の番号は出力節点番号を表す。

ところが、この係数行列 H をもとにして REDUCE で解析しようとするとき REDUCE の能力から不便なことがある。そこで SDNAP では回路の接続状態は、

$$Y(z) = X(z) + H_c \cdot Y(z) + H_d \cdot Y(z) \quad (3-2)$$

のように表す。ただし、 H_c は遅延器を除く素子の係数行列であり、その要素は加算器を表す 1、乗算器の係数を表す文字、または 0 からなる。また、 H_d は遅延器のみの係数行列を表し、その要素は z^{-1} か 0 である。ただし、 H_c も H_d も H と同様に $N \times N$ の大きさで、それらの列の番号は入力節点番号を、行の番号は出力節点番号を表す。

さらにここでは多入力の加算もすべて 2 入力の加算器を用いて実現するものとする。これにより H_c の 1 行当りの非零要素の数は 2 つ以下となる。これによって、実際のプログラムでは H_c を記憶



() : 一時ファイル名

図 3 - 1 SDNAP の流れ図

するのに $N \times N$ の大きさの配列を用いる事なく $N \times 2$ の配列を 2 つ用いればよいことになり, 節点数が大きい回路の場合メモリの数は少なくてすむ. H_d についても同様に考え $N \times 1$ の配列を 2 つ用いて表すことにする.

B. 節点の順序づけ

節点の順序づけは文献 [3-2] の方法に従って式 (3-2) の H_c と H_d について行われる.

順序づけがなされた H_c は, 回路にディレイフリーループがないとその対角要素を含む右上半分の要素はすべて 0 となる. また H_d

の節点番号の付けかえも H_c に伴って行われているため、行の番号が若い所に遅延器の出力節点番号がつけられ、その非零要素は H_d の上部に集まることになる。しかし、この場合 H_c とは異なり、右上半分が必ず 0 になるわけではない。

C. REDUCE への係数行列の出力

REDUCE による回路解析は、基本的には式(3-2)をそのまま REDUCE へ式のかたちで入力してゆくことにより行われる。ところが、B. で述べたように H_d は右上半分のところに非零要素がくるので、そのような遅延器の入力節点番号のところで前節で述べたような方程式ができてしまう。REDUCE では前述の通りこのような方程式をそのままの形で解くことができないため、このままでは遅延器が入力とする節点のところで解析が進まなくなってしまう。そのため右上半分に非零要素を持つ遅延器が入力とする節点番号を H_d の非零要素の位置を調べることにより知り、その節点のところでは SOLVE コマンドを用いるように工夫しなければならない。

任意の入力点 i から任意の出力点 j までの伝達関数は X の i 番目の要素を 1 とし、 Y の j 番目の要素を調べることにより求めることができる。

3. 4 解析例

ここでは、図3-2に示すような直接型構成 2 次の IIR 型デジタルフィルタの解析を例として取り上げる。この回路には図中に示すように自由に節点番号が付けられている。これを前節で示したように節点の順序づけをすると同図○記号内に書かれたように節点の番号が付けかえられる。

このようにして順序づけがされた後のこの回路の係数行列 H を式(3-3)に示す。ただし、実際にはこの H は H_c と H_d とに分けて記憶されているのは前述の通りである。この式に示されているよう

に H_d に対応する部分の右上半分には 1 つ非零要素がある。その

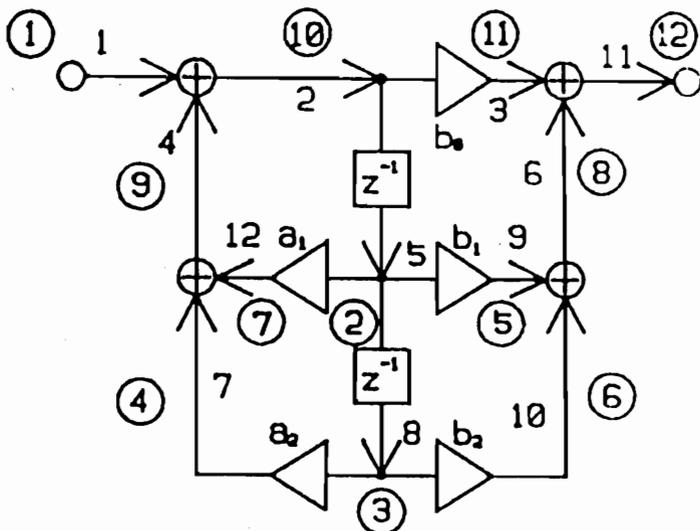


図 3-2 直接型 2 次 IIR 型フィルタ

遅延器の入力節点番号は 10 である。

$$H = \begin{vmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & z^{-1} & 0 & 0 \\ 0 & z^{-1} & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & a_2 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & b_1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & b_2 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & a_1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & b_0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 \end{vmatrix} \quad (3-3)$$

SDNAP では種々の解析結果を得ることができるが、その内たとえば節点 1 から節点 11 までの伝達関数 H と乗算器係数 a_1 に対する振幅特性の感度特性 SHA1 を求める場合、REDUCE へ入力されるファイルは図 3-3 のようになる。ここで先に述べた SOLVE コマンドが節点 10 で用いられている。

```

ORDER Z;
FORALL X LET COS(X)**2+SIN(X)**2=1;
Y1:=1;
Y2:=z-1*Y10;
Y3:=z-1*Y2;
Y4:=a2*Y3;
Y5:=b1*Y2;
Y6:=b2*Y3;
Y7:=a1*Y2;
Y8:=1*Y5+1*Y6;
Y9:=1*Y7+1*Y4;
A:=Y10;
B:=1*Y1+1*Y9;
SOLVE(A-B,Y10);
Y10:=SOLN(1,1);
Y11:=b0*Y10;
Y12:=1*Y8+1*Y11;
H:=Y12;
Z:=COS(WT)+I*SIN(WT);
HN:=NUM(H);
HD:=DEN(H);
COEFF(HN,I,CC);
NR:=CC0;
NI:=CC1;
NABS:=(NR**2+NI**2)**(1/2);
COEFF(HD,I,CC);
DR:=CC0;
DI:=CC1;
DABS:=(DR**2+DI**2)**(1/2);
HABS:=NABS/DABS;
SHA1:=DF(HABS,A1)/HABS*A1;
END;

```

図 3-3 REDUCE への入力例

解析結果として入力点から出力までの伝達関数 H と、その乗算器 a_1 に関する係数感度 SHA_1 を求めると

$$\left. \begin{aligned}
 H &:= (-z^2*b_0 + z*b_1 + b_2) / (-z^2 + z*a_1 + a_2) \\
 SHA_1 &:= (a_1 * (-\cos(wT) * a_2 + \cos(wT) - a_1)) \\
 &\quad / (2 * \cos(wT) * a_1 * a_2 - 2 * \cos(wT) * a_1 \\
 &\quad + 4 * \sin^2(wT) * a_2 + a_1^2 + a_2^2 - 2 * a_2 + 1)
 \end{aligned} \right\} \quad (3-4)$$

のように正しい解が得られている。

3.5 DM 構成

DM 構成における構成要素となるサブフィルタの伝達関数は、目的の伝達関数

$$\begin{aligned}
 H(z) &= \frac{b_0 z^2 + b_1 z + b_2}{z^2 - a_1 z + a_2} \\
 &= \frac{N(z)}{(z - r e^{j\theta})(z - r e^{-j\theta})} \quad (3-5)
 \end{aligned}$$

から次のように容易に決定することができる。ただし、フィルタの極は

$$p = r e^{\pm j\theta} \quad (3-6)$$

に存在するものとし、この r と θ は式(3-1)の分母多項式の係数 a_1, a_2 と

$$a_1 = 2r \cos \theta, \quad a_2 = r^2 \quad (3-7)$$

の関係がある。

式(3-5)の伝達関数 $H(z)$ は各構成要素となるフィルタの伝達関数 $H_i(z)$ ($i=1, \dots, N$) を用いて、

$$H(z) = \frac{C(z)}{(z^N - r^N e^{jN\theta})(z^N - r^N e^{-jN\theta})} \quad (3-8)$$

と書き直すことができる。ただし、

$$C(z) = \prod_{k=1}^N \{1 - 2r \cos(2k\pi/N + \theta) z^{-1} + r^2 z^{-2}\} \quad (3-9)$$

である。これから $H_i(z)$ は

$$H_i(z) = \frac{N_i(z)}{(z - r^N e^{jN\theta})(z - r^N e^{-jN\theta})} \quad (3-10)$$

となる。ただし、 $N_i(z)$ は $H_i(z)$ の分子多項式を表し、式(3-8)から容易に決定することができる。

2 通路構成の場合、2 つの構成要素となるフィルタの伝達関数

の係数は，式(3-5)の目的とするフィルタの伝達関数の係数から

$$H_1(z) = \frac{b_0 z^2 + (a_2 b_0 + a_1 b_1 + b_2) z + a_2 b_2}{z^2 - (a_1^2 - 2a_2) z + a_2^2} \quad (3-11)$$

$$H_2(z) = \frac{(a_1 b_0 + b_1) z^2 + (a_1 b_2 + a_2 b_1) z}{z^2 - (a_1^2 - 2a_2) z + a_2^2}$$

のように求めることができる。

3.6 DM 構成の感度特性

(r, θ) に極を持つフィルタを，DM 構成によって実現しようとする場合，前節式(3-8)で示したように構成要素となるフィルタの極は $(r^N, N\theta)$ に移動する。

一般に，単位円に近い極を持つフィルタほどその素子感度は高くなり，実現するのが困難となる^{[3-8]-[3-10]}。その点，DM 構成では実現しようとするフィルタに比べ単位円から離れたところに極を持つフィルタで組み立てられるため，全体として実現されたフィルタの素子感度は低くなることが期待される。

事実，

$$S_x \frac{|H|}{|H|} = \frac{x}{|H|} \frac{\partial |H|}{\partial x} \quad (3-12)$$

で定義される振幅感度は

$$S_x \frac{|H|}{|H|} = S_x \frac{|N|}{|N|} - S_r \frac{|D|}{|D|} \frac{r}{r} - S_\theta \frac{|D|}{|D|} \frac{\theta}{\theta} \quad (3-13)$$

と書くことができる。ただし，

$$S_r = \frac{r}{x} \frac{\partial r}{\partial x}, \quad S_\theta = \frac{\theta}{x} \frac{\partial \theta}{\partial x} \quad (3-14)$$

$$S_r \frac{|D|}{|D|} = \frac{1}{r} \frac{\partial |D|}{\partial r}$$

$$= \frac{r - \cos(\theta - \omega)}{1 - 2r \cos(\theta - \omega) + r^2} + \frac{r - \cos(\theta + \omega)}{1 - 2r \cos(\theta + \omega) + r^2} \quad (3-15)$$

$$\begin{aligned}
 S \frac{|D|}{\theta} &= \frac{1}{|D|} \frac{\partial |D|}{\partial \theta} \\
 &= \frac{r \sin(\theta - \omega)}{1 - 2rcos(\theta - \omega) + r^2} + \frac{r \sin(\theta + \omega)}{1 - 2rcos(\theta + \omega) + r^2} \quad (3-16)
 \end{aligned}$$

である。

ここで、式(3-13)の第1項は通過帯域内では1以下の値を取るため問題にはならない。また式(3-13)の第2, 3項の内式(3-15)に相当する項はフィルタの構成回路により変化する量である。しかし本文では構成回路は同一の者を考えるため問題にしない。式(3-13)の第2, 3項の内式(3-16)に相当する項はフィルタの伝達関数により一意的に決まる量であり、しかもこれは実現しようとする伝達関数の極の位置 (r, θ) が $|z| = 1$ から離れるにつれその絶対値は小さくなることが分かる。この意味でDM構成法によると感度の低いフィルタを構成することが可能である。

3. 7 DM構成の雑音特性

ここでは、フィルタを通常の構成法で実現する場合と、DM構成で実現する場合とでその雑音特性がどのような違いがあるかを考察する^[3-18]。ただし、ここでの雑音とは乗算器の丸め雑音を指し、その平均値は0、分散は $E_0^2/12$ であり、またノイズサンプル間には相関がないものとする。ただし、 E_0 は、A/D変換の量子化ステップを表す。

これにより、雑音源から出力までの伝達関数が $H_n(z)$ である場合、出力での雑音の分散は

$$\frac{E_0^2}{12} \frac{1}{2\pi j} \oint H_n(z) H_n(z^{-1}) z^{-1} dz \quad (3-17)$$

で与えられる。

実現するフィルタの伝達関数は比較のためすべて式(3-5)で与えられる同一のものを考えることにする。また実際には、DM構成の個々の通路を構成するフィルタの実現法については、いろいろな組合せが考えられるが、ここではDM構成における雑音低減の度合を調べるためすべての通路について同一の構成法を用いることにする。また、A/D変換に伴う雑音は、DM構成にしても不変であることは容易に示すことができるので本文では省略する。

A. 直接型構成

直接型構成の場合、雑音の流入する節点としては図3-4のようなモデルが考えられる。図3-4に示されている2つの雑音源 $n_1(nT)$, $n_2(nT)$ から出力までの伝達関数 $H_{n_1}(z)$, $H_{n_2}(z)$ はそれぞれ $H(z)$,

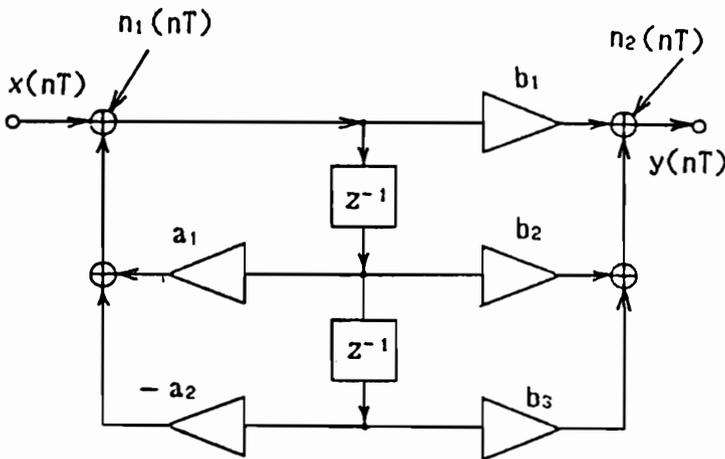


図3-4 直接型構成雑音モデル

1 に等しい。また、それらの分散は $E_0^2/6$, $E_0^2/4$ である。

これより出力における雑音の分散を計算すると

$$\sigma_{1^2} = \frac{E_0^2 (b_0^2 + b_1^2 + b_2^2)(1 + a_2) + 2a_1 b_1 (b_0 + b_2)}{6 (1 - a_2^2)(1 + a_2) - a_1^2(1 - a_2)}$$

$$\frac{+ 2b_0b_2(a_1^2 - a_2(1+a_2))}{4} + \frac{E_0^2}{4} \quad (3-18)$$

が得られる。

2 通路構成の場合の出力における雑音の分散は

$$\sigma_{H_1}^2 = \frac{E_0^2 (b_0^2 + (a_2b_0 + a_1b_1 + b_2)^2 + a_2^2b_2^2)(1-a_2^2)}{6 (1-a_2^4)(1+a_2^2) - (a_1^2 - 2a_2)^2(1-a_2^2)} + \frac{E_0^2}{4}$$

$$+ \frac{2(a_1^2 - 2a_2)(a_2b_0 + a_1b_1 + b_2)(b_0 + a_2b_0)}{6 (1-a_2^4)(1+a_2^2) - (a_1^2 - 2a_2)^2(1-a_2^2)}$$

$$+ \frac{2b_0a_2b_2((a_1^2 - 2a_2)^2 - a_2^2(1+a_2^2))}{6 (1-a_2^4)(1+a_2^2) - (a_1^2 - 2a_2)^2(1-a_2^2)} + \frac{E_0^2}{6}$$

$$\sigma_{H_2}^2 = \frac{E_0^2 ((a_1b_0 + b_1)^2 + (a_1b_2 + a_2b_1)^2)(1+a_2^2)}{6 (1-a_2^4)(1+a_2^2) - (a_1^2 - 2a_2)^2(1-a_2^2)} + \frac{E_0^2}{6}$$

$$+ \frac{2(a_1^2 - 2a_2)(a_1b_2 + a_2b_1)(a_1b_0 + b_1)}{6 (1-a_2^4)(1+a_2^2) - (a_1^2 - 2a_2)^2(1-a_2^2)} + \frac{E_0^2}{6}$$
} (3-19)

のようになる。

したがって、2 通路構成における出力点での雑音の分散は $\sigma_{H_1}^2$ と $\sigma_{H_2}^2$ を加えた

$$\sigma_2^2 = \sigma_{H_1}^2 + \sigma_{H_2}^2 \quad (3-20)$$

となる。

式(3-14)と式(3-17)から、通常の構成と 2 通路構成との雑音の分散の差は

$$\sigma_2^2 - \sigma_1^2 = E_0^2/6 \quad (3-21)$$

となり、実現しようとするフィルタの伝達関数の係数には関係せず、常に 2 通路構成の方がそれだけ大きくなり 2 通路構成を用いると雑音は増加することになる。

B. 転置直接型構成

転置直接型構成の場合、雑音の流入する節点としては図3-5のモデルが考えられる。

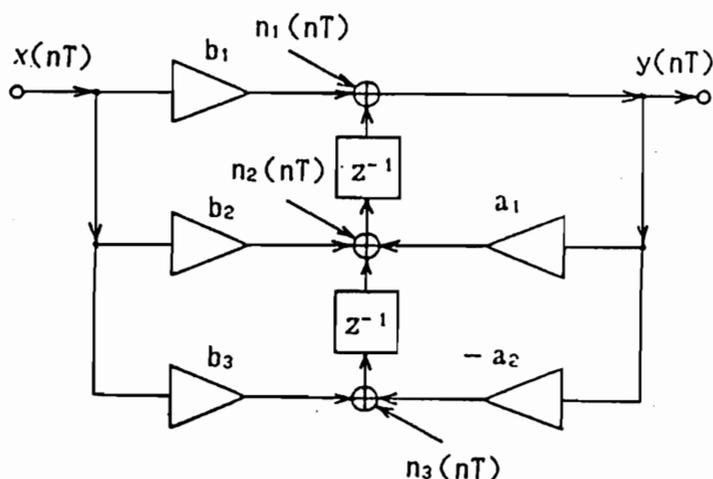


図 3-5 転置直接型構成の雑音モデル

各雑音 $n_1(nT)$, $n_2(nT)$, $n_3(nT)$ の分散はそれぞれ $E_0^2/12$, $E_0^2/6$, $E_0^2/6$ であり, またそれらから出力までの伝達関数 $H_{n_1}(z)$, $H_{n_2}(z)$, $H_{n_3}(z)$ はそれぞれ

$$\left. \begin{aligned} H_{n_1}(z) &= \frac{z^2}{z^2 - a_1 z + a_2} \\ H_{n_2}(z) &= \frac{z}{z^2 - a_1 z + a_2} \\ H_{n_3}(z) &= \frac{1}{z^2 - a_1 z + a_2} \end{aligned} \right\} \quad (3-22)$$

のようになる. これより出力における雑音の分散を計算すると

$$\sigma_{y^2} = \frac{E_0^2}{12} \frac{5(1+a_2)}{(1-a_2^2)(1+a_2) - a_1^2(1-a_2)} \quad (3-23)$$

を得る.

2 通路構成で転置直接型構成を実現する場合, それぞれの構成要素となるフィルタの伝達関数の係数も式(3-11)で与えられる.

これにより出力における雑音の分散は,

$$\left. \begin{aligned} \sigma_{H_1}^2 &= \frac{E_0^2}{12} \frac{5(1-a_2^2)}{(1-a_2^4)(1+a_2^2) - (a_1^2-2a_2)^2(1-a_2^2)} \\ \sigma_{H_2}^2 &= \frac{E_0^2}{12} \frac{4(1-a_2^2)}{(1-a_2^4)(1+a_2^2) - (a_1^2-2a_2)^2(1-a_2^2)} \end{aligned} \right\} (3-24)$$

のようになる。よって、2 通路構成における出力点での雑音の分散は

$$\begin{aligned} \sigma_2^2 &= \sigma_{H_1}^2 + \sigma_{H_2}^2 \\ &= \frac{E_0^2}{12} \frac{9(1-a_2^2)}{(1-a_2^4)(1+a_2^2) - (a_1^2-2a_2)^2(1-a_2^2)} \end{aligned} \quad (3-25)$$

のように $\sigma_{H_1}^2$ と $\sigma_{H_2}^2$ とを加え合わせたものとなる。式(3-23)と式(3-25)から、通常の構成と 2 通路構成との雑音の分散の比は

$$\frac{\sigma_2^2}{\sigma_1^2} = \frac{9(1+a_2^2)}{5(1+a_1^2+a_2^2-2a_2)(1+a_2)^2} \quad (3-26)$$

のようになる。

これを式(3-7)の関係を用いて r をパラメータとして図示すると図3-6となる。

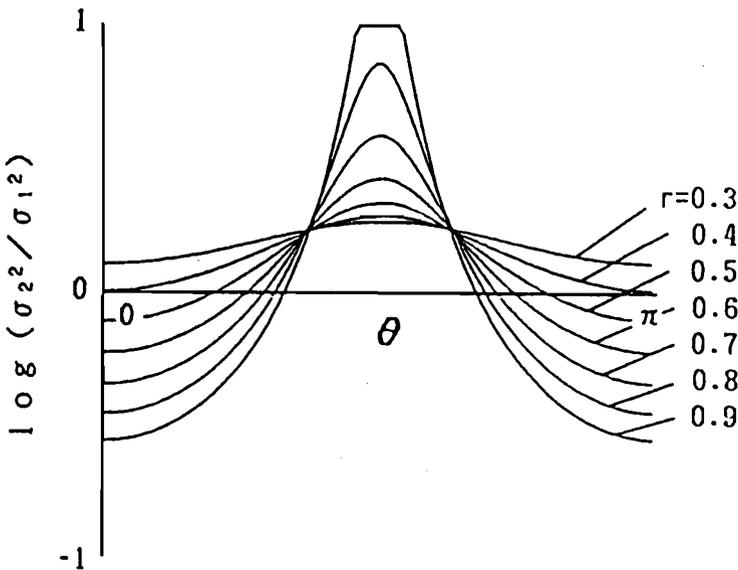


図 3 - 6 転置直接型構成の雑音特性

この図から式(3-26)が 1 以下の値を取るのは

$$\theta_1 < \theta < \theta_2 \quad (3-27)$$

で表される範囲であることが分かる。ただし

$$\left. \begin{aligned} \theta_1 &= \cos^{-1} \frac{(4-r^4)(1+5r^4)}{2 \cdot 5r(1+r^2)} \\ \theta_2 &= \pi - \theta_1 \end{aligned} \right\} \quad (3-28)$$

である。この範囲に極を持つフィルタの場合、DM 構成によると雑音の低減化が計られることが分かる。

通路数を一般化し多通路構成の場合を考えると、各構成要素のフィルタの伝達関数は式(3-10)で与えられるので、それぞれのフィルタに置ける出力点での雑音の分散を求めると

$$\left. \begin{aligned} \sigma_{H_1}^2 &= \frac{E_0^2}{12} \frac{5(1+a_2')}{(1-a_2'^2)(1+a_2')-a_1'^2(1-a_2')} \\ \sigma_{H_N}^2 &= \frac{E_0^2}{12} \frac{4(1+a_2')}{(1-a_2'^2)(1+a_2')-a_1'^2(1-a_2')} \quad (N \neq 1) \end{aligned} \right\} \quad (3-29)$$

のようになる。ただし、 $a_1' = 2r^N \cos N\theta$ 、 $a_2' = r^{2N}$ である。これから多通路構成全体での分散は

$$\sigma_{HN}^2 = \frac{E_0^2}{12} \frac{(4N+1)(1+a_2')}{(1-a_2'^2)(1+a_2')-a_1'^2(1-a_2')} \quad (3-30)$$

となり、通常の構成の場合との比を求め、通路数に対する雑音の関係として図示すると図3-7のようになる。

低雑音な構成法として有名なものに Agarwal, Burrus が提案した構成法 II^[3-18] がある。この構成法は、伝達関数の z を $(z+1)$ に変数変換し、それを直接型構成、あるいは転置直接型構成で実現しようとするものであるため、雑音特性は直接型構成、転置直接型構成の場合と完全に一致する。

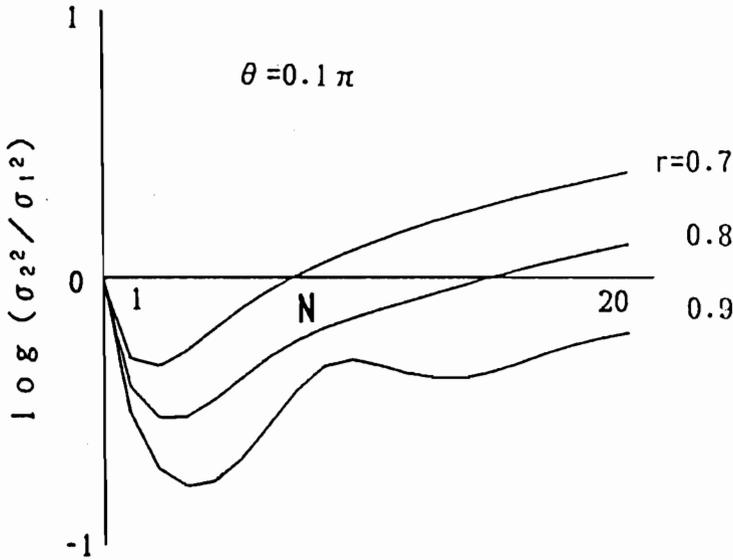


図 3-7 転置直接型構成の雑音特性 (多通路の場合)

C. Avenhaus 型構成

ここでは低感度な構成法と知られている Avenhaus 型構成^[3-18]を考える。この構成をするために、式(3-5)を

$$H(z) = \frac{z^2 - (2+d_1)z + 1}{z^2 - (2-e_1)z + (1-e_1+e_0e_1)} \quad (3-31)$$

と書く。ただし、ここでは低域通過型フィルタを考え、分子多項式は $(z^2 + b_1z + 1)$ の形をしているものとする。式(3-5), (3-7), (3-31)から a_1, a_2, b_1 と d_1, e_0, e_1 の関係は

$$\left. \begin{aligned} d_1 &= -2 - b_1 \\ e_0 &= \frac{1 - a_1 + a_2}{2 - a_1} = \frac{1 - 2r\cos\theta + r^2}{2 - 2r\cos\theta} \end{aligned} \right\} \quad (3-32)$$

$$e_1 = 2 - a_1 = 2 - 2r \cos \theta$$

となる。

雑音を考える場合図3-8のようなモデルが考えられる。各雑音源から出力までの伝達関数を求めると

$$\left. \begin{aligned} H_{n_1}(z) &= \frac{-1}{z^2 - (2 - e_1)z + (1 - e_1 + e_0 e_1)} \\ &= \frac{-1}{z^2 - 2r \cos \theta z + r^2} \\ H_{n_2}(z) &= \frac{-z}{z^2 - 2r \cos \theta z + r^2} \\ H_{n_3}(z) &= \frac{-z + (1 - e_0)}{z^2 - 2r \cos \theta z + r^2} \end{aligned} \right\} \quad (3-33)$$

となる。

Avenhaus 型構成で 2 通路構成を実現する場合，分子多項式を少

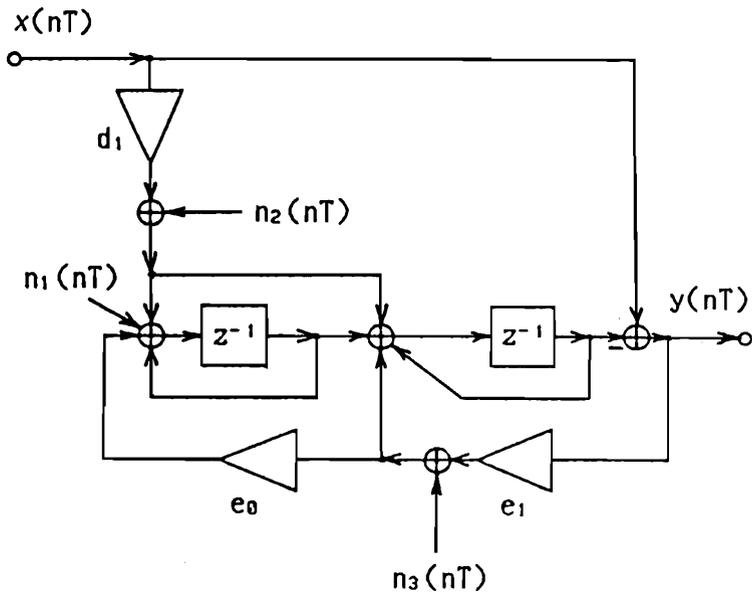


図 3 - 8 Avenhaus 型構成の雑音モデル

し変形する必要がある。すなわち，Avenhaus は実現するフィルタのタイプ（低域通過型，高域通過型，あるいは帯域通過型）により，その実現回路を分けて示している。ところが DM 構成の場合，たとえ目的の伝達関数が低域通過型であっても，構成要素となるフィルタの伝達関数の分子多項式は一般的なものとなる。以上を考慮して，低域通過型の Avenhaus 型構成において，分子多項式を実現している回路を一般化すると図3-9のようになる。ただし，その中には雑音源も示されている。

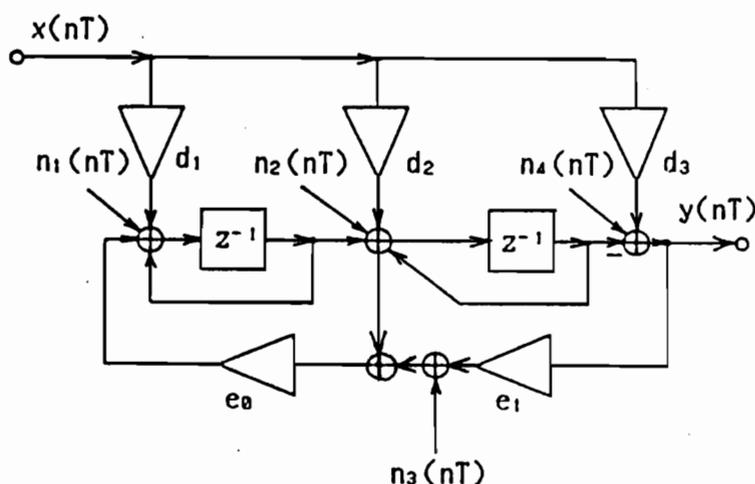


図 3 - 9 分子多項式を一般化した Avenhaus 型構成の雑音モデル

この場合，目的の伝達関数と構成要素のフィルタの伝達関数の関係は

$$\begin{aligned}
 H(z) &= \frac{b_0 z^2 + b_1 z + b_2}{z^2 - a_1 z + a_2} \\
 &= \frac{d_3 z^2 - (2d_3 + d_2)z + (d_3 - d_1 + d_2)}{z^2 - (2 - e_1)z + (1 - e_1 + e_0 e_1)}
 \end{aligned} \tag{3-34}$$

であらわされる。ただし、

$$\left. \begin{aligned}
 d_1 &= -b_0 + b_1 - b_2 \\
 d_2 &= -2b_0 - b_1 \\
 d_3 &= b_0 \\
 e_0 &= \frac{-a_1 + a_2 + 1}{2 - a_1} = \frac{-2r^2 \cos 2\theta + r + 1}{2 - 2r^2 \cos 2\theta} \\
 e_1 &= 2 - a_1 = 2 - 2r^2 \cos 2\theta
 \end{aligned} \right\} (3-35)$$

である。

図3-9の各雑音源から出力までの伝達関数を求めると

$$\left. \begin{aligned}
 H_{n_1}(z) &= \frac{-1}{D(z)} \\
 H_{n_2}(z) &= \frac{-z+1}{D(z)}
 \end{aligned} \right\}$$

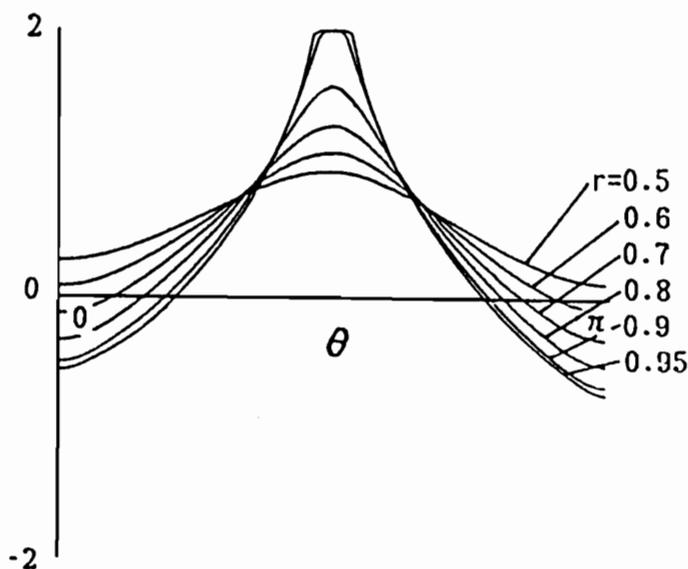


図3-10 Avenhaus型構成の雑音特性

$$\left. \begin{aligned} H_{n3}(z) &= \frac{-z+(1-e_0)}{D(z)} \\ H_{n4}(z) &= \frac{z^2-2z+1}{D(z)} \end{aligned} \right\} \quad (3-36)$$

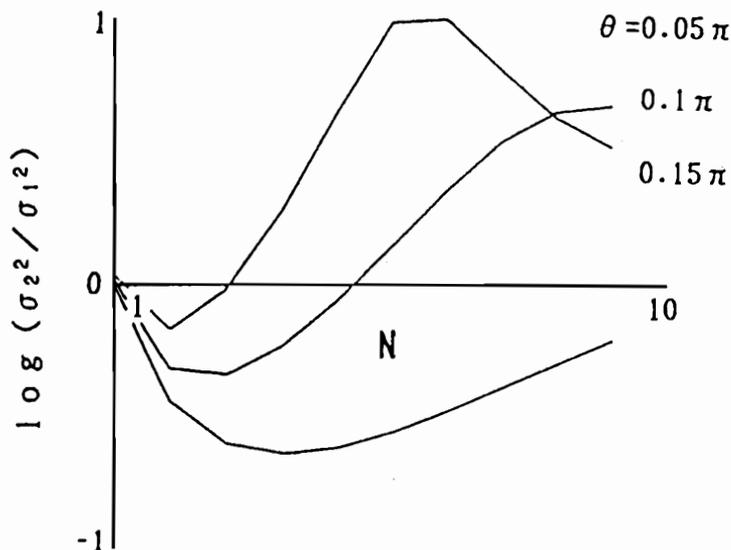
となる。ただし、

$$D(z) = z^2 - (2 - e_1)z + (1 - e_1 + e_0 e_1) \quad (3-37)$$

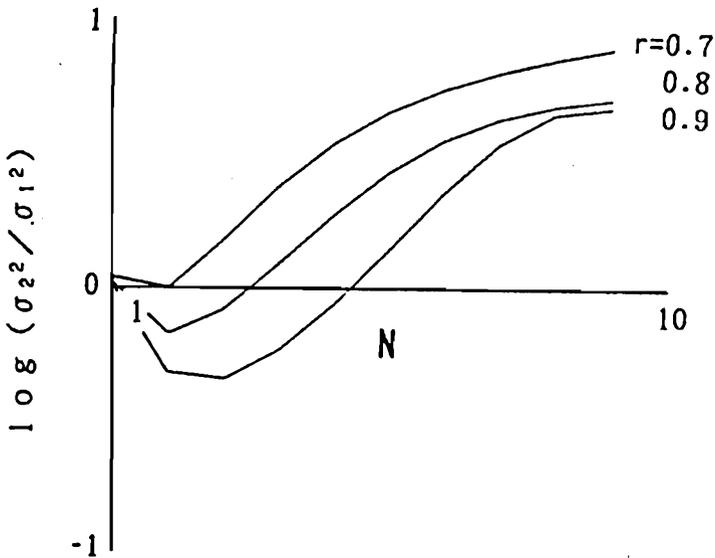
である。

式(3-31)と式(3-34)から、通常の構成と2通路構成による雑音の分散の比を求めると図3-10のようになる。

この場合も通路数を一般化し、多通路構成の各構成要素のフィルタの伝達関数は式(3-10)で与えられ、各々のフィルタにおける出力点での雑音の分散を求め、通路数に対する通常の構成の場合との比を図示すると図3-11のようになる。



(a) $r = 0.9$



(b) $\theta = 0.1 \pi$

図 3 - 1 1 Avenhaus 型構成の雑音特性

3. 8 結言

本章では、DM 構成における各通路のサブフィルタを種々の回路で実現した場合の、DM 構成全体としての係数感度と、乗算器の丸め雑音を求め、通常の方法によって実現したものと比較し、DM 構成の特性を検討した。その結果、特に係数感度やその雑音特性が問題になる狭帯域のフィルタのような、極を $z = \pm 1$ の近くに持つフィルタのほど、DM 構成によって低係数感度化、低雑音化が計られることが判明した。

またこの解析を行う上で、数式処理言語によるデジタル回路を記号解析する一手法について提案した。本解析方法では数式処理プログラムとして REDUCE をとりあげ、その内部を変更する事なく回路解析をするために、入力データに節点の順序づけなどの前処理を

FORTTRAN で施し，それを REDUCE へ受け渡すこととした。また，REDUCE からの出力結果の，グラフ化などの後処理は FORTRAN で行うものとした。しかし，これら一連の処理はコマンドプロシージャとして，一時的なファイルを介して行われるため，利用者は内部の状態を気にせず要求されるとうりデータを入力すればよいなどの特徴をもつ。さらに，これによると係数感度や雑音特性などを，正確にかつ容易に求めることが可能である。

第4章 DM構成適応型デジタルフィルタ

4.1 緒言

適応型デジタルフィルタは信号抽出，パラメータ推定，エコーキャンセルや雑音除去などデジタル信号処理の分野において重要な役割を果たしている。たとえば入力信号に含まれる雑音特性に応じてフィルタのパラメータを調整することにより，雑音除去を効率的に行おうとする場合や，未知のパラメータをもつシステムの出力信号を観察することにより，そのシステムのパラメータを推定する場合などに応用されている。その際の雑音特性の推定，及びパラメータの調整方法などについての研究はすでに各所で行われ，いくつかのアルゴリズムが発表されその有効性が確認されている^{[1-6]，[4-11]-[4-5]}。

ところが実時間で動作するこのような適応型デジタル信号処理システムを構築するにはその処理速度が大きな問題になり，現在相次いで発表されているデジタルシグナルプロセッサ（以下 DSP）を用いても十分な処理速度を得ることは困難である。

本論文では第2章で提案した遅延多通路構成デジタル信号処理システムを用いて高速な適応型信号処理システムを構築すること方法を提案する。

図4-1の各サブフィルタには NT （ T : 標本化周期， N : 通路数）ごとに信号が入力されることになり，等価的に高速な信号処理が可能であり，標本化周期を下げることで高い周波数成分を含む信号を処理することが可能となる。ただし，DM構成で実現するためには，各通路を構成するサブフィルタの伝達関数が完全に一致していることが前提条件になっている。

前述の前提条件を満足するために，各通路のサブフィルタのパラメータは同時に更新している。ところが，この構成では各サブフィ

ルタのパラメータ更新の処理は入力信号の標本化周期 T 以内で行わねばならず，高速処理が困難である．さらに，各多通路構成フィルタにおいて，時刻 kT で m 番目の通路のサブフィルタにより処理された結果得られた誤差 $e(k)$ を用いてサブフィルタ全てのパラメータを更新しても，次に信号が入力されるサブフィルタは $m+1$ 番目のものだけであり，その他のサブフィルタには信号が入力されないため，パラメータの更新を行ってもその影響はない．

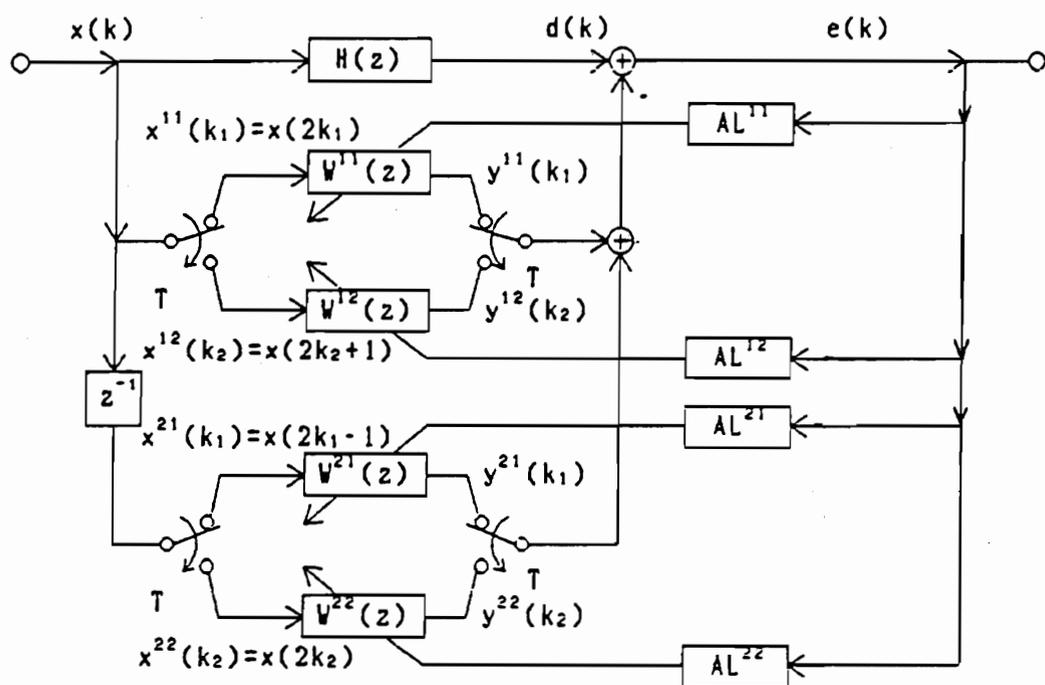


図 4-1 遅延多通路構成適応型デジタルフィルタの考え方

そこで，図4-1の構成を図4-2のように変形する．図4-2の構成を遅延多通路適応型デジタルフィルタ(以下：DMADF (Delayed Multi-Path Adaptive Digital Filter))と呼ぶ)ではこの図に示されているように N 個の DSP を用いて構成される [4-6]-[4-8]．

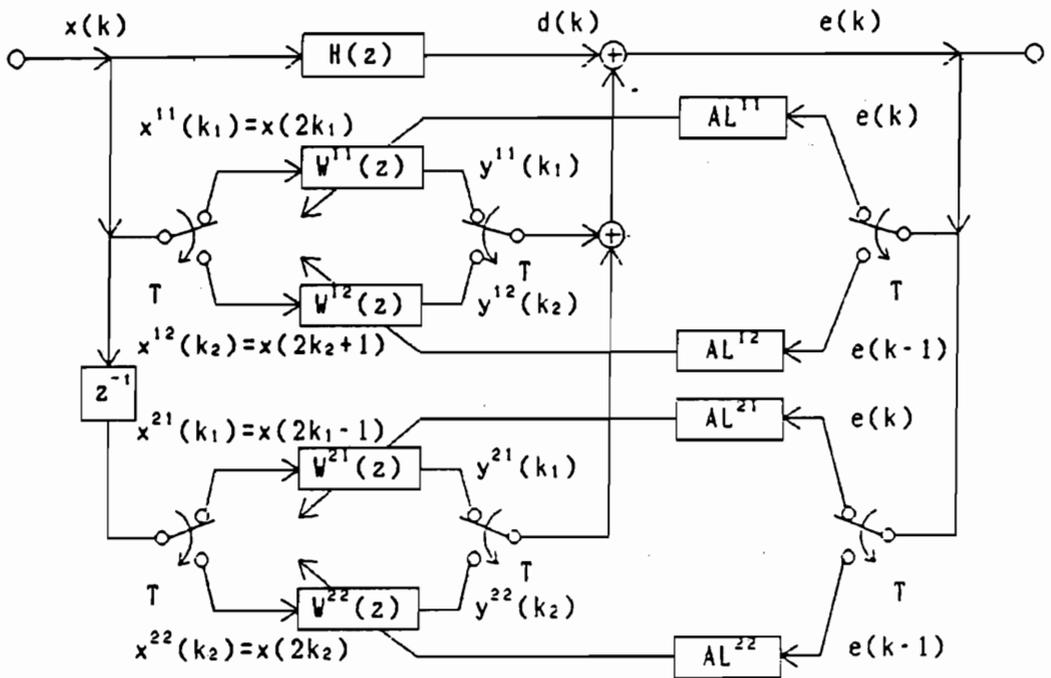


図 4 - 2 遅延多通路構成適応型デジタルフィルタ (DMADF)

個々の DSP では可変係数の FIR フィルタと、これの係数を更新して行くための適応アルゴリズムを実現する。DMADF では従来の構成法に比べその標本化周期は N 分の 1 に、またその更新すべき係数の数も N 分の 1 になるため全体として、 N の 2 乗倍の処理速度を得ることができる。

適応アルゴリズムに LMS (least mean square) アルゴリズムと LRS (linear random search) アルゴリズムを取り上げ、これによるシステムの動作を DSP のシミュレータ^{[4-8]-[4-11]}を用いて示す。

4. 2 DM 構成適応型デジタルフィルタ

ここでは未知の伝達関数 $H(z)$ を持つシステムを DMADF により推定することを考える。この場合、簡単のために 2 通路構成を用いることにするが、一般の多通路構成においても同様に議論できる。

2 通路構成 DMADF の構成図を図4-2に示す。本構成においては可変係数 FIR フィルタ、 $W^{ij}(z)$, $i, j=1, 2$ を用いて構成され、それぞれは適応アルゴリズム AL^{ij} によって更新されて行くものと考えている。また $W^{ij}(z)$, AL^{ij} , $i, j=1, 2$ は 1 つの DSP によって実現されるものとする。このとき、各 $W_1^j(z)$ $W_2^j(z)$ の次数は n が奇数のときは

$$n_1 = n_2 = (n-1)/2 \quad (4-1)$$

で、また n が偶数のときには

$$n_1 = n/2, \quad n_2 = n/2-1 \quad (4-2)$$

与えられる。ここで n は DMADF で実現する全体の伝達関数 $W(z)$ の次数である。

システム全体への入力信号系列とそれぞれのサブフィルタへの入力信号系列を示すと図4-3のようになる。

図4-3より入力信号系列 $x(k)$ とそれぞれの DSP への入力系列 $x^{ij}(k)$, $i, j=1, 2$, との関係は k が偶数のとき

$$x^{11}(k_1) = x(2k_1), \quad x^{21}(k_1) = x(2k_1-1), \quad (4-3)$$

となり、また奇数のとき

$$x^{12}(k_2) = x(2k_2+1), \quad x^{22}(k_2) = x(2k_2), \quad (4-4)$$

となる。また図4-3(d)において、破線で示されている入力データは $x^{21}(k_1)$ の初期値を表している。以下、時刻 k が偶数及び奇数のときそれぞれ k_1, k_2 をもちいて $k=2k_1, k=2k_2+1$ のように表すものとする。

時刻 k における ij 番目のサブフィルタの q 番目の係数を $w^{ij}_k(q)$ で表すと、時刻 $k=k_j$ での各 DSP の係数 $w^{ij}_k(q)$, $i, j=1, 2$,

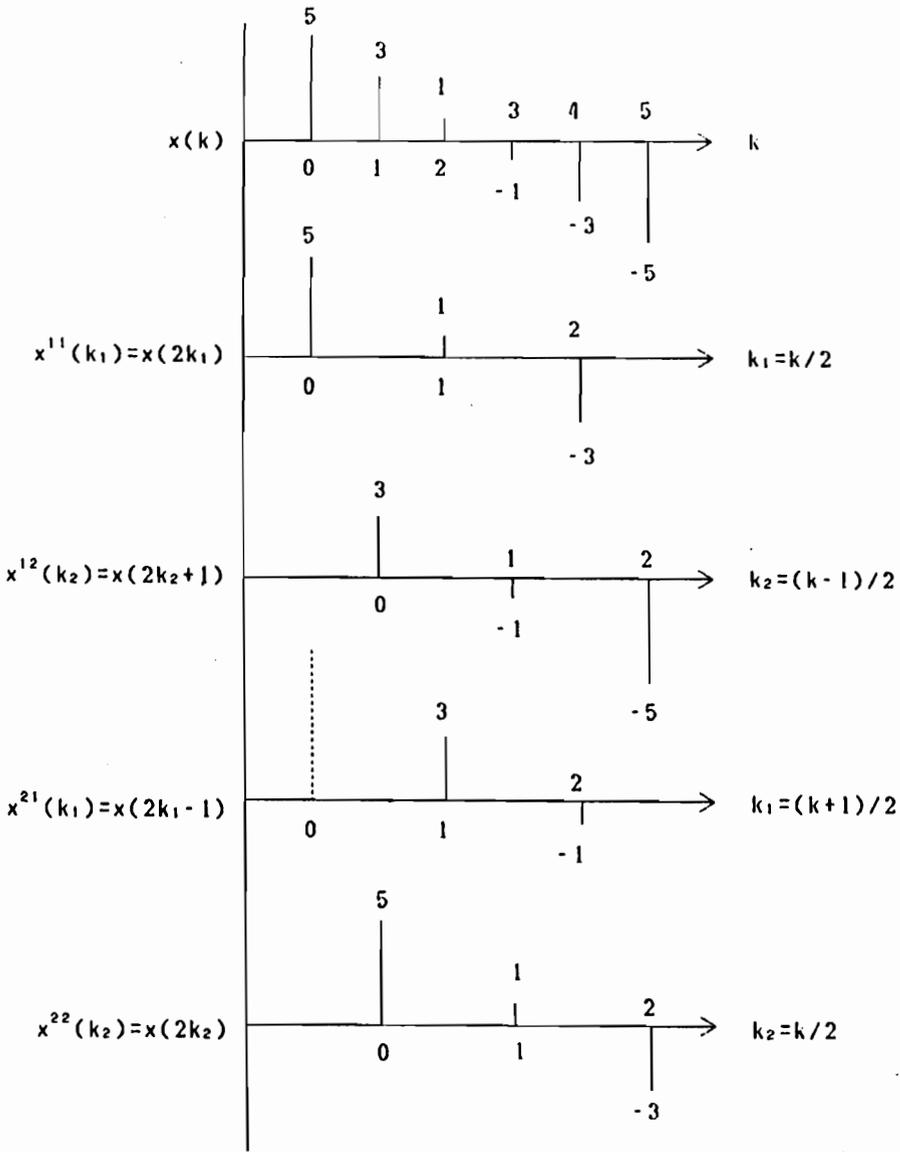


図 4-3 DMADF における各 DSP への入力信号系列

$q=0, 1, \dots, n_i$, と DMADF の q 番目の係数 $w^{1\ k_i}(q), i=1, 2, q=0, 1, \dots, n_i$ とは

$$\begin{aligned}
 & \{w^{1\ k_1}(0), w^{1\ k_1}(1), \dots, w^{1\ k_1}(n_1)\} \\
 & \quad = \{w^{1\ k_1}(0), w^{1\ k_1}(2), \dots, w^{1\ k_1}(2n_1)\} \\
 & \{w^{2\ k_1}(0), w^{2\ k_1}(1), \dots, w^{2\ k_1}(n_2)\} \\
 & \quad = \{w^{1\ k_1}(1), w^{1\ k_1}(3), \dots, w^{1\ k_1}(2n_2+1)\} \\
 & \{w^{1\ k_2}(0), w^{1\ k_2}(1), \dots, w^{1\ k_2}(n_1)\} \\
 & \quad = \{w^{2\ k_2}(0), w^{2\ k_2}(2), \dots, w^{2\ k_2}(2n_1)\} \\
 & \{w^{2\ k_2}(0), w^{2\ k_2}(1), \dots, w^{2\ k_2}(n_2)\} \\
 & \quad = \{w^{2\ k_2}(1), w^{2\ k_2}(3), \dots, w^{2\ k_2}(2n_2+1)\}.
 \end{aligned} \tag{4-5}$$

の関係で結ばれている。これより k が偶数時の場合の出力 $y(k)$ は

$$y(k) = y^{1\ 1}(k_1) + y^{2\ 1}(k_1), \quad k_1 = 0, 1, \dots \tag{4-6}$$

のように、また奇数時の場合は

$$y(k) = y^{1\ 2}(k_2) + y^{2\ 2}(k_2), \quad k_2 = 0, 1, \dots \tag{4-7}$$

で与えられる。ここで

$$\begin{aligned}
 y^{1\ 1}(k_1) &= \sum_{q=0}^{n_1} w^{1\ k_1}(q) x^{1\ 1}(k_1 - q) \\
 &= \sum_{q=0}^{n_1} w^{1\ k_1}(2q) x(2k_1 - 2q) \\
 y^{1\ 2}(k_2) &= \sum_{q=0}^{n_1} w^{1\ k_2}(q) x^{1\ 2}(k_2 - q) \\
 &= \sum_{q=0}^{n_1} w^{2\ k_2}(2q) x(2k_2 - 2q + 1) \\
 y^{2\ 1}(k_1) &= \sum_{q=0}^{n_2} w^{2\ k_1}(q) x^{2\ 1}(k_1 - q) \\
 &= \sum_{q=0}^{n_2} w^{1\ k_1}(2q + 1) x(2k_1 - 2q - 1)
 \end{aligned} \tag{4-8}$$

$$\begin{aligned}
 y^{22}(k_2) &= \sum_{q=0}^{n_2} w^{22}_{k_2(q)} x^{22}(k_2-q) \\
 &= \sum_{q=0}^{n_2} w^{2}_{k_2(2q+1)} x(2k_2-2q).
 \end{aligned}$$

である。

以下では出力と目的の値との差の二乗平均値 $\varepsilon(k) = E[e^2(k)]$ を最小とするための可変係数 FIR フィルタの係数 $w^i(q)$, $i=1,2$ の最適値 $w^{i*}(q)$ を求める。ここで $E[x]$ は x の平均値を表すものとしている。また議論は k が偶数の場合と奇数の場合についてされている。

A. k が偶数の場合

このときの出力は

$$\begin{aligned}
 y(k) &= y(2k_1) = y^{11}(2k_1) + y^{21}(2k_1) \\
 &= \sum_{q=0}^{n_1} w^1_{k_1(2q)} x(2k_1-2q) \\
 &\quad + \sum_{q=0}^{n_2} w^1_{k_1(2q+1)} x(2k_1-2q-1)
 \end{aligned} \tag{4-9}$$

で与えられ、ここでの評価誤差 $\varepsilon(2k_1) = \varepsilon_1$ は

$$\varepsilon_1 = E[(d(2k_1) - y(2k_1))^2]. \tag{4-10}$$

で与えられる。これからこの ε_1 を最小にする可変係数 FIR フィルタの係数 $w^1(q) = w^{1*}(q)$, $q=0, 1, \dots, 2n_1+1=n$, は次の方程式を解くことによって得られる。

$$\partial \varepsilon_1 / \partial w^1(m) = 0, \quad m = 0, 1, \dots, 2n_1+1. \tag{4-11}$$

式(4-11)の左辺は

$$\begin{aligned}
 \frac{\partial \varepsilon_1}{\partial w^1(m)} &= -2E[d(2k_1) \frac{\partial y(2k_1)}{\partial w^1(m)}] + 2E[y(2k_1) \frac{\partial y(2k_1)}{\partial w^1(m)}] \\
 &= -2 E[d(2k_1)x(2k_1-m)]
 \end{aligned}$$

$$\begin{aligned}
& + 2 \sum_{\varrho=0}^{n_1} w^1(2\varrho) E[x(2k_1-2\varrho)x(2k_1-m)] \\
& + 2 \sum_{\varrho=0}^{n_2} w^1(2\varrho+1) E[x(2k_1-2\varrho-1)x(2k_1-m)]. \quad (4-12)
\end{aligned}$$

のようになる。ここで次式で与えられる入力信号系列の自己相関関数 $\psi_{2k}(\varrho)$ と入力信号系列と目的とする信号系列の相互相関関数 $\phi_{2k}(\varrho)$ を用いると

$$\psi_{2k}(\varrho) = E[x(k)x(k+\varrho)], \quad \phi_{2k}(\varrho) = E[d(k)x(k+\varrho)], \quad (4-13)$$

式(4-11)は

$$\sum_{\varrho=0}^{n_1} w^1(2\varrho) \psi_{2k}(2\varrho-m) + \sum_{\varrho=0}^{n_2} w^1(2\varrho+1) \psi_{2k}(2\varrho-m+1) = \phi_{2k}(m). \quad (4-14)$$

となる。さらに $\psi_{2k}(\varrho) = \psi_{2k}(-\varrho)$ と $n_1 = n_2 = (n-1)/2$ の関係を用いると最適値 $w^{1*}(\varrho)$, $\varrho=0, 1, \dots, n$ は

$$W^{1*} = R^{-1}P, \quad (4-15)$$

で与えられることになる。ただし、

$$\begin{aligned}
R &= \begin{pmatrix} \psi_{2k}(0) & \psi_{2k}(1) & \cdots & \psi_{2k}(2n_1) & \psi_{2k}(2n_1+1) \\ \psi_{2k}(1) & \psi_{2k}(0) & \cdots & \psi_{2k}(2n_1-1) & \psi_{2k}(2n_1) \\ \psi_{2k}(2) & \psi_{2k}(1) & \cdots & \psi_{2k}(2n_1-2) & \psi_{2k}(2n_1-1) \\ \vdots & \vdots & & \vdots & \vdots \\ \psi_{2k}(2n_1+1) & \psi_{2k}(2n_1) & \cdots & \psi_{2k}(1) & \psi_{2k}(0) \end{pmatrix} \\
P &= [\phi_{2k}(0) \quad \phi_{2k}(1) \quad \cdots \quad \phi_{2k}(2n_1+1)]^t \\
W^{1*} &= [w^{1*}(0) \quad w^{1*}(1) \quad \cdots \quad w^{1*}(2n_1+1)]^t. \quad (4-16)
\end{aligned}$$

である。

B. k が奇数の場合

k が偶数の場合と同様に $w^2(m)$ の最適値 $w^{2*}(m)$ は

$$W^{2*} = R^{-1}P, \quad (4-17)$$

で与えられることがわかる。ただしここで用いた R と P は式(4-16)で用いたものと同じものである。また

$$W^{2*} = [w^{2*}(0) \quad w^{2*}(1) \quad \dots \quad w^{2*}(2n_1+1)]^t. \quad (4-18)$$

である。

式(4-16)における R 及び P はスカラー実現の場合と同じものであり、式(4-15)と式(4-17)で与えられる最適値はスカラー実現の場合と同じものであることがわかる。

このように式(4-15),(4-17)における R, P がスカラー実現した場合と同じものであることから、

$$M = \mu \operatorname{tr} R = (n+1)\mu \lambda a \quad (4-19)$$

で与えられる誤調整^[4-1]についても、次数 n と μ が同じ値をとる限り多通路構成にしてもその値は変わらないことがわかる。

4.3 DM 構成 LMS アルゴリズム

ここではフィルタの係数を更新するのに LMS アルゴリズムを考える。LMS アルゴリズム^{[4-1]-[4-4]}は

$$w_{k+1}(q) = w_k(q) + 2\mu e(k)x(k-q), \\ q = 0, 1, \dots, n, \quad k = 0, 1, \dots, \quad (4-20)$$

で定義される。ただし、 μ は正の定数であり、 $x(k)$ はシステムへの入力信号であり、 $w(q)$ は適応フィルタ $W(z)$ の係数である。さらに $e(k) = d(k) - y(k)$ は目的の信号とシステムの出力との偏差を表している。システム同定の際の目的信号 $d(k)$ は

$$d(k) = \sum_{q=0}^{n'} h(q)x(k-q), \quad (4-21)$$

で与えられることが分かる。ここで n' と $h(q)$ はここで同定すべき未知のフィルタ $H(z)$ の次数とそのインパルス応答を表す。

DMADF 構成で実現するために式(4-20)の LMS アルゴリズムを

$$w^{ij}_{k+1}(q) = w^{ij}_k(q) + 2\mu e(k)x^{ij}(k-q), \\ i, j = 1, 2, \quad q = 0, 1, \dots, n_i, \quad k = 0, 1, \dots, \quad (4-22)$$

のように分解する。ここで μ や $e(k)$ は共に式(4-20)で与えられ

た正の定数と誤差信号と同じものである。 $x^{ij}(k)$ は各 DSP への入力信号を表し、 $w^{ij}(\varrho)$ は各 DSP によって実現されるフィルタ $W^{ij}(z)$ の伝達関数の係数である。このように LMS アルゴリズムを變形することにより各 DSP で独立して係数を更新することができるようになるため高速な適応フィルタが実現されたことになる。

4. 4 DM 構成 LRS アルゴリズム

本節ではフィルタ係数を LRS アルゴリズムを用いて更新することを考える。LRS アルゴリズム [4-4]-[4-5] は

$$w_{k+1}(\varrho) = w_k(\varrho) + \beta \left[\frac{1}{N} \sum_{i=k-N+1}^k (d(i) - y(i))^2 - \frac{1}{N} \sum_{i=k-N+1}^k (d(i) - y(i)')^2 \right] u(\varrho) \quad (4-23)$$

$$\varrho = 0, 1, \dots, n, \quad k = 0, 1, \dots,$$

で定義される。ここで β は正の定数である。また式(4-23)における $u(k)$ は雑音信号であり、さらに出力 $y(k)$ および $y(k)'$ は

$$\left. \begin{aligned} y(k) &= \sum_{\varrho=0}^n w_k(\varrho) x(k-\varrho), \\ y(k)' &= \sum_{\varrho=0}^n (w_k(\varrho) + u(\varrho)) x(k-\varrho), \end{aligned} \right\} \quad (4-24)$$

で与えられる。ここで $x(k)$ はシステムへの入力信号であり、また $w_k(\varrho)$ は適応フィルタ全体の伝達関数の係数である。式(4-23)は

$$w^{ij}_{k+1}(\varrho) = w^{ij}_k(\varrho) + \beta \left[\frac{1}{N} \sum_{k_j=k-N+1}^k (d(k_j) - y^{ij}(k_j))^2 - \frac{1}{N} \sum_{k_j=k-N+1}^k (d(k_j) - y^{ij}(k_j)')^2 \right] u^{ij}(\varrho), \quad (4-25)$$

のように分解することができる。ただし、 $i, j = 1, 2$ $\varrho = 0, 1, \dots, n$ $j, k = 0, 1, \dots$ であり、また

$$\begin{aligned}
 y^{11}(k_1) &= \sum_{\varrho=0}^{n_1} w^{11}_{k_1}(\varrho) x^{11}(k_1-\varrho) = \sum_{\varrho=0}^{n_1} w^{1}_{k_1}(2\varrho) x(2k_1-2\varrho) \\
 y^{12}(k_2) &= \sum_{\varrho=0}^{n_1} w^{12}_{k_2}(\varrho) x^{12}(k_2-\varrho) = \sum_{\varrho=0}^{n_1} w^{2}_{k_2}(2\varrho) x(2k_2-2\varrho+1) \\
 y^{21}(k_1) &= \sum_{\varrho=0}^{n_2} w^{21}_{k_1}(\varrho) x^{21}(k_1-\varrho) = \sum_{\varrho=0}^{n_2} w^{1}_{k_1}(2\varrho+1) x(2k_1-2\varrho-1) \\
 y^{22}(k_2) &= \sum_{\varrho=0}^{n_2} w^{22}_{k_2}(\varrho) x^{22}(k_2-\varrho) = \sum_{\varrho=0}^{n_2} w^{2}_{k_2}(2\varrho) x(2k_2-2\varrho)
 \end{aligned}
 \tag{4-26}$$

となる。さらに

$$\begin{aligned}
 y^{11}(k_1)' &= \sum_{\varrho=0}^{n_1} (w^{11}_{k_1}(\varrho) + u^{11}(\varrho)) x^{11}(k_1-\varrho) \\
 &= \sum_{\varrho=0}^{n_1} (w^1_{k_1}(2\varrho) + u^1(2\varrho)) x(2k_1-2\varrho) \\
 y^{12}(k_2)' &= \sum_{\varrho=0}^{n_1} (w^{12}_{k_2}(\varrho) + u^{12}(\varrho)) x^{12}(k_2-\varrho) \\
 &= \sum_{\varrho=0}^{n_1} (w^2_{k_2}(2\varrho) + u^2(2\varrho)) x(2k_2-2\varrho+1) \\
 y^{21}(k_1)' &= \sum_{\varrho=0}^{n_2} (w^{21}_{k_1}(\varrho) + u^{21}(\varrho)) x^{21}(k_1-\varrho) \\
 &= \sum_{\varrho=0}^{n_2} (w^1_{k_1}(2\varrho+1) + u^1(2\varrho+1)) x(2k_1-2\varrho-1) \\
 y^{22}(k_2)' &= \sum_{\varrho=0}^{n_2} (w^{22}_{k_2}(\varrho) + u^{22}(\varrho)) x^{22}(k_2-\varrho) \\
 &= \sum_{\varrho=0}^{n_2} (w^2_{k_2}(2\varrho+1) + u^2(2\varrho+1)) x(2k_2-2\varrho),
 \end{aligned}
 \tag{4-27}$$

である。ただし $u^{ij}(\varrho)$ は各 DSP への雑音信号であり、 $w^{ij}_{k_j}(\varrho)$ は各 DSP で実現されたフィルタの伝達関数の係数であり、さらに $x^{ij}(k)$ はそれへの入力信号を表す。

DMADF の出力は k が偶数のとき

$$\left. \begin{aligned} y(k) &= y^{11}(2k_1) + y^{21}(2k_1) \\ y(k)' &= y^{11}(2k_1)' + y^{21}(2k_1)' \end{aligned} \right\} \quad (4-28)$$

で与えられ、また k が奇数のときは

$$\left. \begin{aligned} y(k) &= y^{12}(2k_2+1) + y^{22}(2k_2+1) \\ y(k)' &= y^{12}(2k_2+1)' + y^{22}(2k_2+1)' \end{aligned} \right\} \quad (4-29)$$

で与えられる。

未知のシステム同定を行う際の目的となる信号 $d(k)$ は k が偶数のときは

$$d(k) = \sum_{q=0}^{n'} h(q) x(2k_1 - q) \quad k_1 = 0, 1, \dots, \quad (4-30)$$

のように、また k が奇数のときは

$$d(k) = \sum_{q=0}^{n'} h(q) x((2k_2+1) - q) \quad k_2 = 0, 1, \dots. \quad (4-31)$$

で示される。ここに $h(q)$ は未知のシステムのインパルス応答を示している。

このように変形した LRS アルゴリズムは各 DSP 独立して適用することができる。

4. 5 シミュレーション結果

ここでは未知のシステムの伝達関数を DMADF を用いて推定することを考える。そのために仮想的に 2 通路の適応アルゴリズムと未知の FIR フィルタを 2 種類の DSP のシミュレータ [4-9]-[4-11] を用いて実現し、DMADF の動作を確認した。ここで用いたシミュレータは単独の DSP のシミュレーションを行うものであるが、ここではこれを模擬的に 2 通路 DMADF を実現しその動作を確認した。このシミュレーションでは未知のシステムとして次の 5 次の伝達関数を持つものを考え、これを DMADF によって同定することとした。

$$H(z) = 0.6z^{-5} + 0.5z^{-4} + 0.4z^{-3} + 0.3z^{-2} + 0.2z^{-1} + 0.1 \quad (4-32)$$

すなわちシミュレーションを始める時点においてはこの伝達関数の係数はわからないものとして、DMADFによってこれらの係数を見つけ出すことを試みた。この際システムへの入力信号としては $x(k) = \sin \omega k + n(k)$ なる信号を与えた。ここで $n(k)$ は平均値 0、分散 3.3×10^{-3} の白色雑音である。

A. LMSアルゴリズム

図4-4に開発したプログラムの処理の流れを示す。この例では TM S320C25 のシミュレータ^[4-9]により実現することを考える。

この図において FIR フィルタ及び適応アルゴリズムはそれぞれサブルーチン呼び出すことにより実現し、各サブルーチンで必要な命令サイクル数は次数を N とすると、FIR のサブルーチンが $(10 + 2N)$ 、LMS アルゴリズムが $(16 + 8N)$ となっている。DM 構成の場合、さきに述べたようにその次数は通常の適応アルゴリズムの場合に比べ約 2 分の 1 になっているため、それぞれ 1 つの FIR の計算に必要な命令サイクル数は約 2 分の 1 となっている。

また図4-4からもわかるとおり、4 つの適応アルゴリズムは入力 1 つおきに 2 つずつ行っている。そのため入力されない 2 つの DSP はそのまま計算を続けることが可能であり、結果入力に加えることのできる標本化周期は半分にするができることになる。

これによって得られた結果のうち、入力信号数に対する誤差量の変化の様子を図4-5に、また繰り返しにより係数が収束して行く様子を図4-6に示す。

図4-5、図4-6から適応アルゴリズムを DM 構成化することにより、収束するのに必要な入力データ数は通常の構成に比べほぼ 2 倍必要となることがわかる。しかし、本来のようにこの適応アルゴリズムを 4 つの DSP で実現した場合、各適応アルゴリズムの次数が約

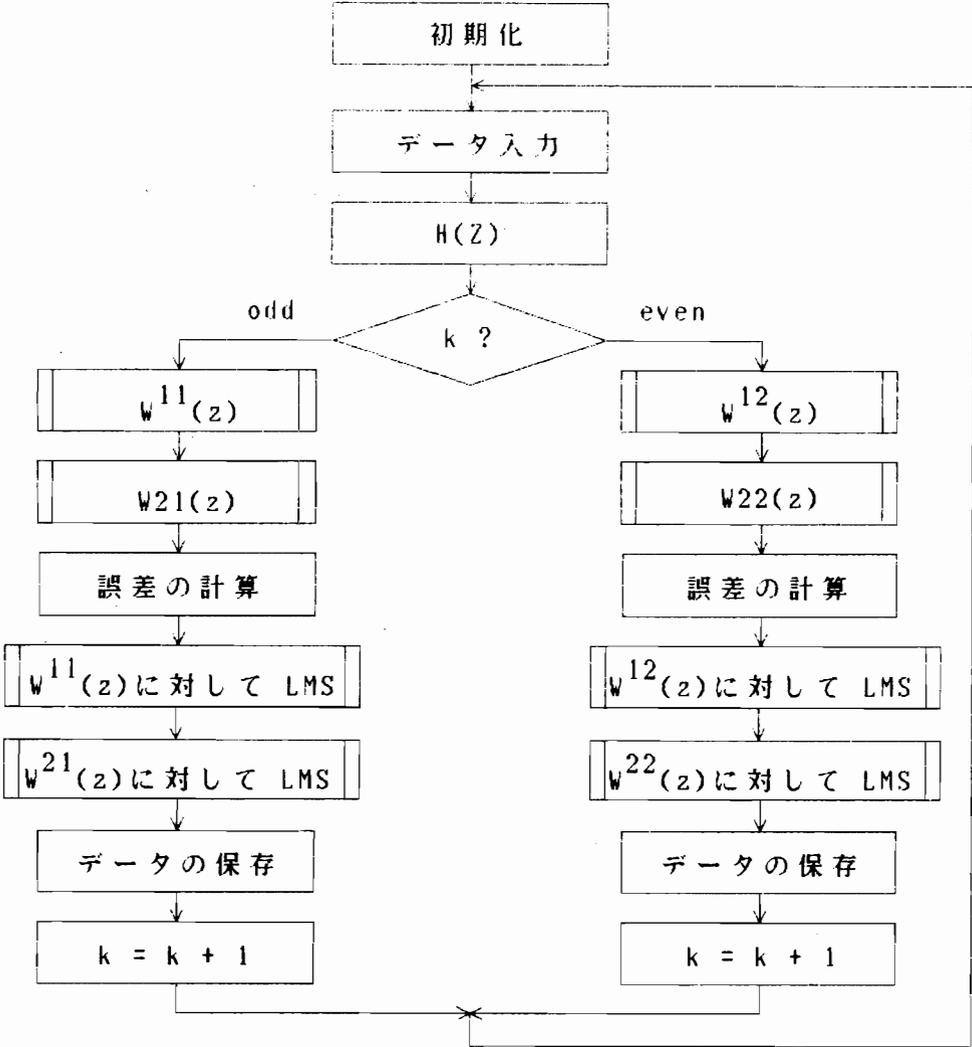
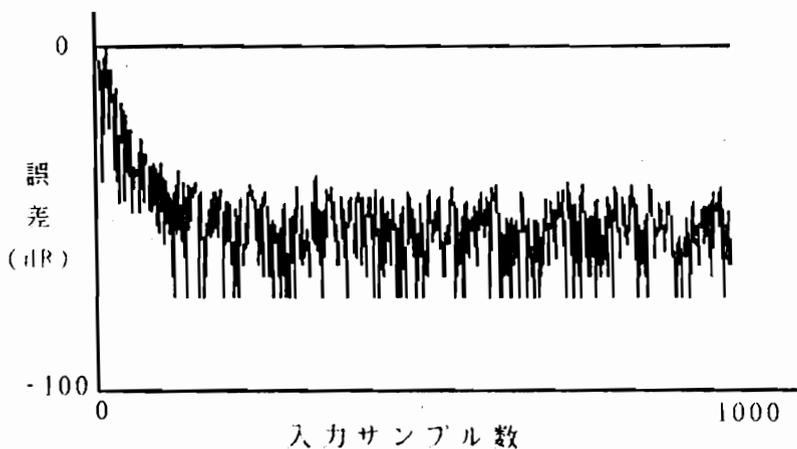
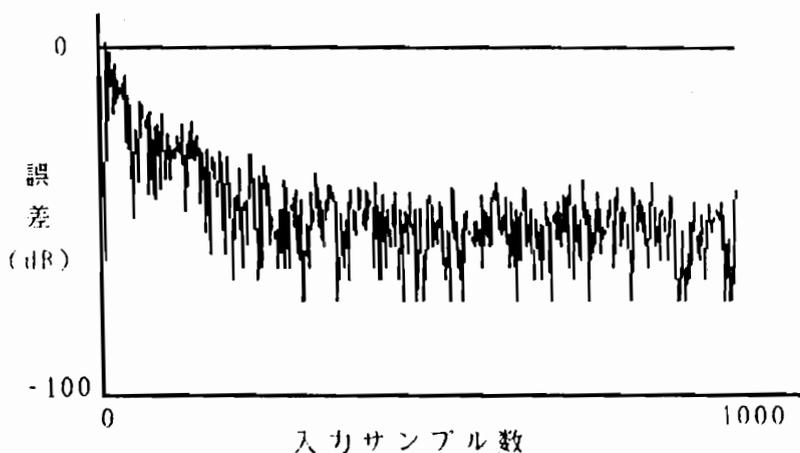


図 4-4 DMADF 構成 LMS アルゴリズムの確認のためのプログラムのフローチャート



(a) 通常の構成

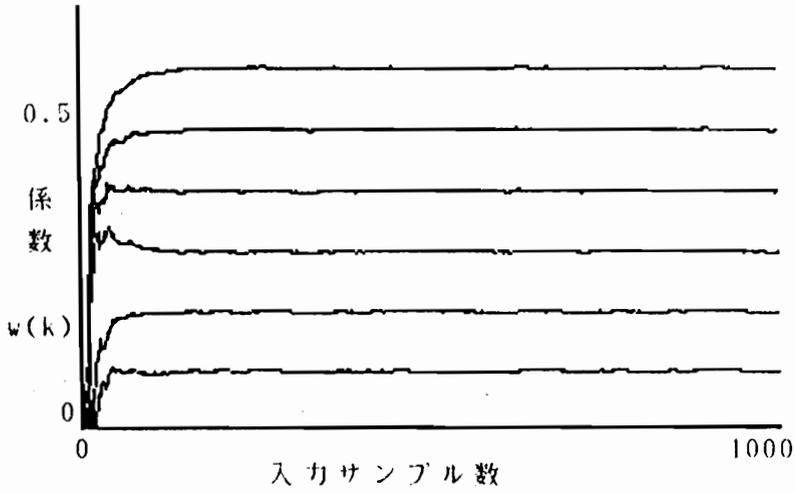


(b) DMADF 構成

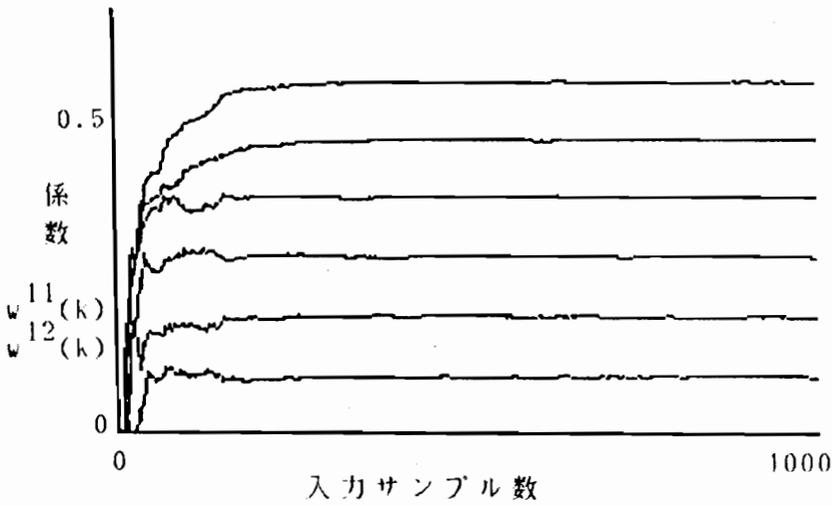
図 4-5 入力信号数に対する誤差の減少の様子
(LMS アルゴリズムの場合)

半分になっているため計算時間が半分になり，また各アルゴリズムには標本化周期の 2 倍の間隔でデータが入力されることにより標

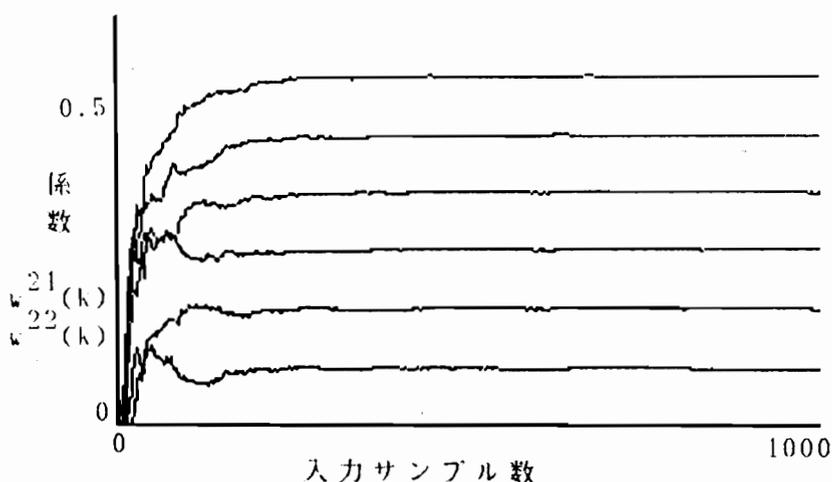
本化周期が半分にすることができることを考慮すると，入力信号の標本化周期は通常の構成の場合と比べ約 1/4 にすることができる．これによって収束に要する時間はほぼ半分にする事ができた．



(a) 通常の構成



(b) DMADF 構成 ($w^{11}(z)$, $w^{12}(z)$)



(c) DMADF 構成 ($w^{21}(k)$, $w^{22}(k)$)

図 4 - 6 入力信号数に対する係数の収束の様子
(LMS アルゴリズムの場合)

B. LRS アルゴリズム

2 通路 LRS アルゴリズムを先の LMS アルゴリズムの場合と同様の方法で AT&T DSP32 のシミュレータ [4-10]-[4-11] によりシミュレーションを行った。そのシミュレーションのための流れ図を図 4-7 に示す。

この結果実験によって得られた収束特性のうち、誤差の減少の様子を図 4-8 に、係数の収束の様子を図 4-9 に示す。シミュレーションで得られた収束特性は、先に示した図 4-5, 図 4-6 とよく似たものが得られる。これらの図からこのアルゴリズムの場合でも DMADF 構成における動作速度は通常の構成法に比べ 4 倍高速化され、またその収束時間も 2 倍高速化されることが示された。

4. 6 結言

本章では第2章で提案したDM構成デジタルフィルタの考え方を適応型フィルタに適用し、高速な適応信号処理システムを構築した。本手法では可変係数のFIRデジタルフィルタとこれの係数を更新してゆくための適応アルゴリズムを、複数個のDSPを用いてそれぞれ独立して実現した。適応アルゴリズムはLMSアルゴリズムとLRSアルゴリズムに本構成用に修正を加えたものを用いた。

N^2 個のDSPを用いた本構成法で得られた適応型デジタルフィルタの動作速度は、通常の構成法に比べ N^2 倍高速化され、またその収束速度は N 倍高速化されることを示した。また本構成法の特性をテキサスインスツルメンツ社のDSPチップTMS32020とAT&T社のDSP32の各シミュレータ^{[4-9]-[4-11]}によって確認した。

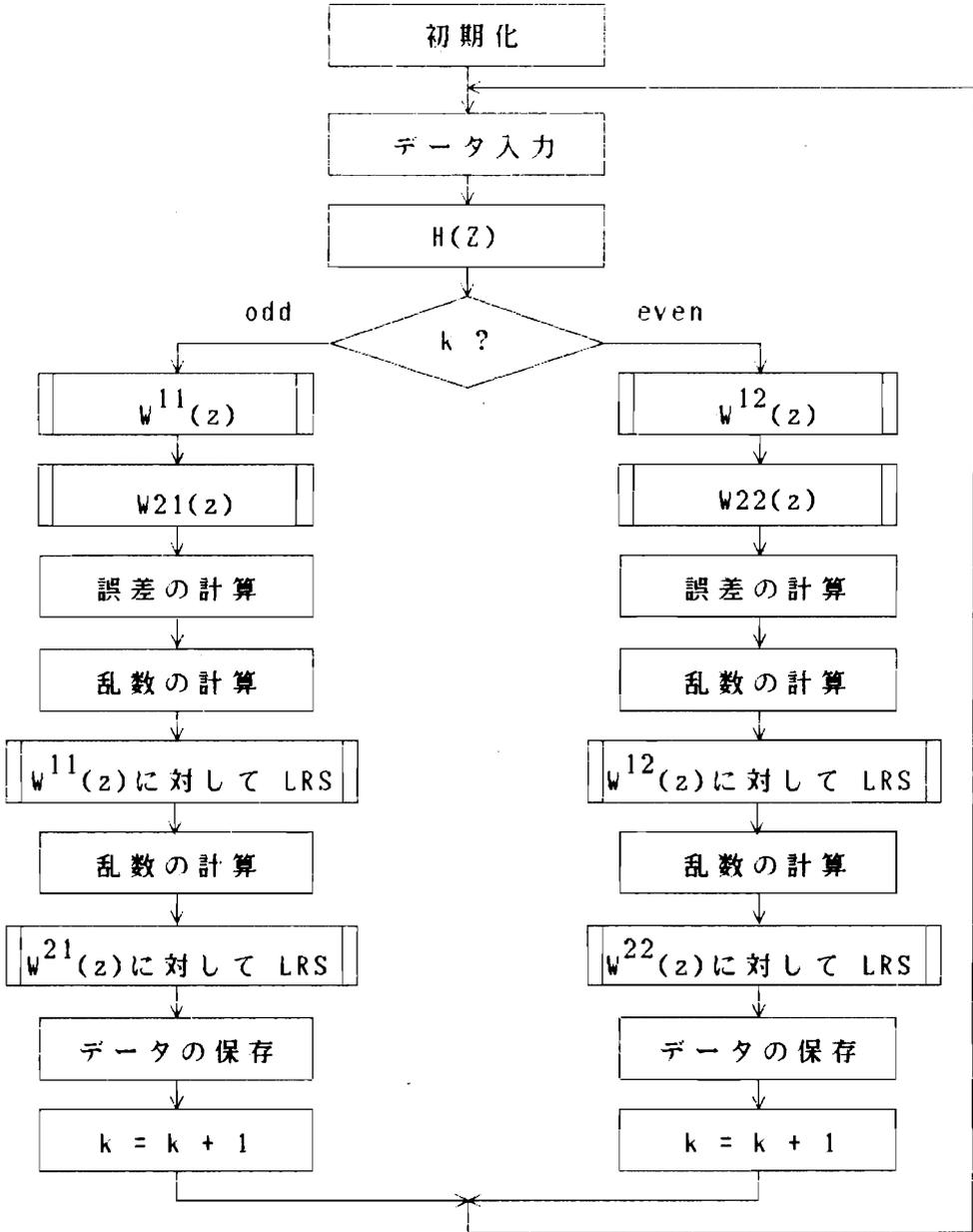
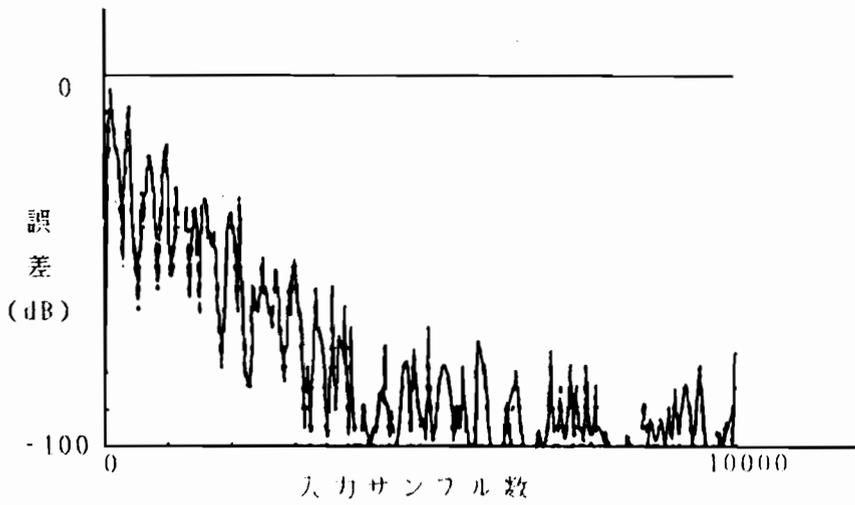
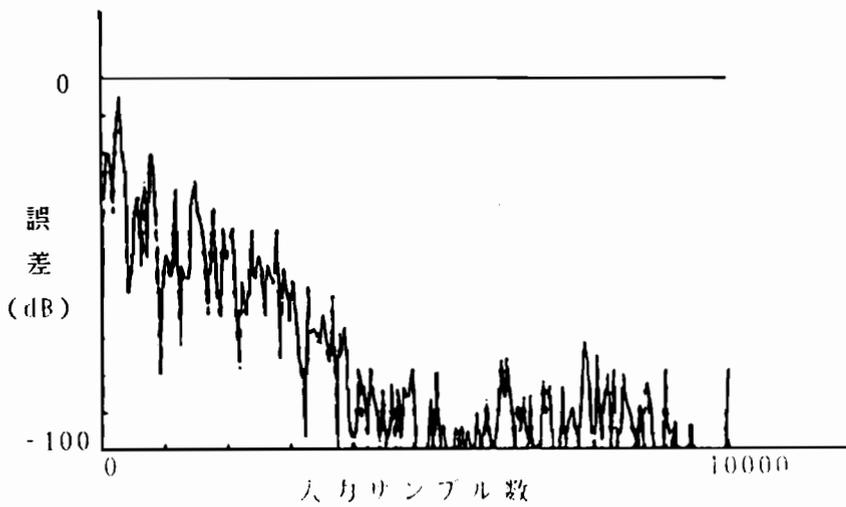


図 4-7 DMADF 構成 LRS アルゴリズムの確認のためのプログラムのフローチャート

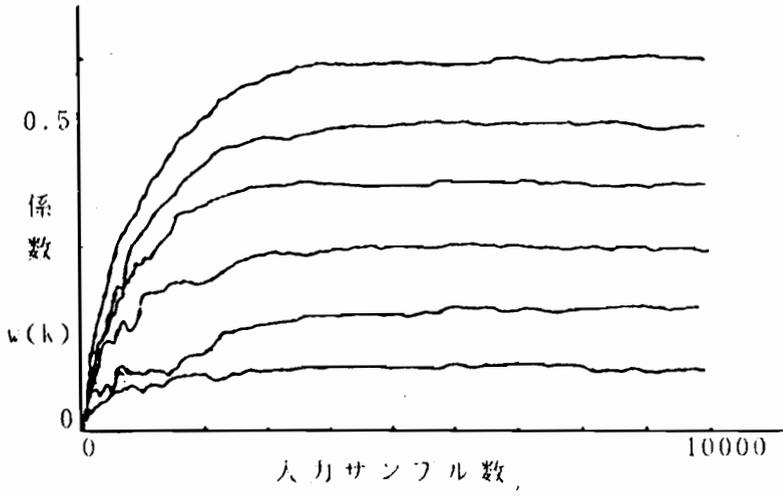


(a) 通常の構成

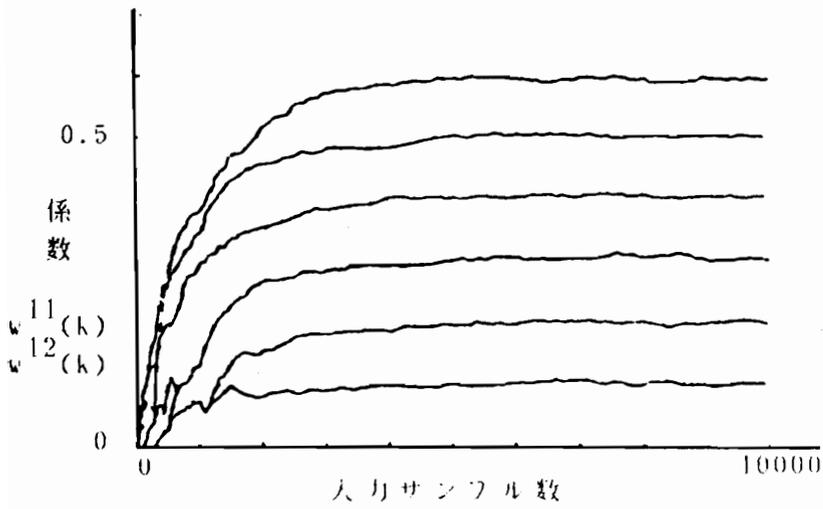


(b) DMADF 構成

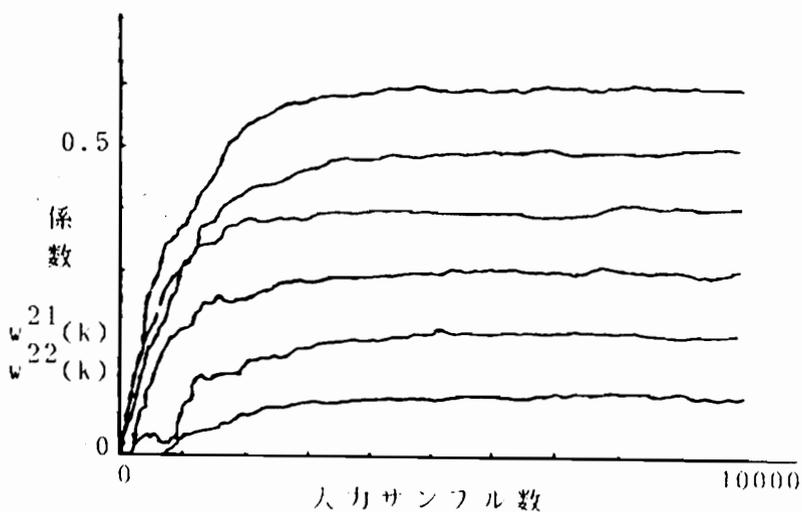
図 4-8 入力信号数に対する誤差の減少の様子
(LRS アルゴリズムの場合)



(a) 通常の構成



(b) DMADF 構成 ($w^{11}(k)$, $w^{12}(k)$)



(c) DMADE 構成 ($w^{21}(k)$, $w^{22}(k)$)

図 4 - 9 入力信号数に対する係数の収束の様子
(LRS アルゴリズムの場合)

第5章 DSP 用周辺 LSI を用いたシステムの構成

5.1 緒言

LSI 技術の目ざましい進歩はデジタル信号処理の分野においても、その理論的、実用的の両面で大きな影響を与えている。特に最近相次いで発表されるデジタル信号処理専用 LSI (DSP) によって小型の、より柔軟性に富んだ、さらに信頼性の高いシステムが開発され、各方面で応用されつつある。この DSP 自身は内部にハードウェアの乗算器を実装したり、並列処理が可能となるように工夫の凝らされた構造を持つてはいるが本質的には他の汎用 CPU と同じものである。またこのような DSP が画像処理、通信、制御システムなどの分野に応用されて行くにつれ、それ自身の構造も常に改良されている。

ところがこのように DSP 自身の性能が向上しても、あるいは性能が向上すればするほど、これを用いて特定のシステムを構築するには複雑な回路が必要になる。特に実時間システムなどの場合においては規模の小さなシステムが好ましいのは言うまでもない。このようなことからシステムの規模を小さくするためにも、また開発時間を短縮する意味でも、DSP の周辺 LSI を開発することが必要になってくる。

ここでは DSP チップにテキサスインスツルメンツ社の TMS320C25 を選び、これを用いてシステムを構築するための周辺 LSI (以下 P320) について述べるが、この回路は他の DSP 用にも容易に変更することができる構造をもっている。

本章ではまず DSP を用いた信号処理システムの基本的な構成法について簡単に述べ、次に P320 の構造について述べる。また P320 を開発してゆく上でのシミュレーション結果、及び実験結果についても述べ、最後に P320 を用いたシステムの構成例とその実験結

果を示す [5-1]-[5-5]。

5. 2 DSP を用いた信号処理システムの基本的な構成

ここでは DSP に TMS320C25 を用いた場合のデジタル信号処理システムの構成法の内、基本的なものについて述べる。

TMS320C25 は内部に少しではあるがプログラム，データメモリを実装している。もっとも小規模なデジタル信号処理システムは，これらのメモリのみによって実現するものであるが，一般性にかける。そこで TMS320C25 は外部にプログラム，データメモリを増設することによりより大きな規模の信号処理システムを実現することができる構成になっている。また TMS320C25 は入出力回路と独立した入出力インターフェイスのための領域をもっている。外部にメモリを実装する形式のスタンドアローン方式デジタル信号処理システムの基本的な構成図を図5-1に示す。

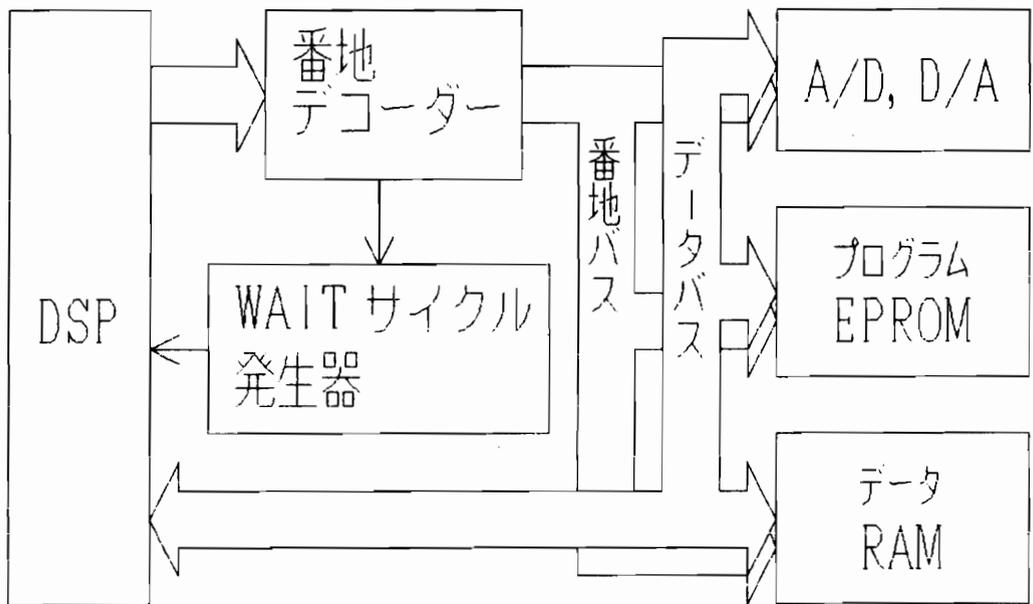


図 5 - 1 DSP を用いたスタンドアローンシステムの構成例 1

このようなスタンドアローン方式のシステムでは信号処理のためのプログラムは EPROM に書き込んでシステム内部に実装しておく
と便利である。ところがこの種の EPROM の動作速度は DSP に比べ
遅いためウェイトサイクルがを挿入しなければならない。この目
的のため図5-1には、ウェイトサイクル生成回路が含まれている。

ところがこのようなウェイトサイクル生成回路は、当然信号処理
の処理速度を低下させることになり、DSP はその能力を十分に発揮
することができない。図5-2にもう一つのスタンドアローンシス
テムを示す。

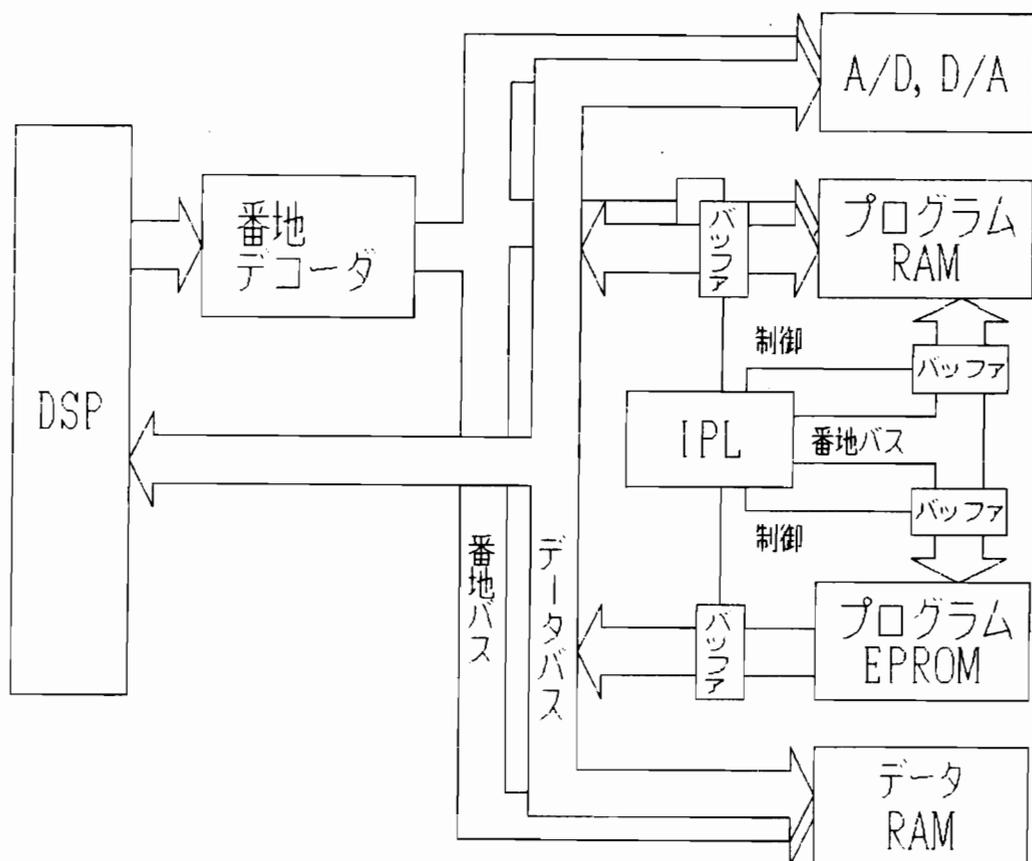


図 5 - 2 DSP を用いたスタンドアローンシステムの構成例 2

この回路には図5-1の回路の、ウェイトサイクル生成回路による処理速度を低下を改良するための初期プログラム転送回路が実装されている。この初期プログラム転送回路は EPROM 内に書き込まれている DSP 用の信号処理用プログラムを、システムの初期化時に高速 RAM に転送するためのアドレス信号や制御信号を発生する回路である。プログラムが転送された後は、EPROM は DSP 回路から切り放されその動作に影響を及ぼさない。その後 DSP は高速 RAM のみ用いて信号処理をすることができるため、DSP の能力いっぱいの処理ができる。

3 番目の DSP の応用回路として図5-3に汎用マイクロプロセッサで制御されるシステムの例を示す。ここでは 8086 が汎用マイクロプロセッサの例として取り上げられ、ホストのパーソナルコンピュータとの通信や DSP の制御を行っている。DSP のメモリは 8086 のメモリ領域に取り込まれ、8086 は他のメモリと同様に、直接 DSP のメモリを読み書きすることも可能である。信号処理のための DSP のプログラムは 8086 のメモに保存されているか、またはホストのパーソナルコンピュータから転送され、DSP のメモリに転送される。

5.3 DSP 用周辺 LSI

5.1 で述べたようなシステムは、通常小規模なロジック IC を用いて実現される。このためそのハードウェア量はかなり大きなものとなるためシステムの小型化は困難であり、また雑音に対する信頼性も低いものになってしまう。

ここで述べる LSI (P320) はこのような問題を解決するために開発されたものであり、そのブロック図を図5-4に示す。

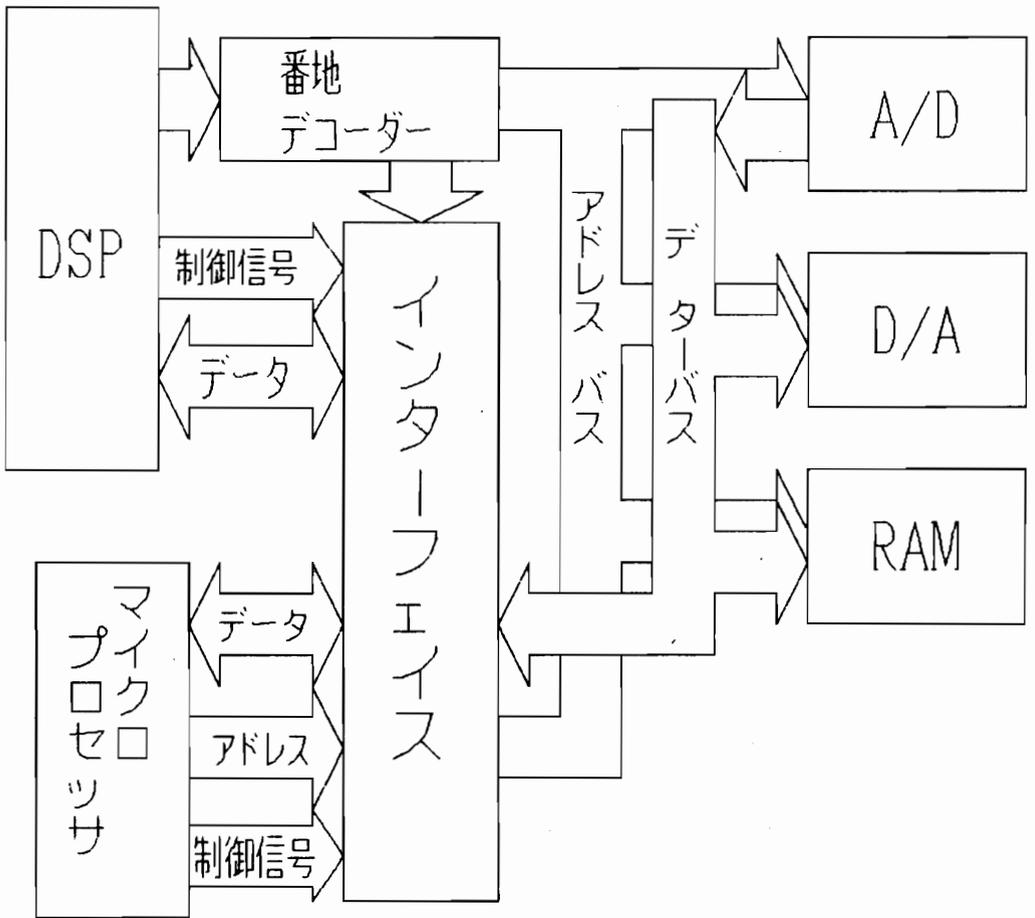


図 5 - 3 マイクロプロセッサで制御される DSP システムの構成例

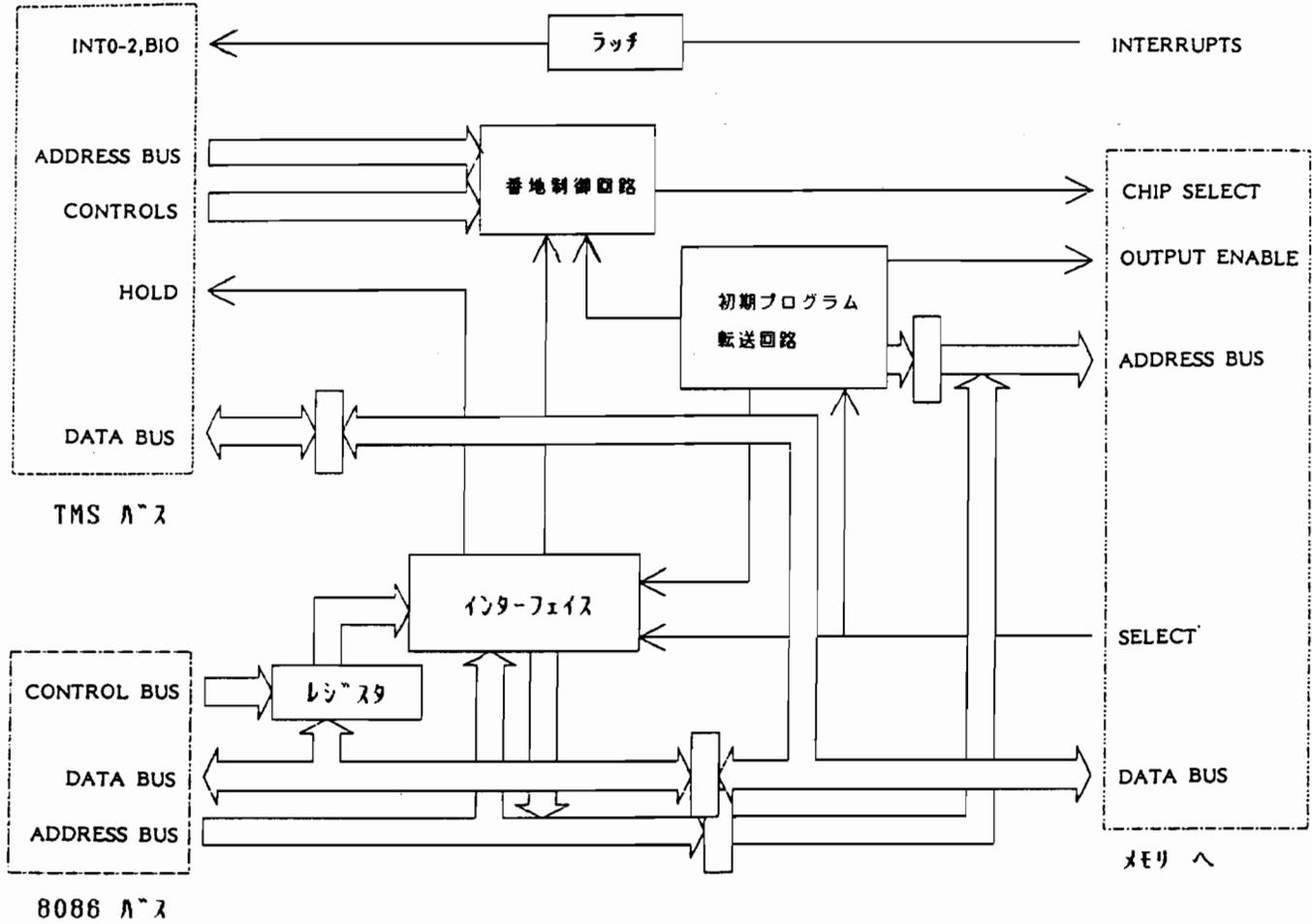


図 5-4 P320 構成図

P320 はスタンドアローンなシステムだけでなく，パーソナルコンピュータで制御されるシステムにも応用して行くことができるものである。

P320 の基本的な機能ブロックは

- (1) 初期プログラム転送回路
- (2) 64kwords の可変方式メモリ制御回路
- (3) マイクロプロセッサとのインターフェイス回路
- (4) 内部制御レジスタ

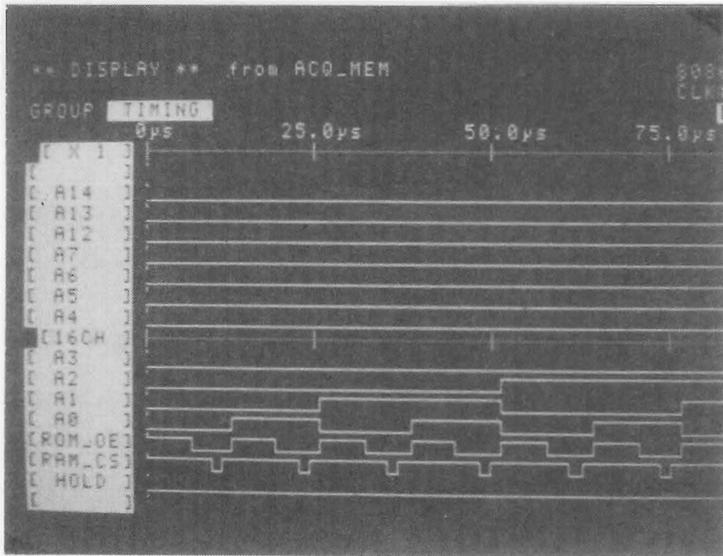
からなり，以下では (1)，(2) について A，B でそれぞれ述べ，(3)，(4) の利用法について C，D で述べる。

A. 初期プログラム転送回路

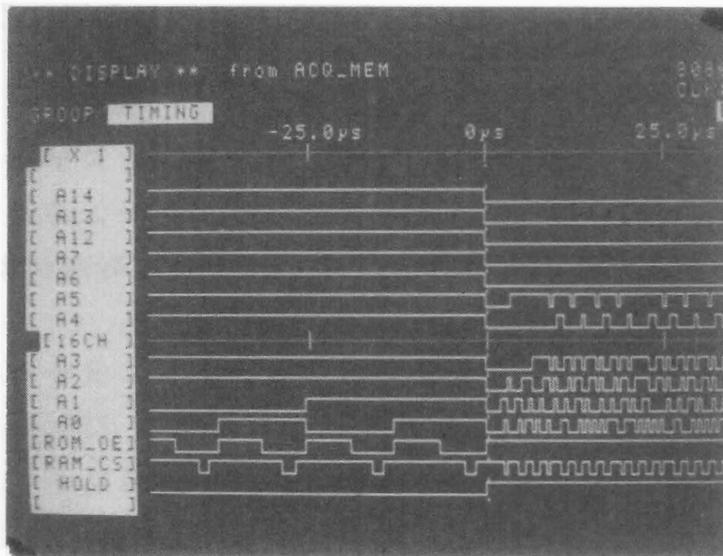
先に述べたように信号処理のためのプログラムは EPROM などに書き込んで DSP システムに実装するのが便利であるが，その動作速度が DSP に比べ遅いため不都合が生じる。そこで P320 ではここで述べる初期プログラム転送回路によって，EPROM で供給される DSP のプログラムをそのプログラム RAM へ，システムが初期化されたときに転送するよう設計してある。プログラムの転送後は，DSP は高速 RAM だけを読み書きすればすむため，高速な信号処理が可能となる。

この回路ではプログラムの転送に必要なアドレス信号や制御信号を生成している。また DSP プログラムの転送後は EPROM を含む初期プログラム転送回路全体が信号処理システムの回路から自動的に切り離され，その後の信号処理に影響を及ぼさないように設計されている。

図 5-5(a)，(b)，図 5-6 に P320 の試作品による初期プログラムの転送回路の各部の実験波形を示す。



(a)



(b)

図 5-5 初期プログラム転送回路の実験結果(アドレス信号)

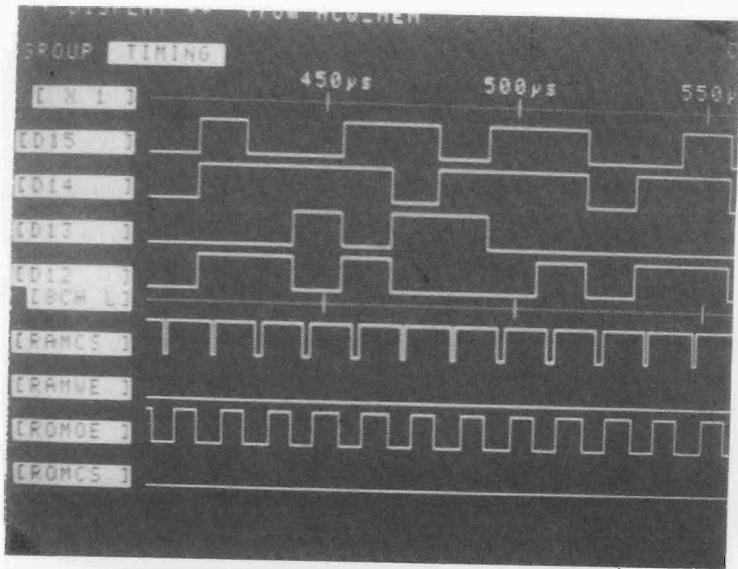


図 5 - 6 初期プログラム転送回路の実験結果(データ信号)

まず図5-5(a),(b)には初期プログラム転送回路で生成されるアドレス信号 (A0-A10), メモリ制御信号 (ROM_OE, RAM_CS), や DSP 制御信号 (RESET, RESETO, や HOLD) を, ロジックアナライザに記録された波形が示されている。

この図に示されているように, DSP へのホールド信号 (HOLD) は初期プログラム転送回路が動作している間, 0 の値を保持し, DSP の動作を一時的に停止させ, この間に初期プログラム転送回路は EPROM 内に書込まれている DSP のプログラムを DSP の RAM に転送していることが分る。そして, プログラムの転送が終了すると HOLD 信号は自動的に解除されている。

また図5-6にはこの回路のデータ信号の上位 4 ビットが示されている。各データの転送は RAM へのチップ選択信号 (RAMCS) が 0 となる度に行われていることも示されている。これらの図から EPROM に書き込まれていたプログラムが, DSP のプログラムメモリに

転送されていることが分かる。

B. アドレス信号制御回路

P320 はプログラムメモリ，データメモリ合計 64 キロワードの領域のメモリに読み書きすることができる。このときその境目は図 5-7あるいは表5-1に示されている 4 つのわけ方に応じて，外部のディップスイッチによって設定することができる。たとえば外部のディップスイッチを 01H に設定するとプログラムメモリには 0000H から 1FFFH までの RAM の最初の部分が割当てられ，データメモリは 2000H から FFFFH までの領域が割当てられる。このようにこの

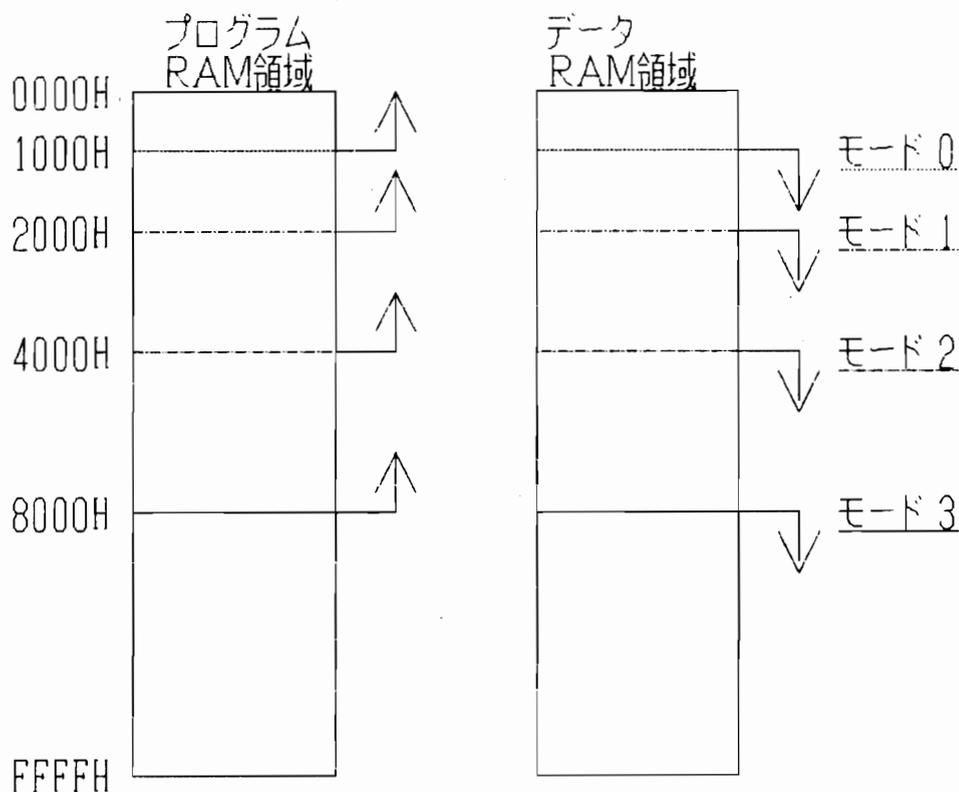


図 5 - 7 P320 メモリマップ

表 5 - 1 P320 メモリ分割方式

モード	プログラム R A M	データ R A M
0	4 kwords	6 0 kwords
1	8	5 6
2	1 6	4 8
3	3 2	3 2

LSI の利用者は、利用目的に応じてメモリの配分を自由に設定することができるため、メモリを有効に利用することができる。

C. マイクロプロセッサとのインターフェイス回路

各種の信号処理を行って行く上で、DSP システムを 8086 のような汎用マイクロプロセッサと共に用いてシステムを構築すると便利な場合が多い。P320 はこのようなシステムを構築する場合にも対応できるように、内部に制御レジスタを実装している。この内部制御レジスタの各ビットへの割当てを図 5-8 に示す。また汎用性をもたせる意味で、そのレジスタそのものの番地も簡単な外部回路によって、利用者が自由に設定することができるような構成となっている。

P320 の動作形態を決めるために、まずマイクロプロセッサは内部制御レジスタに制御データを書込まなければならない。この場合の内部制御レジスタの番地はマイクロプロセッサとのインターフェイスに汎用性をもたせる意味で、簡単な外部回路で利用者が自由に設定することができるような構成となっている。

共用メモリを管理するのは常に DSP であり、DSP のプログラムを書込んだり、処理結果を読み出したりするなど、とくに汎用マイクロプロセッサがメモリへのアクセスを必要とするときにのみ DSP

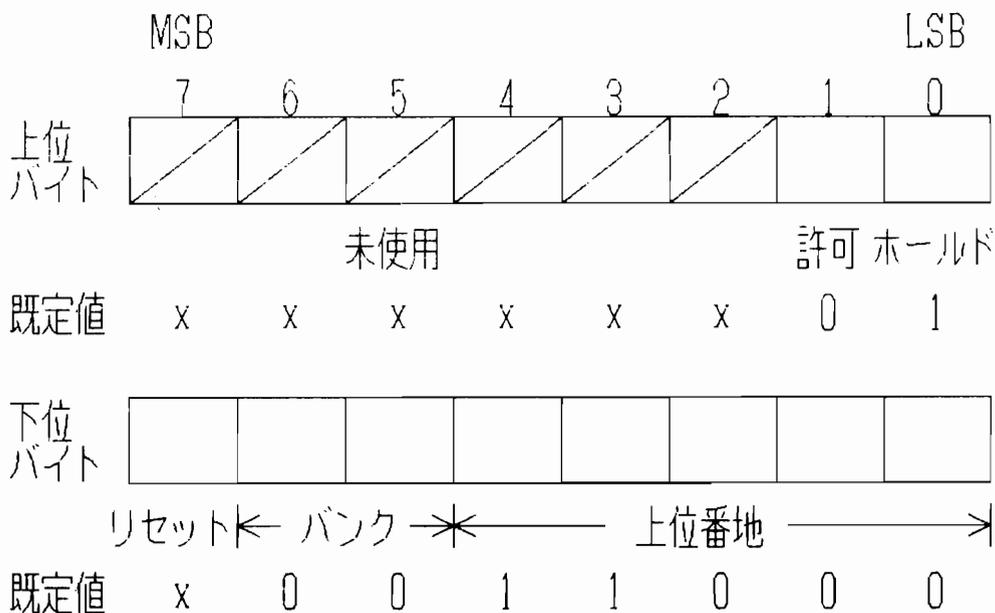


図 5-8 内部制御レジスタのビットマップ

はメモリを明け渡すような方式を取っている。内部制御レジスタの第8ビットはこのような汎用マイクロプロセッサと、DSP との間でのメモリの管理権の授受を制御する目的で用いられる。

メモリの管理権の授受の手順を以下に示す。すなわち DSP がメモリにアクセスしている状態から出発し、

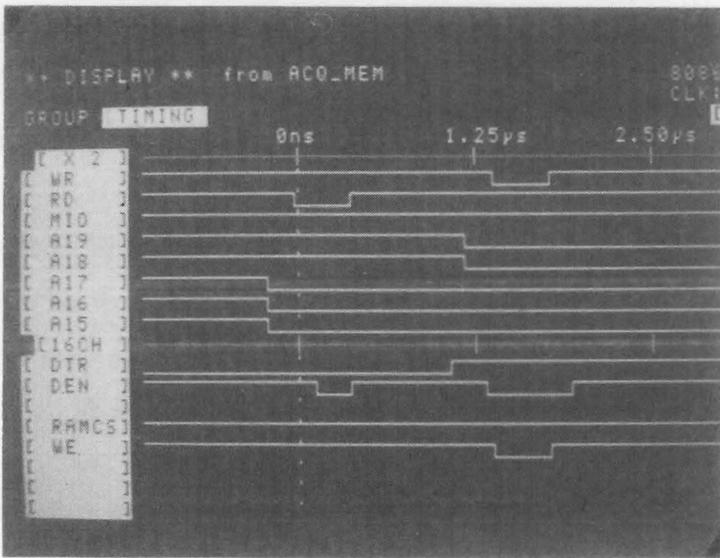
- (1) マイクロプロセッサは P320 の内部の制御レジスタに適切なデータを出力することによってその内容を初期化する。ただし、内部レジスタの番地は外部に適切な付加回路を用いて設定することができる。
- (2) この内部レジスタに書き込まれたデータによって決定される I/O ポートに適切なデータを書き込むことによって、内部制御レジスタの第8ビットをセットする。
- (3) これによって、DSP へのホールド信号が生成されて DSP は停止状態になる。これによってマイクロプロセッサは D

SP が管理していたメモリへ読み書きすることができるようになったことになる。

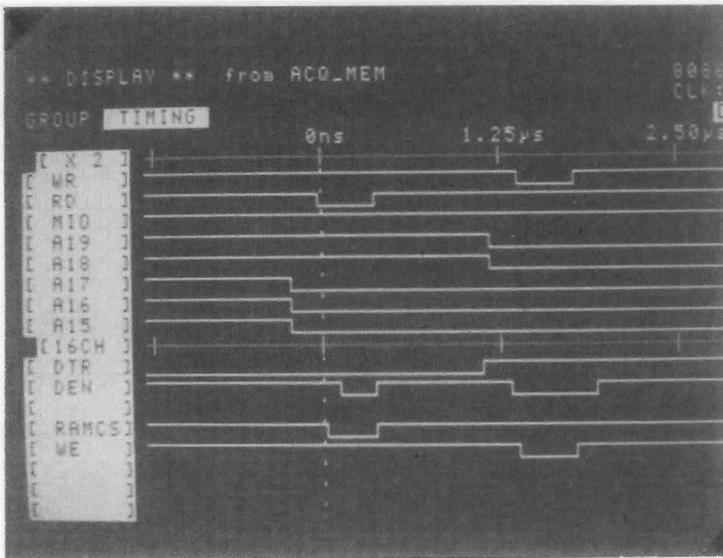
- (4) マイクロプロセッサは必要とする処理を DSP のメモリへ施す。
- (5) 処理が終ると (2) と同じ I/O ポートにデータを書き込むことにより内部制御レジスタの第 8 ビットをリセットする。
- (6) 第 8 ビットがリセットされると DSP にかかっていたホールド信号も解除され DSP は停止状態から脱出する。またこれと同時にマイクロプロセッサは DSP のメモリから切り離され、次に DSP にホールド信号を送らない限り DSP のメモリにはアクセスすることはできない。

P320 をもちいるとマイクロプロセッサは DSP システムへリセット信号を送り、システムを初期化することができる。さらに P320 の内部レジスタにはマイクロプロセッサが DSP のメモリを読み書きすることを許可するための、アクセス許可ビットが準備されている。これはシステム立上げ時など不安定な状態でマイクロプロセッサが不用意に DSP のメモリにアクセスすることを防ぐ目的で設けられている。このビットが 0 の状態ではマイクロプロセッサが DSP のメモリに読み書きを試みても RAM のチップ選択信号は発生せず、読み書きはできない。このためマイクロプロセッサはシステムが立上がった際にまずアクセス許可ビットをセットする必要がある。

図 5-9 にアクセス許可ビットの実験結果を示す。図 5-9 (a) ではアクセス許可ビットがセットされていないためにマイクロプロセッサが DSP メモリに読み書きを試みても RAM のチップ選択信号 RAM CS は発生していない。この点図 5-9 (b) ではアクセス許可ビットがセットされているため正しく RAMCS は発生している。



(a) アクセス禁止モード



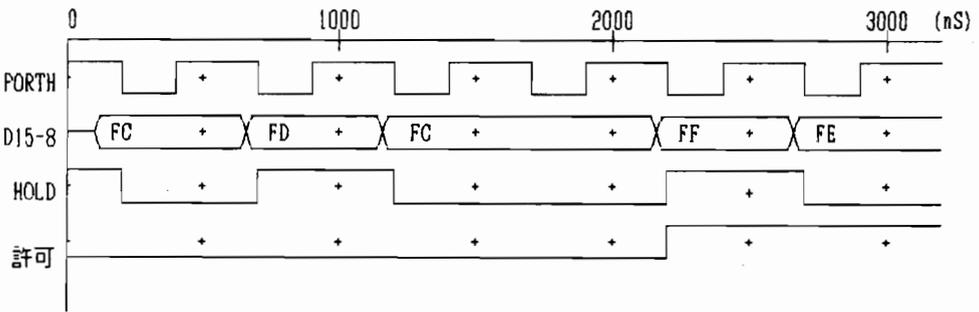
(b) アクセス許可モード

図 5-9 アクセス許可ビットの実験結果

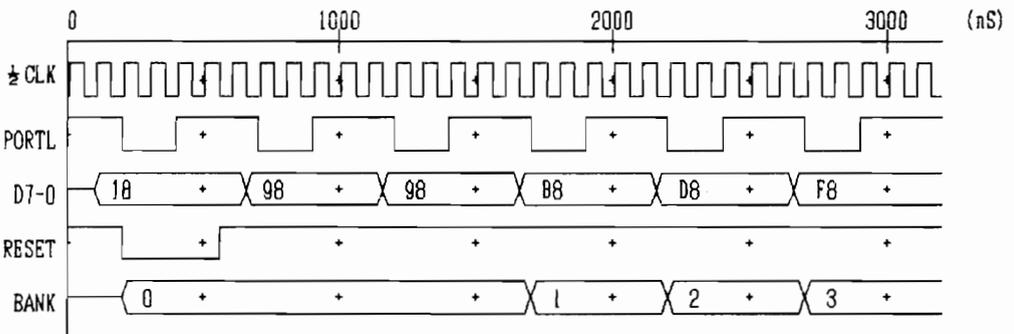
内部制御レジスタの中には、メモリバンク切替ビットやマイクロプロセッサのメモリ領域内での DSP メモリの配置アドレスを決める

ためのビットも用意されているが、これについては後述する。

P320 を設計する際に得られたシミュレーション結果を図5-10 (a), (b) に示す。この図5-10 (a) に示されているように、内部制御レジスタの第 8, 9 ビットに 1 または 0 を書込むことにより、DSP への HOLD 信号やアクセス許可信号が作られている。また図5-10 (b) に示されているように、内部制御レジスタの第 7 ビットに 1 または 0 を書込むことにより、DSP へのリセット信号が作られている。



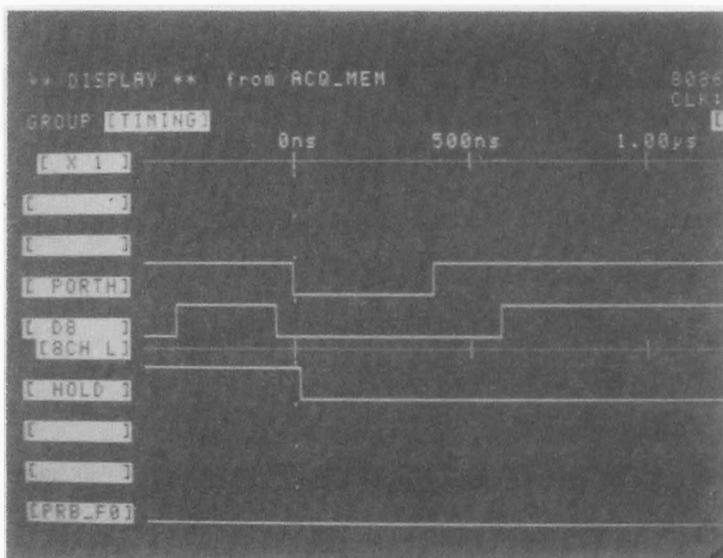
(a) DSP HOLD 信号の発生，解除



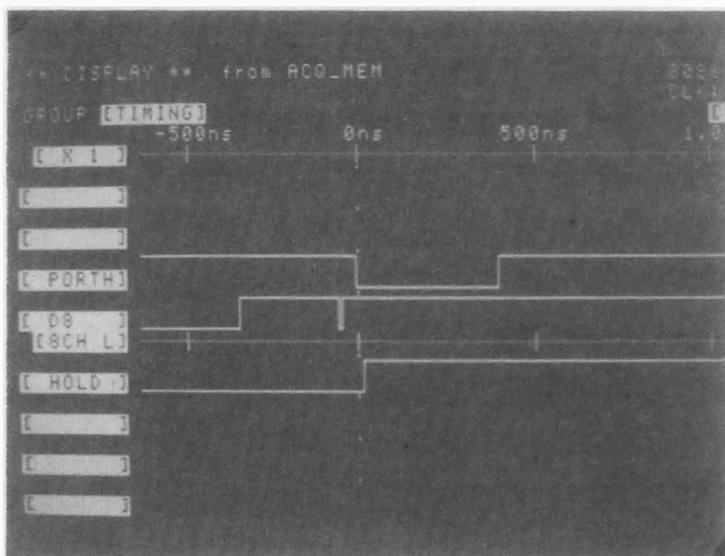
(b) DSP リセット信号の発生

図 5 - 1 0 内部制御レジスタのシミュレーション結果

ホールド信号の実験結果が図5-11 (a), (b) に示されている。



(a) ホールド信号の発生



(b) ホールド信号の解除

図5-11 ホールド信号実験

図5-11(a)では内部レジスタの第9ビットが1または0に設定

され、これに応じてDSP へのホールド信号が発生していることが分かる。次に図5-12にリセット信号の実験結果が示されている。

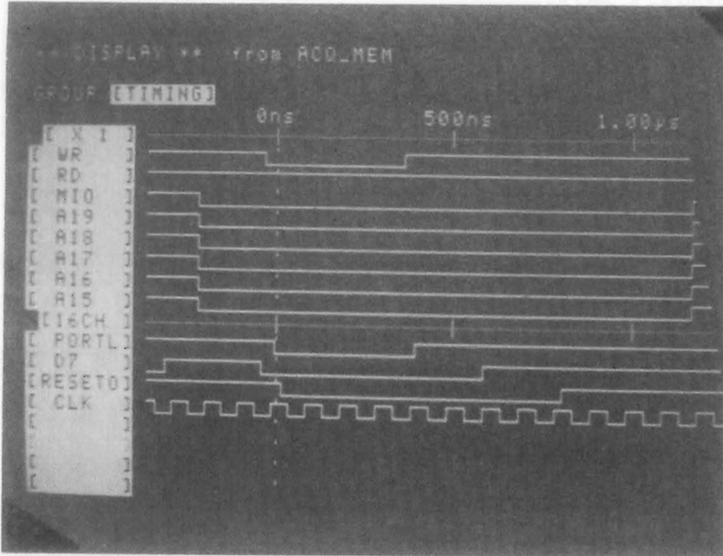


図 5 - 1 2 リセット信号の実験結果

図5-12では第 9 ビットをセットすることによって DSP へのリセット信号が作られている様子が示されている。またこのリセット信号は一定時間（システムクロック 12 周期分の時間）の後自動的に開放されていることもわかる。

D. パーソナルコンピュータへの組込用の回路

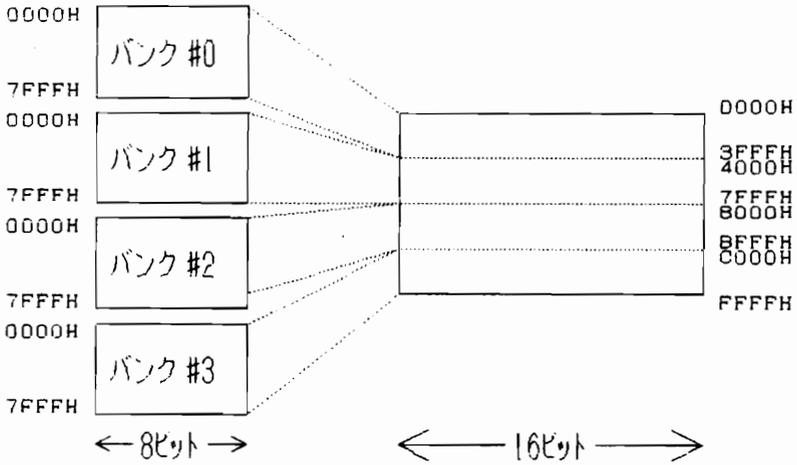
P320 は先に述べたようにスタンドアローンシステムだけでなくマイクロプロセッサで制御されるシステムを構築できるように設計されている。後者の特別なものとして、パーソナルコンピュータへの拡張ボードに利用することもできる。この場合、例えば利用者開放されているメモリや入出力装置の番地が制限されていることなどの厳しい制約がある。そのために P320 の内部制御レジスタには

メモリをバンク方式で制御するためのビットや，DSP のメモリをパーソナルコンピュータのメモリ空間中のどの位置に配置するかを決めるためのビットが設けられ，ソフトウェアで柔軟に対応できるように考えられている。

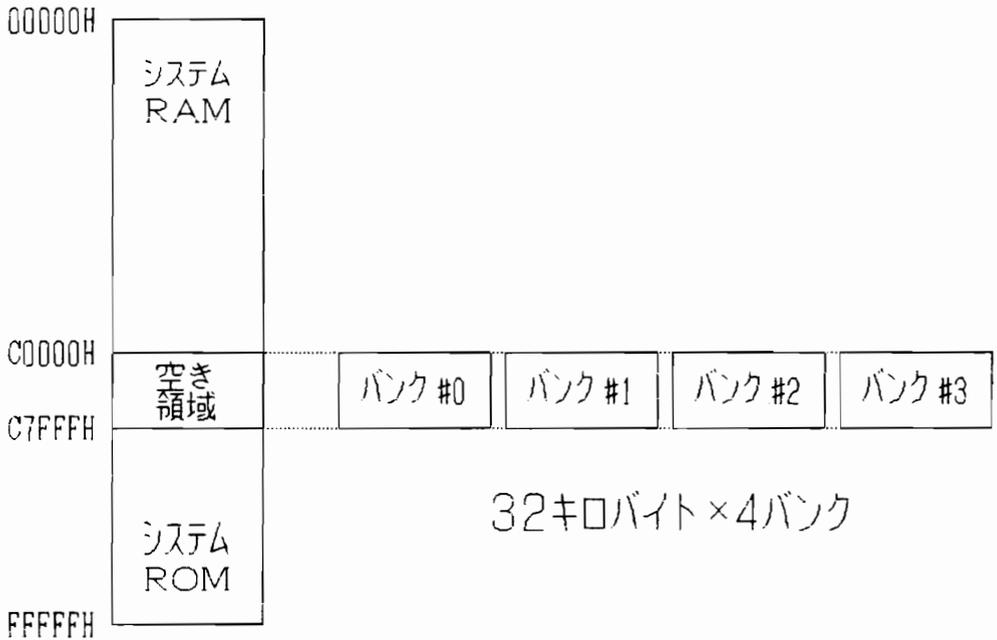
パーソナルコンピュータでは通常ユーザに開放されているメモリ領域は DSP のメモリを配置するのに十分な広さを持っていないのが普通である。そこで P320 ではパーソナルコンピュータが DSP のメモリに対して読み書きする際には，図 5-13 に示されるようなバンクメモリ方式をとることができるような配慮がなされている。ただしこの図ではパーソナルコンピュータのメモリマップ中，C0000H 番地から C7FFFH 番地までの 32 キロバイトが空き領域になっているものとしている。バンクの切替は P320 の内部レジスタの第 6, 5 ビットに数値を書き込むことにより，128 キロバイトの DSP のメモリを 32 キロバイトごとに 4 つのバンクに切り分け，そのうちの 1 つを選択し，パーされているメモリや入出力装置の番地が制限されていることなどの厳しい制約がある。そのために P320 の内部制御レジスタにはメモリをバンク方式で制御するためのビットや，DSP のメモリをパーソナルコンピュータのメモリ空間中のどの位置に配置するかを決めるためのビットが設けられ，ソフトウェアで柔軟に対応できるように考えられている。

パーソナルコンピュータでは通常ユーザに開放されているメモリ領域は DSP のメモリを配置するのに十分な広さを持っていないのが普通である。そこで P320 ではパーソナルコンピュータが DSP のメモリに対して読み書きする際には，図 5-13 に示されるようなバンクメモリ方式をとることができるような配慮がなされている。ただしこの図ではパーソナルコンピュータのメモリマップ中，C0000H 番地から C7FFFH 番地までの 32 キロバイトが空き領域になっているものとしている。バンクの切替は P320 の内部レジスタの第 6, 5 ビットに数値を書き込むことにより，128 キロバイトの DSP

のメモリを 32 キロバイトごとに 4 つのバンクに切り分け、そのうちの 1 つを選択し、パーソナルコンピュータのメモリマップ中

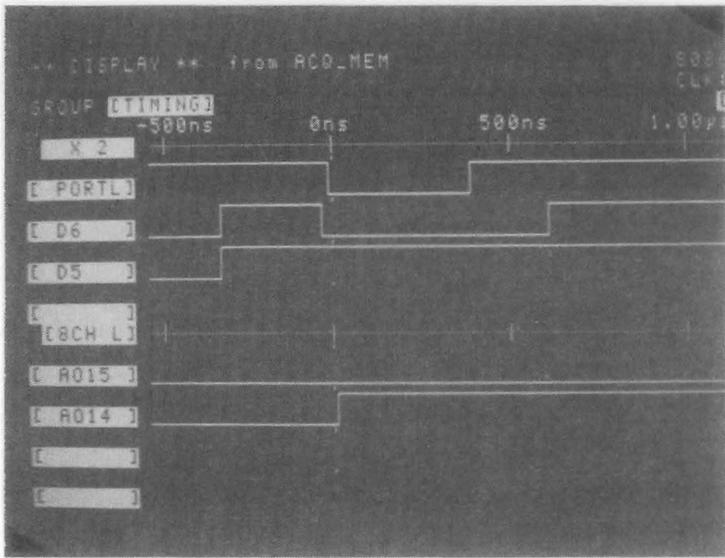


(a) DSP メモリの分割

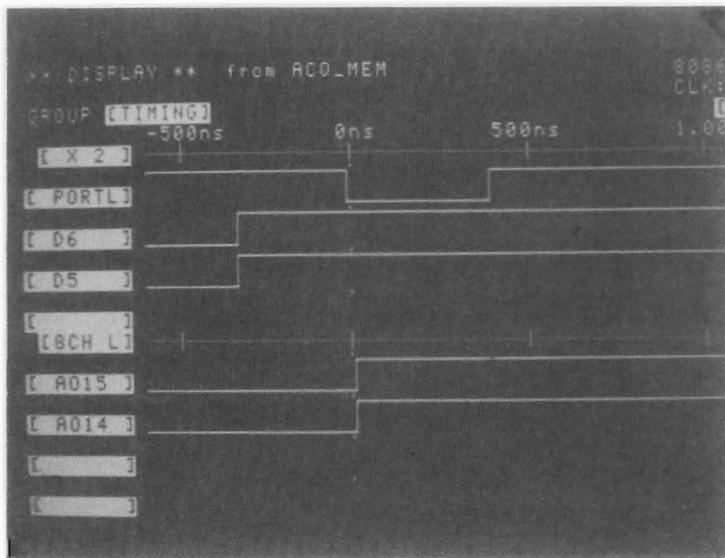


(b) マイクロプロセッサメモリ空間への配置

図 5 - 1 3 P320 メモリバンク方式



(a) バンク 1 を選択



(b) バンク 3 を選択

図 5 - 1 4 メモリバンクの切替実験の結果

に配置するようになっている。図 5-14 にバンク切替の実験結果を示す。

この図(a)では4つのメモリバンクのうちバンク #1 を選択するためにマイクロプロセッサは P320 内部レジスタの第 6, 5 ビットに 01 を書込んでいる。また図(b)ではバンク #3 を選択するために 11 を書込んでいる。これによって P320 で生成されるアドレス信号の第15, 14 ビット (A015, A014) はそれぞれ 01, 11 になっている。この実験結果により正しく動作していることがわかる。

5. 4 システム構成例

A. スタンドアローンシステム

図5-15に P320 を用いたスタンドアローンシステムの構成例を示

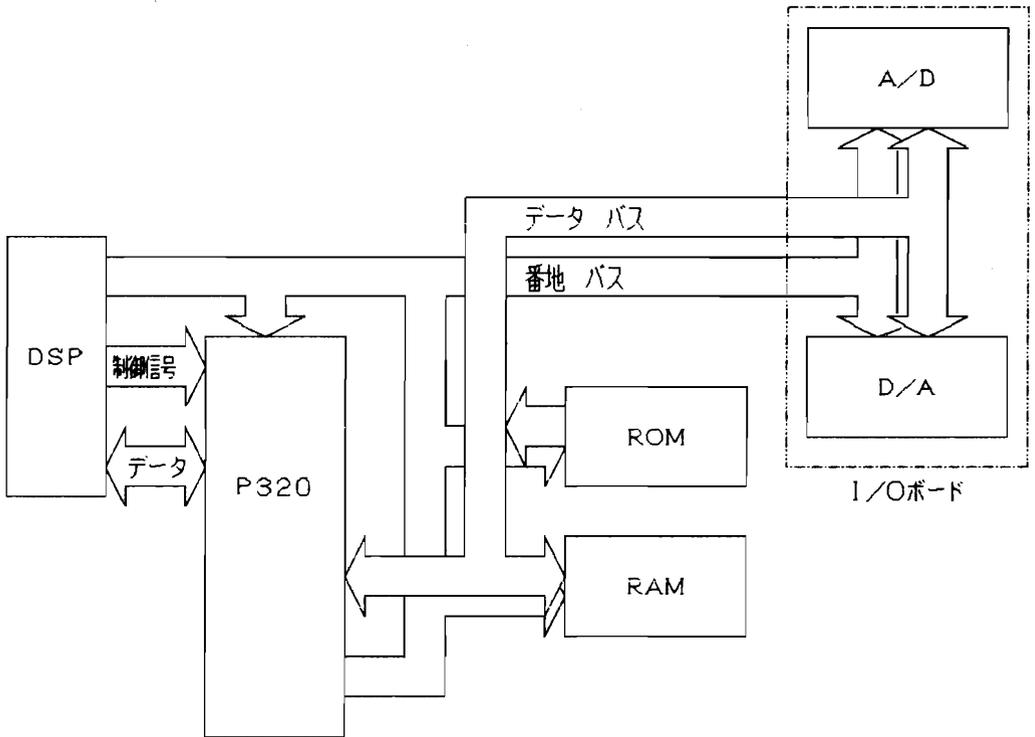


図 5 - 1 5 スタンドアローン方式 DSP システム構成例

している。このシステムでは DSP のプログラム、データメモリ領域は、高速信号処理するために RAM の上に実現されている。DSP の信号処理のためのプログラムは ROM に書込まれて供給され、P320 内部の初期プログラム転送回路によってシステムの初期化時に RAM に転送されている。A/D, D/A 変換装置は DSP の I/O 空間内に配置され DSP によって制御されている。

B. マイクロプロセッサで制御されるシステム

図 5-16 にマイクロプロセッサで制御される DSP システムの構成例を示す。この場合では DSP のプログラムはマイクロプロセッサから転送されて来るため、P320 の初期プログラム転送回路は実現していない。

5. 5 結言

本章では、ASIC 技術を用いて開発した DSP のための周辺 LSI について述べた。この LSI では内部に初期プログラム転送回路が組込まれているために、スタンドアロンなシステムを構築する際に、市販の低速度の EPROM によって DSP のための信号処理プログラムを供給することが可能なため、効率よく高速な信号処理システムを構築することができる。

また内部には、P320 の動作形態を決定するための制御レジスタが実装されているため、マイクロプロセッサやパーソナルコンピュータで制御される信号処理システムを実現する場合にも、簡単にこれらとインターフェイスをとることができるように設計されている。特にパーソナルコンピュータの組込装置として DSP システムが用いられる際に便利なように、パーソナルコンピュータから DSP のメモリに読み書きする際にはバンクメモリ方式をとることができる。さらにこの場合、パーソナルコンピュータのメモリ空間上での DSP

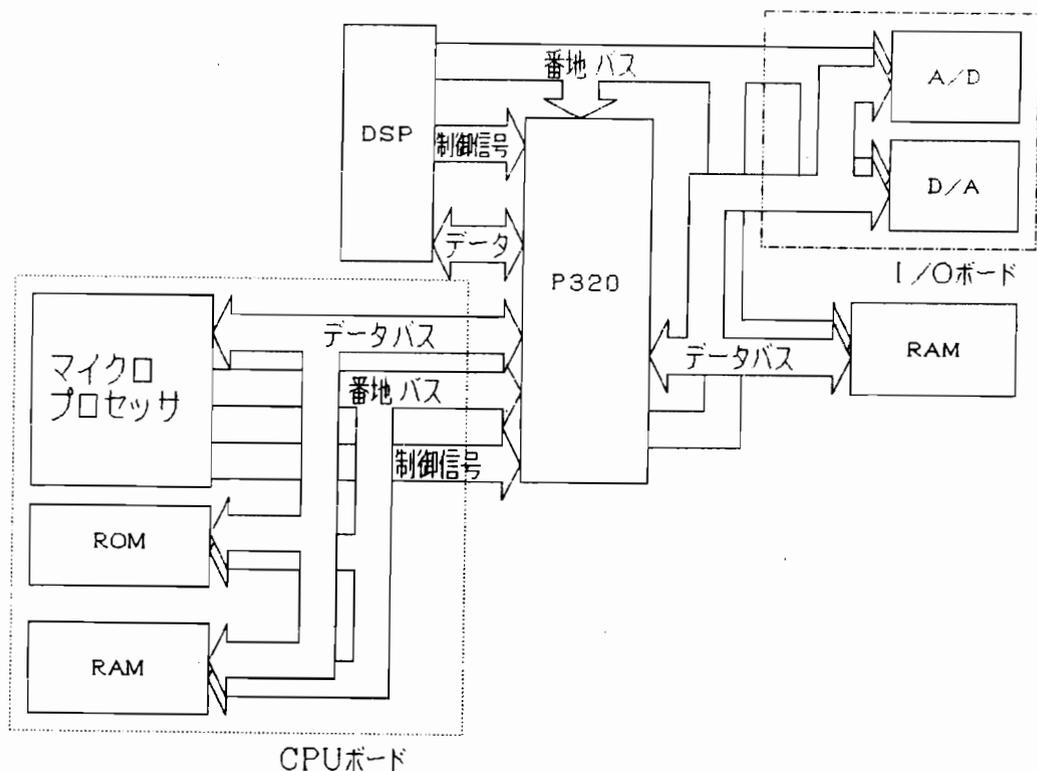


図 5 - 1 6 マイクロプロセッサにより制御される DSP システムの構成例

のメモリの配置位置も内部制御レジスタを用いて、ソフトウェアで自由に設定できるようになっている。

この LSI を開発する際に得られたシミュレーション結果や、その試作品による実験結果を示し、その動作を確認した。またこの LSI を用いたデジタル信号処理システムの構成例を示し、デジタル信号処理システムが小さな規模で実現することが可能であることを示した。

第6章 結論

本論文は、高速デジタル信号処理システムの構成法に関する研究成果をまとめたものである。本論文では高速信号処理のための新しいシステムを実現することに主眼を置き、複数個の DSP を用いたシステムの構成法を提案し、本構成のための伝達関数の近似法やその特性などについて検討を加えた。また本構成法の考え方を適応信号処理システムに適用し、高速な適応信号処理システムの構成法を提案した。さらに本手法のような複数個の DSP を用いたシステムで、その回路規模を小さなものとし、かつそのシステムの開発期間の短縮化をねらう目的で DSP のための周辺回路用 LSI を開発した。

本研究により得られた主な成果を各章ごとに総括すると次のようになる。

第2章「遅延多通路構成デジタルフィルタ」では、まず、複数の DSP による多通路構成デジタルフィルタについて考察を加えた。その結果、この構成法によると高速な信号処理が可能ではあるが、単純に既存のデジタルフィルタを多通路化しただけでは、その周波数特性が通路数分だけ圧縮された形で実現され、望ましいものが得られないことを示した。これを解決するためにこの多通路構成デジタルフィルタを遅延器をはさんで並列に接続した遅延多通路構成デジタルフィルタを提案した。本構成法で実現された FIR 型デジタルフィルタでは N^2 個の DSP によって N^2 倍の高速化が計られ、また IIR 型フィルタでは N^2 個の DSP によって N 倍の高速化が計られることを示した。

次に遅延多通路構成でシステムを構築するための伝達関数の近似法について FIR 形デジタルフィルタと IIR 形デジタルフィルタについて分けて考察し、FIR 形の場合、通常の構成法に対する伝

達関数を分解することにより遅延多通路を構成している各サブフィルタのための伝達関数がえられることを示した。また IIR 形の場合，FIR 形の場合の様に単純には伝達関数の分解ができないために，次に示す 2 つの方法について述べた。

1) 通常の構成法に対する近似法で得られた伝達関数の分母，分子に適当な多項式をかけて求める方法

2) とくに問題となる IIR 型のデジタルフィルタのための，線形計画法による伝達関数の近似法

1) の手法によると従来から知られているデジタルフィルタの近似法を用いることができるため便利ではあるが，分母，分子に余分な多項式をかけるため，得られたデジタルフィルタの次数が不必要に高くなることがある。この点，2) の方法では予め伝達関数の分母多項式の形に制約を加えた上で，直接設計仕様から近似するためこの問題は生じない。

またそれぞれの方法による設計例も示し有効性を確認した。

第 3 章「DM 構成デジタルフィルタの特性」では，まず数式処理言語によるデジタル回路の新しい解析手法を提案した。この手法によるとデジタル回路の回路パラメータを記号のまま含んだ形の結果を得ることができるために，後で行う遅延多通路構成の回路解析には便利なものである。本解析方法では数式処理プログラムとして REDUCE をとりあげ，その内部を変更する事なく回路解析をするために，入力データに節点の順序づけなどの前処理を FORTRAN で施し，それを REDUCE へ受け渡すこととした。また，REDUCE からの出力結果の，グラフ化などの後処理は FORTRAN で行うものとした。しかし，これら一連の処理はコマンドプロシージャとして，一時的なファイルを介して行われるため，利用者は内部の状態を気にせず要求されようデータを入力すればよいなどの特徴をもつ。さらに，これによると係数感度や雑音特性などを，正確にかつ容易に求めることが可能である。

次に、DM 構成における各通路のサブフィルタをいままでに提案された、いくつかの回路で実現した場合の、DM 構成全体としての係数感度と、乗算器の丸め雑音を求め、通常の構成法によって実現したものと比較し、DM 構成の特性を検討した。その結果、特に係数感度やその雑音特性が問題になる狭帯域のフィルタのような、極を $z = \pm 1$ の近くに持つフィルタのほど、DM 構成によって低係数感度化、低雑音化が計られることが判明した。

第 4 章「DM 構成適応型デジタルフィルタ」では第 2 章で提案した DM 構成デジタルフィルタによって適応型フィルタを構成する手法を提案した。これによると、 N^2 個の DSP を用いた本構成法で得られた適応型デジタルフィルタの動作速度は、通常の構成法に比べ N^2 倍高速化され、またその収束速度は N 倍高速化されることを示した。本手法では可変係数の FIR デジタルフィルタとこれの係数を更新してゆくための適応アルゴリズムを、複数の DSP を用いてそれぞれ独立して実現した。適応アルゴリズムは LMS アルゴリズムと LRS アルゴリズムを本構成で実現できるように修正を加えたものを用いた。

また本構成法の特性を テキサスインストルメンツ社の DSP チップ TMS32020 と ATT 社の DSP32 の各シミュレータによって確認した。

第 5 章「DSP 用周辺 LSI を用いたシステムの構成」では、ASIC 技術を用いて開発した DSP のための周辺 LSI について述べた。この LSI では内部に初期プログラム転送回路が組込まれているために、スタンドアロンなシステムを構築する際に、市販の低速度の EPROM によって DSP のための信号処理プログラムを供給することが可能なため、効率よく高速な信号処理システムを構築することができる。

また内部には、P320 の動作形態を決定するための制御レジスタが実装されているため、マイクロプロセッサやパーソナルコンピュ

ータで制御される信号処理システムを実現する場合にも，簡単にこれらとインターフェイスをとることができるように設計されている。特にパーソナルコンピュータの組込装置として DSP システムが用いられる際に便利なように，パーソナルコンピュータから DSP のメモリに読み書きする際にはバンクメモリ方式をとることができる。さらにこの場合，パーソナルコンピュータのメモリ空間上での DSP のメモリの配置位置も内部制御レジスタを用いて，ソフトウェアで自由に設定できるようになっている。

この LSI を開発する際に得られたシミュレーション結果や，その試作品による実験結果を示し，その動作を確認した。またこの LSI を用いたデジタル信号処理システムの構成例を示し，デジタル信号処理システムが小さな規模で実現することができることを示した。

本研究の特徴は複数の信号処理専用のプロセッサを用いて高速なシステムを実現した点と，この構成法を適応信号処理システムに応用した点にある。さらにこれらのシステムの実現のためのデジタル信号処理専用プロセッサのための周辺回路の LSI を開発した点も特徴の1つとしてあげられる。これにより従来の構成法では処理のできなかつた高い周波数成分をもった信号まで処理することが可能になった。

今後の課題としては本構成法の多次元信号処理システムへの応用があげられる。

謝 辞

本研究は，神戸大学工学部平野浩太郎教授の御指導のもとに行われたもので，同教授の終始御懇切なる御教授と御鞭撻の結果達せられたものであります．ここに，深甚なる感謝の意を表します．

本論文をまとめるにあたり神戸大学工学部村上温夫教授，前川禎男教授の御懇切なる御教示，御指導を賜りました．ここに心より感謝の意を表します．

著者の大学在学中の恩師である東京工業大学工学部柳沢健教授，藤井信生教授，同学理工学国際交流センター西原明法助教授ならびに山梨大学工学部鈴木嘉彦助教授には研究活動に関して一から手ほどきをしていただくとともに，その後も御懇切なる御指導，御援助を賜りました．ここに深く感謝の意を表します．

また本研究を進めるにあたり，神戸大学工学部西村正太郎博士の御援助と御協力を受けました．ここに心から謝意を表します．

さらに，LSI 設計ツール及び試作に関し，お世話になりました進藤晶弘，末広光民，岡善治氏，ならびに本研究に御協力頂いた林克彦，石塚充，中井克紀の諸氏をはじめとする神戸大学工学部電子第2講座の皆様には厚く御礼申し上げます．

最後に，著者の勤務する神戸市立工業高等専門学校の学校長を始めとする皆様から，研究を進める上で多大なる御援助，御協力を賜りました．ここに心から感謝の意を表します．

参考文献

- [1-1] A.V.Oppenheim and R.W.Schafer: "Digital Signal Processing," Englewood-Cliffs, NJ.Prentice-Hall (1975).
- [1-2] L.R.Rabiner and B.Gold : "Theory and Application of Digital Signal Processing," Englewood-Cliffs, NJ.Prentice-Hall (1975).
- [1-3] E.I.Jury : "Theory and application of the z-transform method," John Wiley & Sons (1964).
- [1-4] 辻井重男他 : " デジタル信号処理の基礎 ," 電子情報通信学会 (1988).
- [1-5] 井上伸雄他 : " デジタル信号処理の応用 ," 電子通信学会 (1981).
- [1-6] 谷萩隆嗣 : " デジタル信号処理の理論 1 ~ 3 ," コロナ社 (1985).
- [1-7] S.Haykin : "Adaptive Filter Theory," Englewood-Cliffs, NJ.Prentice-Hall (1986).
- [1-8] R.E.Crochiere and L.R.Rabiner : "Multirate Digital Signal Processing," Englewood-Cliffs, NJ.Prentice-Hall (1983).
- [1-9] T.Nishitani, R.Murata, Y. Kawakami and H.Goto : "A single chip digital signal processor for telecommunication applications," IEEE J. Solid-State Circuits, vol. SC-16, pp. 372-376, (Aug.1981).
- [1-10] 島田,津田,菊池,三輪 : " デジタル信号処理用 LSI-MB 87 63 について ," 信学技法 CAS82-113 pp.29-33 (1982- 12)
- [1-11] Y.Hagiwara, Y.Kita, T.Miyamoto, Y.Toba, H.Hara and T. Akazawa : "A single chip digital signal processor and its application to real time speech analysis," IEEE

Trans. Acoust., Speech Signal Processing vol. ASSP-31, pp.339-346 (Feb.1983).

- [1-12] D.Essig, C.Erskine, E.Caudel and S.Magar : "A second-generation digital signal processor," IEEE Trans, Circuits Syst., vol.CAS-33, pp.196-201 (Feb.1986).
- [2-1] 平野浩太郎 : "シグナルプロセッサとその応用", コロナ社(1986)
- [2-2] 丸田力男, 西谷隆夫 : "シグナルプロセッサとその応用," 昭晃堂 (1988).
- [2-3] N.Benvenuto, L.E.Franks and F.S.Hill, Jr : "Dynamic programming methods for designing FIR filters using coefficients -1,0,+1," IEEE Trans. Acoust., Speech Signal Processing vol. ASSP-34, pp.785-792 (Aug.1986).
- [2-4] M.G.Bellanger, J.L.Daguet and G.P.Lepagnol : "Interpolation, Extrapolation and Reduction of Computation Speed in Digital Filters," IEEE Trans. Acoust., Speech Signal Processing vol. ASSP-22, pp.231-235 (Aug.1974).
- [2-5] R.E.Crochiere and L.R.Rabiner : "Optimum FIR digital filter implementations for decimation, interpolation and narrow-band filtering," IEEE Trans. Acoust., Speech Signal Processing vol. ASSP-23, pp.444-456 (Oct.1975).
- [2-6] R.A.Meyer and C.S.Burrus : "Design and implementation of multirate digital filters," IEEE Trans. Acoust., Speech Signal Processing vol. ASSP-24, pp.53-58 (Feb.1976).
- [2-7] K.Hayashi, K.K.Dhar, K.Sugahara, and K.Hirano : "Design of high-speed digital filters suitable for multi-DSP implementation," IEEE Trans. Circuits and Syst., vol.C

AS-33, pp.202-217, (Feb.1986).

- [2-8] 菅原一孔, 藤井省造, 平野浩太郎 : "多通路デジタルフィルタ," 昭56関西連大 G12-6 pp.G326 (1981)
- [2-9] K.Sugahara, K.Hayashi, K.Hirano and S.K.Mitra, : " N-PATH DIGITAL FILTER," Memoirs of the faculty of engineering KOBE university 30 pp.203-218 (1983)
- [2-10] K.Sugahara, K.Hayashi, K.Hirano and S.K.Mitra, "N-path digital filter," Conf. Rec. IEEE ICASSP-84 pp. 11.9.1-11.9.4 (1984)
- [2-11] S.K.Mitra, K.M.Ababio, and K.Hirano, : "All digital N-path filter," IEEE Trans . Circuits and Syst., vol. CAS-34, (Sept.1987).
- [2-12] S.K.Mitra and K.Hirano : "All digital N-path filter," in Proc. 1983 European Conf. on Circuits Theory and Design, pp.358-361, (Sept.1983).
- [2-13] D.J. Allstot and K.S.Tan, : "A switched capacitor N-path filter," Conf. Rec. IEEE ISCAS 1980, (1980).
- [2-14] M.B.Ghaderi, G..C.Temes and J.A.Nossek, : "Switch-capacitor pseudo N-path filters, " Conf. Rec. IEEE ISCAS 1981, (1981).
- [2-15] M.S. Lee and C.Chang, : "Exact synthesis of N-path switched capacitor filters," Conf. Rec. IEEE ISCAS 1981, (1981).
- [2-16] K.Hirano, H.Sakaguchi and S.K.Mitra, : "Explicit design formulae for digital tan filters with low-pass, high-pass, band-pass and band-stop characteristics," J. of the Franklin Institute, vol. 307, no.5, pp.263-290, (May 1979).
- [2-17] 菅原一孔 : "線形計画法によるIIR形デジタル位相回路の

設計,” 信学論 (A) ,Vol.J68-A, No.5 pp.444-450 (1985, 5)

- [2-18] A.T.Chottera and G.A.Jullien : "A linear programming approach to recursive digital filter design with linear phase," IEEE Trans. Circuits and Systems, vol. CAS-29, pp.139-149 (Mar.1982).
- [2-19] L.G.Cuthbert : "Optimizing on recursive digital filters to nonlinear phase characteristics," Radio Electron. Eng., vol.14, pp.645-651 (Dec.1974).
- [2-20] A.G.Holt, J.Attikiouzel and R.Bennet: "Iterative technique for designinig non-recursive filters to nonlinear phase characteristics," Radio Electron. Eng., vol.46, pp.589-592 (1976).
- [2-21] M.A.Razzak and L.G.Cuthbert: "Performance comparisons for nonrecursive digital filters with nonlinear phase characteristics," Electron Lett. vol.14, pp.370-372 (June 8,1978).
- [2-22] K.Steiglitz : "Design of FIR digital phase networks," IEEE Trans. Acoust.Speech, Signal Processing, ASSP-29, pp.171-176 (April 1981).
- [2-23] P.A.Bernhardt : "Simplified design of high order recursive group-delay filters," IEEE Trans. Acoust. Speech, Signal Processing, ASSP-28, pp.498-503 (Oct. 1980).
- [2-24] B. Yegnanarayana : "Design of recursive group-delay filters by autoregressive modeling," IEEE Trans. Acoust. Speech, Signal Processing, ASSP-30, pp.632-637 (Aug. 1982).
- [2-25] 伊理正夫 : "線形計画法", 白日社 (1972).

- [2-26] 雨宮,田口 : "数値解析と FORTRAN ,増補2版",丸善 (1978).
- [2-27] 刀根薫 : "オペレーションズ・リサーチ読本",日本評論社(昭61-3)
- [2-28] L.R.Rabiner : "Linear program design of finite impulse response (FIR) digital filters," IEEE Trans. Audio Electroacoust., vol.AU-20, pp.280-288 (Oct. 1972).
- [2-29] L.R.Rabiner, N.Y.Graham and H.D.Helms : "Linear programming design of IIR digital filters with arbitrary magnitude function, " IEEE Trans. Acoust., Speech, Signal Processing, vol.ASSP-22, pp.117-123 (apr. 1974).
- [2-30] A.T. Chottera and G.A.Jullien : "A linear programming approach to recursive digital filter design with linear phase," IEEE Trans. Circuits and Systems, CAS-29, pp.139-149 (March 1982).
- [2-31] R.Rabiner,Y.Graham,D.Helms : "Liner Programming Design of IIR Digital Filters with Arbitrary Magnitude Function" IEEE Tras. vol.ASSP-22, No.2, (April.1974)
- [3-1] A.C.Hearn:"Reduce User's Manual Version 3.1," The Rand Corporation (April 1984).
- [3-2] 菅原,長谷川,高沢, : "デジタル回路解析のための計算順序の決定法",信学論(A),Vol.J67-A, No.2 pp.149-150 (1984,2)
- [3-3] 菅原,大東 : "数式処理プログラムのデジタル回路の記号解析への応用について," 昭61関西連大 G12-3 pp.G346 (1986)
- [3-4] 菅原,大東 : "数式処理プログラムによるデジタル回路の記号解析," 信学論(A) Vol.J70-A No.3 pp.567-569 (1987,3)
- [3-5] 菅原,柿本,落山 : "アナログ回路網の記号解析," 昭62関西連

大 G12-9 p.358 (1987)

- [3-6] 菅原,柿本,落山 : "数式処理プログラムの回路網記号解析への応用について," 昭63信学全大 A-39 pp.1-39 (1988)
- [3-7] 菅原,柿本,落山 : "数式処理プログラムによる線形回路の記号解析," 情処論条件付採録
- [3-8] 西原,菅原 : "最小感度デジタルフィルタの一構成法," 信学技報 CAS80-119 pp.71-78 (1981,2)
- [3-9] A.Nishihara and K.Sugahara : " A synthesis of digital filters with minimum pole sensitivity," Conf. Rec. ISCAS-82 pp. 507-510 (1982)
- [3-10] 西原,菅原 : "離散時間フィルタの特性記述," 信学技報 CAS 81-102 (1982,2)
- [3-11] 西原,菅原 : "低感度2次デジタルフィルタ - 周波数感度を用いた解析と設計," 信学技報 CAS82-28 pp.15-20 (1982,7)
- [3-12] A.Nishihara and K.Sugahara : " A Synthesis of Digital Filters with Minimum Pole Sensitivity," IECE Trans. Vol.E-65 No.5 pp.234-240 (1982,5)
- [3-13] 西原明法 : "最小乗算器構成による低感度デジタルフィルタ," 信学論(A) J61-A, 9 ,pp.911-918 (Sept. 1978).
- [3-14] 西原,守山 : "係数変換によるデジタルフィルタの感度の最小化," 信学論, J63-A,8,pp.498-505 (Aug. 1980).
- [3-15] 西原明法 : "デジタルフィルタの極感度,周波数感度,振幅感度について," 昭和56信学総全大 (1981).
- [3-16] Mitra, S.K. and Sherwood, R.J. : "Estimation of pole-zero displacements of a digital filter due to coefficient quantization," IEEE Trans. Circuits and Syst., CAS-21, pp.116-124 (Jan. 1974).
- [3-17] Moschytz,G.S. : "A note on pole, frequency and Q sensi-

- tivity," IEEE J. Solid-State Circuits, SC-6, pp.267-269 (Aug. 1971).
- [3-18] Agarwal, R.C. and Burrus, C.S.: "New recursive digital filter structures having very low sensitivity and roundoff noise," IEEE Trans. Circuit and Syst., CAS-22, pp.921-927 (Dec. 1975).
- [3-19] Avenhaus, E.: "A proposal to find suitable structures for the implementation of digital filters with small coefficient wordlength," Nachrichtentech. Z., 25, pp.377-382 (Aug. 1972).
- [4-1] B.Widrow, J.McCool, M.Larimore, and C.Johnson : "Stationary and non-stationary learning characteristics of the LMS adaptive filter," Proc. IEEE, vol. 64, (August 1976).
- [4-2] B.Widrow et al.: "Adaptive noise cancelling : Principles and applications," Proc.IEEE, vol.63, (Dec.1975).
- [4-3] C.Caraiscos and B.Liu,: "A roundoff error analysis of the LMS adaptive algorithm," IEEE Trans. Acoust. Speech, Signal Processing, vol ASSP-31, pp.339-346, (Feb.1983).
- [4-4] B.Widrow and J.M.McCOOL, : "A comparison of adaptive algorithms based on the method of steepest descent and random search," IEEE Trans. Antennas and Propagation, vol.AP-24, pp.615-637, (Sep.1976).
- [4-5] M.A.Schumer and K.Steiglitz,: "Adaptive step size random search," IEEE Trans. Automat. Contr., vol. AC-13, pp.270-276, (June 1968).
- [4-6] 菅原,平野:"遅延多通路構成による高速適応型FIRディジ

タルフィルタ,” 関連大 G12-17 pp.366 (1987)

- [4-7] K.Sugahara, S.Nishimura and K.Hirano : "Realization of High-Speed Adaptive FIR Digital Filters Based on Delayed Multipath Structure.," Seventh KOBE international symposium on electronics and information sciences 1-1-8 (Nov. 1988)
- [4-8] K.Sugahara, S.Nishimura and K.Hirano : "Realization of High-Speed Adaptive FIR Digital Filters Based on Delayed Multipath Structure.," 投稿準備中
- [4-9] Texas Instruments, : "TMS320C25 User's manual," (1986).
- [4-10] AT&T, : "WE DSP32 Digital Signal Processor Information Manual," (Sep 1986).
- [4-11] AT&T, : "WE DSP32-SL Support Software Library," (Nov. 1986).
- [5-1] 菅原,中井,石塚,平野:"DSP周辺LSIの設計・試作"昭62 関西連大 S14-1 pp.S98 (1987)
- [5-2] K.Sugahara, K.Nakai,M.Ishizuka and K.Hirano : "Peripheral LSI of DSP," Sixth KOBE international symposium on electronics and information sciences P3-1-10 (1987, Nov.)
- [5-3] K.Sugahara,K.Nakai, and K.Hirano : "Peripheral LSI to digital signal processor," Pre-symposium Workshop in 1988 IEEE International Symposium on Circuits and Systems (1988)
- [5-4] K.Sugahara, K.Nakai, and K.Hirano : " A peripheral LSI chip as an aid to system design using digital signal processors," IEEE Trans. I-SM 投稿中
- [5-5] K.Sugahara, K.Nakai,M.Mori and K.Hirano : "Implementa-

tion of digital signal processing algorithms on signal processors,” 投稿準備中

研究発表一覧

第2章

- 1 多通路デジタルフィルタ
昭56関西連大 G12-6 pp.G326 (1981)
- 2 N-path digital filter
Memoirs of the faculty of engineering KOBE university
30 pp.203-218 (1983)
- 3 線形計画法による2次元デジタルフィルタの設計
神戸高専研究紀要 第21号 pp.53-58 (1983)
- 4 N-path digital filter
Conf. Rec. IEEE ICASSP-84 11.9.1-11.9.4 (1984)
- 5 線形計画法によるIIR形デジタル位相回路の設計
信学技報 CAS84-26 pp.15-20 (1984,6)
- 6 並列処理方式デジタルフィルタの一設計法
信学技報 CAS84-30 pp.45-52 (1984,6)
- 7 線形計画法によるIIR形デジタル位相回路の設計
昭59関西連大 G12-5 pp.G363 (1984)
- 8 線形計画法によるIIR形デジタル位相回路の設計
信学論(A) Vol.68-A, No.5, pp.444-450 (1985,5)
- 9 Linear Programming Design of IIR Digital Phase Networks
Electronics and Communications in Japan, Part 1: vol.6
9 No.5 pp.32-39 (1985)
- 10 Design of high speed digital filters suitable for Multi-DSP implementation.
IEEE Trans. on circuits and systems vol.CAS-33, pp.202-217, Feb.(1986)
- 11 Linear Programming Design of IIR Digital Phase Networks

- 神戸高専研究紀要 第24号 pp.105-116 (1986)
- 1 2 線形計画法による遅延多通路構成ディジタルフィルタの設計
昭62関西連大 G12-18 p.367 (1987)
- 1 3 線形計画法による最適フィルタの設計
神戸高専電算機室広報 第2号 pp.125-130 (1987)

第3章

- 1 4 最小感度ディジタルフィルタの一構成法
信学技報 CAS80-119 pp.71-78 (1981,2)
- 1 5 A synthesis of digital filters with minimum pole sensitivity
Conf. Rec. IEEE ISCAS-82 pp.507-510 (1982)
- 1 6 離散時間フィルタの特性記述
信学技報 CAS81-102 (1982,2)
- 1 7 低感度2次ディジタルフィルタ - 周波数感度を用いた解析と設計
信学技報 CAS82-28 pp.15-20 (1982,7)
- 1 8 A Synthesis of Digital Filters with Minimum Pole Sensitivity
信学論(E) Vol.65-E No.5 pp.234-240 (1982,5)
- 1 9 デジタル回路網解析プログラム - 節点の順序付けと回路の次数について -
昭57関西連大 G12-4 pp.G323 (1982)
- 2 0 最小極感度ディジタルフィルタの構成
神戸高専研究紀要 第21号 pp.47-52 (1983)
- 2 1 デジタル回路解析プログラムの開発
神戸高専研究紀要 第22号 pp.57-62 (1984)
- 2 2 デジタル回路解析ための計算順序の決定法
信学論(A) Vol.67-A No.2 pp.149-150 (1984,2)

- 2 3 多通路構成ディジタルフィルタの雑音特性
信学技法 CAS86-12 pp.39-46 (1986,5)
- 2 4 数式処理プログラムのディジタル回路の記号解析への応用について
昭61関西連大 G12-3 pp.G346 (1986)
- 2 5 数式処理プログラムによるディジタル回路の記号解析
信学論(A) Vol.J70-A No.3 pp.567-569 (1987,3)
- 2 6 アナログ回路網の記号解析
昭62関西連大 G12-9 pp.358 (1987)
- 2 7 数式処理プログラムのディジタル回路の記号解析への応用について
神戸高専研究紀要 第25号 pp.109-114 (1987)
- 2 8 デジタル回路解析プログラムについて
神戸高専電算機室広報 第2号 pp.168-173 (1987)
- 2 9 数式処理プログラムのディジタル回路の記号解析への応用について
昭63信学全大 A-39 pp.1-39 (1988)
- 3 0 数式処理プログラムによる線形回路の記号解析
情処論 条件付採録

第4章

- 3 1 遅延多通路構成による高速適応型 F I R デジタルフィルタ
関連大 G12-17 pp.366 (1987)
- 3 2 Realization of High-Speed Adaptive FIR Digital Filters
Based on Delayed Multipath Structure.
Seventh KOBE international symposium on electronics
and information sciences 1-1-8 (1988, Nov.)
- 3 3 Realization of High-Speed Adaptive FIR Digital Filters
Based on Delayed Multipath Structure.

第5章

- 3 4 デジタルシグナルプロセッサとその応用
神戸高専研究紀要 第22号 pp.163-168 (1984)
- 3 5 DSP周辺LSIの設計・試作
昭62関西連大 S14-1 pp.S98 (1987)
- 3 6 Peripheral LSI of DSP
Sixth KOBE international symposium on electronics and
information sciences P3-1-10 (1987, Nov.)
- 3 7 Peripheral LSI to digital signal processor
Pre-symposium Workshop in 1988 IEEE International Sym-
posium on Circuits and Systems (1988)
- 3 8 シグナルプロセッサ周辺回路用カスタムCMOS LSIの
設計・試作
神戸高専研究紀要 第26号 pp.27-32 (1988)
- 3 9 A peripheral LSI chip as an aid to system design using
digital signal processors
IEEE Trans. I-SM 投稿中

その他

- 4 0 学内ネットワークを用いた電気工学実験支援システムについ
て
神戸高専研究紀要 第20号 pp.43-46 (1982)
- 4 1 2次元デジタルフィルタの解析
システムと制御 Vol.26 No.12 pp.756-763 (1982)
- 4 2 2次元デジタルフィルタの設計
システムと制御 Vol.27 No.2 pp.105-113 (1983)
- 4 3 Effects of sampling rate for 2D digital signals on the

velocity selection

Conf. Rec. IEEE ISEMC-84 pp.646-649 (1984)

- 4 4 回路解析プログラム - C I R C - について
神戸高専電算機室広報 第1号 pp.91-95 (1984)
- 4 5 F I Rフィルタの設計とシミュレーション
神戸高専電算機室広報 第1号 pp.123-128 (1984)
- 4 6 局面の投影図作図プログラム - 隠れ線処理プログラム -
神戸高専電算機室広報 第1号 pp.129-134 (1984)
- 4 7 G P I B の一実現法
神戸高専研究紀要 第23号 pp.7-12 (1985)
- 4 8 高速フーリエ変換とその機械語によるプログラム例
神戸高専研究紀要 第23号 pp.95-100 (1985)
- 4 9 G P I B の概要について
神戸高専研究紀要 第23号 pp.101-106 (1985)
- 5 0 試験時間割編成支援プログラムについて
神戸高専研究紀要 第25号 pp.143-148 (1987)
- 5 1 G P I B - R S 2 3 2 C 間インターフェイス装置の開発について
神戸高専研究紀要 第25号 pp.143-148 (1987)
- 5 2 マルチウィンドウによる画像ファイル管理システム
平1信学全大 (1989)