



高周波部分共振DCリンク電力変換システムの高性能化に関する研究

米森, 秀登

(Degree)

博士 (工学)

(Date of Degree)

1997-09-17

(Date of Publication)

2007-09-26

(Resource Type)

doctoral thesis

(Report Number)

乙2160

(JaLCD0I)

<https://doi.org/10.11501/3141205>

(URL)

<https://hdl.handle.net/20.500.14094/D2002160>

※ 当コンテンツは神戸大学の学術成果です。無断複製・不正使用等を禁じます。著作権法で認められている範囲内で、適切にご利用ください。



神戸大学博士論文

高周波部分共振DCリンク電力変換システムの
高性能化に関する研究

平成9年8月

米森秀登

内容梗概

本論文は、著者が神戸大学工学部在職中に行ってきた研究内容の内、高周波共振DCリンクを用いたソフトスイッチング電力変換装置に関する研究成果をまとめたものである。

半導体製造技術の進歩にともない電力用半導体デバイス/モジュール(以下パワーデバイスと略記する)は、処理電力容量とスイッチング速度の改善に見られるように基本性能が飛躍的に向上してきた。これらパワーデバイスの基本性能の向上と同様に、制御系もマイクロプロセッサ、デジタルシグナルプロセッサとA/D, D/A変換器等の周辺機器の高性能化かつ低廉化が実現されて来た。このことは、主回路においては高速スイッチング化が、制御回路においてはDDC(Direct Digital Control)化が推進され、高機能化・メンテナンスフリー化と言った実用上の大きなメリットを生むようになり、パワーエレクトロニクスの発展に大きく寄与した。

しかしながら、パワーデバイスにより電気エネルギーを直接遮断/導通させて電力制御を行う現在の電力変換回路トポロジーでは、スイッチング過渡時に電力損失が発生する。また電圧サージ、電流サージの発生を伴うことから、スイッチングストレスが増大しシステム全体の信頼性を損なう要因となると言った問題が指摘されている。特に、高周波スイッチング電力変換装置の利用分野が拡大化し、かつ設置台数の飛躍的な伸びを見せている現状にあつては、高速スイッチング時に発生するノイズ(Electro Magnetic Interference: EMI, Radio Frequency Interference: RFI)などの問題点は無視し得ない。しかもそれはスイッチング周波数に比例して増大することから根本的な対策が望まれるが、現在の回路トポロジーに依つてはこれらの問題を解決する事は原理上困難である。そこで新しい電力変換回路として、パワーデバイス端子間の電圧がゼロ(ZVS: Zero Voltage Switching)あるいは流れる電流がゼロとなる条件でスイッチング(ZCS: Zero Current Switching)を行うソフトスイッチングと称される電力変換方式がこれら問題点の解決に最も有望とされ各種の研究開発が行われるようになってきている。

本論文は、これらの技術背景のもとで、高効率な電力の変換を実現する新しい回路トポロジーとして注目されているZVS三相ソフトスイッチングPWMインバータとそれらの周辺システムに関して行った研究をまとめたものであり、以下の7章により構成されている。

第1章において、高周波スイッチング電力変換回路技術の現状と問題点について述べ、本研究の目的について明らかにしている。

第2章においては、高周波スイッチングによるメリットおよび問題点について説明し、現在、検討途上にあるZVS、ZCS技術について述べる。次いで、新しい電力変換回路方式として検討が始まった高周波リンク電力変換回路トポロジーについて述べると共に、その一方方式として分類される高周波共振DCリンクの構成と動作について詳しく述べている。また、これらの方式は、瞬時フィードバック制御による補償制御系が必要となり、回路が一般に複雑となる点を指摘している。

第3章においては、高周波トランスを設けることにより初期電流予測不要で安定に動作する高周波共振DCリンク回路トポロジーを提示し、その動作原理と設計法について詳しく述べた。共振DCリンク系が負荷電流に依存しなければ制御回路の構成は、単純な信号の受渡しのみで良く設計が容易となり、システムの簡素化につながる。

第4章では、提案回路の特性評価を、シミュレーション並びに試作実験により行っており、本方式が負荷側からの電流フィードバックループレスで共振制御が簡単に行えることを確認した。ここで使用された高周波トランスは、第3章において詳述した設計法により決定された回路定数であり、共振周波数、電圧・電流値も計算結果に近い値で安定に動作していることを確認した。

第5章では、提案回路の適用例としてUPS応用を対象とした三相正弦波CVCFインバータシステムを取り上げ、ハードスイッチング方式との比較・評価をシミュレーション並びに試作実験により行った。試作回路は、DSP（デジタルシグナルプロセッサ）を用いたデジタル制御系によるUPSシステムであるため、回路と制御系の特徴を考慮したシミュレーション/実験により、提案方式の有効性について比較検討結果より明らかとした。

第6章においては、交流系統電源電圧より整流平滑回路を経て直流入力電力を得る、一般的な電力変換システムへの適用例について検討している。先に検討した提案回路の適用例においては、バッテリー等の完全平滑直流電源を有するUPS応用例についてであった。しかし、一般的な電力変換回路方式で 사용되는不完全平滑直流電源においては、電力変換回路動作時に負荷の変動にしたがって数10%の電圧変動が発生する。例として、エアコンディショニングシステムを評価・検討のための基準システムとして取り上げ、システムの制御特性に与える影響や損失並びにEMIノイズ低減効果について実験より明らかとしている。これらのデータはハードスイッチング時における結果と比較・検討され、提案の共振DCリンク回路導入による効果等を明確に示している。

第7章においては、本研究により得られた結果を総括した。

目次

第1章 緒論.....	1
第2章 高周波スイッチング電力変換.....	5
2-1 緒言.....	5
2-2 高周波スイッチングとその周辺回路技術.....	5
2-2-1 高周波スイッチング化のメリットと問題点.....	5
2-2-2 ゼロ電圧/ゼロ電流スイッチング.....	8
2-3 高周波リンク電力変換の基本回路構成と分類.....	9
2-4 高周波共振DCリンク電力変換.....	12
2-4-1 高周波共振DCリンク回路の構成と動作波形例.....	12
2-4-2 高周波共振DCリンク回路の初期電流制御.....	15
2-4-3 高周波共振DCリンク回路における共振初期電流の予測制御.....	18
2-5 結言.....	20
第3章 高周波トランス補助転流方式部分共振DCリンク.....	23
3-1 緒言.....	23
3-2 高周波トランス補助転流方式部分共振DCリンク回路トポロジー.....	23
3-2-1 基本動作原理と特徴.....	23
3-2-2 高周波トランス補助転流方式部分 共振DCリンク回路タイプIの動作.....	27
3-2-3 高周波トランス補助転流方式部分 共振DCリンク回路タイプIIIの動作.....	32
3-3 高周波トランスの設計.....	36
3-3-1 高周波トランスの巻数比の決定.....	36
3-3-2 TQRDCL回路の動作周波数と共振キャパシタの決定.....	40
3-3-3 TQRDCL降圧動作時における共振電流値の評価.....	40
3-3-4 TQRDCL昇圧動作時における動作条件と共振電流値.....	42
3-3-5 高周波トランスの設計手順.....	44
3-4 結言.....	45
第4章 部分共振DCリンク回路部のシミュレーションと実験.....	47
4-1 緒言.....	47
4-2 高周波トランス補助転流方式部分共振DCリンクのシミュレーション..	47
4-2-1 タイプI用高周波トランスの設計.....	47
4-2-2 シミュレーション結果.....	51

4-2-3	タイプIII用高周波トランスの設計	55
4-2-4	シミュレーション結果	58
4-3	部分共振DCリンクの実験結果	60
4-3-1	試作回路のハードウェア - タイプI	60
4-3-2	実験結果と検討	66
4-3-3	試作回路のハードウェア - タイプIII	70
4-3-4	実験結果と検討	71
4-4	結言	75
第5章 高周波トランス補助転流方式部分共振DCリンクによる		
	CVCFインバータシステム	77
5-1	緒言	77
5-2	CVCFインバータシステムのハードウェア構成	77
5-2-1	主回路構成	77
5-2-2	高周波トランス補助転流方式部分共振DCリンクの制御回路	79
5-2-3	制御系のハードウェア構成	80
5-3	CVCFシステムの実出力電圧制御系の構成	80
5-3-1	インバータの負荷モデルと最適一型サーボ系	80
5-3-2	インバータ出力電圧の時分割制御	86
5-4	CVCFシステムのシミュレーション解析と実験結果	89
5-4-1	シミュレーションおよび試作実験における条件	89
5-4-2	CVCFインバータシステムの動作	91
5-4-3	特性評価	103
5-5	結言	105
第6章 高周波トランス補助転流方式部分共振DCリンクによる		
	誘導電動機駆動システム	107
6-1	緒言	107
6-2	評価用エアコンシステムのハードウェア構成	108
6-2-1	主回路構成	108
6-2-2	制御系の構成	109
6-3	実験結果	109
6-3-1	試作実験による各部動作波形例	109
6-3-2	試作装置の損失測定回路	112
6-3-3	インバータ回路部の損失	113
6-3-4	TQRDCLの損失	114
6-3-5	試作装置における端子雑音電圧測定	116
6-3-6	TQRDCLシステムの損失/効率改善と総合評価	119

6-4 結言.....	123
第7章 結論.....	125
付録.....	127
謝辞.....	131
参考文献.....	133
研究業績一覽.....	137

第1章 緒論

エネルギー利用形態のうちでも主要な位置を占める電気エネルギーの有効利用は非常に重要であり、電気エネルギーを直接変換する電力変換装置の研究・開発は、実際応用上の見地から精力的に進められてきた。可聴周波数以上の周波数帯で動作が可能な電力用半導体スイッチ素子（以降ではパワーデバイスと称する）を用いる高周波スイッチング電力変換装置とその関連技術は、直接に電力変換装置やそれを利用しているシステムの高性能化・高機能化に結びつく事から、現在も多大な研究開発努力が払われている。また機能面から見ても、制御系のDDC (Direct Digital Control) 化がマイクロプロセッサやその他の周辺機器の高性能化かつ低廉化により実現され、現代制御理論の導入による高機能化・メンテナンスフリー化が実現されている。その結果、高周波スイッチング技術による電力変換装置は、電力エネルギーを直接/間接的に利用する多くの産業・民生分野において適用されるようになった。しかしながら、電力変換装置あたりの電力処理容量が大容量化され、また設置台数が増加するに伴い、高周波スイッチング化により得られる高効率かつ高機能と言った大きな利点とは別に、スイッチング過渡時に発生する各種の問題点が無視し得なくなってきた。

スイッチング過渡時の問題点は、従来では電力変換効率と信頼性に関連する現象として捉えられており、この対策として、フィルタやサージ抑制にスナバ回路を設けるなどの各種の技術的検討が加えられてきた。最近では、これらに付随する問題点として特に重要視されていなかったEMI/RFI (Electro Magnetic Interference/Radio Frequency Interference) ノイズの抑制が重点的な評価項目として注目されるようになってきた。従って電力変換装置の高周波スイッチング化・大容量化が産業応用分野の要求から進められている以上、省エネルギー化、変換システムの高信頼化、電磁環境保全と言った各観点から、それぞれ高効率、電圧・電流サージの抑制、低電磁ノイズ化を満足する電力変換方式の研究開発が非常に重要となってくる。

しかし、パワーデバイスにより電力の遮断導通を繰り返す従来のスイッチング方式では原理的にサージやノイズの発生を避けられない事は明らかである。このためスイッチング時の問題点を原理的に発生しない新しい回路方式として、共振現象をスイッチング時に積極的に取り入れた高周波共振DCリンクと称される電力変換装置が、1986年にアメリカのウイスコンシン大学のD.M.Divan等¹⁾により提案され脚光を浴びた。この回路の特徴は、直流電圧源と電力変換装置の中間段において、共振現象を利用したスイッチング回路を設け、ゼロ電圧期間を有する電圧パルスを連続的に発生させる事により、電力変換装置をゼロ電圧でスイッ

チングさせるところにある。これによりスイッチングは無損失となりノイズの発生要因も原理的に除かれる。高周波共振DCリンクの研究報告以降、T.A.Lipo、P.K.Sood等^[11]の高周波リンクと称されてきた電力変換方式に関する研究報告には、高周波ACリンクと言った記述が見られるようになった。そして今日では、高周波リンクは高周波ACリンクとDCリンクに分類されるようになっている。

高周波リンク回路は、1971年にマクマレー^[12]によって提案されたもので、高周波インバータ段において発生した交流電圧/電流をトランスによって絶縁リンクさせ、後段の電力変換段において任意の周波数の電力に変換処理するものである。従って、電源-負荷間の絶縁処理を必要とする利用形態においてはトータルシステムとしての小型軽量化が実現されるといった特徴を有している。また、高周波共振タンク回路を有するため原理的にゼロ電圧やゼロ電流時にスイッチングが可能で、高効率かつノイズの発生も少ない電力変換が行われていた。

これらの特徴に着目して、電力系統連係用太陽光発電システム^{[14]~[17]}等の研究がNASAやアメリカの大学を中心とする研究グループによって行われ、系統連係インバータシステムには一部に商品化^[6]がされたものも存在し研究開発は活発であった。また高周波ACリンクは、発電から給電に至る電源回路網が非常に柔軟に構成実現されると言った利点を活かして、航空機や人工衛星、宇宙ステーション用の高周波配電を前提としたシステム応用^{[18][11]}が検討されていた。

このように高周波リンクは、高周波トランス結合構成を基本的な回路構成とするシステムとして脚光を浴びていたのであるが、Divan等の研究により、ゼロ電圧スイッチングと言った優れた特徴が電力変換装置の直流バスラインに拡大適用されることとなった。そして、応用範囲も広く大電力用途に適したものであるため、電動機ドライブシステムを中心とする研究・開発が行われその有効性についての報告が数多くなされるようになっている^{[15]~[27]}。

わが国の研究開発の動向としては、抑制すべきとされてきた共振現象を回路の一機能として取り入れることは、当面使用され得るパワーデバイスの高性能化が順調であり、フィルタやスナバ回路の効果により重大な障害は発生しなかったため、比較的低調であった。しかしながら、近年のEMC規制とその対策に要する費用対効果の観点から、共振リンク回路の研究が活発化してきている^{[25]~[27]}。

しかしながら、これらの方式はパワーデバイスの導通損失や共振回路系の抵抗成分によって発生する損失の補償と負荷依存性を除くため、初期電流予測と称される制御系が必要とな

る。初期電流予測制御は、共振回路の安定化のみならず発生損失の低減に非常に重要であるため各種の研究がされてきたが、電力変換主回路と共振制御の高精度化が要求されることから制御回路が一般に複雑となる。制御回路の複雑化と最適な初期電流を与えることの難しさは従来から指摘され、電力変換主回路のスイッチングパターンの選択法^[29]並びに最適な初期電流値を与えるための数値的検討^[20]が行われてきたが、初期電流制御そのものを不要とする回路システムの提案には至っていない。共振DCリンク系が負荷電流の影響を受けず、また損失補償が行われ得る回路構成であるならば、制御回路は単純な信号の受渡しのみで良く設計が容易となるため、システムの簡素化につながり実際応用上の観点から非常に大きなメリットがある。

本論文では、このような背景を踏まえて、新しいスイッチング方式として注目されわが国においても研究がなされはじめている共振を取り入れたスイッチング方式について述べ、これが回路中のラインインダクタンスやストレーキャパシタンスなどの寄生要素をも利用可能な方式であり、従来のスイッチング技術とは大きく異なるものであることを説明する。また、高周波リンク電力変換の一方式として分類される高周波共振DCリンク電力変換についての基本原理と特徴並びにその制御方式について論ずる。

本論文において提案する部分共振形の高周波共振DCリンク回路は、どのような負荷条件であっても安定に共振スイッチング動作するPWM制御形の回路トポロジーであり、共振系の動作安定化のために高周波トランスを内部に有する新しい方式である。この回路方式の動作原理と設計法については、本文中に詳しく述べる。また特性評価は、シミュレーション並びに試作実験により行っており、本方式が負荷側からの電流フィードバックループレスで共振制御が簡単に行えることを確認した。

提案方式の適用例として、三相正弦波CVCF (一定電圧／一定周波数 : Constant Voltage / Constant Frequency) インバータシステムを取り上げ、スイッチング方式の比較・評価をシミュレーション及び試作実験により行った。この時使用した共振DCリンク系は、本論文において説明する設計法により試作されたものである。さらに、交流系統電源電圧より整流平滑回路を経て直流入力電力を得る、一般的な電力変換システムに使用されている応用分野への適用例についても同様の検討を行っている。このような電力変換システムの応用例は多いが、代表例としてエアコンディショニングシステムをここでの評価・検討を行う基準システムとして取り上げている。そして、これらの適用例において提案の共振DCリンク系が、従来のスイッチングシステムと比較しても制御性能に与える影響が少ないことを確認した。また、

電力変換システムに共振DCリンクを組み込む事により電力変換効率に与える影響とEMIノイズ低減効果について実験より明かとしている。

以上に述べてきたように、本論文はスイッチング時における諸問題点を解決する一方式である高周波共振DCリンクとその評価に関するものであり、電気エネルギーを高効率かつ高精度に変換／利用可能なインバータ/コンバータシステム技術の実現とその発展に寄与せんとするものである。

第2章 高周波スイッチング電力変換

2-1 緒言

パワーデバイスを利用した電力変換装置が実用化されて以来今日まで、高周波スイッチング回路技術に関する研究/開発が活発に行われてきた。この章では、高周波スイッチングの利点と問題点について概観した後、新しいスイッチング方式として注目され、研究がなされはじめているゼロ電圧スイッチングとゼロ電流スイッチングについて述べ、これが回路中のラインインダクタンスやストレーキャパシタンスなどの寄生要素をも利用可能な方式であることなど、従来のスイッチング技術の概念とは大きく異なることを説明する。これらに加えて、新しい回路方式として研究の進められている高周波リンク電力変換の概念について述べ、一方式に分類される高周波共振DCリンク電力変換の基本原理と特徴並びに制御方式について論ずる。

2-2 高周波スイッチングとその周辺回路技術

2-2-1 高周波スイッチング化のメリットと問題点

電力変換装置においては、パワーデバイスを高周波でスイッチング動作させ、小型軽量化などの目的を達成してきた。これは各スイッチング周期内の処理電力を抑える事により、インダクタンスやキャパシタンスなどの受動素子の小型軽量化の実現を企図したものである。この時、スイッチング総数が増加しているため、最終的な処理電力量は低下せず電力変換装置の小型軽量化、高効率化が図られる。また同時に、スイッチング回数の増加は、回路状態の制御/変更を行う頻度が増加することになり、実時間処理を可能とするような高速制御系により出力電力の高品質化に大きな効果がある。さらに、スイッチング周波数が可聴周波数域を越えれば、フィルタ/トランスの磁歪による騒音等が発生せず、低騒音化が達成される。

高周波スイッチングは、小容量に限って言えばパワーMOS-FETなどのパワーデバイスを用いることが多く、スイッチング電源には数100kHz~MHz帯で動作するものも実用化されてきている。このような電源装置は、高周波パワーデバイスを使用することによりスイッチング当りの損失を低減し、インダクタンス/キャパシタンスなどの受動素子の小型軽量化が達成されている。しかしながら、全ての電力変換システムにおいて高周波化が常に有効と言うわけではない。現実にはパワーデバイスのスイッチング特性は理想的とは言えず、スイッチ

ング時において若干の電流/電圧の過渡交差を生じスイッチング損失が発生する。

高速スイッチングが可能なパワーデバイスであれば、この過渡交差が発生する時間は非常に小さく1回当たりのスイッチングによって発生する損失は低い、スイッチング回数の増加と共に損失が増大する。これに加えて、電源-パワーデバイス-負荷を結ぶ経路中には浮遊インダクタンスやキャパシタンスが存在するため、電圧/電流の遮断を高速に行うスイッチング時には、これらの浮遊成分によりサージ電圧/電流が発生しパワーデバイスにストレスが発生する。また、パワーデバイスのスイッチング現象は非常に高速であるので、回路図中には現れない浮遊/寄生要素の影響を無視することはできない。加えてパワーデバイスがシリコン半導体で製造されているため、パワーデバイスそのものの持つ容量成分もスイッチングに影響を及ぼす。図2-1にパワーデバイスIGBT (Insulated Gate Bipolar Transistor) のスイッチング時における電圧/電流波形例を示す。IGBTのターンオフ時には、内部に構成されたFETが始めにターンオフし負荷電流は急速に減少するが、FETオフ後にはバイポーラデバイス部に蓄積されていた小数キャリアがコレクタ-エミッタ間電圧によって排出されるため、テール電流として流れ続け損失を生じる。ターンオン/オフ双方に見られる共振現象は、配線に存在するインダクタンス成分とIGBTの出力容量による共振現象が現れたものである。パワーデバイスのSOA(Safety Operation Area)は、基本的には過渡的な電力許容量と考えられる。従って、サージ発生によりスイッチング損失がSOAを越える場合には、パワーデバイスを破壊する。

大電力の制御を高効率に行うには、単純な電圧/電流の遮断を行うだけでは不十分な場合がほとんどである。特に、サージ電流の di/dt が高い場合にはRFIノイズを発生しやすく、必要に応じてノイズフィルタを設けるなどの対策が必要となる。また、ストレスの増大と損失の増加により、負荷状態によってはSOAを越えることも予想されるため、信頼性が著しく低下

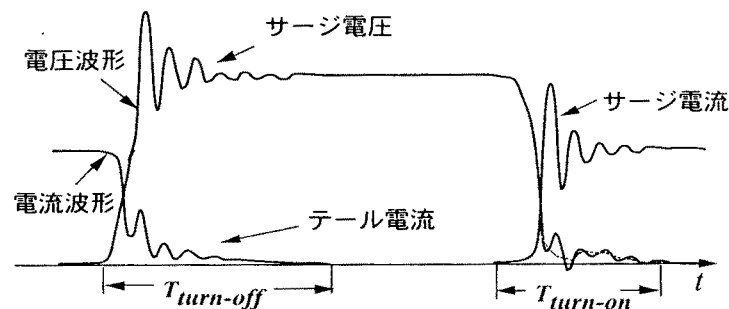


図2-1 IGBTスイッチング過渡波形例

Fig. 2-1 Transient switching waveforms in IGBT

する。このため、高周波スイッチング時には、サージがSOAを越えることのないようスナバ回路を設ける必要が生じる。しかしながら、スナバ回路によりスイッチング損失とサージによる dv/dt や di/dt ストレスは低減されるが、スナバ回路が無損失で動作するわけではなく、ある程度の損失発生を見込んで設計されるものである。

スナバ回路は、簡単な回路構成のものから、構成は複雑化するが効率改善効果を狙ったエネルギー回収型のもので、各種の回路方式のものが検討され実用化されてきた。スナバ回路による損失は、大容量の電力変換時には極めて大きな電力損失となるため、スナバエネルギーを電源電圧側に回収する回生スナバ方式が使用されることがある。アクティブ回生スナバは、パッシブ回生方式と比較して回路構成は簡単になるが、回生用スイッチの制御を行うことが要求される。パッシブ回生方式の場合、受動部品のみで構成されるため信頼性が高いが、部品点数が多く回路が複雑化するため、使用目的やコストに合わせた選択がなされる。

図2-2に高周波スイッチングによる効果と影響についての関連を示す。高周波スイッチングにより、パワーデバイスは高周波特性のよいものを選ばねばならないためコストに影響があるが、効率に関わる各種の損失分が十分に低減されるならば、信頼性の高い高効率電源装置が実現される。しかしながら、スイッチング損失及び電圧/電流ストレスによる影響と、その対策として設けられるスナバ回路とノイズフィルタの設置によるコスト増や損失発生が高周波化によるメリットを減殺する事がある。

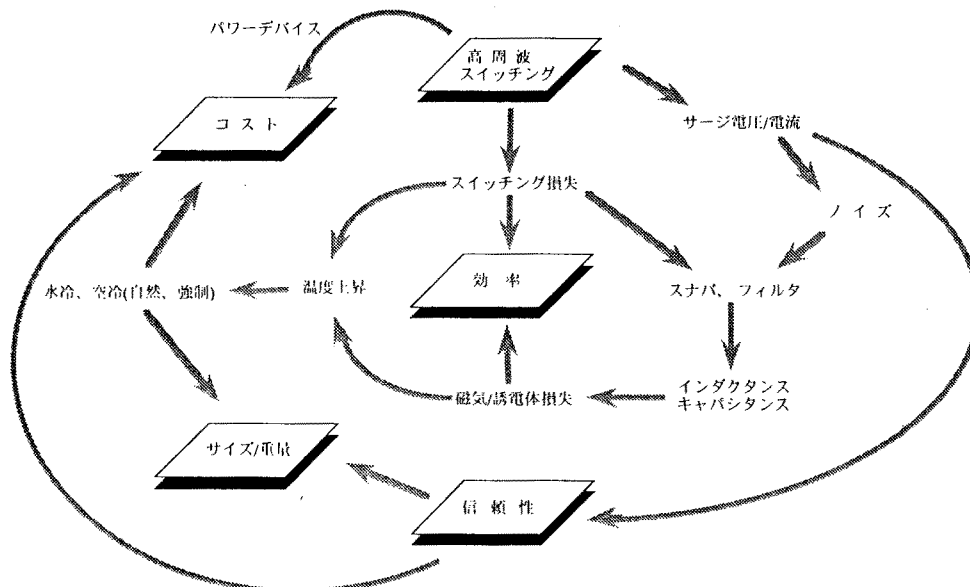


図2-2 高周波スイッチングによる効果

Fig. 2-2 Effects of the high-frequency switching

2-2-2 ゼロ電圧/ゼロ電流スイッチング

以上述べてきたように、高周波スイッチング時には、回路中の浮遊成分やパワーデバイスの寄生容量による影響が無視できない。このため、スイッチング回路そのものを共振状態で動作させ、ゼロ電圧或いはゼロ電流状態下においてスイッチングを行わせるゼロ電圧スイッチング (ZVS: Zero Voltage Switching) やゼロ電流スイッチング (ZCS: Zero Current Switching) と称するスイッチング様式が注目され、これを用いた電力変換回路トポロジーが問題点の解決に有力な手法として多くの研究報告が見られるようになってきた。

ZVS/ZCS回路は、基本的には図2-3の回路例に見られるようなスイッチとL-C共振要素により構成され、スイッチングにおける電圧/電流の過渡交差を発生させないように動作する。図2-3のスイッチ端子は2から3端子構成であり、電源と負荷を含むループが形成されることにより4端子のスイッチングシステムとしての動作を行う。図2-4に理想的なZVS時におけるスイッチング波形を示す。任意のスイッチングポイントにおいて電圧或いは電流がゼロ状態であればパワーデバイスのスイッチング特性自体は問題とならず、原理的にはスイッチングロスが無い効率のよい動作が可能となることが判る。このようなスイッチング動作が実現され

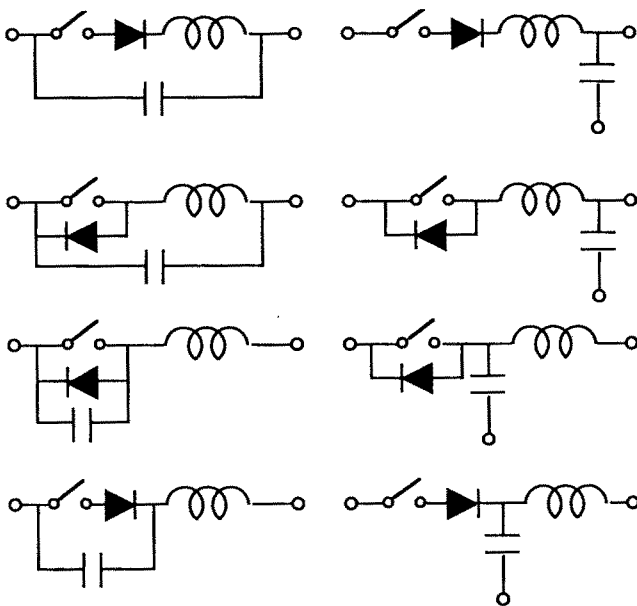


図2-3 ZVS/ZCSスイッチング回路構成

Fig. 2-3 Circuit configurations of ZVS/ZCS switching

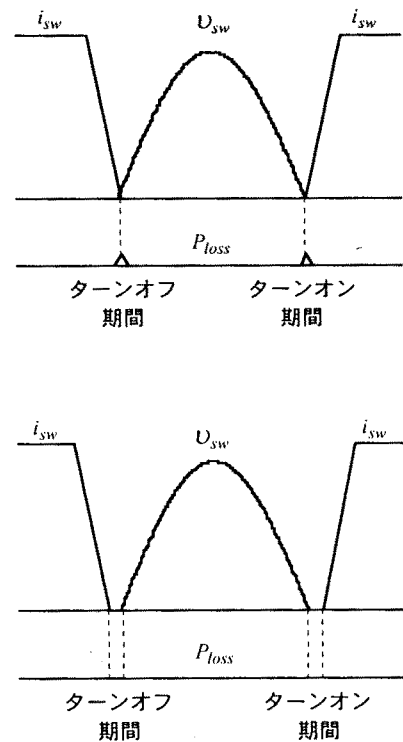


図2-4 ZVSスイッチング波形例

Fig. 2-4 ZVS switching waveforms

ば、先に説明した直流電源電圧等を直接遮断するスイッチング様式とは違って、パワーデバイスに発生するストレスを極めて低く抑えることが可能となる。

このようにZVS/ZCSを実現するスイッチング様式は、パワーデバイスに与える損失/ストレスが低いためソフトスイッチングと称している。これに対して、パワーデバイスの持つスイッチング機能により電圧/電流を直接ターンオン/オフを行うスイッチング様式は、強制スイッチングあるいはハードスイッチングと称している。

本論文でも、以下の記述においてはZVS/ZCSの双方あるいはその一方が実現されるスイッチング様式によるものをソフトスイッチング、それ以外のものをハードスイッチングと記す。ソフトスイッチングが実現された場合において、スイッチング過渡時の損失/ストレスが極小化され、かつEMI/RFIノイズの抑制に効果がある。しかしながら、パワーデバイスの導通状態において流れる電流もしくは遮断時に印加される端子電圧は、共振現象を利用しているだけにハードスイッチングによるものより高くなり、導通損失の低いパワーデバイスか耐電圧の高いパワーデバイスのいずれかが要求される。

2-3 高周波リンク電力変換の基本回路構成と分類

高周波リンクは、共振現象を利用することにより高機能電力変換装置のソフトスイッチング化を目途として提案がなされてきた。そして高周波リンク電力変換は非常に幅広い回路構成が実現可能であるため、現在まで各種方式の研究・開発が行われてきた。ここでは高周波リンク電力変換について電力変換形態より分類を行い、本論文で議論する高周波部分共振DCリンクの位置付けについて説明する。

先に述べたように高周波リンク電力変換は、高周波共振インバータにより発生した高周波電力をトランスで絶縁処理した後、サイクロコンバータ動作をもって直接低周波の商用電力に変換制御するものであった。図2-5はその基本的な回路構成を示している。また、その後高周波共振DCリンクとして提案された方式も、図2-6に示すようにゼロ電圧区間を含む高周波共振電圧パルス列(共振DC)に電力変換した後、後段のZVS動作する電力変換段において低周波の三相電力に直接変換を行う回路方式がとられている。これら双方の高周波電力の形態を比較すると、前者は高周波交流電力であり、後者は半周期波であるので高周波電力を含む直流電力である。これらのことから、高周波トランス結合構成の回路方式は、高周波共振DCリンク電力変換が提案されて以来、単なる高周波リンクではなく、高周波ACリンク電力

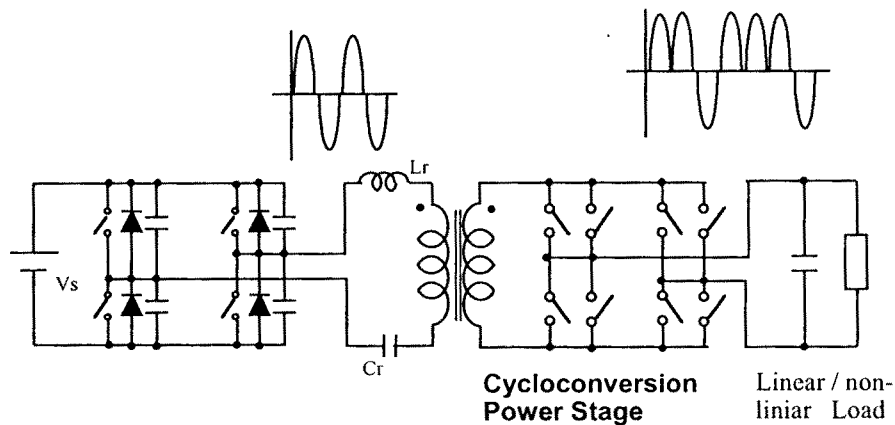


図2-5 高周波リンク電力変換回路例

Fig. 2-5 Circuit configuration of high-frequency link

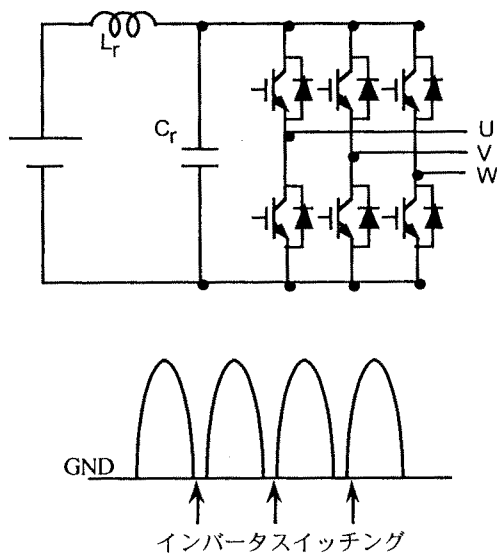


図2-6 高周波共振DCリンク回路

Fig. 2-6 High-frequency resonant DC link circuit

変換回路と称されるようになった。

高周波リンク電力変換方式は、現在までに各種の回路構成が提案検討されているが、AC/DCリンク或いは共振と部分共振の別を考慮に入れても、中間段の電力形態により分類・定義可能であることがわかる。変換された高周波電力の波形とその周波数成分は、それぞれ図2-7と表2-1に示すような周期波形となる。従って、中間段の電力に着目すれば、高周波リンク電力変換とは以下の条件を満たす回路方式であると考えることができる。

- 高周波リンクとは、電力の変換過程において経路中の電力形態が高周波電力成分を顕著に含む電力変換形式であり、高周波電力を直接変換し電力潮流の双方向制御が可能な回路方式である。
- 高周波電力の波形が、直流成分を含む半周期波、軸対称波等の周期波形となるものを高周波DCリンクと称し、それ以外の直流成分を含まないものを高周波ACリンクと称する。

この分類は、電気学会調査専門委員会資料"高周波リンク電力変換システムの技術動向"とは必ずしも合致しないが、本論文においては上記の2点により、高周波リンク電力変換を分類する。この場合、高周波リンクは、ACとDCリンクが存在し、さらに回路中に共振タンクを有するか否かによって共振/非共振に分類が可能である。

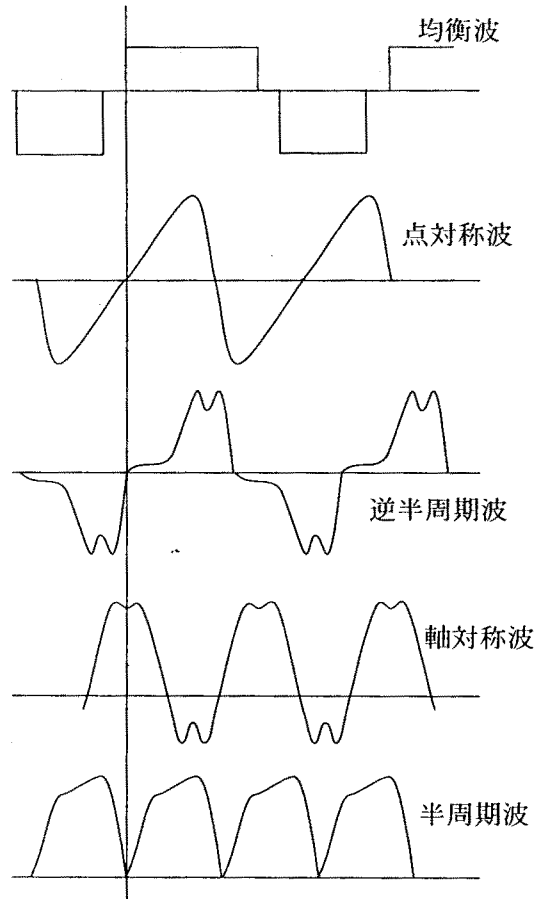


図2-7 周期波形

Fig. 2-7 Periodic waveforms

表2-1 周期波形の電力成分

Table 2-1 Frequency components in periodic wave

種類	条件	直流成分	sin成分		cos成分	
			奇数次	偶数次	奇数次	偶数次
均衡波		無し				
点对称波	$c(t)=-c(-t)$	無し	無し	無し		
逆半周期波	$c(t)=-c(t+T/2)$	無し		無し		無し
軸対称波	$c(t)=c(-t)$				無し	無し
半周期波	$c(t)=c(t+T/2)$		無し		無し	

2-4 高周波共振DCリンク電力変換

2-4-1 高周波共振DCリンク回路の構成と動作波形例

高周波共振DCリンク (RDCL:Resonant DC Link) 方式では、先に述べたようにDCリンク部の電圧がパルス列となるため、パルス密度変調(PDM:Pulse Density Modulation)制御が行われる。そのため必ずしも十分な制御精度が得られないと言った点で問題が指摘されている。最近ではインバータ/コンバータ部のスイッチング動作時のみRDCL回路を動作させ、PWM制御機能を有する電圧クランプ形の部分共振DCリンク(QRDCL:Quasi-Resonant DC Link)回路も種々提案されており、制御性能の向上や高効率化に有効であることが知られている^{[17]~[20]}。

QRDCL方式は、制御性能の向上が要求されたため、図2-8に示すようにPDMを基本とするRDCL回路より、発展形としてPWM制御可能な方式が生まれてきた。この図に示した回路構成は、比較的早期に提案/検討が行われてきたものである。回路的には基本となるPDM方式のRDCLにスイッチングデバイス、インダクタやキャパシタ等の能動・受動素子を所望の機能が得られるよう各ブランチに構成配置したものである。ここに示したものは、電力変換回路段においてZVSを実現するための電圧共振と称されるもので、電流共振形も構成可能であり一部に研究が行われている。本論文では、電圧形の電力変換が一般的であること、電圧-

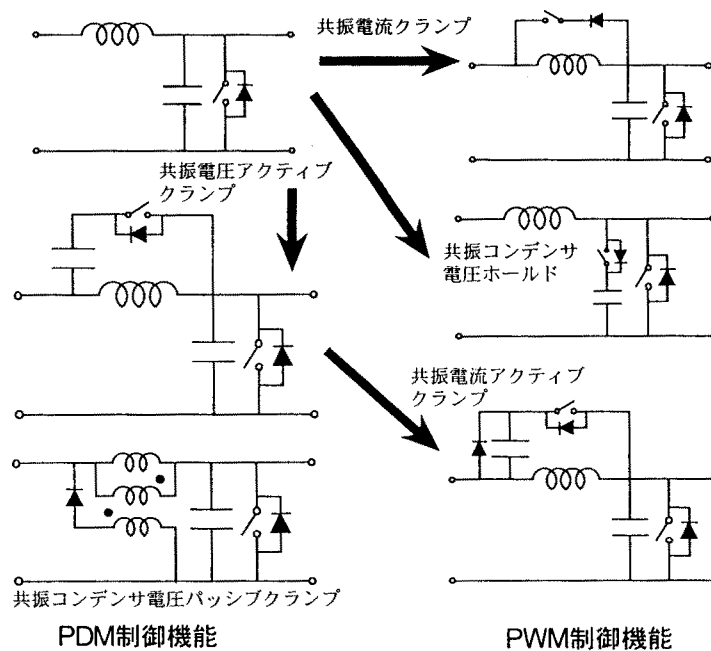


図2-8 高周波共振DCリンク回路の構成例

Fig. 2-8 Circuit configurations of high-frequency resonant DC link

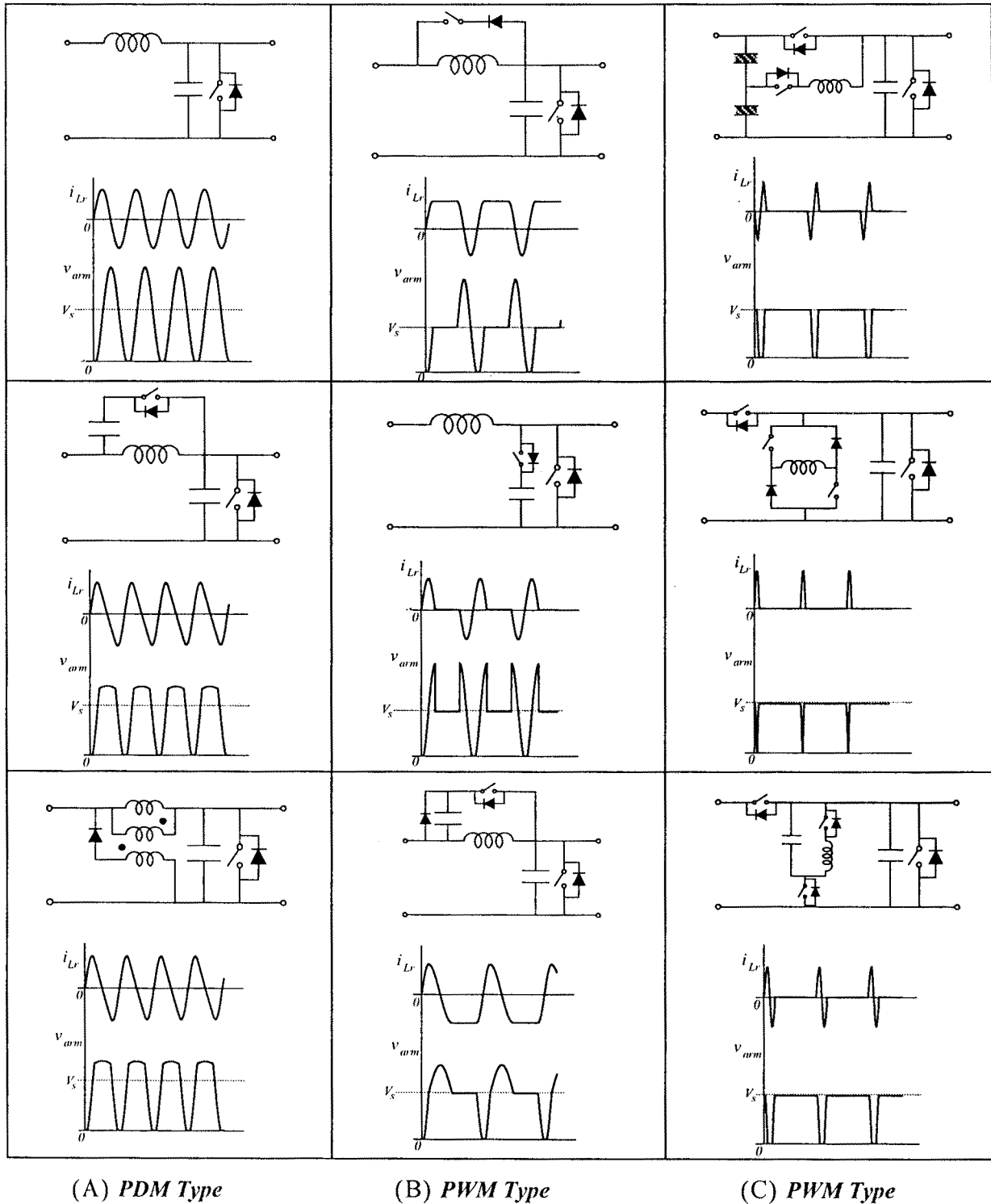


図2-9 高周波共振DCリンク回路の構成と分類

Fig. 2-9 Circuit configurations of high-frequency resonant DC link and its classifications

電流形への変換は双対性があることを考慮して電圧共振形に限って議論している。これらの方式は、共振電圧が主電力変換装置に印加されるため、電圧クランプ方式では電源電圧の1.4倍から2倍以下、それ以外の方式では2倍以上の耐圧を有するパワーデバイスが必要となる。又、共振インダクタ部には負荷電流に共振電流の重畳した電流が流れ続けるため、共振回路部に発生する損失の抑制が回路構成上の重要なポイントになる。

発生損失やシステムの信頼性の点から見れば、能動・受動素子の少ないことが有利であるが、RDCLに関する限り、制御性能などの機能面を重視した場合には構成要素数の増加は避け難い。従って、機能面が重視される場合には回路構成は複雑化するが、電源電圧で入力端子電圧をクランプし完全なPWM制御機能を有するQRDCLの開発が重要視されている。現在までに提案された一般的なRDCL回路トポロジーとそのDCバスライン電圧は図2-13に示した通りである。同図(C)に記されているPWM制御タイプの回路方式は、共振電圧をクランプスイッチにより電源電圧に抑制する部分共振形のPWM制御を行う方式である。共振回路部の電流は、スイッチング時にZVSを実現する非常に短い部分共振期間のみパルス状に流れるため、共振DCリンク部における損失の発生についてはある程度の抑制効果が期待される。

2-4-2 高周波共振DCリンク回路の初期電流制御

前節で取り上げた共振DCリンク回路は、図2-10に示したように直流電源電圧とインバータなどの電力変換回路の中間段に4端子回路として設けられる。電力変換段への入力となる共振電圧はスイッチング動作により、図2-11に示すような基本共振回路を構成して、共振キャパシタのゼロクロス期間が必ず得られるように動作させ継続的なZVS動作を実現している。図2-11(a)は、基本的に図2-9でPDM方式とPWMタイプIに分類した方式が、(b)はPWMタイプIIの方式の基本回路構成に相当する。図2-11(a)と(b)回路のキャパシタ電圧初期値をそれぞれゼロ電圧と電源電圧 V_s とした場合、キャパシタ電圧波形は図2-12のようにゼロクロスした後再び初期条件に戻る連続波形となることが期待される。しかしながら、実際の回路ではインダクタ、配線の寄生抵抗成分やパワーデバイスによる電圧降下、さらには負荷電流による制動効果が共振エネルギーを減衰させ、図2-13に示すような減衰振動波形となり共振継続が行えなくなる。そこで、この減衰したエネルギー分を補うような制御を行う必要がある。この補償電流を与える制御を初期電流制御と称し、基本的に共振開始時にインダクタに短絡電流を与えておくことで負荷電流の影響を含めて一括補償する。これにより共振キャパシタの電圧

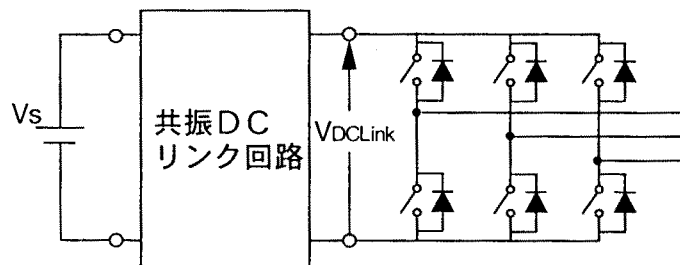
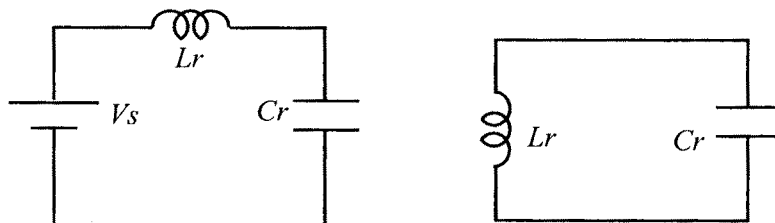


図2-10 高周波共振DCリンク電力変換装置

Fig. 2-10 High-frequency resonant DC link power conversion circuit

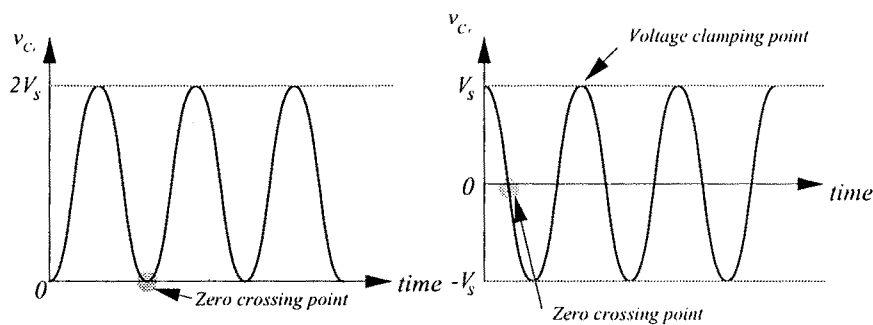


(a) 直列共振基本回路

(b) 並列共振基本回路

図2-11 共振DCリンク基本回路構成

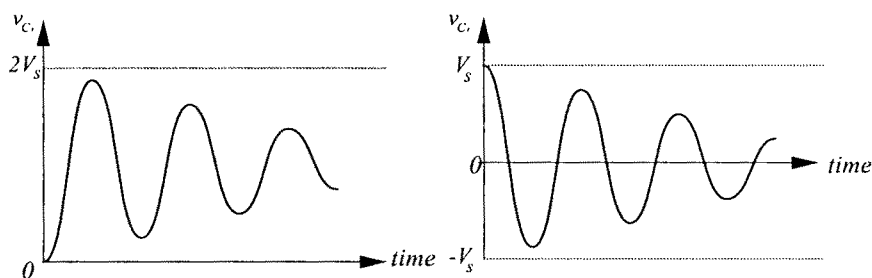
Fig. 2-11 Basic circuit configurations of resonant DC link



(a)直列共振基本回路のキャパシタ電圧 (b)並列共振基本回路のキャパシタ電圧

図2-12 共振DCリンク動作波形例

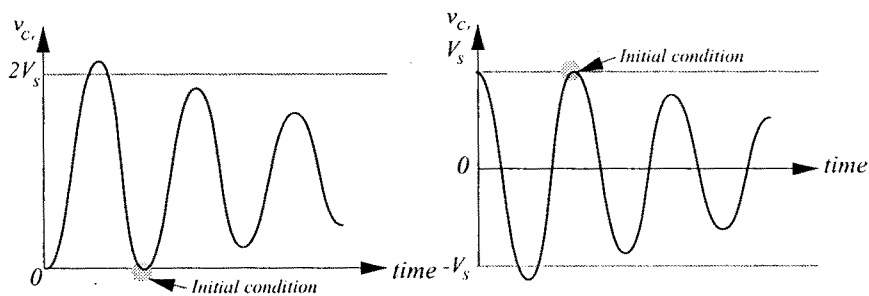
Fig. 2-12 Operating waveforms of resonant DC link



(a)直列共振基本回路の電圧波形例 (b)並列共振基本回路の電圧波形例

図2-13 共振DCリンク減衰波形例

Fig. 2-13 Operating waveforms of resonant DC link with damping factor



(a)直列共振基本回路の電圧波形例 (b)並列共振基本回路の電圧波形例

図2-14 初期電流補償時の共振DCリンク共振波形例

Fig. 2-14 Operating waveforms of resonant DC link with initial current

は、図2-14に示すようにZVS可能なゼロ電圧点が存在し、また電圧クランプに必要な電源電圧レベルまで共振するように制御される。

ここでは、負荷電流とその扱いを明確にせず議論しているが、これは一般に高周波共振系の電流の時間変化率は負荷電流と比較すれば極めて大きく、共振期間中において負荷電流は一定と仮定する事ができるためである。負荷が定電流と仮定することが可能な場合には、共振初期電流値は、共振回路の損失に相当するインダクタ電流に負荷電流を加えた電流値として与えられる。図2-15に、共振初期電流を与えたときの共振電圧最大値、電圧最小値を直流電圧源に対する比として示す。共振初期電流が大きいほど電圧ピーク値は大きくなり、共振回路の抵抗分による減衰分を補償する効果が大きい事が分かる。しかし共振キャパシタ電圧が昇圧(電圧を上げる)時に不必要に大きくなる、或いは降圧(電圧を下げる)時に小さくなりすぎる場合は、共振電圧・電流最大値が増大し損失やパワーデバイスへのストレスの増加につながる。このように、初期電流制御は、RDCL部の発生損失や動作の安定性に大きな影響を与えるため、最適な初期電流を与える手法・数値的検討が行われている^[26]。この場合の初期電流値は、電圧形インバータやコンバータなどの電力変換装置の各線電流値とスイッチングパターンにより演算され、センサを含む瞬時フィードバック制御系が一般に複雑となる。このように、負荷電流の状態をフィードバックして常に最適となる初期電流値を与える制御法を共振初期電流の予測制御と称している。

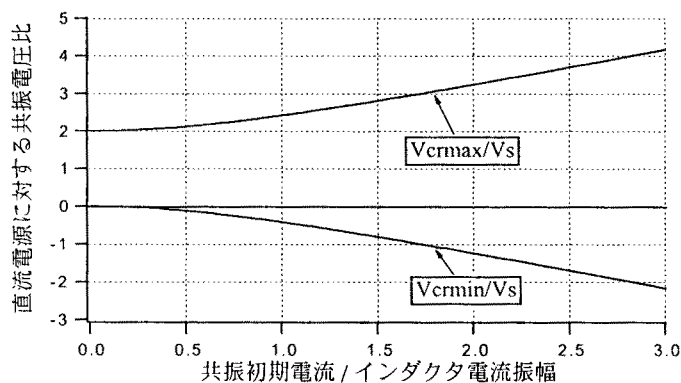


図2-15 初期電流による共振電圧昇/降圧比

Fig. 2-15 Resonant capacitor voltage boost-up and -down ratio with initial current

2-4-3 高周波共振DCリンク回路における共振初期電流の予測制御

初期電流制御時には、図2-16に示す様な回路モードにより共振インダクタを電源短絡してインダクタに共振初期電流 I_{Co} を与える。ここで S_{inv} はインバータアームのスイッチ、 S_c は共振キャパシタ電圧を電源電圧にクランプし負荷に電源を供給するクランプスイッチである。並列共振回路のスイッチ及びダイオードはキャパシタ電圧ゼロ時にインダクタに蓄えられたエネルギーの経路をキャパシタ電圧を昇圧する方向に変更するためのものである。直列共振回路の場合はキャパシタ電圧初期値がゼロ、並列共振回路の場合はキャパシタ電圧初期値が V_s でありインダクタ電流は、各々

$$i_{Lr}(t) = \frac{V_s}{L_r} t + i_{Lr}(t_0) \quad : i_{Lr}(t_0) \text{は電流初期値} \dots\dots\dots (2-1)$$

の様に直線的に増加する。前述のように共振初期電流 I_{Co} は必要最小限に制御する必要があるが、そのためにはインダクタ電流を検知し

$$i_{Lr}(t) = I_{Co} - I_0 \quad : \text{並列共振回路(降圧モード)} \dots\dots\dots (2-2)$$

$$i_{Lr}(t) = I_{Co} + I_0 \quad : \text{直列共振回路(昇圧モード)} \dots\dots\dots (2-3)$$

となった時にインバータアームを所定のスイッチングパターンに変更し、或いはクランプスイッチをオフして共振を開始し共振初期電流を一定値に制御している。但し、 I_0 は負荷側に流れ出す電流で三相インバータ回路の場合には各相電流を i_a 、 i_b 、 i_c としインバータアームの上側がオンの時には1、下側アームのスイッチがオンの時には0とする2値のスイッチング関数 S_a 、 S_b 、 S_c より

$$I_0 = S_a i_a + S_b i_b + S_c i_c \quad \dots\dots\dots (2-4)$$

として表される。この時のスイッチング関数は初期電流制御開始時のスイッチングパターン

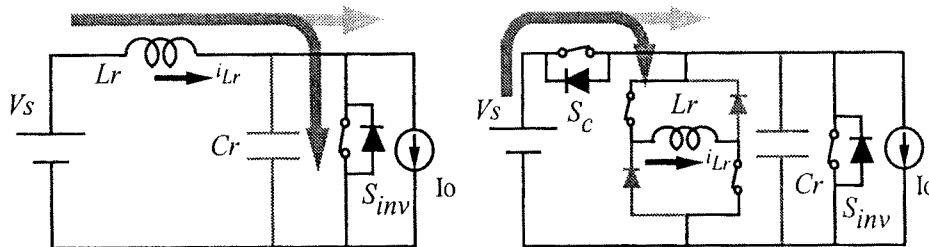


図2-16 共振初期電流制御時の回路状態

Fig. 2-16 Circuit operation in the initial current control

ンではなく、ZVS後に変更が予定されているスイッチングパターンである。以上のようにインバータDCバスラインから見た負荷電流分はスイッチングパターンにより変化するため、共振DCリンク系を安定に動作させるには、図2-17の様にインバータ出力電流をフィードバックし初期電流を制御する必要がある。この制御は共振初期電流予測制御と称され、入出力電流をフィードバックしてスイッチングパターンにより負荷電流相当分の瞬時計算を行うため、制御系を複雑にするという点が問題である。

しかしながら、現在提案され検討がなされているRDCL方式では、原理的に共振初期電流の予測を必要とするものであり、制御系全体が複雑化することは避けられない。ここで、共振初期電流予測制御が不要な共振系を構築できれば図2-18の様に共振系を負荷側と独立して制御でき、従来のハードスイッチングインバータへの導入が容易に行え産業応用上のメリットは明らかである。

以上、共振DCリンク回路の基本動作原理をまとめると次のようになる。

- 共振一周毎にエネルギー減衰分を補償するため、共振初期電流を与える。
- 負荷の変化に対し安定した共振動作を行うために、負荷電流とスイッチングパターンにより瞬時計算を行う共振初期電流予測制御を行う。

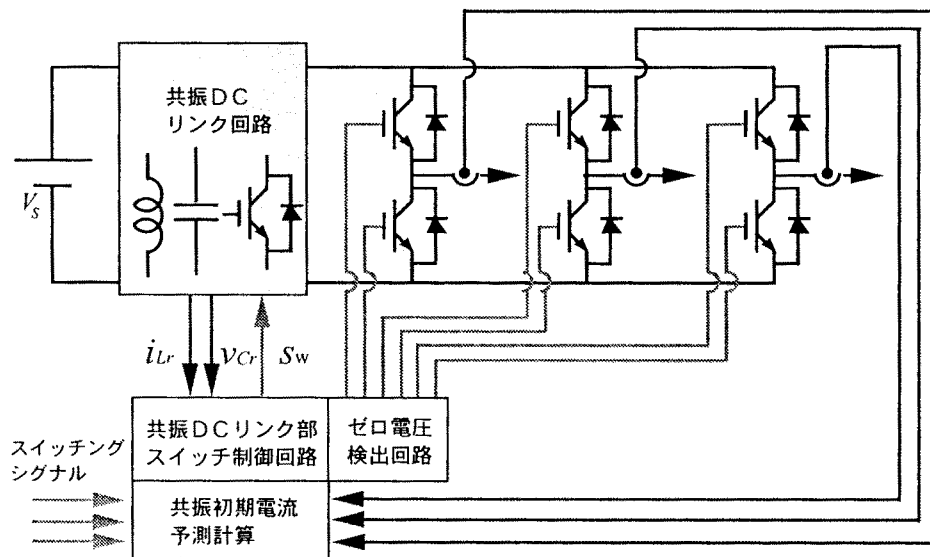


図2-17 共振DCリンクにおける初期電流予測制御ループ

Fig. 2-17 Initial current predictive control loop in RDCL

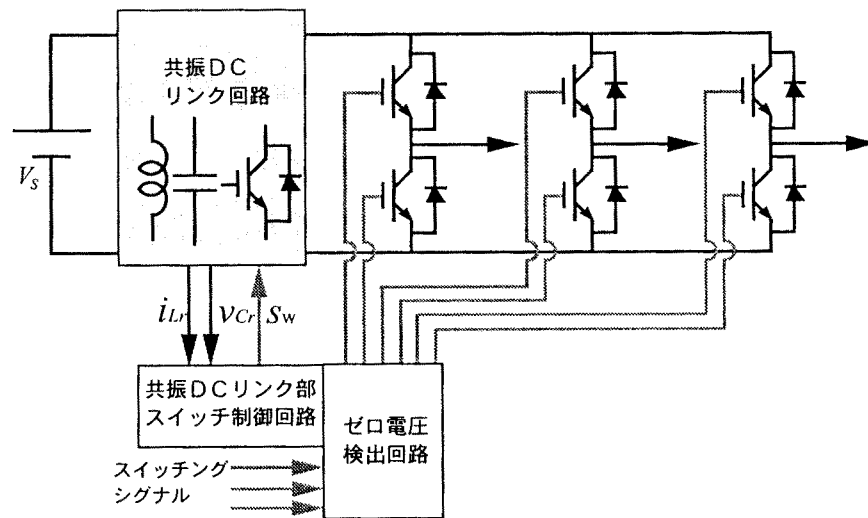


図2-18 共振初期電流予測制御ループレスRDCL電力変換回路

Fig. 2-18 RDCL power conversion circuit without resonant current control

2-5 結言

高周波スイッチング電力変換における利点と問題点について述べ、高性能電力変換システム実現にはZVS/ZCSスイッチングを導入した新しい回路方式の採用が非常に重要であることを指摘した。その回路方式の一つとして注目されているZVS/ZCSスイッチングによる高周波リンク電力変換とその特徴について述べると共に、それらが回路方式と電力形態により高周波ACリンクと高周波DCリンクに分類可能であることを説明した。そして高周波共振DCリンクによる方式はソフトスイッチング可能でかつ高性能な電力変換システム実現に有効な一方式であることを示した。

この方式は、RDCL回路の寄生抵抗成分やパワーデバイスによる電圧降下、さらには負荷電流による制動効果が共振エネルギーを減衰させ、ZVSが維持不可能となるという共通の問題点があることを指摘した。そして、これを解決するために必要な初期電流予測と称される補償制御系の補償原理について述べた。

RDCLは電力変換器に設けられた共振キャパシタの蓄積電荷の処理を速やかに、かつ効率良く行うことが設計段階における重要なポイントとなる。従って構成要素として飽和電圧の低いIGBT, MCT等の新形デバイスや新素材を用いたインダクタ/キャパシタを適切な配置で導入してゆくことが実用化に向けての検討課題である。使用される構成要素数などコストに関

係する面も大きいですが、エネルギー回生形のスナバー回路などと比較しても得られる効果の大きいことから評価に値する点が多いと考えられる。そして適用回路の選定は、ZVS化が必要となる電力変換装置の電力容量と応用上に要求される機能面よりなされていくものと考えられる。

第3章 高周波トランス補助転流方式部分共振DCリンク

3-1 緒言

前章において高周波スイッチング電力変換における利点と問題点について述べるとともに新しい電力変換回路方式として注目されている高周波DCリンク電力変換とその特徴について述べた。そしてこれらの方式に共通する点として、初期電流予測と称される補償制御系が必要となることを指摘し、その原理について述べた。共振DCリンク系の負荷依存性を除き、共振中のエネルギー損失を補償可能な回路が実現できれば制御回路の構成は、単純な信号の受渡しのみで動作しシステムの簡素化につながる。

そこで、共振初期電流制御を行うRDCL回路の動作が昇降圧(電圧を上げる或いは下げる)動作に他ならないことに着目し、新しく設けた高周波トランスによりこれを代用させ、初期電流予測制御を不要とした「高周波トランスを用いたQRDCL(以下TQRDCLと称す)回路トポロジー」を提案してきた。従来のRDCL諸方式のうちでも、高周波トランスを用いて共振キャパシタ電圧のパッシブクランプを行う方式²³⁾や補助共振部の電流のピークカットを目的としたオートトランスを用いるZVS方式¹⁹⁾が提案されている。しかしこの方式は、電圧あるいは電流のピークカットを目的として開発されたものであるため、初期電流予測制御が必要となる点において、原理的には従来方式と同じRDCL回路トポロジーであるといえる。

ここでは、RDCL回路方式として従来にない特徴を有するTQRDCLファミリーを提示し、その回路動作と特徴について述べる。また、このファミリーにとって重要な回路要素である高周波トランスの設計法について検討する。

3-2 高周波トランス補助転流方式部分共振DCリンク回路トポロジー

3-2-1 基本動作原理と特徴

TQRDCLの基本回路構成を図3-1に示す。TQRDCLは、基本的なRDCL回路における共振インダクタ部に高周波トランス1次側 (L_{T1}) を、キャパシタに並列に2次側 (L_{T2}) を設けたものであり、高周波トランスの漏洩インダクタンスによって共振動作する。高周波トランスの結合係数 k が非常に高く理想トランスと見なせる場合には、共振インダクタを設ける必要があるが、設置場所については1次/2次側のいずれの場所でも動作に違いはない。共振動作時において、等価負荷電流 I_o の変化分はじょう乱となるがその変化の周波数成分はTQRDCL回

路の固有共振周波数と比較して十分に低く、過渡時における電流変化率は微小であるとして、 I_o を電流源と仮定する。

図3-2(a)は基本回路構成において電圧・電流の初期条件をゼロとして高周波トランス側端子に直流電源電圧 V_s をステップ入力したときの共振キャパシタ電圧の過渡応答波形例である。また、図3-2(b)は、初期条件として共振キャパシタ電圧を V_s として動作させたときの共振電圧波形例を示している。これらの波形例より、共振キャパシタ電圧の振幅は、高周波トランス1次側及び2次側のインダクタンス比、つまり高周波トランスの巻数比によって決定されることがわかる。

この動作原理をRDCL回路に適用することにより、図3-3(a)に示す回路が構成される。この回路は、図3-1の基本回路構成に共振キャパシタ電圧のアクティブクランプと直流電源電圧のバイパスに用いるパワーデバイス S_c を設け、さらに共振モードを制御する補助パワーデバイス S_{AX} を付加したものである。實際上、図3-3(a)におけるZVS制御用スイッチの全てがパワーデバイスである必要はない。従って、

図3-3(a)は同図(b)~(d)に示す回路トポロジとして構成・実現される。

タイプ1(同図(b))の回路トポロジにおいては、回路構成から明らかなように $L_{T1} < L_{T2}$ の条件に設定した場合、共振キャパシタ電圧の昇降圧時の双方において高周波トランスが昇圧トランスとして有効に作用し、共

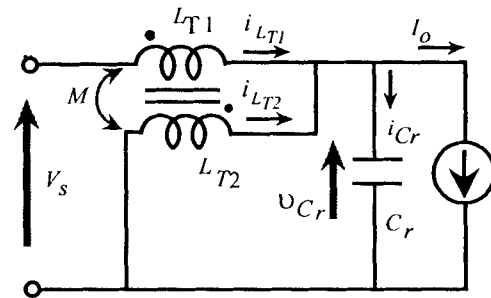
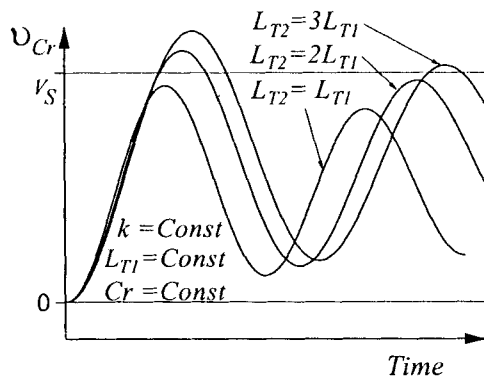
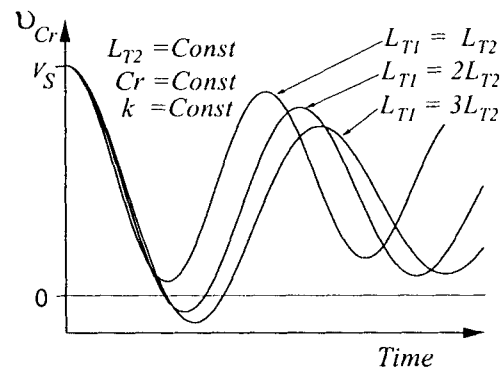


図3-1 トランス共振DCリンクの基本回路構成
Fig.3-1 Conceptual circuit topology of TQRDCL



(a) キャパシタ電圧昇圧時



(b) キャパシタ電圧降圧時

図3-2 トランス共振DCリンクの共振キャパシタ電圧波形例

Fig.3-2 Operating voltage waveforms of TQRDCL resonant capacitor

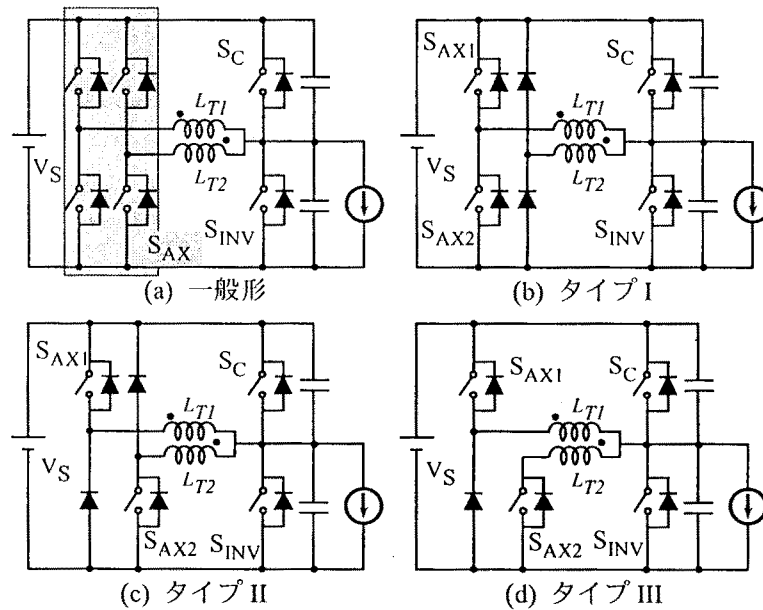


図3-3 提案TQRDCL回路トポロジーの諸形式

Fig.3-3 Proposed TQRDCL circuit topologies

振初期電流の制御を行う必要がない。これに対して、タイプII、IIIの回路においては、高周波トランスが共振キャパシタ電圧昇圧時もしくは降圧時のいずれか一方においてのみ昇圧トランスとして作用することになる。従って、高周波トランスの巻数比を選定するにあたっては昇/降圧時のいずれを共振初期電流制御不要に設定するかという点が重要となる。

TQRDCL方式に使用される高周波トランスは、以下に述べる理由により $L_{T1} < L_{T2}$ の条件に設定する。

■RDCLにおける共振初期電流の制御は、必要な初期電流がインダクタに蓄積されるまで、共振キャパシタのゼロ電圧期間において短絡用スイッチあるいは電力変換装置のスイッチを上下アーム短絡状態とすることで行われる。この時、RDCL回路と負荷系はスイッチ短絡により分離された状態であるので、RDCL側で I_o を直接検出する手段がない。

■QRDCL方式の場合、初期電流の制御は共振キャパシタ電圧が電源電圧にクランプされた状態下で行われる。そして、インダクタに蓄積される電流は、共振キャパシタ電圧をゼロクロス終了後に再び電源電圧まで復帰させるために必要な電流値に制御される。スイッチングパターンが変更される前の初期電流制御時において負荷電流はパワーデバイス S_c により供給されているため I_o は直接検出可能である。しかしながら、ゼロ電圧状態でスイッチングパターンが変更された後の I_o を検出することは不可能である。

上記の2点が原因となり、RDCL、QRDCLの双方とも、負荷電流の予測制御によらずに適

切な初期電流値を与えることはできない。

TQRDCLはQRDCLの一方式であり、共振キャパシタ電圧の降圧時には I_o が検出可能であるため、昇圧時に初期電流が不要となるよう高周波トランスを設定すれば負荷電流予測のためのフィードバック制御系を設ける必要がない。従って、TQRDCLトポロジータイプII、IIIの回路は、共振キャパシタ電圧の昇圧時において確実に電源電圧レベルに達するように高周波トランスを $L_{T1} < L_{T2}$ の昇圧条件に調整する。また、降圧時に必要な初期電流値は、パワーデバイス S_c に流れる電流が、TQRDCLに固有の共振パラメータによって決定される一定値となるように制御すれば良いため、比較的簡単な制御系で安定に動作する。

この初期電流を一定値に制御する方式は、初期のRDCL回路ファミリーにおいて採用されてきたL-C共振系に固有の初期電流分と定格負荷電流との合計値を予め共振初期電流として与える方式とも異なる。ここではTQRDCLにおける初期電流制御をクランプ終了時電流制御と称し、その電流値をクランプ終了時電流 I_{CQ} として新たに定義する。この時の I_{CQ} の値は、先にも述べたように、負荷電流とは無関係であり、高周波トランスの漏洩インダクタンスと共振キャパシタンスによって決まる一定値が I_{CQ} となる。 I_{CQ} は後述する高周波トランスの設計法において詳しく述べるように最適値が求められる。

これらの新しいRDCL回路ファミリーは、以上の動作原理からもわかるように次に示すような特徴を有している。

- TQRDCL回路は、後段に接続される電圧形PWMインバータ等の主電力変換装置のスイッチング時にのみ部分共振動作する。従って、TQRDCL部と主電力変換装置を比較した場合、TQRDCL部の処理電力は小さい。
- 主電力変換装置への印加電圧は直流電源電圧 V_s でアクティブクランプされ、全てのパワーデバイスがZVS、ZCSのソフトスイッチング動作を行う。
- 負荷電流予測制御ループが必要ない。

以下、TQRDCLの動作と高周波トランスの設計について、タイプIとタイプIIIについて詳細に論ずる。これは、タイプIIがタイプIIIの回路にクランプ用のダイオードスイッチを付加した回路となっており、その動作と特徴に大きな差異はなく設計上同じ回路と見なせるからである。以降は簡単のため、TQRDCLのタイプIとIIIをそれぞれTQRDCL-IとTQRDCL-IIIと略記する。

3-2-2 高周波トランス補助転流方式部分共振DCリンク回路タイプIの動作

TQRDCL-Iの状態変数とその極性を図3-4に示したように定義する。この時、TQRDCL回路の負荷は、等価電流源 I_0 としている。

回路動作は、図3-5のスイッチングシーケンスと動作原理波形に示すように、PWM制御期間から回生期間を含めた7区間に10の動作モードが発生する比較的簡単なモード遷移を行う。基本的には、TQRDCL-Iの動作時におけるモードは、図3-6に示すような回路条件に従って順次遷移する。しかし実際には、図3-7に示すように高周波トランスの励磁電流分や負荷電流により2つの高周波トランス巻線に流れる共振電流の極性が変化しさらに複雑な遷移を行う。しかしながら、QRDCL動作を行う場合の基本的な回路動作は、図3-5の動作モードで遷移するため以降の動作説明は特に断らない限り同図に従って行う。

図3-5の動作モードと遷移条件は一見すると複雑な動作に見えるが、各動作モードの遷移は共振現象に従って自然に変化しておりスイッチングシーケンスも極めて簡単である。

このスイッチングシーケンスには電圧形インバータなどのブリッジアームに相当する S_{INV} の制御信号は、

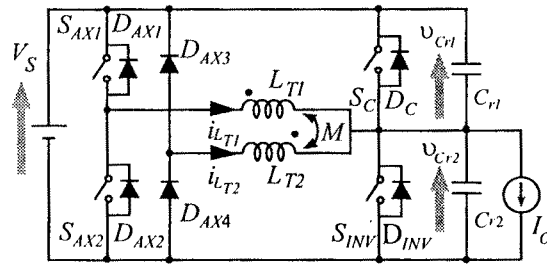


図3-4 TQRDCL-Iの状態変数と極性の定義
Fig. 3-4 Definitions of state variables and its polarities in TQRDCL-I

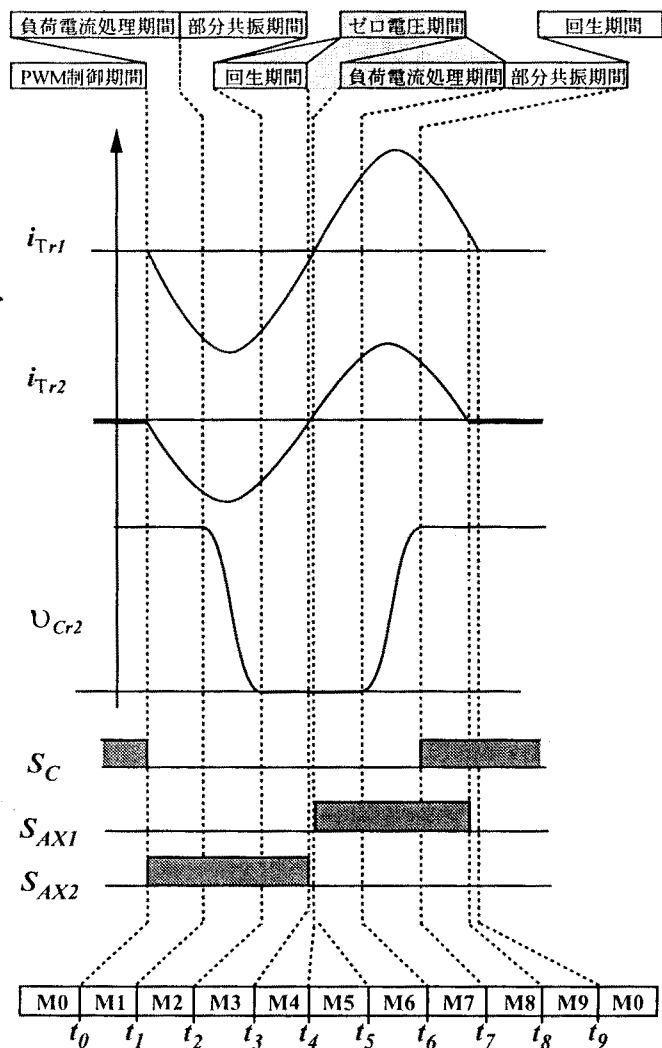


図3-5 動作波形例とスイッチングシーケンス
Fig. 3-5 TQRDCL-I operating waveforms and its switching sequences

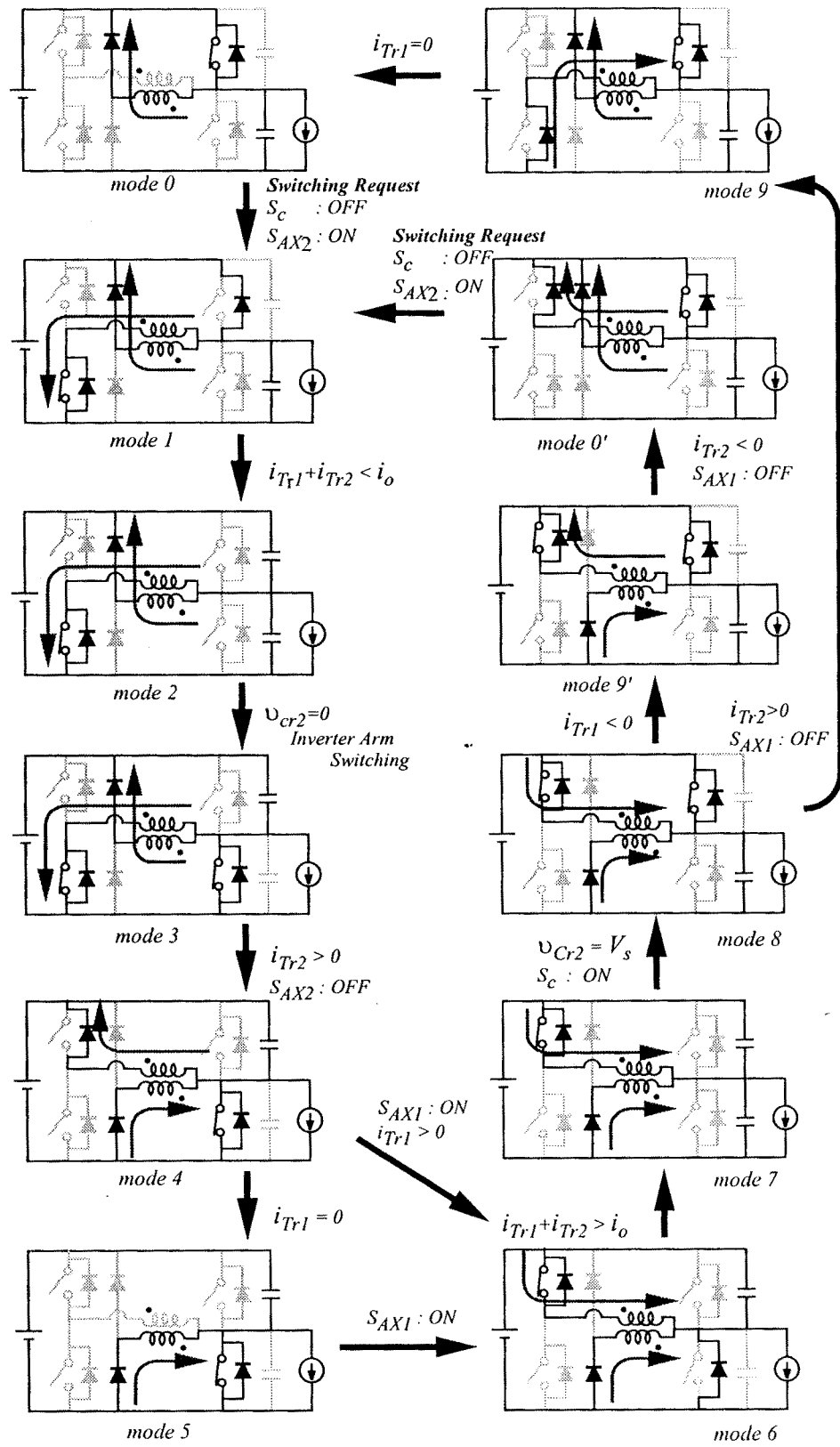


図3-6 TQRDCL-Iモード遷移図
Fig. 3-6 Operation mode transitions in TQRDCL-I

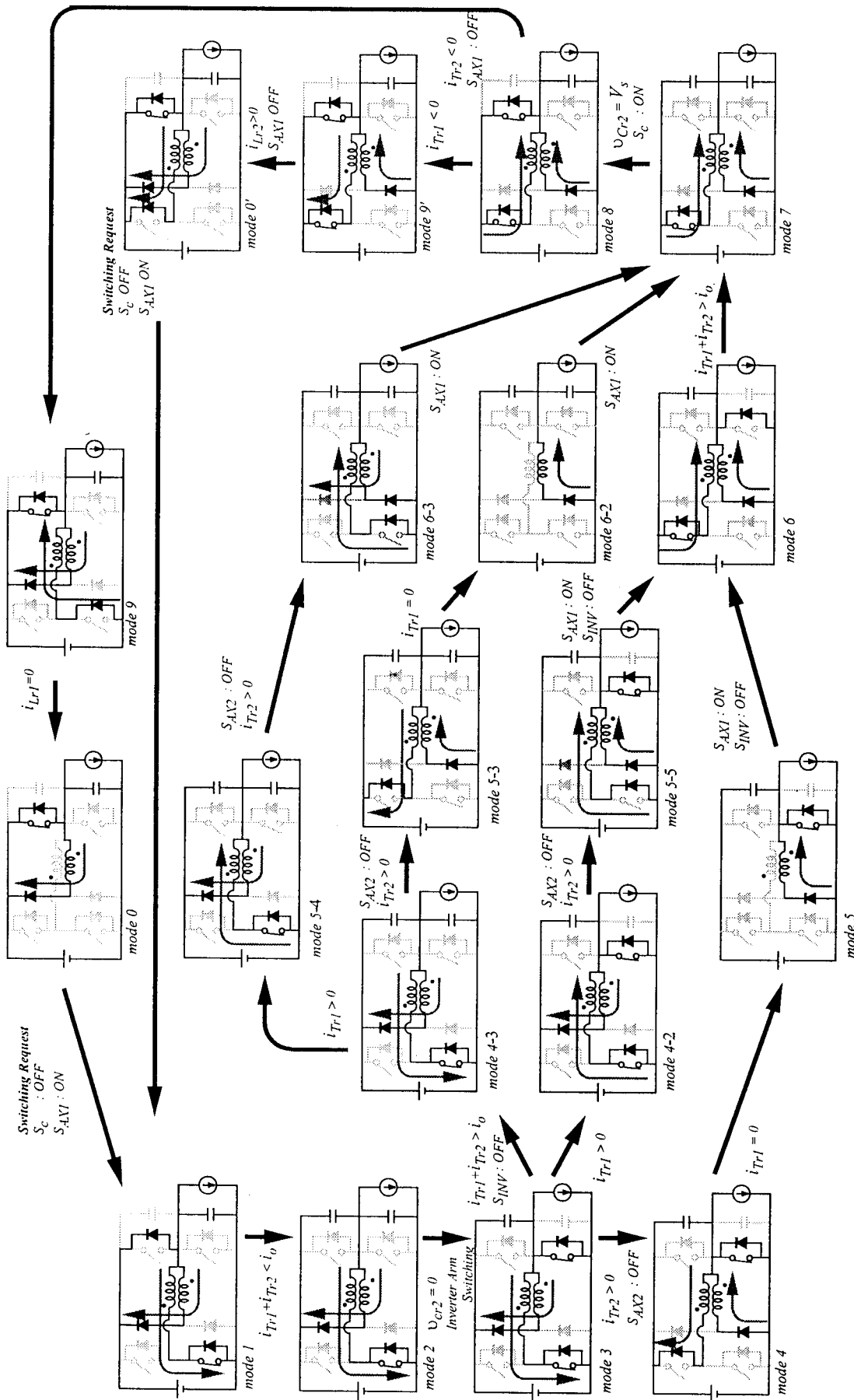


図3-7 TQRDCL-Iモーター遷移図

Fig. 3-7 Detailed operation mode transitions in TQRDCL-I

TQRDCL動作が負荷電流に影響されず、共振キャパシタ電圧がゼロであればスイッチング可能であるため記されていない。ただし、TQRDCL-Iは通常の共振DCリンクとは異なり、ゼロ電圧状態の時間制御が可能であるので、図3-7にはこの場合におけるモード遷移条件を含めて示している。以下、図3-5と図3-6に従って動作説明を行う。

PWM制御期間

<モード0> ($t < t_0$) PWM制御期間であり、直流電源電圧が、スイッチ S_c によって負荷に供給されている。このモードにおけるトランス2次側電流は、計算上存在するが値としては非常に小さな値で実際上はゼロ電流とみなせる。

負荷電流処理期間

<モード1> ($t_0 \leq t < t_1$) このモードの各状態変数の初期状態は、 $i_{LT1}(t_0)=0$ 、 $i_{LT2}(t_0)=0$ 、 $v_{Cr}(t_0)=V_s$ とし、共振DCリンクから流出する電流は電流源 I_0 と仮定する。また、スイッチ S_c はオンしており、他のスイッチはすべてオフしているものとする。時間 $t=t_0$ でスイッチ S_c をゼロ電圧スイッチングでオフ、スイッチ S_{AX2} をゼロ電流スイッチングでオンすることにより、トランス1次側電流は共振コンデンサ電圧が印加され直線的に変化する。トランス2次側の電流は、昇圧効果により電源電圧に回生電流となってダイオード D_{AX1} を通して流れる。スイッチ S_c の逆並列ダイオード D_c に流れる電流が時間 $t=t_1$ でゼロになると次のモードへ移行する。従って、 I_0 の極性が正(電流源の矢印の向き)もしくは値がゼロの場合には発生しない。このモードの持続時間は、電流源 I_0 の値および極性によって変化する。

部分共振期間:共振キャパシタ電圧降圧動作

<モード2> ($t_1 \leq t < t_2$) $t=t_1$ でキャパシタ C_r とトランスによる共振が開始される。共振キャパシタ C_{r2} の電圧が時間 $t=t_2$ でゼロに達するとダイオード D_{INV} がオンになり、次のモードへと移行する。

ゼロ電圧期間:回生動作

<モード3> ($t_2 \leq t < t_3$) この期間に主電力変換装置のスイッチングが行なわれ、ゼロ電圧スイッチングが達成される。トランス2次側の電流は、電源電圧に回生されているためトランス電流1次、2次の双方とも逆バイアス状態となりゼロ電流まで直線的に変化する。この時、ダイオード D_{INV} 端子間電圧がゼロのためダイオードが導通状態であり、主電力変換装置のスイッチングはゼロ電圧/ゼロ電流スイッチングとなる。

ゼロ電圧期間

<モード4> ($t_3 \leq t < t_4$) 時間 $t=t_3$ で2次側インダクタ電流 i_{LT2} がゼロになるとスイッチ S_{AX2} をオフする。この時微小の電流 i_{LT1} が流れており、スイッチ S_{AX1} の逆並列ダイオード D_{AX1} に転流される。この電流は、計算上微少であるためZCSと考えることができる。 i_{LT1} がゼロに達するとモード5に移る。

<モード5> ($t_4 \leq t < t_5$) 共振ポール動作を行う場合には、このモードによりゼロ電圧期間を調整することができる。実際には、QRDCL動作を行うため、直ちに S_{AX1} がターンオンされる。従って、このモードが存在するのは制御系の検出からドライブ回路に至る遅延時間もしくはデッドタイム期間のみ存在するモードである。

ゼロ電圧期間：負荷電流処理動作

<モード6> ($t_5 \leq t < t_6$) 時間 $t=t_5$ でスイッチ S_{AX1} をゼロ電流ターンオンする。この時、高周波トランス2次側は、共振キャパシタ電圧がゼロ電圧状態であるため短絡状態となる。これにより1次、2次側電流は直線的に変化する。時間 $t=t_5$ でダイオード D_{INV} を流れる電流がゼロになると自然に逆バイアス状態となり、電流は共振キャパシタに流入し始める。このモードは、モード1と同様に負荷電流値に依存する。この場合、先とは逆に電流値が負極性である場合には発生しない。

部分共振期間：共振キャパシタ電圧昇圧動作

<モード7> ($t_6 \leq t < t_7$) 高周波トランスに流れる電流値が負荷電流よりも大きくなると再び共振が開始され、キャパシタ電圧 v_{cr2} はゼロから電源電圧まで上昇していく。

回生期間

<モード8> ($t_7 \leq t < t_8$) 時間 $t=t_7$ でキャパシタ C_r の電圧が直流電源電圧 V_s に達するとスイッチ S_c の逆並列ダイオードがオンになる。スイッチ S_c をゼロ電流/ゼロ電圧状態でオンする。このモード中にトランスに流れる電流が電源に回生される。2次側電流 i_{LT2} が先に負となるとモード9、一次側インダクタ電流 i_{LT1} が先に負となるとモード9'へ移行する。

<モード9> ($t_8 \leq t < t_9$) 時間 $t=t_8$ で i_{LT2} がゼロになるとスイッチ S_{AX1} をゼロ電圧スイッチングでオフする。1次側電流は S_{AX1} の逆並列ダイオード D_{AX1} を通して回生され直線的に減少する。2次側は誘導起電力によってダイオード D_{AX3} を通して流れ始める。時間 $t=t_9$ でトランス一次側の電流 i_{LT1} がゼロになると、モード0へ移行する。

<モード9'> ($t_8 \leq t < t_9$) 一旦ゼロとなった1次側電流は、2次側に流れている電

流による逆起電力が発生しているため、再び D_{AX1} を通して流れ始める。しかし、2次側は逆バイアス状態であるので i_{LT2} は直線的に減少する。このモードは i_{LT2} がゼロ電流になるまで継続し、 i_{LT2} のゼロクロス時点で S_{AX1} をターンオフする。これにより動作モードは、モード0'となる。

<モード0'> ($t_9 < t$) 原理上、1次側にはわずかではあるが電流が流れているため、このモードの発生が考えられる。しかしながら、トランスの結合係数を高く設定するため、リーケージインダクタンスによる影響は小さく、ほとんど直ちにモード0もしくはモード1に遷移する。

3-2-3高周波トランス補助転流方式部分共振DCリンク回路タイプIIIの動作

TQRDCL-III回路の解析時における状態変数とその極性を図3-8のように定義する。図3-3(d)の回路構成と比較して、スイッチ S_c に並列に設けられていた共振キャパシタが除かれており、代わって補助スイッチ S_{AX1} に副共振キャパシタとして C_{r2} を設けた構成となっている点が異なる。しかし、回路動作は原理的に全く同じであり、なんら影響を与えることはないため、図3-8によって行われる以下の議論は、図3-3(d)のTQRDCL-III回路を取り扱ったものである。

この回路に図3-9に示すタイミングでスイッチング信号を与えたとき、図中に示した電圧/電流波形例が得られる。この回路の動作モードは、PWM制御期間と部分共振期間等の6区間に12の動作モードが存在する。ただし、先と同様に高周波トランスの励磁電流による影響等が無視できない場合には、動作モードは21に区分される。しかし、モード3～モード4の期間に i_{LT1} と i_{LT2} の電流極性の異なる条件が発生することにより、動作モードの区分が増加するだけであり、回路動作は自然に部分共振期間に移る。また、副共振期間として区分した期間が変動するが、高周波トランスの設計条件にも影響を与えることはほとんどない。したがって、これについては回路動作上無視して差し支えなく、図3-9では冗長となるため割愛している。詳細なモード遷移図を図3-10に示す。主たるモード遷移は、図3-10におけるモード0からモード11の12の黒い矢印で示したループで示されている。

TQRDCL-Iと同様に、一連の回路動作は一見すると複雑に見えるが、各動作モードは共振現象に従って自然に遷移しており、スイッチングシーケンスは極めて簡単である。このスイッチングシーケンスには電圧形インバータなどのブリッジアームに相当する S_{INV} の制御信号は記されていない。これは先にも述べたように、TQRDCL回路の動作が負荷電流の大きさ

や極性つまり、負荷条件とインバータ段のスイッチング状態に依存しないためである。スイッチングシーケンスはこの他にもTQRDCLのZVS特性を活かすような制御動作も可能であるが、ここでは制御回路を簡単化するため S_{AX1} と S_{AX2} は同時にスイッチングさせている。

動作波形例に示したように、 S_{AX1} のターンオフ時に流れるスイッチ電流は、完全なZCSとはなっていない。しかしながら、この電流は定格電流値と比較してごく小さな値であり、副共振コンデンサ C_{r2} により S_{AX1} の端子電圧の傾きが調整可能であることから準ソフトスイッチング動作として考える。その他のパワーデバイスにおいてもZVS或いはZCS動作が実現される。以下、各動作モードとその状態遷移条件について説明する。

PWM制御期間

<モード0> ($t_0 < t$) 直流電源電圧が、スイッチ S_C により負荷に直接与えられている。このモードを任意の時間設定することによりPWM制御が可能となる。 $t=t_0$ において、共振開始シグナルを受け取ることにより、ZVS動作が開始されクランプ終了時電流制御に回路状態が遷移する。

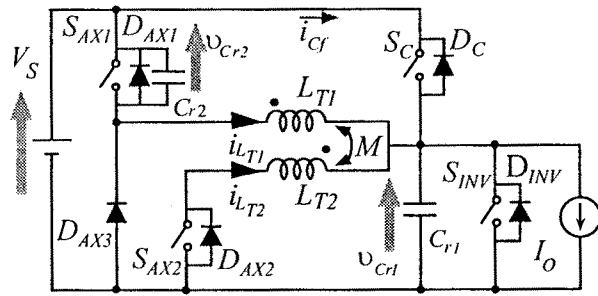


図3-8 TQRDCL回路の状態変数と極性の定義
Fig.3- 8 Definitions of state variables and its polarities in TQRDC-III

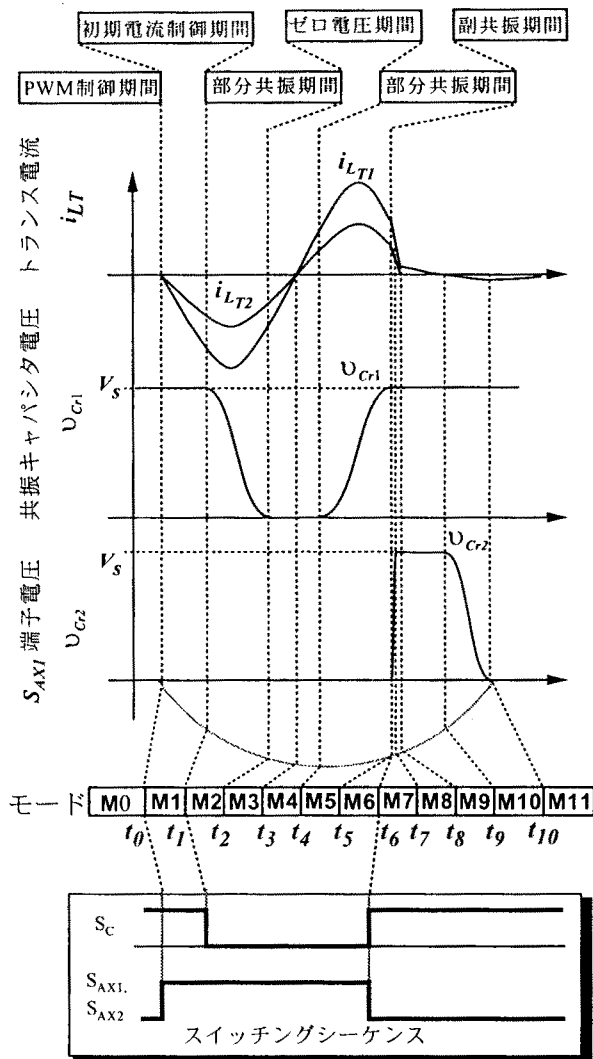


図3-9 動作波形例とスイッチングシーケンス
Fig. 3-9 TQRDCL-III operating waveforms and its switching sequences

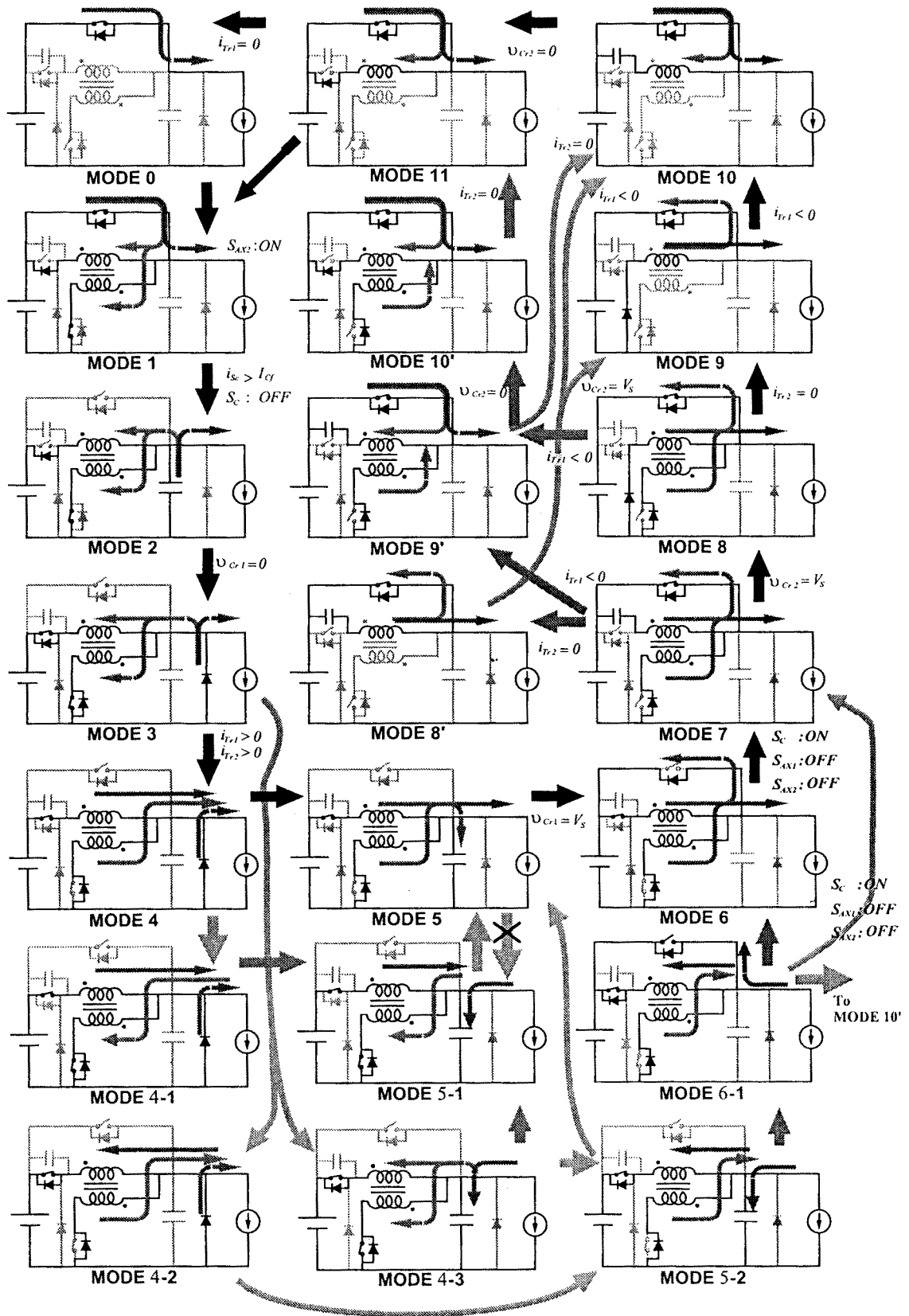


図3-10 TQRDCL-IIIモード遷移図
Fig. 3-10 Mode transitions in TQRDCL-III

初期電流制御期間

<モード1> ($t_1 \leq t < t_2$) 動作モード0より S_{AX1} 、 S_{AX2} をZCSターンオンさせクランプ終了時電流制御を行なう。高周波トランスの2次側は、スイッチ S_C がオン状態のため直流電源電圧 V_s が印加され、電流 i_{LT2} は直線的に負極性に増加する。この時、1次側の電流 i_{LT1} は、 S_C によって短絡状態となっているため2次側と同様に直線的に変化する。 S_C を流れる電流が、クランプ終了時電流 I_{Cr} に達した時点で S_C をZVSターンオフさせ、モード2(M2)に遷移する。但し、クランプ終了時電流に達する時間 t_1 は、このモードにおける負荷電流の大きさ及び極性によって変動する。

部分共振期間：共振キャパシタ電圧昇圧動作

<モード2> ($t_1 \leq t < t_2$) S_C がZVSターンオフすると回路動作は、部分共振モードとなり v_{Cr1} が減少する。 $t=t_2$ で v_{Cr1} がゼロ電圧に達するとダイオード D_{INV} が自然に導通し、次のモードに移る。

ゼロ電圧期間：回生動作

<モード3> ($t_2 \leq t < t_3$) この期間にTQRDCL後段の主電力変換装置のスイッチング動作がZVSモードで行われる。トランス1次側の電流は、 V_s に回生されるためゼロまで直線的に減少する。

ゼロ電圧期間：負荷電流処理

<モード4> ($t_3 \leq t < t_4$) トランスの電流($i_{LT1} + i_{LT2}$)は、その値が負荷電流値を越えるまで V_s とトランスの漏洩インダクタンスによって決る傾きで増加する。この間、負荷電流の余剰分($I_o - i_{LT1} - i_{LT2}$)は D_{INV} を流れており、 v_{Cr1} はゼロ電圧状態を保っている。なお、このモードは負荷電流がゼロまたは電力回生状態では発生しない。

部分共振期間：共振キャパシタ電圧昇圧動作

<モード5> ($t_4 \leq t < t_5$) 高周波トランスの電流が負荷電流値を越えると C_{r1} とトランスの漏洩インダクタンスによる部分共振が再び始まり、 v_{Cr1} は V_s まで昇圧される。 D_{INV} はゼロ電流状態から逆バイアスされ自然に消弧する。

副共振期間：共振電流回生動作

<モード6> ($t_5 \leq t < t_6$) v_{Cr1} が V_s に達すると D_C がターンオンする。この条件で S_C をZVSターンオンさせると同時に S_{AX1} と S_{AX2} をターンオフさせる。

<モード7> ($t_6 \leq t < t_7$) S_{AX1} に並列に設けられた副共振キャパシタ C_{r2} が共振状態となり、 v_{Cr2} は V_s まで昇圧される。

<モード8> ($t_7 \leq t < t_8$) v_{Cr2} が V_s に達すると D_{AX3} が自然にターンオンし、トランスの電流は V_s 側に回生される。

<モード9> ($t_8 \leq t < t_9$) i_{LT2} がゼロになると D_{AX2} がターンオフし、電流 i_{LT1} が直流電源に回生される。

<モード10> ($t_9 \leq t < t_{10}$) i_{LT1} がゼロになると D_{AX3} がターンオフし、 C_{r2} とトランス1次側のインダクタンス(L_{T1})による比較的低い周波数での部分共振状態となり v_{Cr2} は減少していく。

<モード11> ($t_{10} \leq t$) v_{Cr2} がゼロになると D_{AX1} が自然にターンオンする。この時、 S_C がオン状態であるため循環電流モードとなる。

モード11においては循環電流の発生が原理上予想されるが、計算上この電流値は非常に小さく、現実にはこれらモードは、ほとんど存在しないものと考えられる。従って、本TQRDCL回路の存在する動作モードは、PWM制御期間であるモード0を含む11モードの回路状態となる。

3-3 高周波トランスの設計

3-3-1 高周波トランスの巻数比の決定

TQRDCL回路に用いる高周波トランスは、共振キャパシタ電圧の昇圧を行う場合には、共振開始時におけるトランスに流れる電流、共振キャパシタ電圧の初期条件がゼロ状態であっても v_{Cr} を D_C でクランプ可能な電圧レベルである V_s 以上に昇圧することが必要である。また、共振キャパシタ電圧の降圧動作時には、先と同じようにトランス電流の初期条件がゼロ電流状態下であっても、共振キャパシタ電圧がクランプレベルである電源電圧 V_s よりゼロ電圧に確実に達するように設計せねばならない。さらに、実際応用上、損失・ストレスをなるべく低く抑えることが必要であるので、共振電流ピークが低くなるように設計することが望まれる。これらに加えて、TQRDCL-IIIにおいては回路構成上、共振キャパシタ電圧の降圧時には初期電流値として i_C を必要とするのでこれについても設計段階において十分な検討が必要である。図3-11は、TQRDCL回路の検討時に定義する回路の状態変数とその極性を示したものである。図3-11(a)は図3-1に示した原理図と同じであり、TQRDCL-Iの共振キャパシタ昇圧動作時とTQRDCL-IIIの昇圧/降圧の双方に使用される。図3-11(b)はTQRDCL-Iの降圧動作時の回路構成であり、 S_{AX2} と D_{AX3} の動作により高周波トランスの1次側と2次側の配置が変更され、初期電流制御を行わずに共振キャパシタ電圧のゼロ電圧状態が実現される。

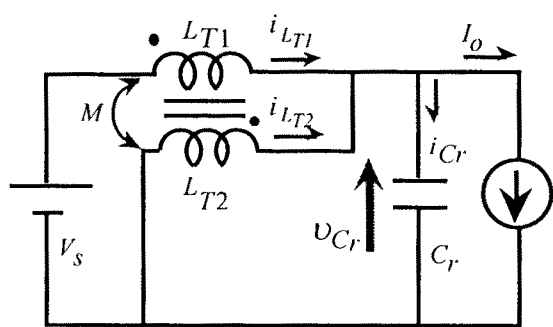
回路の部分共振モードにおける各状態変数は、それぞれ次式のように算出される。

共振キャパシタ電圧昇圧動作 - 図3-11(a)

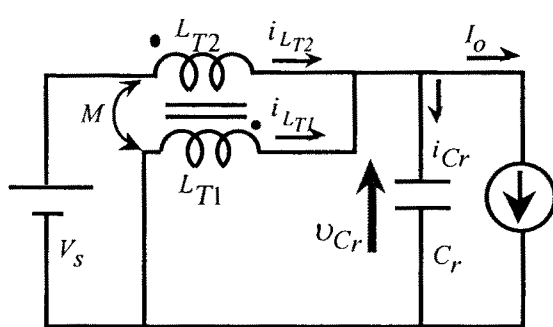
$$v_{Cr}(t) = \frac{(L_{T2} + M)V_S}{L_{T1} + L_{T2} + 2M} + \left\{ \frac{(L_{T2} + M)(v_{Cr}(0) - V_S)}{L_{T1} + L_{T2} + 2M} + \frac{(L_{T1} + M)v_{Cr}(0)}{L_{T1} + L_{T2} + 2M} \right\} \cos \omega_r t + \frac{I}{\omega_r C_r} I_{C0} \sin \omega_r t \quad \dots \dots \dots (3-1)$$

$$i_{LT1}(t) = \frac{(L_{T2} + M)^2 (V_S - v_{Cr}(0)) - (L_{T1} + M)(L_{T2} + M)v_{Cr}(0)}{\omega_r (L_{T1}L_{T2} - M^2)(L_{T1} + L_{T2} + 2M)} \sin \omega_r t + \frac{V_S}{L_{T1} + L_{T2} + 2M} t + \frac{(L_{T2} + M)I_{C0}}{L_{T1} + L_{T2} + 2M} (\cos \omega_r t - 1) + i_{LT1}(0) \quad \dots \dots \dots (3-2)$$

$$i_{LT2}(t) = \frac{(L_{T1} + M)(L_{T2} + M)(V_S - v_{Cr}(0)) - (L_{T1} + M)^2 v_{Cr}(0)}{\omega_r (L_{T1}L_{T2} - M^2)(L_{T1} + L_{T2} + 2M)} \sin \omega_r t - \frac{V_S}{L_{T1} + L_{T2} + 2M} t + \frac{(L_{T1} + M)I_{C0}}{L_{T1} + L_{T2} + 2M} (\cos \omega_r t - 1) + i_{LT2}(0) \quad \dots \dots \dots (3-3)$$



(a)昇圧動作時のTQRDCL回路構成



(b)降圧動作時のTQRDCL回路構成

図3-11 TQRDCL基本動作回路
Fig. 3-11 TQRDCL basic operating circuits

共振キャパシタ電圧降圧動作 - 図3-11(b)

$$v_{Cr}(t) = \frac{(L_{T1}+M)V_S}{L_{T1}+L_{T2}+2M} + \left\{ \frac{(L_{T1}+M)(v_{Cr}(0)-V_S)}{L_{T1}+L_{T2}+2M} + \frac{(L_{T2}+M)v_{Cr}(0)}{L_{T1}+L_{T2}+2M} \right\} \cos \omega_r t + \frac{I}{\omega_r C_{r1}} I_{C0} \sin \omega_r t \quad \dots\dots\dots (3-4)$$

$$i_{LT1}(t) = \frac{(L_{T1}+M)^2(V_S - v_{Cr}(0)) - (L_{T1}+M)(L_{T2}+M)v_{Cr}(0)}{\omega_r(L_{T1}L_{T2} - M^2)(L_{T1}+L_{T2}+2M)} \sin \omega_r t + \frac{V_S}{L_{T1}+L_{T2}+2M} t + \frac{(L_{T1}+M)I_{C0}}{L_{T1}+L_{T2}+2M} (\cos \omega_r t - 1) + i_{LT1}(0) \quad \dots\dots\dots (3-5)$$

$$i_{LT2}(t) = \frac{(L_{T1}+M)(L_{T2}+M)(V_S - v_{Cr}(0)) - (L_{T2}+M)^2 v_{Cr}(0)}{\omega_r(L_{T1}L_{T2} - M^2)(L_{T1}+L_{T2}+2M)} \sin \omega_r t - \frac{V_S}{L_{T1}+L_{T2}+2M} t + \frac{(L_{T2}+M)I_{C0}}{L_{T1}+L_{T2}+2M} (\cos \omega_r t - 1) + i_{LT2}(0) \quad \dots\dots\dots (3-6)$$

ここで、 I_{C0} は、

$$I_{C0} = i_{LT1}(0) + i_{LT2}(0) - I_o \quad \dots\dots\dots (3-7)$$

共振角周波数 ω_r は、

$$\omega_r = \sqrt{\frac{L_{T1}+L_{T2}+2M}{C_{r1}(L_{T1}L_{T2} - M^2)}} \quad \dots\dots\dots (3-8)$$

また、 $i_{LT1}(0)$ 、 $i_{LT2}(0)$ はそれぞれ高周波トランス2次側電流と2次側電流の初期値を、 $v_{Cr}(0)$ は共振キャパシタ電圧の初期値である。以上の状態方程式より、TQRDCLに用いる高周波トランスの回路定数を順次決定する。共振キャパシタ電圧の昇圧時における状態変数の初期条件は、 $v_{Cr}(0)=0$ 、 $I_{C0}=0$ であるので、 $v_{Cr}(t)$ は(3-1)式より、

$$v_{Cr}(t) = \frac{(L_{T2}+M)V_S}{L_{T1}+L_{T2}+2M} (1 - \cos \omega_r t) \quad \dots\dots\dots (3-9)$$

が得られる。(3-9)式より計算される $v_{Cr}(t)$ の最大値と V_S の比すなわち共振電圧昇圧比を定義し、これを ξ とすると

$$\xi = 2(L_{T2}+M)/(L_{T1}+L_{T2}+2M) \quad \dots\dots\dots (3-10)$$

となり、インダクタンス比の調整によって $\xi > 1.0$ が実現可能であることがわかる。

同様に、共振キャパシタ電圧の降圧時には、状態変数の初期条件が $v_{Cr}(0) = V_S, I_{C0} = 0$ であるので、 $v_{Cr}(t)$ は(3-4)式より、

$$v_{Cr}(t) = \frac{(L_{T1} + M) + (L_{T2} + M)\cos\omega_r t}{L_{T1} + L_{T2} + 2M} V_S \dots\dots\dots (3-11)$$

これより、共振キャパシタ電圧の最小値 v_{Crmin} は、

$$v_{Crmin} = \frac{(L_{T1} + L_{T2})}{L_{T1} + L_{T2} + 2M} V_S = (1 - \xi)V_S \dots\dots\dots (3-12)$$

となる。TQRDCLは $\xi > 1.0$ であるので、共振キャパシタ電圧のゼロクロスが確実に得られることが判る。ここで、高周波トランスのインダクタンスが巻数の2乗に比例するとして、電磁結合係数 k および、巻数比 α (1次:2次=1: α)を導入すると、 $L_{T2} = \alpha^2 L_{T1}, M = k\alpha L_{T1}$ となる。これらを用いて(3-10)式を書き換えると、

$$(\xi - 2)\alpha^2 + 2k(\xi - 1)\alpha + \xi = 0 \dots\dots\dots (3-13)$$

と変形でき、これより高周波トランスの巻数比 α は、

$$\alpha = \frac{-2k(\xi - 1) + \sqrt{4k^2(\xi - 1)^2 - 4\xi(\xi - 2)}}{2(\xi - 2)} \dots\dots\dots (3-14)$$

となる。ここで、結合係数 k のばらつきが昇圧比に大きく影響を与えるようであれば、高周波トランスの設計時に問題となる。この影響を示したものが、図3-12の結合係数をパラメータとする ξ - α 特性である。図に示すように大きく結合係数が変化する場合でも昇圧比へ

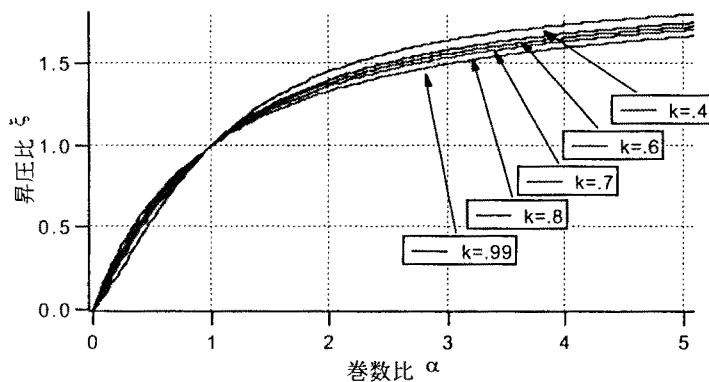


図3-12 TQRDCL回路の巻数比-共振キャパシタ電圧昇圧比特性
Fig. 3-12 Characteristics of the α - ξ in high-frequency transformer

の影響は小さく、共振キャパシタ電圧は高周波トランス巻数比 α により決定できることが判る。従って、TQRDCL設計時に必要となる共振電圧昇圧比 ξ が決定されれば、それに応じた高周波トランスの巻数比を求めることができる。

3-3-2 TQRDCL回路の動作周波数と共振キャパシタの決定

TQRDCL回路の動作中においては、主電力変換装置のスイッチング動作が行えないため、制御性に影響がでることが予想される。よって、TQRDCL回路の動作により、主電力変換装置の効率、制御性と言った総合あるいは基本性能に対して不都合を与えることのないTQRDCL動作周波数を選択する必要がある。言い替えれば、共振周波数は、主電力変換装置に求められる性能により決定される。

TQRDCL回路の共振周波数 F_r は(3-8)式より、

$$F_r = \frac{1}{2\pi} \sqrt{\frac{L_{T1} + L_{T2} + 2M}{C_r(L_{T1}L_{T2} - M^2)}} = \frac{1}{2\pi} \sqrt{\frac{1 + \alpha^2 + 2k\alpha}{\alpha^2 C_r L_{T1}(1 - k^2)}} \dots\dots\dots (3-15)$$

TQRDCL回路の共振パラメータ L_{T1} 、 k 、 α 、 C_r は、共振キャパシタ以外は高周波トランスの形状、磁芯材料、巻数等が決ればほとんど一定となり設計・製作上の変更調整の自由度が低い。このことから、設計上高周波トランスの L_{T1} 、 k 、 α を決定し、最終的に共振キャパシタ C_r により目的とする F_r に調整することになる。

即ち、(3-15)式より C_r は、

$$C_r = \frac{1 + 2k\alpha + \alpha^2}{4\pi^2 F_r L_{T1} \alpha^2 (1 - k^2)} \dots\dots\dots (3-16)$$

と求められる。

3-3-3 TQRDCL降圧動作時における共振電流値の評価

高周波トランスは、共振回路部に発生する損失を極力低減するため、共振電流ピーク値並びにTQRDCL-IIIの降圧モードにおいて必要となるクランプ終了時電流 I_{Cg} を低く抑えるように設計する。図3-13は図3-11(b)のTQRDCL回路動作時における共振電圧と高周波トランス電流の波形例を示したものである。同図に示したように、高周波トランスには漏れインダクタンスが存在するため、1次と2次の共振電流は完全に一致した波形となるのではない。漏れイン

ダクタンスにより、共振キャパシタ電圧が最小値 v_{Crmin} に達した時点での電流値 i_{LT1} 、 i_{LT2} には、偏差が発生する。

この偏差を、 i_{dif} とすると、

$$i_{dif} = \frac{2\pi V_S}{\omega_r(L_{T1} + L_{T2} + 2M)} \dots\dots\dots (3-17)$$

となり、これが大きくなるとTQRDCL-Iにおける動作モード3終了時に S_{AX2} のターンオフにより遮断される高周波トランス1次側電流が大きくなりソフトスイッチング特性から見て好ましくない。従って、この電流偏差分も低くなるような共振回路系を構成する必要がある。

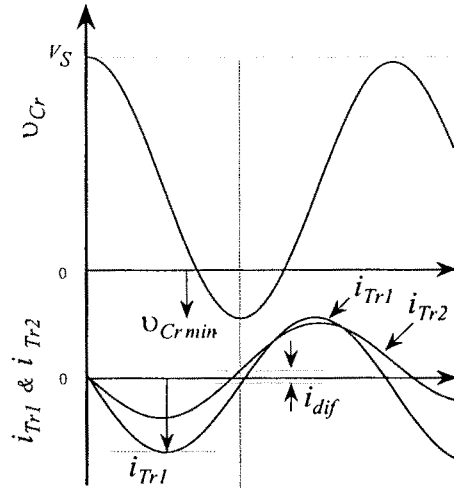


図3-13 共振電流の偏差の定義
Fig. 3-13 Definitions of the current differences between i_{LT1} & i_{LT2}

次に、回路損失に一番大きな影響を及ぼす共振電流のピーク値であるが、TQRDCL回路のインダクタンス比では $i_{LT1} > i_{LT2}$ となるため、ここでは1次側電流について考えればよい。1次側共振電流の最大値 i_{LT1max} は、(3-5)式において初期条件がゼロとすると、

$$i_{LT1max} = \frac{V_S}{\omega_r(L_{T1} + L_{T2} + 2M)} \left(\frac{\pi}{2} + \frac{(L_{T2} + M)^2}{L_{T1}L_{T2} - M^2} \right) \dots\dots\dots (3-18)$$

となる。

また、TQRDCL-IIIの共振キャパシタ電圧 v_{Cr} 、降圧時に必要となるクランプ終了時電流 I_{Cf} は、(3-4)式において条件 $v_{Cr}(0) = V_S$ より求められる。即ち、

$$v_{Cr}(t) = \frac{(L_{T2} + M)V_S}{L_{T1} + L_{T2} + 2M} + \frac{(L_{T1} + M)V_S}{L_{T1} + L_{T2} + 2M} \cos \omega_r t + \frac{I}{\omega_r C_r} I_{C0} \sin \omega_r t \dots\dots\dots (3-19)$$

をゼロ以下に変化させるに必要な I_{C0} は、

$$I_{C0} \leq - \sqrt{\frac{C_r(L_{T2} - L_{T1})}{L_{T1}L_{T2} - M^2}} V_S \dots\dots\dots (3-20)$$

と求められる。この I_{C0} がクランプ終了時に与える初期電流値である。但し、本方式においては、パワーデバイス S_C に流れる電流を検出するため $I_{Cf} = -I_{C0}$ であり、これがTQRDCL-III

におけるモード1終了時において一定に保たれている状態では、 v_{Cr} のゼロクロスが保証される。

3-3-4 TQRDCL昇圧動作時における動作条件と共振電流値

TQRDCL回路においては、負荷電流が共振キャパシタ電圧の昇圧を促進する条件、つまり回生電流が発生している場合には、高周波トランスに流れる共振電流値の取り扱いに注意が必要となる。つまり、図3-11(a)の昇圧動作時において負荷電流の極性が負(回生)である場合には、(3-1)式より明らかなように共振キャパシタ電圧の昇圧がQRDCL動作と無関係に行われる。このため、(3-2)式と(3-3)式に示したように1次/2次側の共振電流ピーク値が減少する。この時の共振ピーク電流が負荷電流値を十分に上回る場合には問題がないが、これが下回る条件の場合にはTQRDCL制御系の電流検出回路がうまく動作せず問題が起こることがある。

TQRDCL-Iの場合には、共振制御スイッチが高周波トランス1次側であるので1次側の共振電流値が回路動作に非常に重要となる。同様にTQRDCL-IIIの場合には、制御スイッチが高周波トランス2次側であるので2次側の共振電流値が動作条件を満足しているか否かが重要となる。ここでは、主電力変換装置の電力回生時におけるTQRDCL回路動作と動作時に流れる共振電流値について検討する。

TQRDCL-IがQRDCL動作を行う場合には、基本的に主電力変換装置のスイッチング条件には無関係に動作を行う。従って、負荷が回生状態で図3-7に示した動作モード1からモード3への共振キャパシタ電圧の降圧動作を行い、回路がZVSが条件となつてから以降の動作が問題となる。モード3におけるトランス1次側の電流値は、モード1において回生電流を処理したため負極性に大きなピークを持つ波形となっている。この電流は電源側に回生され減少するが、電力変換装置側のZVS動作が終了した後に負荷電流が依然電源側に回生状態にある場合には、モード3よりモード4/3への遷

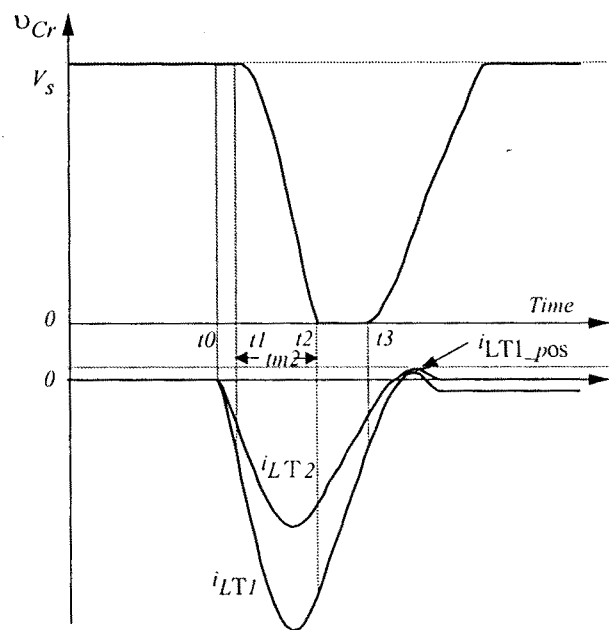


図3-14 共振電流 i_{LT1_pos} の定義

Fig. 3-14 Definitions of the current value i_{LT1_pos}

移条件が成立する。つまり、負荷電流が高周波トランス側の電流を越えるため、共振キャパシタに電流が流入しTQRDCL側の動作に無関係に昇圧されていく。高周波トランスの1次側電流がゼロクロスするより早くキャパシタ電圧が電源電圧に達した場合には、補助スイッチ S_{AX2} がオン状態であるので電源電圧が高周波トランスに印加されたままの状態が継続する。この時電圧の印加される方向は、高周波トランスの電流値を負極性に増加させる向きであるため、条件によっては再び電流が増加することになり補助スイッチをターンオフする条件を検出できないことになる。この場合、共振キャパシタ電圧の検出信号を優先しトランス1次側電流に無関係に回路条件を切り替れば、安定な動作は行われるが、共振電流値が管理できていないため完全なZCS条件が満たされることが起こり得る。従って、回生条件時における高周波トランス1次側電流は、常に共振キャパシタ電圧の昇圧期間中にゼロクロスするよう設定しておく必要がある。図3-14に回生条件下における、共振動作波形の一例を示す。

共振トランス1次側の電流値 $i_{LT1}(t)$ は、

$$i_{LT1}(t) = \frac{-V_s}{L_{T1} + L_{T2} + 2M} t + \frac{L_{T2}}{L_{T2} + M} I_{0max} + \frac{(L_{T1} + M)(L_{T2} + M)V_s}{\omega r(L_{T1}L_{T2} - M^2)(L_{T1} + L_{T2} + 2M)} \sin \omega r t \quad \dots \dots \dots (3-21)$$

ここで、 I_{0max} は電力変換回路側の回生電流最大値である。

よって、電力回生時の高周波トランス1次側電流の最大値 $i_{LT1-pos}$ は、

$$i_{LT1-pos} = \frac{-\pi V_s}{2\omega r(L_{T1} + L_{T2} + 2M)} + \frac{L_{T2}}{L_{T2} + M} I_{0max} + \frac{(L_{T1} + M)(L_{T2} + M)V_s}{\omega r(L_{T1}L_{T2} - M^2)(L_{T1} + L_{T2} + 2M)} \dots \dots \dots (3-22)$$

$$= \frac{-\pi V_s}{2\omega r L_{T1}(1 + 2k\alpha + \alpha^2)} + \frac{\alpha}{\alpha + k} I_{0max} + \frac{(1 + k\alpha)(\alpha^2 + k\alpha)V_s}{\omega r L_{T1}\alpha^2(1 - k^2)(1 + 2k\alpha + \alpha^2)}$$

で与えられ $i_{LT1-pos}$ をゼロ以上の正の値となるように設計する。

TQRDCL-IIIの場合には、 v_c が V_s に達した時点でトランス2次側電流が、常にゼロ以上の値になるよう設計しなければならない。これは、負荷条件などの影響によって2次側の電流が部分共振動作の終了以前にゼロとなった場合には、高周波トランスの2次側が開放状態と

なるためである。2次側が開放状態ではそれ以降の動作が、1次側のインダクタンスと共振キャパシタによる共振条件となるため、共振周波数が設計時より低い周波数側に大きく変動し、ZVS動作は行われるが所望の周期内で終了しなくなる。

特に、本論文で取り扱っているTQRDCL-IIIのように制御系を簡単化するために S_{AX1} 、 S_{AX2} が同時にスイッチングする設定である場合には、 V_S - S_{AX1} - L_{T1} - L_{T2} - S_{AX2} の短絡ループが形成され、ZVS動作自体も保証されなくなるので設計時には注意が必要となる。ここで、

v_{Cr1} が V_S に達した時点のトランス2次側電流を $i_{LT2}(t_{VS})$ とすると(3-3)式より、

$$\begin{aligned} i_{LT2}(t_{VS}) &= \frac{(L_{T1}+M)(L_{T2}+M)V_S}{\omega_r(L_{T1}L_{T2}-M^2)(L_{T1}+L_{T2}+2M)} \sin \omega_r t_{VS} \\ &\quad - \frac{V_S}{L_{T1}+L_{T2}+2M} t_{VS} + \frac{I_o}{1+\alpha} \dots\dots\dots (3-23) \\ &= \frac{(1+k\alpha)(\alpha+k)V_S}{\omega_r \alpha L_{T1}(1-k^2)(1+2k\alpha+\alpha^2)} \sin \omega_r t_{VS} \\ &\quad - \frac{V_S}{L_{T1}(1+2k\alpha+\alpha^2)} t_{VS} + \frac{I_o}{1+\alpha} \end{aligned}$$

と計算される。ここで、 t_{VS} は(3-9)式より、

$$t_{VS} = \frac{1}{\omega_r} \cos^{-1} \left(-\frac{L_{T1}+M}{L_{T2}+M} \right) = \frac{1}{\omega_r} \cos^{-1} \left(-\frac{(1+k\alpha)}{\alpha(\alpha+k)} \right) \dots\dots\dots (3-24)$$

と計算される。また、(3-23)式より明らかなようにTQRDCL回路の後段に設けられるインバータ等の負荷条件が回生状態で負荷電流 I_o が負極性である場合には、昇圧時における共振電流値をマイナスにシフトし、 $i_{LT2}(t_{VS})$ も結果としてこの電流分だけ減少する。

3-3-5 高周波トランスの設計手順

以上の結果を踏まえて、TQRDCL回路の設計を以下のように行う。

- (1) ソフトスイッチング化の対象となる電力変換システムの定格電圧/電流を決定する。
- (2) 高周波トランスによる v_{Cr1} の共振電圧昇圧比 ξ は、TQRDCL回路中に存在する寄生抵抗成分による共振キャパシタ電圧の減衰や、パワーデバイスの順方向電圧降下等の影響を考慮して1以上の適当な値となるよう決定する。
- (3) 共振キャパシタ電圧の共振電圧昇圧比 ξ よりトランスの巻数比 α を(3-14)式より計算する。
- (4) TQRDCL回路の共振周波数 F_r を選ぶ。これには主電力変換回路の定格電力や使用するパ

ワーデバイスにより適当な周波数を選ぶ必要がある。

- (5)使用する高周波トランスの磁芯の材質やコア形状及び巻線形状から電磁結合係数はある程度決定可能であるので、この段階で数値を決定しておく。
- (6)電力回生状態における v_{Cr} の昇圧モードを安定化するためTQRDCL-Iではトランス1次側電流の $i_{LT1_{rms}}$ 、またTQRDCL-IIIにおいては2次側電流値 $i_{LT2}(t_{Vs})$ をそれぞれ(3-22)と(3-23)式、(3-24)式より検討する。
- (7)この段階で1次側のインダクタンスは求められているので、(3-16)式より共振キャパシタの容量を決定する。
- (8) L_{TI} の最大値 $i_{LT1_{max}}$ とTQRDCL-IIIにおける共振キャパシタ電圧の降圧動作時であるモード1において必要なクランプ終了時電流 I_{Cf} の最小値 $I_{Cf_{min}}$ をそれぞれ(3-18)式と(3-20)式から計算する。

以上により得られた結果が、電力変換回路に現実的な値であり実現可能であるかを検討し、問題が発見されれば再度パラメータを変更して適当な数値例が得られるようなトランス設計を行う。

3-4 結言

共振初期電流制御を行うRDCL回路の動作が昇降圧動作に他ならないことに着目し、高周波トランスの昇圧機能により共振DCリンクの安定化を図る新しい部分共振DCリンク回路トポロジーを提案した。そして、RDCL回路方式として従来にない特徴を有するTQRDCLファミリーの回路動作と特徴について述べた。また、このファミリーにとって重要な回路要素である高周波トランスの設計法について検討した。その結果、高周波トランスの設計は理論的に可能であり、部分共振回路の特性と損失に影響する重要なパラメータである共振周波数・共振ピーク電流などを任意に評価・設計できることが明らかになった。

第4章 部分共振DCリンク回路部のシミュレーションと実験

4-1 緒言

本章では、先に提案し動作原理ならびに設計手順の検討を行ってきたTQRDCL回路の動作をシミュレーションと実験により確認する。先ず、高周波トランスの設計を手順にしたがって行い、理論的に検討/評価された条件で回路動作が行われることをシミュレーションにより確認する。次いで試作実験により、これまで検討してきたTQRDCL回路が原理通りに動作し、従来方式と比較してZVS電力変換応用に際して効果的に適用可能であることを確認する。

4-2 高周波トランス補助転流方式部分共振DCリンクのシミュレーション

4-2-1 タイプI用高周波トランスの設計

TQRDCL-Iの動作をシミュレーションにより確認する。回路のパラメータの決定は、先に設計法において述べた手順に従って行う。

- (1)ソフトスイッチング化の対象となる電力変換装置の定格を、3相整流回路より直流入力を得るものとして入力電源電圧280[V]、負荷電流は瞬時の負荷変動分を見越して25[A]とする。
- (2)共振電圧の昇圧比は共振回路内の抵抗、パワーデバイスに発生する飽和電圧(順方向電圧降下)による影響などを考慮して、20%の余裕を見るものとして $\xi=1.2$ とする。
- (3)共振キャパシタの共振電圧昇圧比 ξ より高周波トランスの巻数比 α を(3-14)式より決定する。
- (4)回路の共振周波数は、電力変換装置の出力波形生成精度を向上させるため制御不能となる共振状態を可能な限り発生させないために高く設定する。ただし、制御系での遅れや寄生パラメータの影響を受け難くする程度の周波数でなくてはならない。ここでは、試作装置に使用する検出部と制御系の遅れ等を考慮して $F_r=300$ [kHz]と定める。
- (5)使用する高周波トランスの磁芯材料、形状と巻線方法を、それぞれフェライトコア(TDK;H7C4)、ECコアを使用しバイファイラー巻とする。これを用いた場合、結合係数は非常に高く0.99以上が容易に得られる。ここでは計算上0.99が得られるものとする。
- (6)図3-14に定義した電力回生時における高周波トランス1次側電流の最大値 $i_{LTL_{PWS}}$ がどの程度

になるか検討する。実際には、逆に(3-22)式において $i_{L_{TL_pos}}$ がゼロとなる条件を計算することで、高周波トランスの1次側インダクタンスを求めることができる。同様に、 F_r が定められているので共振キャパシタの容量も決定される。

(7)高周波トランス1次側電流の最大値を(3-18)式より求め、回路上許容される範囲内にあるか検討する。この電流値が大きすぎるとTQRDCL部における損失が高くなる。この損失は電力変換回路の固定損失となるので、出力電力を絞った状態では変換効率を大幅に悪化させる要因となる。電力変換装置側の定格電流の2倍を越えるようであれば再検討を行う必要があると考えられる。

以上の手順によりTQRDCL系の回路設計は可能であるが、主電力変換回路の定格電圧/電流を決定すれば計算機により動作領域をグラフ化することは容易であるので視覚的な情報により、得られた値の妥当性を検討することができる。図4-1～図4-3は、TQRDCL-Iの高周波トランス1次側のインダクタンスを横軸として、定義された共振電流の値がどのように変化するかを示したものである。図4-1は、電磁結合係数 k をパラメータとして電流 $i_{L_{TL_pos}}$ がどのような値となるかを示している。図中のタグに示された値は、共振周波数300[kHz]と設定したときの共振キャパシタの容量を示したものである。先に述べたように、 $i_{L_{TL_pos}}$ がゼロ以上の値となる高周波トランスがTQRDCL-Iの動作条件を満たす。また、この時の $i_{L_{TL_max}}$ が過大とならないように注意することが必要である。図4-3に示した共振電流のゼロクロス時に発生する1次-2

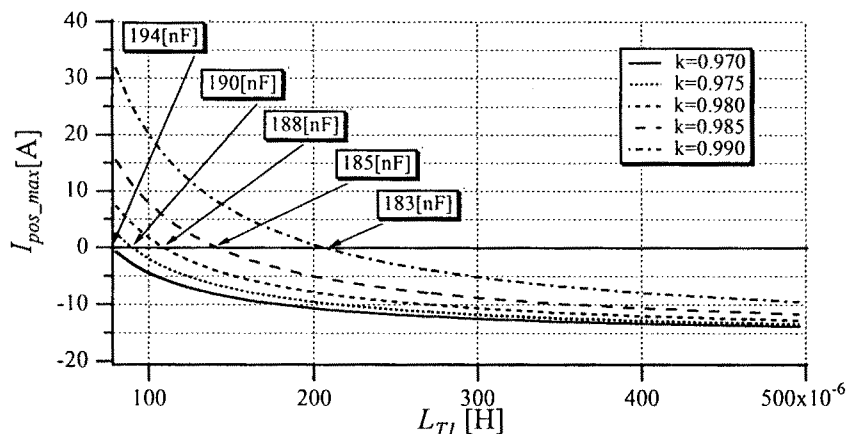


図4-1 高周波トランスインダクタンス L_{Tl} に対する $i_{L_{TL_pos}}$ 特性

Fig. 4-1 Characteristic curves between transformer inductance and $i_{L_{TL_pos}}$

次電流間の偏差を示す i_{dif} は結合係数にあまり影響を受けないため、 $k=0.97$ での値を記したものである。高周波トランスのインダクタンスが減少するに従い、励磁インダクタンス成分が減少するので電流も差が大きくなっていくことがわかる。 i_{dif} があまり大きくなるとTQRDCL-Iの降圧から昇圧にモードが切り替わるスイッチング時にZCS条件からはずれ、損失を発生する可能性があるため好ましくない。

$i_{LTI,max}$ がゼロ以上の値となる動作条件から高周波トランスの1次側インダクタンスと結合係数の関係を求めると、図4-4のようになる。高周波トランスの結合係数にばらつきが存在す

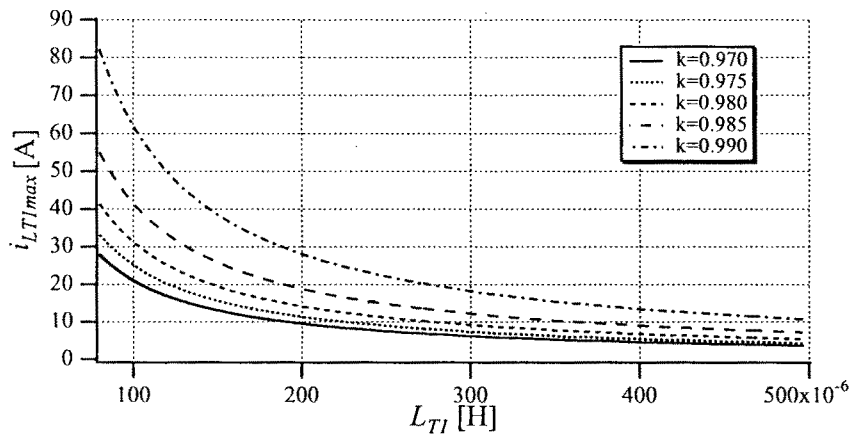


図4-2 高周波トランスインダクタンス L_{Tl} に対する共振電流ピーク値

Fig. 4-2 Characteristics curves between transformer inductance and peak resonant current $i_{LTI,max}$

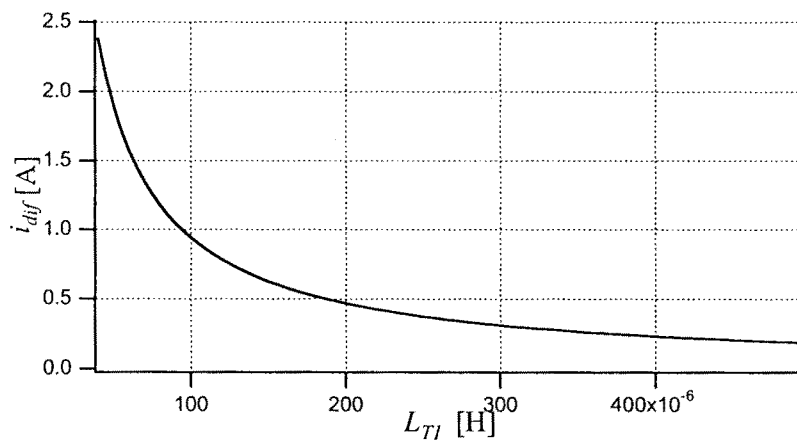


図4-3 高周波トランスインダクタンス L_{Tl} に対する共振電流偏差

Fig. 4-3 Characteristics curves between transformer inductance and current i_{dif}

る場合、図から得られるインダクタンス値以下の高周波トランスを用いなければZVS領域を外れる可能性があると言える。

これらの結果より、電力回生時に安定にTQRDCL-Iを動作させるには高周波トランスの1次側自己インダクタンスを低く設定すればよいが、共振電流の最大値が上昇し、かつ電流 i_{df} も大きくなるので好ましくないといえる。トランス製作時における諸定数のばらつきを考慮に入れても、できるだけ図4-4に示される線上のインダクタンスが得られるようにする方が良い結果が得られる。

以上の計算結果より得られる数値例と得られた各種のグラフを比較検討することにより高周波共振DCリンクの各種定数として以下の値が得られる。

高周波トランス1次側インダクタンス L_{T1}	190[μ H]
共振キャパシタ容量 C_r	189[nF]

この時の、共振電流の最大値は25[A]程度でほぼ負荷電流値と同程度のピークを持つ電流が流れると予想される。

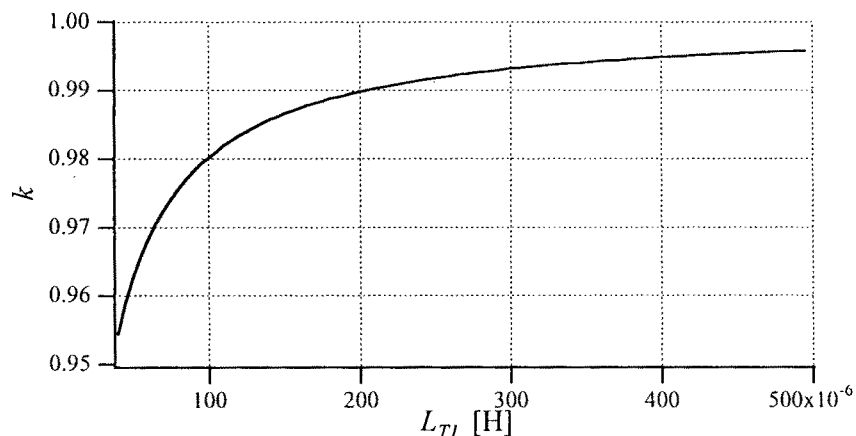


図4-4 結合係数の変化による動作領域の変化

Fig. 4-4 TQRDCL-I operation area with k varied

表4-1 TQRDCL-Iのパラメータ

Table 4-1 Parameter table for TQRDCL-I

直流電源電圧	V_s	280[V]
トランス1次側インダクタンス	L_{LT1}	230[μ H]
トランス2次側インダクタンス	L_{LT2}	682[μ H]
トランス相互インダクタンス	M	390.5[μ H]
トランス結合係数	K	0.986
共振キャパシタンス	C_r	138[nF]
共振周波数	F_r	270[kHz]

4-2-2 シミュレーション結果

以上のTQRDCL-Iの設計手順および動作の確認をシミュレーションにより行う。

高周波トランスは設計法に示した手法に基づいて試作したが、前述の設計例の値を正確に実現することはできなかった。得られたTQRDCL-Iのパラメータを表4-1に示す。確認のため、負荷条件等を考慮して再評価を行い、その結果共振ピーク電流及び定格負荷電流ともに20[A]以上が得られ回生負荷が十分処理可能である事がわかったので試作機に使用した。ここでは、実験結果との比較検討を行うため表4-1の値を用いている。

図4-5、図4-6に無負荷でのトランス共振DCリンク回路のトランス1次側電流 i_{LT1} 、2次側電流 i_{LT2} の波形、共振キャパシタ電圧 v_{Cr} を示す。補助スイッチングアームの上下短絡防止のデッドタイム(モード5)は、試作装置のドライブ回路のデッドタイム約0.5[μ sec]に調整してシ

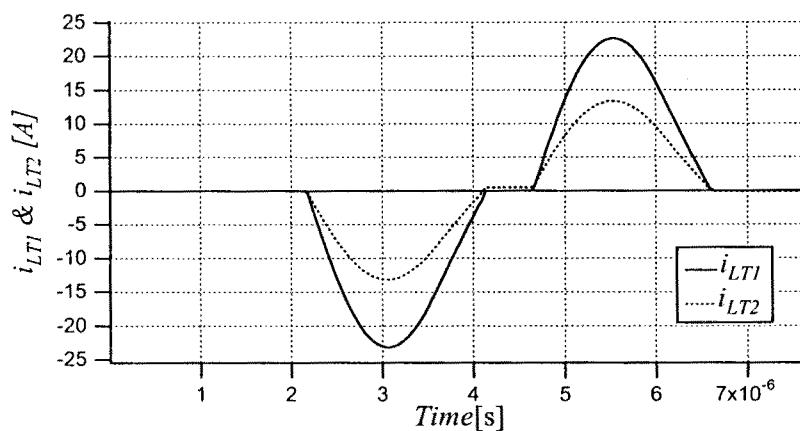


図4-5 高周波トランスに流れる共振電流波形例

Fig. 4-5 Resonant current waveforms in high-frequency transformer

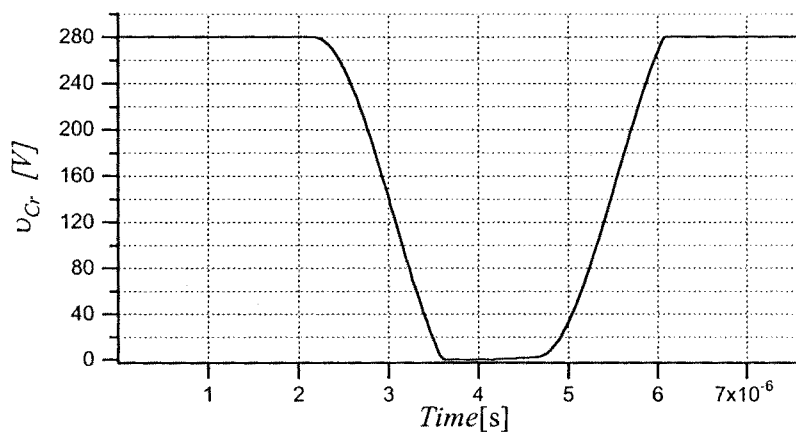


図4-6 高周波共振電圧波形例

Fig. 4-6 Resonant voltage waveform

シミュレーションを行っており、共振電流にゼロ電流期間が発生していることが判る。共振キャパシタ電圧にはゼロ電圧期間が確実に得られており、主電力変換装置のZVSはこの期間中に行われる。

図4-7から図4-9はトランス共振DCリンク回路内の各補助スイッチにかかる電圧波形と電流波形を示している。図より判るように各スイッチはターンオン時にはZCS条件で動作し、ターンオフ時にはZVS/ZCSの非常にスイッチングロスが少ない条件で動作していることが確認される。また、図4-7に示すようにアクティブクランプ動作を行うスイッチ S_c はターンオン/オフ共にゼロ電圧/電流スイッチングが行われている。これは無負荷条件であるので、ターンオフ時にもZVS/ZCSが行われているが、電力供給を行っている条件下では負荷電流をZVSで遮断する動作を行う。この時の高周波トランス1次側に流れる共振電流ピーク値は25[A]以下の電流値であり、計算結果より予想された程度の電流値であることが確認される。

負荷変動条件におけるTQRDCL-Iの動作波形例を、図4-10～図4-14に示す。図は上から順に、負荷電流を変化させたときの共振キャパシタ電圧 v_{Cr} 、トランス1次側電流 i_{L1} 、2次側電流 i_{L2} 、クランプスイッチ S_c と各補助スイッチにかかる電圧と電流を示している。これらの図より、定格負荷内であればどのような負荷条件に変動しても動作原理通りにZVS/ZCSが行われていることがわかる。

以上より共振DCリンク回路はほぼ理論通り動作しており、すべてのスイッチでソフトスイッチングが行われていることが確認できる。

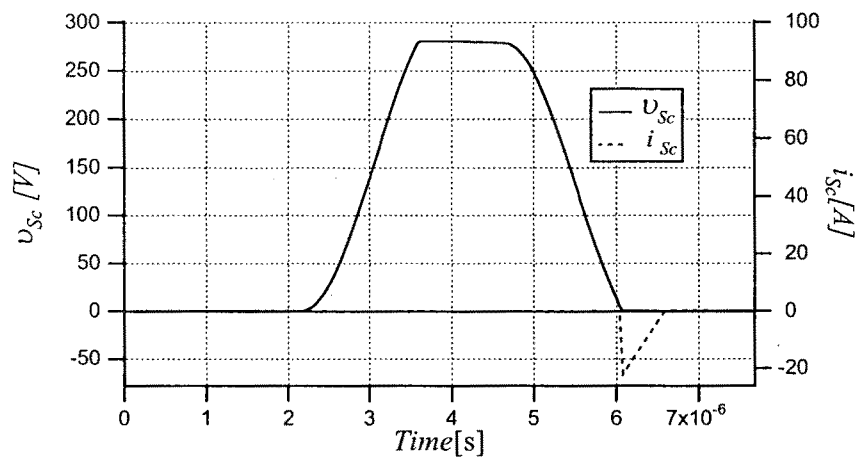


図4-7 スイッチ S_C 端子電圧/電流波形

Fig. 4-7 Switching voltage and current waveforms in S_C

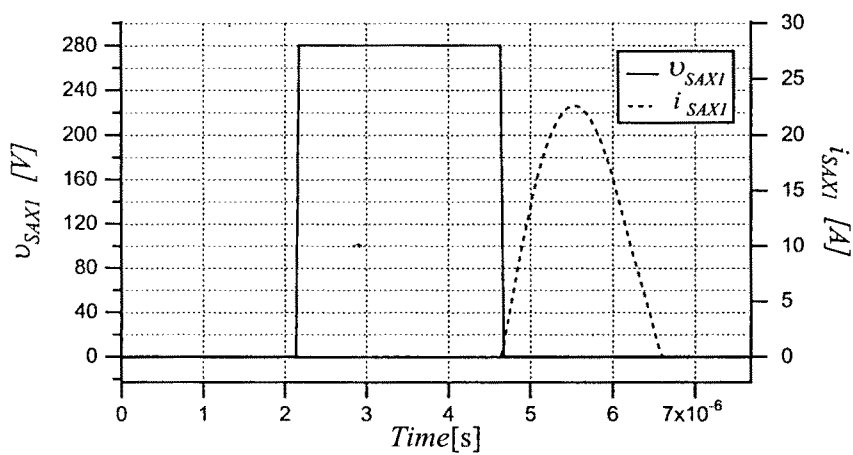


図4-8 スイッチ S_{AX1} 端子電圧/電流波形

Fig. 4-8 Switching voltage and current waveforms in S_{AX1}

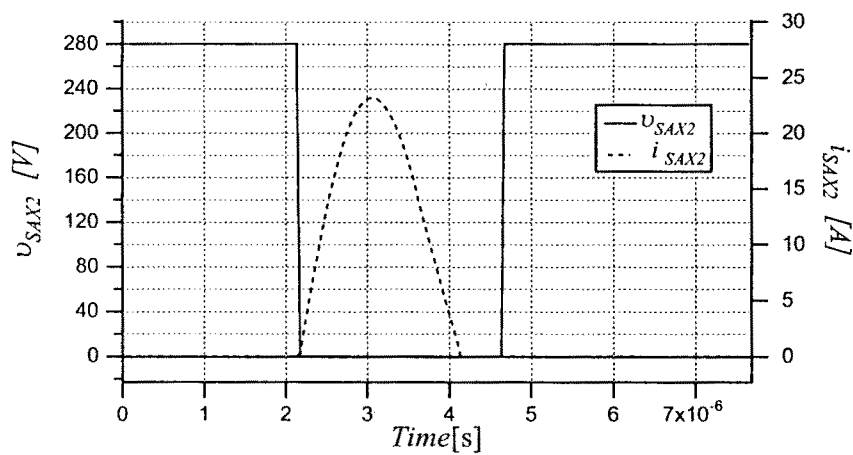


図4-9 スイッチ S_{AX2} 端子電圧/電流波形

Fig. 4-9 Switching voltage and current waveforms in S_{AX2}

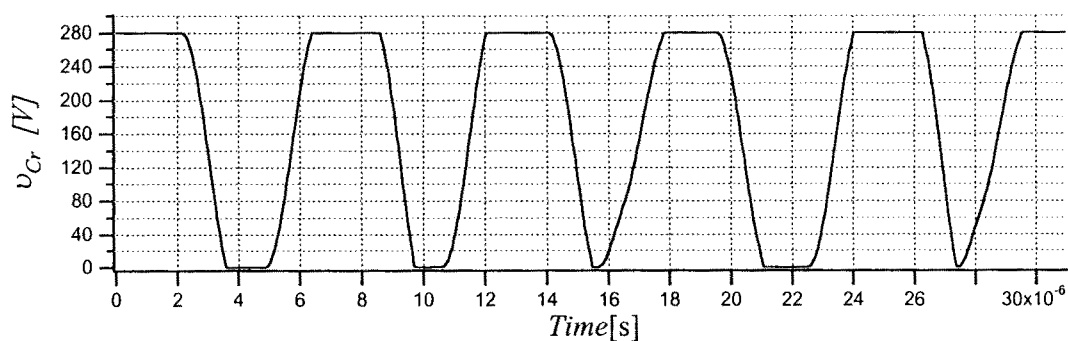


図4-10 共振電圧波形

Fig. 4-10 Resonant voltage waveform

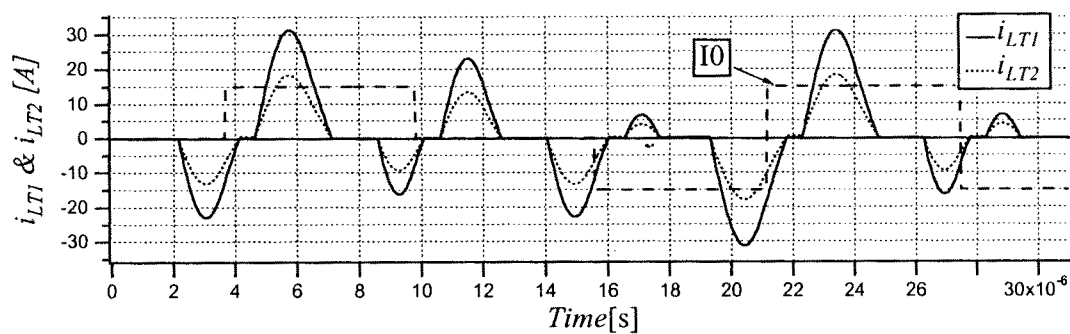
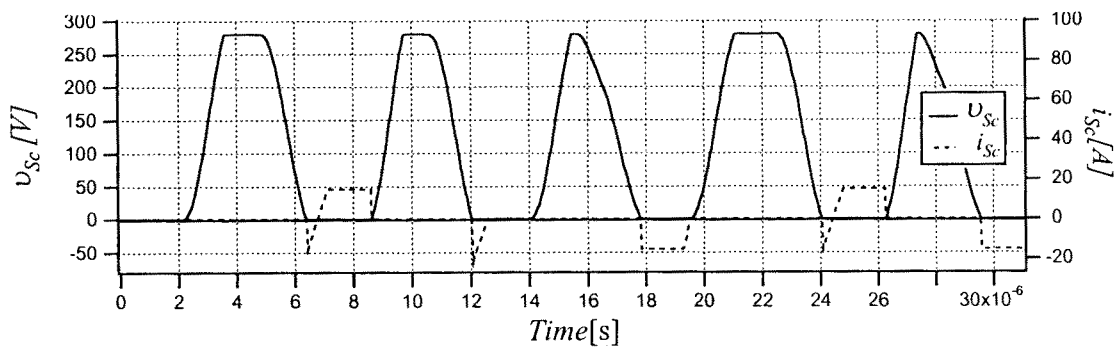
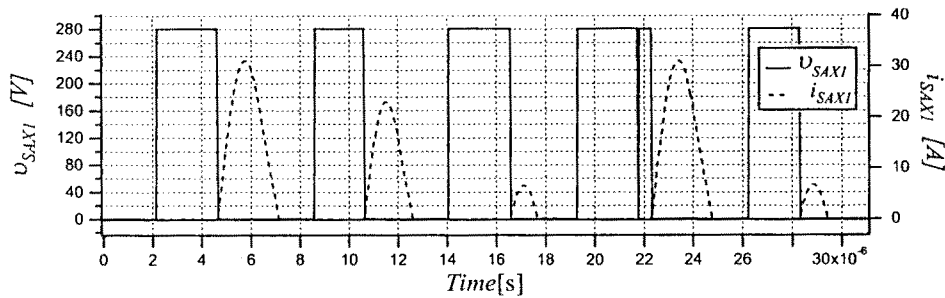
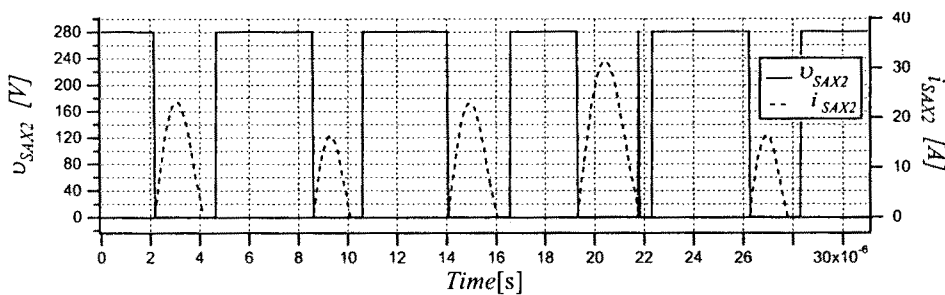


図4-11 共振電流/負荷電流波形

Fig. 4-11 Resonant current and load current waveforms

図4-12 スイッチ S_C 端子電圧/電流波形Fig. 4-12 Switching voltage and current waveforms in S_C

図4-13 スイッチ S_{AX1} 端子電圧/電流波形Fig. 4-13 Switching voltage and current waveforms in S_{AX1} 図4-14 スイッチ S_{AX2} 端子電圧/電流波形Fig. 4-14 Switching voltage and current waveforms in S_{AX2}

4-2-3 タイプIII用高周波トランスの設計

TQRDCL-IIIを先と同様に設計し回路動作の確認を行う。設計の手順はTQRDCL-Iの設計時に示した方法と同様であり、以下の手順に従って決定される。

まずはじめにソフトスイッチング化の対象となる電力変換システムの定格を決定する。ここではCVCF/UPS応用の三相電圧形インバータシステムを想定し、基本的な設計仕様として入力電源電圧 V_s はバッテリー等の直流入力電源が使用されると考えて200[V]、定格出力を3[kVA]とする。高周波トランスによる v_{Cr1} の共振電圧昇圧比 ξ は、TQRDCL回路中に存在する寄生抵抗成分による共振キャパシタ電圧の減衰や、パワーデバイスの順方向電圧降下等の影響を考慮して1.25程度を見込んで設計する。ここでもインバータ側のPWM制御精度向上のため共振周波数 f_r を高くとることを考え、かつ試作装置における浮遊インダクタンス等の寄生回路パラメータに影響されない程度の周波数として300[kHz]を選ぶ。また、高周波トランスは、フェライト等の高磁性材料を用いると0.99以上の電磁結合係数 k を得ることは比較的簡単である。従って、本設計数値例においては k を0.99と考える。これらの基本条件を設定した後、高周波トランスのインダクタンスを以下の手順で決定する。

(1)共振キャパシタ電圧の共振電圧昇圧比 ξ は1.25であるのでトランスの巻数比 α は(3-14)式よ

り1.66と計算される。

- (2)電力回生状態における v_{Cr} の昇圧モードを安定化するためTQRDCL-IIIにおける高周波トランス2次側の電流値 $i_{LT2}(t_{Vs})$ を(3-23)式より検討する。
- (3) L_{T1} の最大値 i_{LT1max} と共振キャパシタ電圧の降圧動作時であるモード1において必要なクランプ終了時電流 I_{Cf} の最小値 I_{Cfmin} をそれぞれ(3-18)式と(3-20)式から計算する。

ここでは、回生電流の最大値を余裕を見て20[A]と考え、 $i_{LT2}(t_{Vs})$ が零となるインダクタンスを計算すると、1次側インダクタンスとして335[μ H]が得られる。つまり、この計算値以下のインダクタンスであれば設定された負荷範囲に於て $i_{LT2}(t_{Vs})$ が常に正となる。図4-15は、結合係数 k をパラメータとして(3-23)式より計算した L_{T1} と $i_{LT2}(t_{Vs})$ の関係を示したものである。

また、(3-18)式と(3-20)式より求められる i_{LT1max} と i_{Cfmin} は、1次側インダクタンスの値によって図4-16に示すように変化する。共振周波数一定の条件下であるので、インダクタンスの増加に伴い共振キャパシタ容量が減少する。これにより共振時に処理すべき蓄積電荷が減少するため比例してそれぞれの電流成分が小さくなっていることがわかる。

TQRDCL-Iの動作において共振電流のゼロクロス時における高周波トランス1次側と2次側の電流偏差 i_{diff} については、共振状態がスイッチの状態変化に無関係に連続して行われるためZVS/ZCS条件には影響しない。従って、ここで評価すべき電流値は上記の3点である。最終的に高周波トランス1次側インダクタンスを決定するに際しては、TQRDCL部における損失低減と電力回生時間の短縮を図るために、電流 $i_{LT2}(t_{Vs})$ の零となるインダクタンス値を選ぶことが理想的であるが、そのインダクタンス値が想定された電力変換装置に最適であるか否

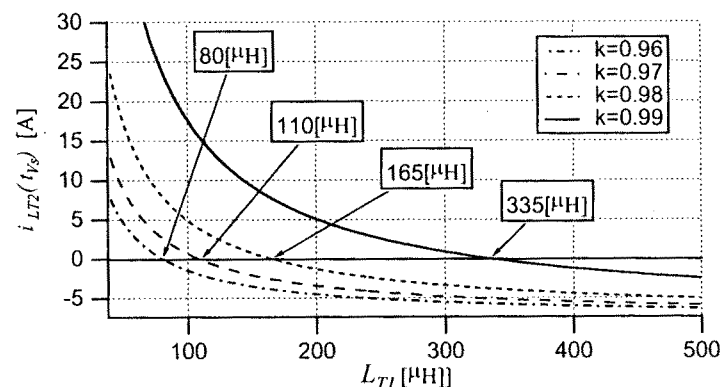
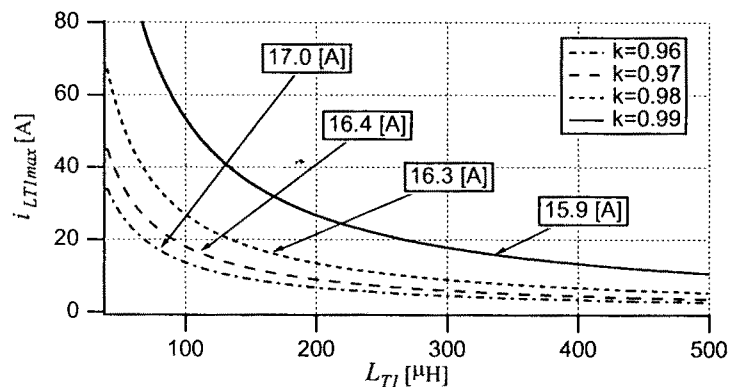


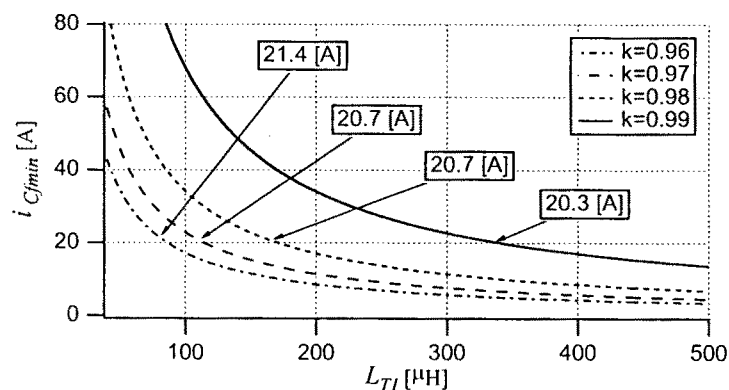
図4-15 高周波トランスの1次側インダクタンスに対する電流 $i_{LT2}(t_{Vs})$

Fig. 4-15 Characteristic curves L_{T1} Vs. $i_{LT2}(t_{Vs})$

かが重要となる。これには、 i_{LT1max} と I_{Cmin} が許容され得る範囲値か否かを、電力変換システムの定格から判断することが一番簡単かつ適当な評価法であると考えられる。図4-15に示されている $i_{LT2}(t_{vs})$ の零となるインダクタンス値における I_{Cmin} (図4-16(b)参照)を見れば、いずれの k においても約20[A]程度と一定値となる。また、このインダクタンス値に設定した場合の i_{LT1max} も同様に、 k の変化に係わらず約16[A]で一定値となっている。これらの結果は、共振キャパシタ電圧の昇圧比 ξ 及び k が決定され、また共振周波数が一定の条件下では、本論文に述べたTQRDCL回路の設計法により、最適となる共振パラメータを求めることが可能であることを示している。但し、実際の回路パラメータの設定に際しては、理論上でTQRDCL回路の損失分を考慮していないため、若干の余裕をみた値に設定する必要がある。



(a) 高周波トランス1次側の共振電流最大値



(b) クランプ終了時電流の最小値

図4-16 高周波トランスインダクタンスに対する共振電流特性

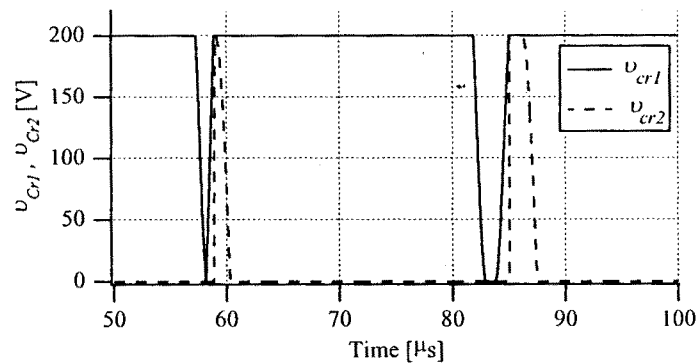
Fig. 4-16 Characteristic curves of TQRDCL current Vs. transformer inductance

4-2-4 シミュレーション結果

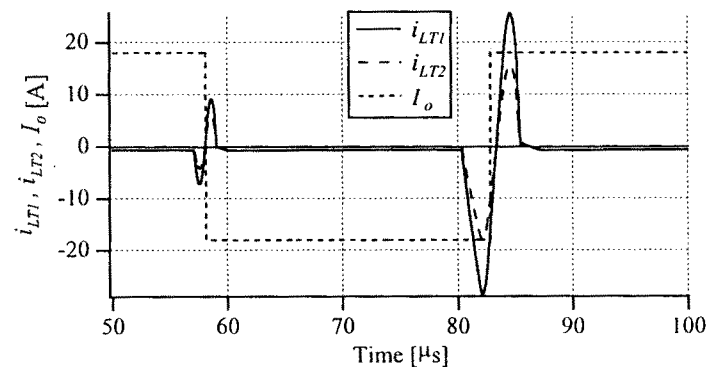
提案のTQRDCL-III回路の動作確認をシミュレーションにより行った結果について述べる。まず、各部の動作波形を示し、提案のTQRDCL回路の有効性を検証する。用いた回路定数は、設計法に記した通りの手法に基づいて決定した。但し、後に示す実験結果との比較・検討を行うため、試作した高周波トランスの回路定数を用いてシミュレーションを行っている。ここでも試作時に得られた高周波トランスの回路定数が動作条件に適合しているか否かを再評価し、十分に負荷電流の変化に対応可能であることを確認している。

また、先の設計時には考慮していないその他の定数として、副共振キャパシタ C_2 を設けている。この値は使用したパワーデバイス(東芝IGBT:MG50J2YS40)の出力容量程度として3[nF]に設定した。

各種負荷条件下におけるTQRDCL回路部の共振キャパシタ電圧及び高周波トランスに流れる電流のシミュレーション波形を図4-17に示す。また、表4-2にシミュレーション及び試作装



(a) 共振キャパシタ電圧波形



(b) 高周波トランス電流と負荷電流波形

図4-17 TQRDCL回路の動作波形

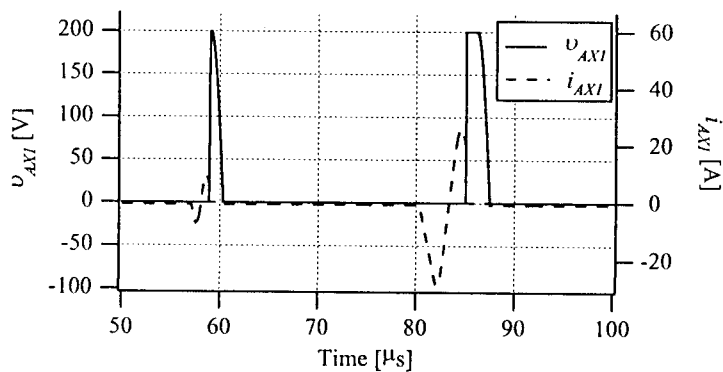
Fig. 4-17 TQRDCL operation waveforms

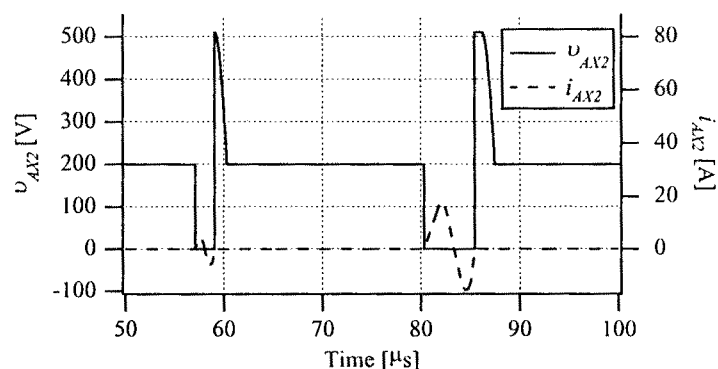
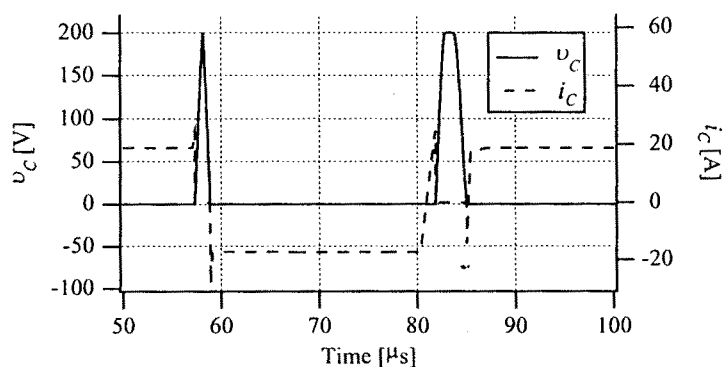
表4-2 TQRDCL回路定数

Table 4-2 TQRDCL circuit constants

トランス1次側インダクタンス L_{r1}	215	[μ H]
トランス2次側インダクタンス L_{r2}	537.5	[μ H]
トランス相互インダクタンス M	334.5	[μ H]
高周波トランス結合係数 k	0.984	
共振キャパシタンス1 C_{r1}	110	[nF]
共振キャパシタンス2 C_{r2}	3	[nF]

置に用いた回路定数を示す。回路動作の説明に記した通り、 I_o の極性と大きさによって共振キャパシタ電圧の昇降圧時におけるモード1及び4の発生する条件が異なるため、共振電流のピーク値とゼロ電圧期間が変化していることが示されている。また、図4-18～図4-20にパワーデバイスに流れる電流及びその端子電圧の波形例を示す。図4-17の電流波形に示されている通り、広い負荷範囲においてもTQRDCL回路の動作は安定に行われるが、スイッチング動作時の波形例に示したように S_{AX1} がわずかな電流値を残した状態でターンオフするため、トランス1次側電流が回生状態となる。これにより、 S_{AX2} 端子電圧には逆起電力による電圧分が共振キャパシタ電圧に重畳して印加されることとなり、比較的高い耐電圧を必要とする。それ以外のスイッチング状態は、 S_{AX1} がZVS/ZCSターンオンしZVS状態でターンオフしている。 S_{AX2} は高い印加電圧がターンオフ時にかかっているがスイッチングはZVS/ZCS条件でターンオフし、ターンオン時にはZCSが実現されていることが判る。又、クランプスイッチ S_c はZVSターンオフしターンオンはZVS/ZCS状態でロスの少ないスイッチングが実現されている。

図4-18 パワーデバイス S_{AX1} 電圧・電流波形Fig. 4-18 Switching waveforms in TQRDCL S_{AX1}

図4-19 パワーデバイス S_{AX2} 電圧・電流波形Fig. 4-19 Switching waveforms in TQRDCL S_{AX2} 図4-20 パワーデバイス S_c 電圧・電流波形Fig. 4-20 Switching waveforms in TQRDCL S_c

4-3 部分共振DCリンクの実験結果

4-3-1 試作回路のハードウェア - タイプI

TQRDCL回路の動作と特性評価を試作実験回路により行う。図4-21に示すように、TQRDCLの回路動作に従って検出される信号により、それぞれの共振制御スイッチを動作させ安定な共振動作を維持させる。共振系の制御を行うため図4-22に示した信号制御系を構成した。共振開始信号SWと高周波トランス2次側の共振電流、共振キャパシタ電圧が回路への入力信号となっている。ここで、共振電流の検出に高周波トランスの1次側ではなく2次側の電流を用いるのは、2次側に電流が流れているときには回路構成上必ず電源電圧への回生電流となっているためゼロクロスポイントの検出には都合が良いためである。

以下、各ブロック毎に回路の構成と動作を説明する。

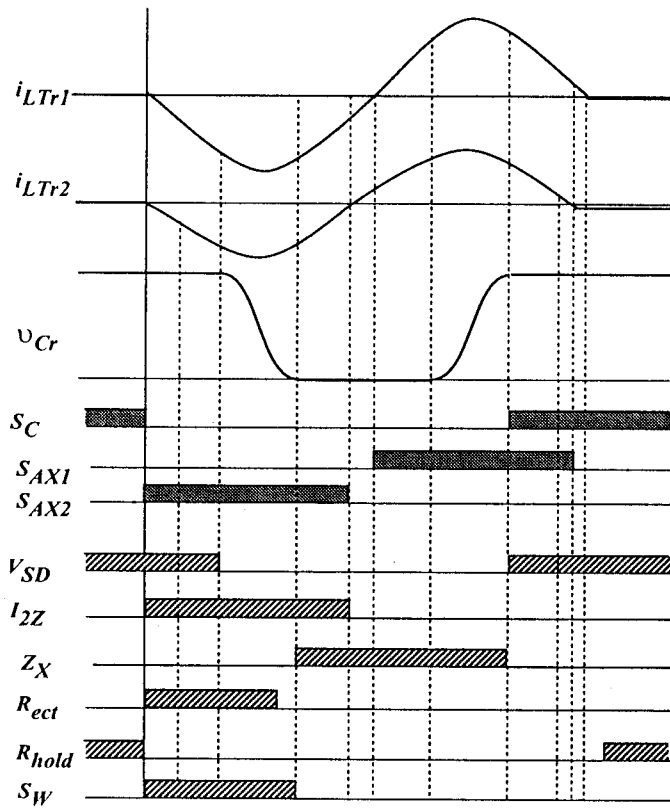


図4-21 TQRDCL-Iスイッチングシーケンスと制御信号

Fig. 4-21 TQRDCL switching sequences & control signals

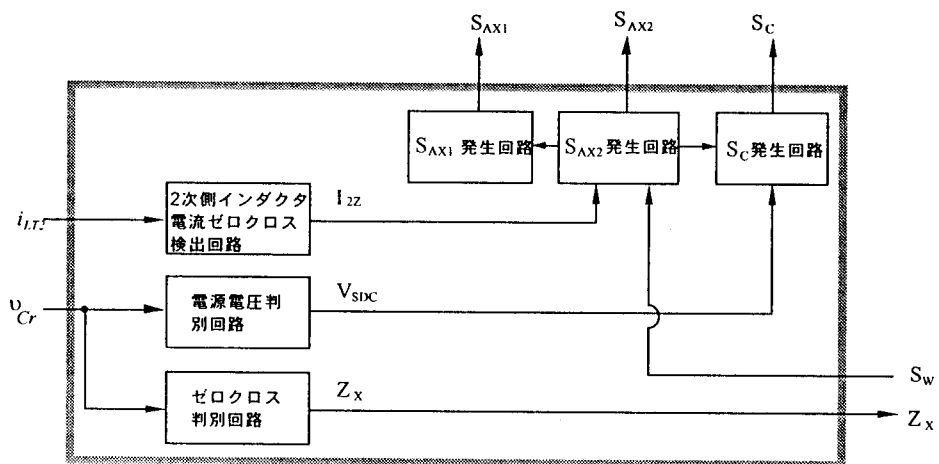


図4-22 TQRDCL-I制御回路ブロック図

Fig. 4-22 Block diagram of TQRDCL-I control

<2次側共振電流検出回路>

図4-23に2次側共振電流のゼロクロス検出回路の構成を示す。この回路はトロイダルコアを用いたCTにより i_{LT2} を検出するものである。コアの2次側は100Tで、コンパレータでの基準値との比較により、ゼロ電流値より小さい場合にはHi、大きい場合にはLoとなる信号 I_{ZZ} を出力する。信号は、フォトカプラ(TLP554)により絶縁された後デジタル処理回路に送られる。

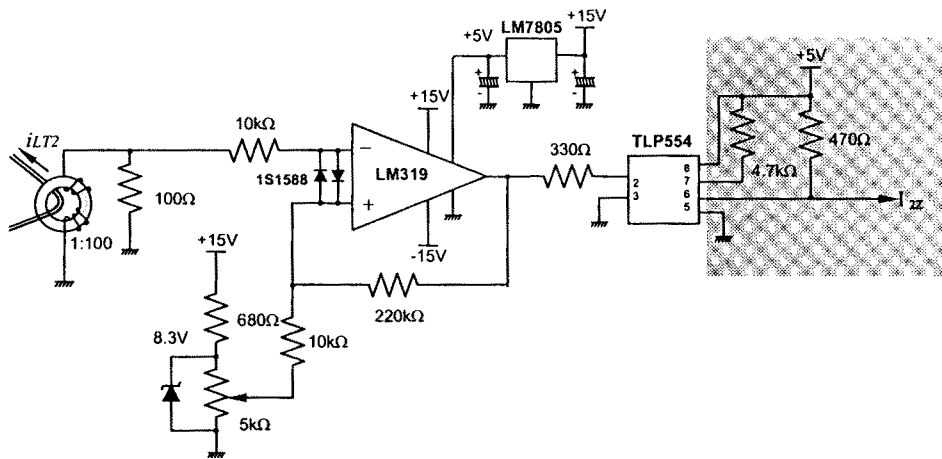


図4-23 2次側共振電流ゼロクロス検出回路

Fig. 4-23 Zero cross detector for resonant current

<共振キャパシタ電圧レベル判別回路>

クランプスイッチ S_C の動作には、共振キャパシタ電圧が電源電圧に達したか否かを検出する必要がある。図4-24は抵抗分圧された共振キャパシタ電圧を入力し電源電圧レベルより高くなればHi、低ければLoとなる信号 V_{SD} を発生する。

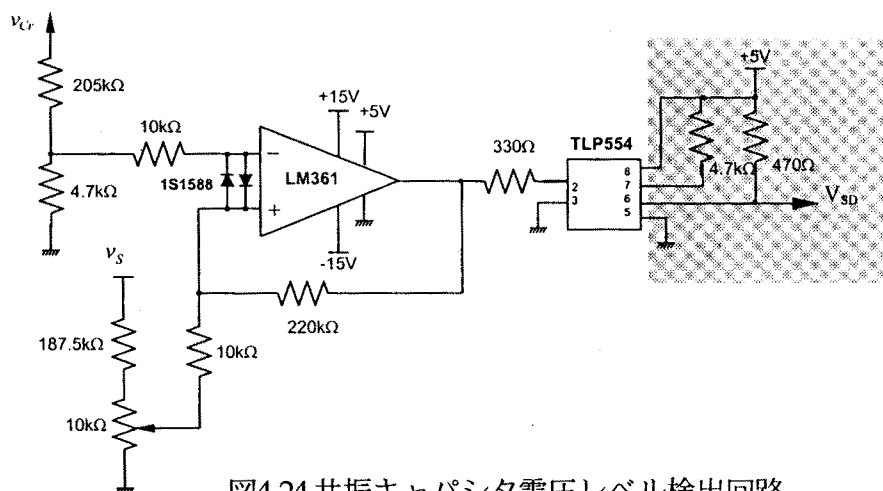


図4-24 共振キャパシタ電圧レベル検出回路

Fig. 4-24 Voltage detector for resonant capacitor

<共振電圧ゼロクロス検出回路>

共振キャパシタ電圧がゼロクロスした場合には、主電力変換装置のZVSが実現される。図4-25は先と同様に抵抗分圧された共振キャパシタ電圧をゼロレベルと比較し、ゼロより大きければLo、ゼロとなればHiとなる信号 Z_x を発生する。ゼロクロス近辺においては共振による誤動作も考えられるため、74HC123により一定期間 Z_x 信号を保持させて回路の安定化を図っている。信号の絶縁は先と同様にフォトカプラにより行っている。

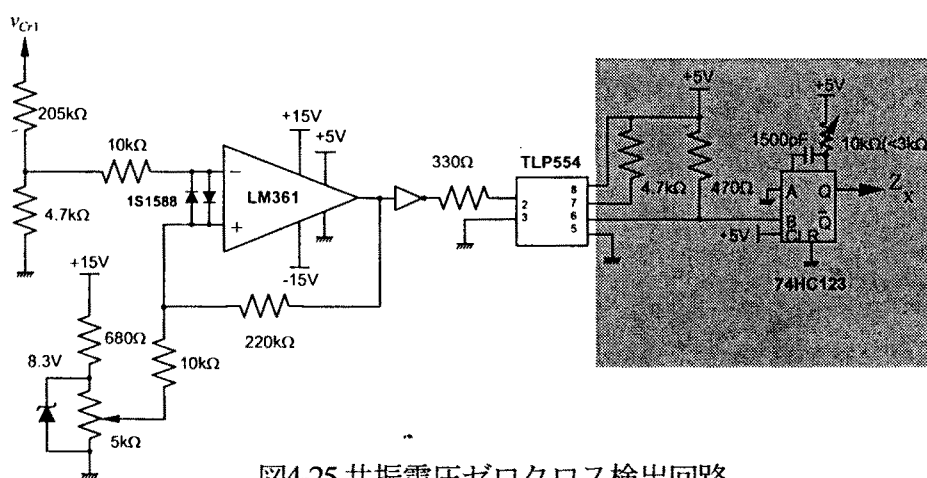


図4-25 共振電圧ゼロクロス検出回路

Fig. 4-25 Zero cross detector for resonant capacitor voltage

<共振開始信号処理回路>

共振開始のトリガー信号となるSWが入力されることにより一連の共振動作が開始される。図4-26に示す回路に外部信号SWを入力すると、制御信号RectとRhold信号がそれぞれ設

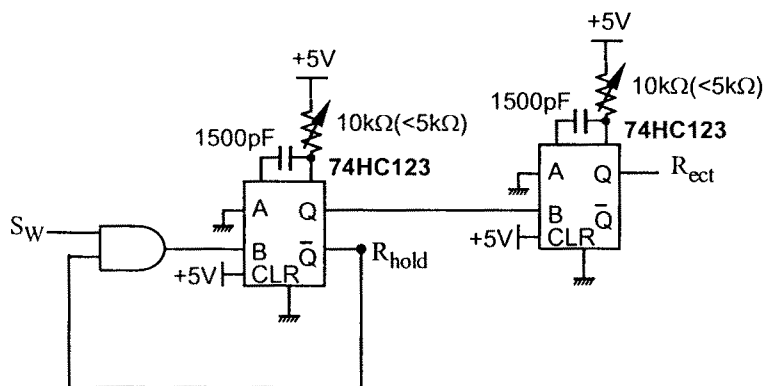


図4-26 共振開始信号SW処理回路

Fig. 4-26 Resonant trigger signal control circuit

定された一定期間出力される。 R_{ect} と R_{hold} 信号は、74HC123により一定時間ホールドされているためこの期間中は信号入力があっても動作しない。これにより共振動作中に、SWが入力されても共振終了時まで信号を抑止する。本試作回路の定数では、約7[μ s]の期間はSWの入力は検出されない。

<信号SAX2 生成回路>

発生した R_{ect} を検出すると図4-27の回路により共振補助スイッチ S_{AX2} のゲート信号が生成される。この回路の状態遷移は、 R_{ect} と共振トランス2次側の電流値がゼロとなった時点で初期状態に戻るよう設計されている。また R_{ect} 信号は、信号 I_{2Z} がゼロ状態の時、 S_{AX2} を強制的に遮断するための信号である。

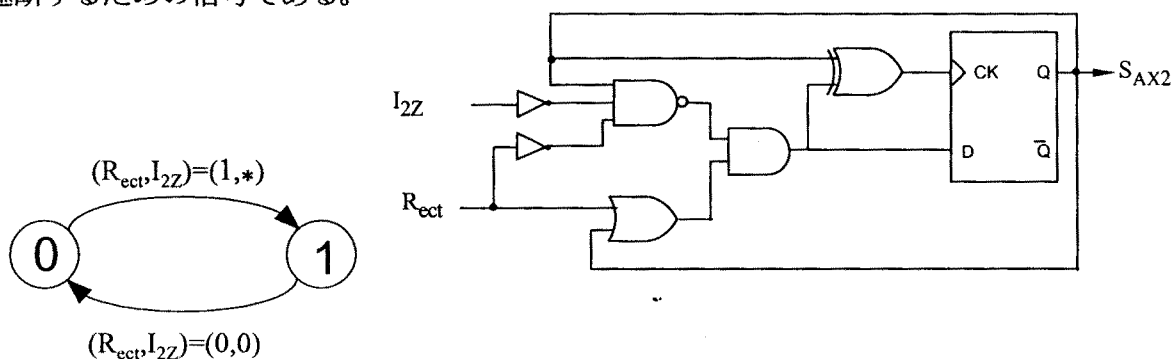


図4-27 信号SAX2生成回路

Fig. 4-27 Gate signal generator for S_{AX2}

<信号SAX1 生成回路>

S_{AX2} のターンオンと S_C のターンオフにより、共振電流が負極性に増加しやがて部分共振状態に動作が遷移する。共振キャパシタ電圧は減少を始め、信号 V_{SD} がLoを出力する。

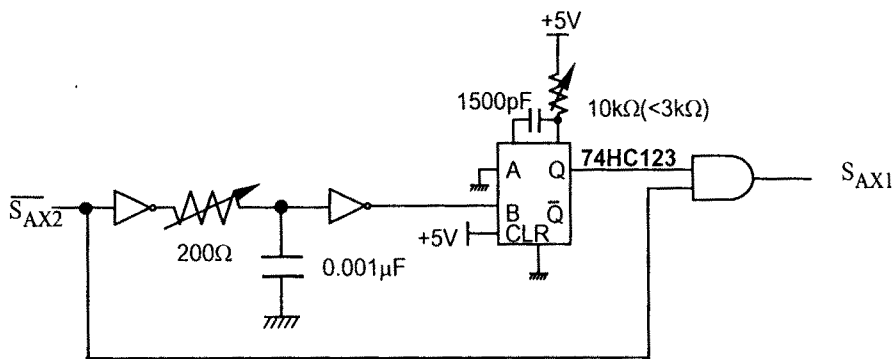


図4-29 信号SAX1生成回路

Fig. 4-29 Gate signal generator for S_{AX1}

共振キャパシタ電圧がゼロ電圧となると信号 Z_X が出力される。共振電流が減少し、高周波トランス2次側の電流がゼロクロスすると I_{ZZ} が出力される。これにより S_{AX2} 信号がLoとなりスイッチはターンオフする。 S_{AX2} がLo信号となると図4-29に示した S_{AX1} 信号発生回路が動作する。この時、回路の入力段に設けられているCRの遅延によりTQRDCLの補助スイッチアームである S_{AX1} と S_{AX2} の短絡を防止するデッドタイムが発生する。この遅延は、図中の設定により約 $0.7[\mu\text{s}]$ となっている。 S_{AX1} 信号は共振制御が正常に終了すればZVSターンオフされるため、ここでは制御系を簡単化するために約 $3[\mu\text{s}]$ のオン状態を維持するワンショット回路となっている。

S_{AX1} のターンオンにより、共振キャパシタ電圧は電源電圧レベルに昇圧される。共振キャパシタ電圧が、電源電圧に達し信号 V_{SD} が出力されるとクランプスイッチ S_C がZVSターンオンされる。

<信号 S_C 生成回路>

信号 S_{AX2} により、クランプ用のスイッチ S_C を遮断するが、その信号処理は図4-28により行われる。状態遷移図に示されているように、 S_{AX2} により信号 S_C はLoとなり、共振キャパシタの電源電圧レベル検出回路の信号 V_{SD} を検出することによりHiの状態に戻る。信号 R_{hold} が入力されているのは、一定期間後に S_C がオン状態になく共振動作が正常に終了していない場合に S_C を強制的に初期状態にリセットするためである。

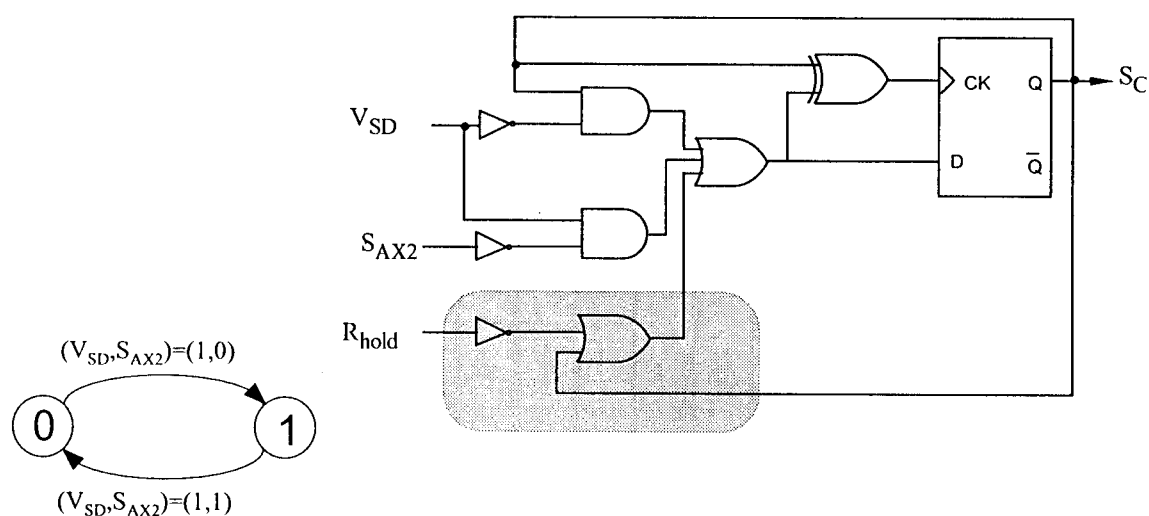


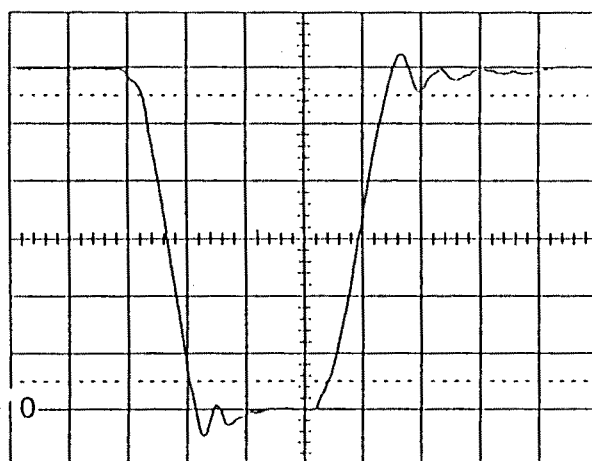
図4-28 信号 S_C 生成回路

Fig. 4-28 Gate signal generator for S_C

4-3-2 実験結果と検討

試作したTQRDCL-I回路は、アクティブスイッチにIGBT(東芝;MG50J2YS40)を、2次側のダイオードブリッジは高速ダイオード(米国Unitrode;BYT30PI400)を使用した。高周波トランスはフェライトコア(TDK;H7C4材EC90)を用い、共振用キャパシタは高周波特性の良いポリプロピレンフィルムによるキャパシタを使用した。回路の各定数はシミュレーションに使用した表4-1に示した通りの値である。

図4-30～図4-31は先にシミュレーション結果で示したものと同様の共振キャパシタ電圧と高周波トランスに流れる共振電流を示している。実験結果より共振キャパシタ電圧は確実にゼロ電圧状態が得られており、シミュレーション結果と同様にZVS実現効果があることが確認される。また、高周波トランス1次側と2次側の電流値も共振周期/共振ピーク電流ともにシミュレーション結果に概ね一致している事が確認される。共振キャパシタの降圧モード昇圧モードの切替時に設けられている補助スイッチングアーム間のデッドタイムにより、ゼロ電流期間が発生していることが確認される。正確には若干の電流が流れてはいるが、観測されるように非常に小さな値であり損失や動作に影響を与える程度の電流値ではない。



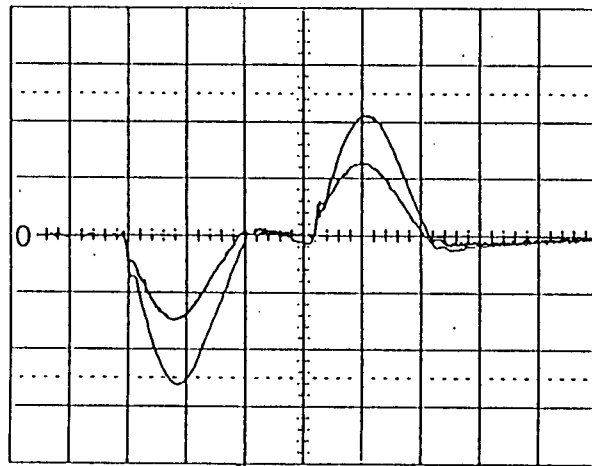
(50V/Div, 1 μ s/Div)

図4-30 共振電圧観測波形

Fig. 4-30 Observed resonant voltage waveform

連続して共振動作を行っているときの動作波形例を図4-32に示す。共振は安定に行われており動作説明及びシミュレーションによって確認された動作が実現されていることがわかる。スイッチングデバイスに印加される電圧及び電流値を図4-33～図4-35に示す。

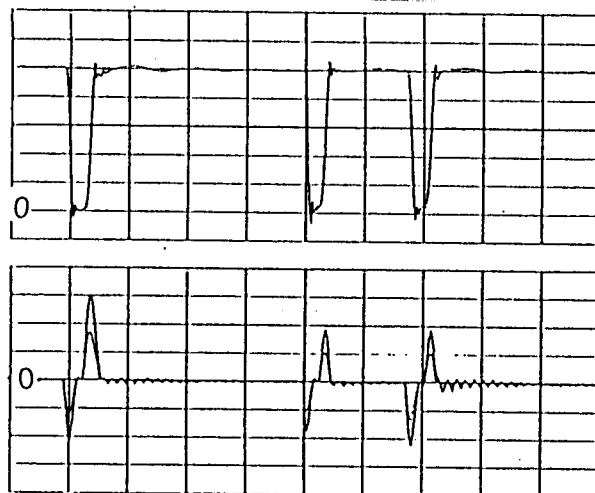
図よりわかるように各スイッチはターンオン時にはZCS条件で動作し、ターンオフ時には



(10A/Div, 1 μ s/Div)

図4-31 共振電流観測波形

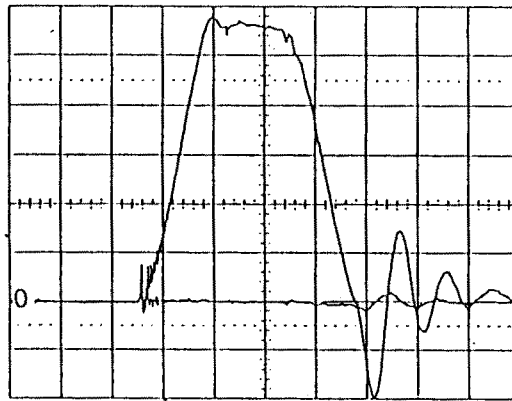
Fig. 4-31 Observed resonant current waveforms



(50V/Div, 10A/Div, 10 μ s/Div)

図4-32 TQRDCL-I動作波形

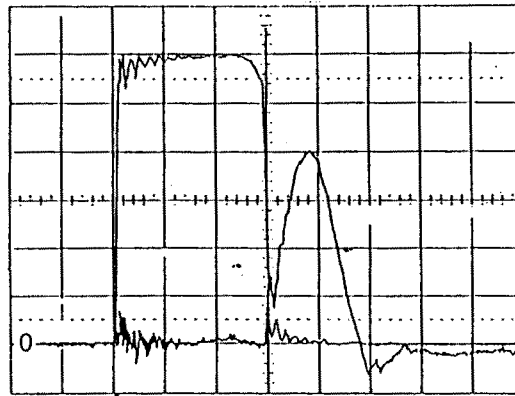
Fig. 4-32 Observed TQRDCL-I operating waveforms



(50V/Div, 10A/Div, 1μs/Div)

図4-33 S_C スイッチング波形

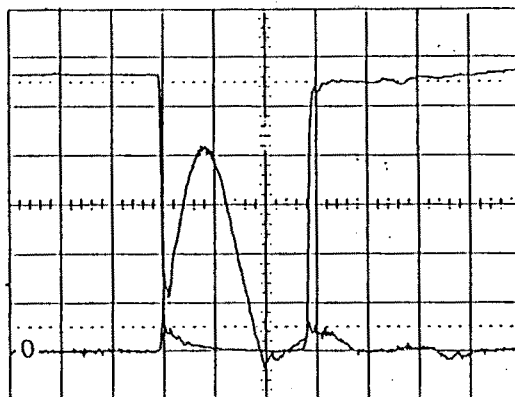
Fig. 4-33 Observed switching waveforms - S_C



(50V/Div, 5A/Div, 1μs/Div)

図4-34 S_{AX1} スイッチング波形

Fig. 4-34 Observed switching waveforms - S_{AX1}



(50V/Div, 5A/Div, 1μs/Div)

図4-35 S_{AX2} スイッチング波形

Fig. 4-35 Observed switching waveforms - S_{AX2}

ZVS/ZCSの非常にスイッチングロスが少ない条件で動作していることが確認される。また、図4-33に示すようにアクティブクランプ動作を行うスイッチ S_c はターンオン/オフ共にゼロ電圧/電流スイッチングが行われている。これは無負荷条件であるので、ターンオン時にもZCSが行われているが、電力供給を行っている条件下では負荷電流をZVSで遮断する動作を行う。この時の共振トランス1次側に流れる共振電流ピーク値は20[A]を越える程度の電流値であり計算結果より予想された程度の電流値であることが確認される。図4-33に見られるようにスイッチ S_c オン時に共振による電流が観測されるが、これはDCバスライン間に設けられた高周波キャパシタに分流している電流が検出されたものである。シミュレーションと若干異なる観測波形としては、スイッチ S_{AX} のターンオン時に急速な電流の立ち上がりが見られる。この期間はほぼ数10[ns]と短いものであるが、傾向から考えるとスイッチに電圧プローブの入力容量とIGBTの出力容量が短絡されたときの電流値によるものと思われる。電圧プローブを接続せず電流のみを観測した場合には、電流の立ち上がりはかなり急峻ではあるものの数値的には大きく減少したことから測定上の問題が大きいと考えられる。以上を考慮に入れても、実験結果はシミュレーション結果との一致が見られ提案のTQRDCL-IIは理論通りの動作が行えることが確認された。

4-3-3 試作回路のハードウェア - タイプIII

TQRDCL回路部の制御は、図4-36に示すような信号制御回路系によって行われる。この信号制御回路は、TQRDCL後段の電力変換回路から送られてくるスイッチング指令信号 R_{START} を検出することにより、動作原理に述べた部分共振動作の監視・制御を行うよう構成されている。制御系の各ブロックは電圧/電流検出系と、その検出信号によりTQRDCL回路部のパワーデバイスをドライブする信号を生成するロジック回路である。図中の共振初期電流判別回路は、パワーデバイス S_C に流れる電流がクランプ終了時電流 I_G に達したか否かを検出する回路系であり、ゼロクロス判別回路と電源電圧判別回路は、それぞれ共振キャパシタ電圧がゼロ電圧と電源電圧レベルに達したことを検出する回路ブロックを示している。電圧/電流

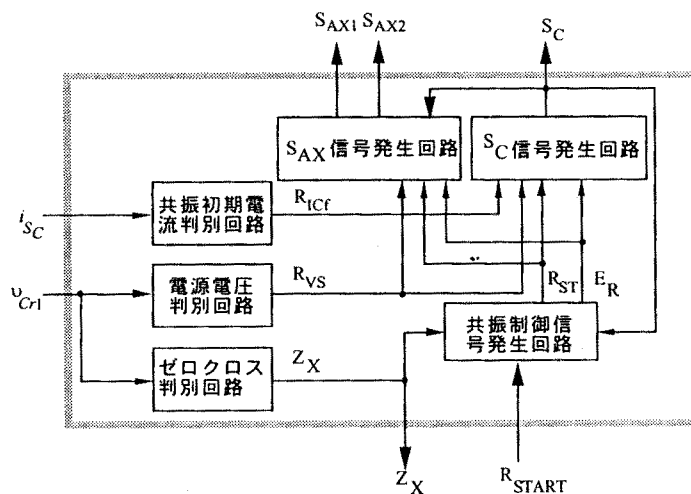


図4-36 TQRDCL回路の制御ブロック図

Fig. 4-36 Block diagram of TQRDCL-III controller

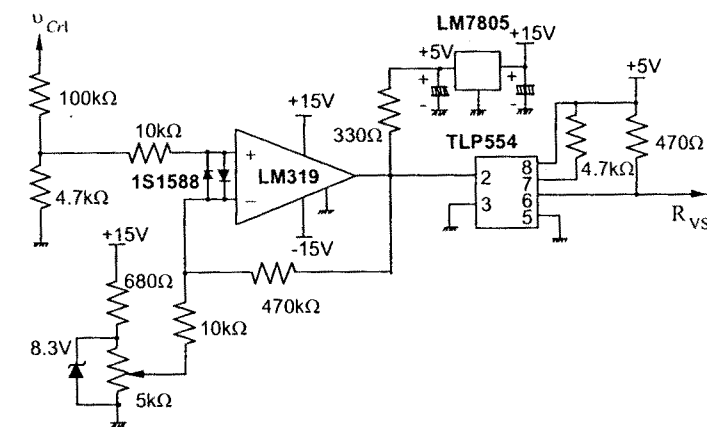


図4-37 電源電圧判別回路

Fig. 4-37 Resonant voltage detector circuit

の検出は、図4-37に示すような簡単な電圧比較器によって構成されている。図よりわかるようにTQRDCL-Iと同様の回路構成であるので、回路については割愛し、各部の動作について述べる。

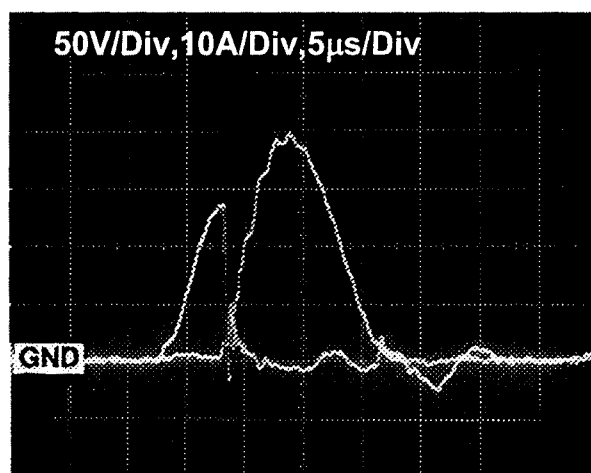
共振制御信号発生回路は、一連の部分共振動作に伴う信号制御と、部分共振が設定された時間内に正常に終了しなかった場合にエラー信号 E_R を発生し回路を強制的にモード0の初期回路状態にリセットするロジック回路によって構成されている。共振制御信号発生回路の動作は、 R_{START} を検出することにより開始され一定期間 R_{ST} 信号を発生する。この R_{ST} 信号により S_{AX} にドライブ信号が送られ、設定電流の制御期間に回路モードが遷移する。共振初期電流判別回路は、パワーデバイス S_C に流れる電流が設定された値に達した時点で信号 R_{ICF} を S_C 発生回路に送る。 S_C 発生回路はパワーデバイス S_C をターンオフさせ、回路モードを部分共振状態に遷移させる。

次に、共振キャパシタ電圧がゼロクロスした時点で、ゼロクロス判別回路はインバータ等の電力変換回路のドライブ信号切替を許可する信号 Z_X を発生し、同時に共振制御信号発生回路に電圧のゼロクロスを通知する。動作説明において述べたように、 S_{AX1} 、 S_{AX2} はオン状態を保っているため共振は連続しており、ドランスに流れている電流が回生され、それが反転した時点で共振キャパシタ電圧の昇圧モードに自然に遷移する。共振キャパシタ電圧が V_s に達した事を電源電圧判別回路が検出すると、信号 R_{VS} が S_C 信号発生回路と S_{AX} 信号発生回路に送られる。これによりパワーデバイス S_C がゼロ電圧ターンオンし、 S_{AX2} はゼロ電流/ゼロ電圧ターンオフする。この時 S_{AX1} は、ほぼZCS条件でターンオフし、共振インダクタ部に蓄積された電流成分の回生動作に遷移する。

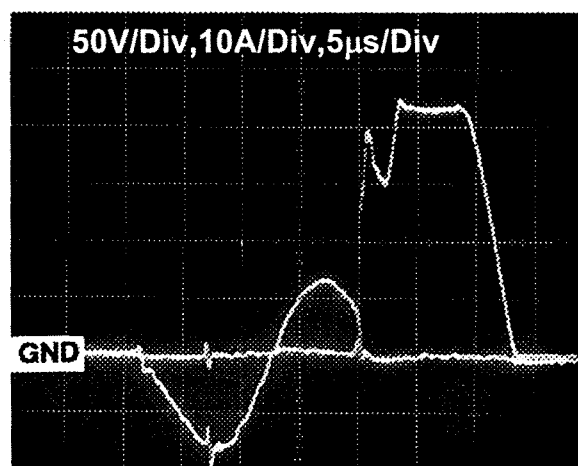
4-3-4 実験結果と検討

試作されたTQRDCL-III回路部における各部の波形例を以下に示す。本波形例は、実験時の負荷として誘導性負荷を用い、シミュレーション時に示した定電流源負荷条件に近くなるように設定している。

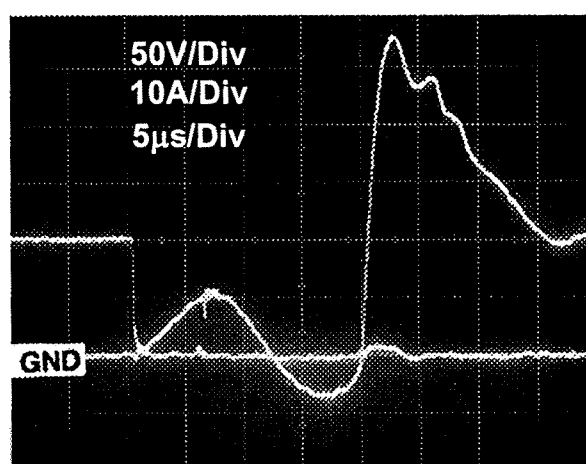
TQRDCL段のスイッチング動作は、各パワーデバイスの端子電圧・電流の実測波形例として図4-38に示したように、ターンオン/オフの双方においてZVS/ZCSが確実に実行されており、シミュレーションに述べた通りのスイッチング特性が得られていることがわかる。これらの波形例における時間軸は、各電圧波形のグラウンドレベルが異なるため個別に観測したものであり若干のずれが生じているが、波形の得られるタイミングはシミュレーション結果と同一



(a)スイッチ S_c 電圧電流波形例



(b)スイッチ S_{AX1} 電圧電流波形例



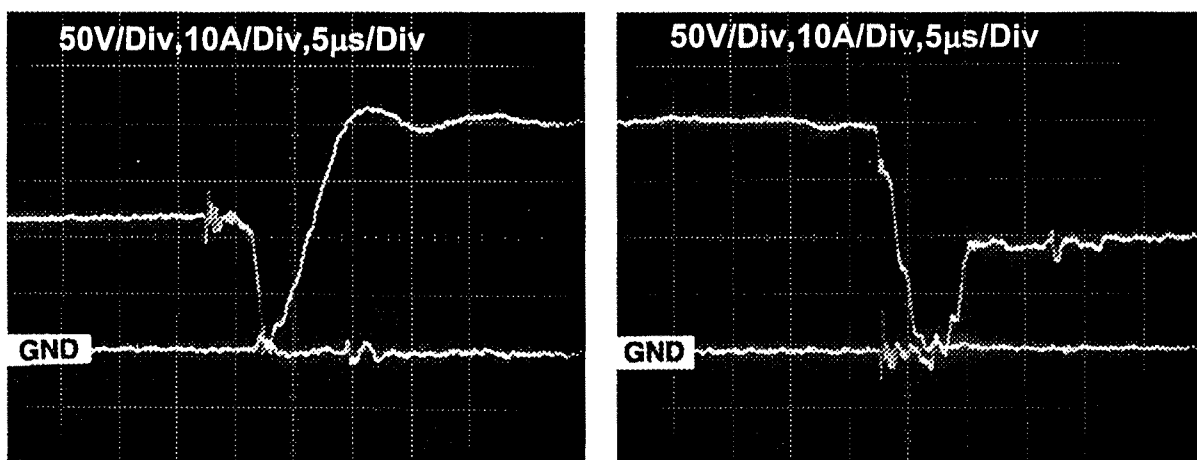
(c)スイッチ S_{AX2} 電圧電流波形例

図4-38 TQRDCLスイッチ電圧/電流実測波形

Fig. 4-38 Switching voltage/current waveforms in TQRDCL-III

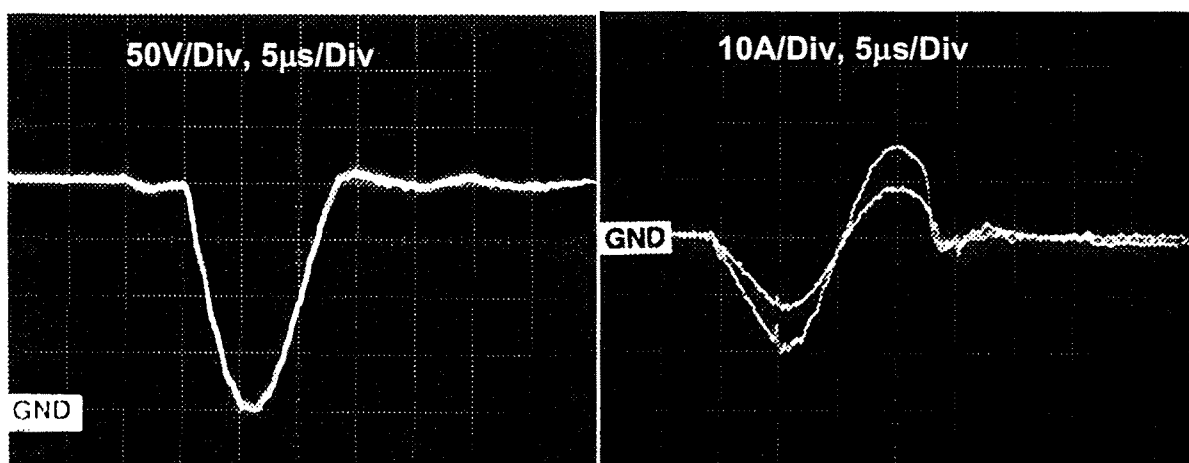
である。また、それぞれの負荷条件も共振電流波形よりわかるようにほぼ同一であり、シミュレーション時の負荷条件と比較すると、やや低い電流レベルであるが動作原理を示す比較結果としては問題のない波形例と考えられる。

主電力変換装置部に相当するパワーデバイス S_{INV} の端子電圧と電流の実測波形例を図4-39に示す。これらの波形より明らかなように、 S_{INV} のスイッチングは、ターンオン/オフの双方でゼロ電圧かつゼロ電流状態で行われており、損失の非常に少ないスイッチング動作が実現されている。



(a) ターンオフ波形例

(b) ターンオン波形例

図4-39 S_{INV} の電圧/電流実測波形Fig. 4-39 Switching voltage and current waveforms in S_{INV} 

(a) 共振電圧波形

(b) 共振電流波形

図4-40 TQRDCL回路部の電圧/電流実測波形

Fig. 4-40 Operating voltage and current waveforms in TQRDCL-III

図4-40に示したように、DCバスライン電圧である共振キャパシタ電圧は、確実にゼロ電圧状態が得られており、電圧形電力変換システム適用時においても全パワーデバイスのZVSが実現可能であることがわかる。また、共振電流波形からも、部分共振動作終了時においてはゼロ電流状態になっていることが確認できる。さらに、<3.2.2>において述べたようにモード11はほとんど発生せず、比較的早くPWM制御モードに入っていることがわかる。図4-40に示した電流波形より算定された共振周波数 F_r は約270[kHz]であり、理論計算値298[kHz]と比較してほぼ設計通りの周波数が得られている。

これらの結果より、TQRDCL回路は、共振電圧アクティブクランプ方式のZVS-PWMモードRDCL回路のうちでも優れた特性を示すことが確認され、EMIノイズの抑制効果が十分あると考えられる。TQRDCL回路におけるパワーデバイスの耐電圧/許容電流などの比較結果を表4-3に示す。基本的にタイプIIはタイプIIIとほぼ同様の特徴を有している。

タイプIのTQRDCL回路については、補助パワーデバイスの電流定格として2~3倍のピーク電流耐量を要するが、その他のパワーデバイスにおいては定格電圧/電流共に1.0p.u.となる。この特徴は、共振初期電流制御を必要とする従来の全てのRDCL方式が、定格負荷電流と初期電流分の重畳した電流をパワーデバイス S_{INV} に流さなければならない点と比べて大き

表4-3 TQRDCL回路の特性比較

Fig. 4-3 Comparison table of TQRDCL

回路形式		タイプI	タイプII	タイプIII	
パワー デバイス	ターンオン	ZCS	ZCS	ZVS/ZCS	
	ターンオフ	ZCS*	ZCS*	ZCS*	
	定格	電圧	1.0 p.u.	1.0 p.u.	1.0 p.u.
		電流	2.0-3.0 p.u.	2.0-3.0 p.u.	2.0-3.0 p.u.
S_{AX1}	ターンオン	ZCS	ZCS	ZCS	
	ターンオフ	ZCS*	ZCS*	ZVS/ZCS	
	定格	電圧	1.0 p.u.	1.0 p.u.	1.0 + α p.u. ($\alpha > 1.4$)
		電流	2.0-3.0 p.u.	2.0-3.0 p.u.	2.0-3.0 p.u.
S_{AX2}	ターンオン	ZVS/ZCS	ZVS/ZCS	ZVS/ZCS	
	ターンオフ	ZVS	ZVS	ZVS	
	定格	電圧	1.0 p.u.	1.0 p.u.	1.0 p.u.
		電流	1.0 p.u.	1.0-2.0 p.u.	1.0-2.0 p.u.
S_C	ターンオン	ZVS/ZCS	ZVS/ZCS	ZVS/ZCS	
	ターンオフ	ZVS	ZVS/ZCS	ZVS/ZCS	
	定格	電圧	1.0 p.u.	1.0 p.u.	1.0 p.u.
		電流	1.0 p.u.	1.0 p.u.	1.0 p.u.
S_{INV}	ターンオン	不要	不要	初期設定電流: I_{CO} (一定値)	
	ターンオフ	不要	不要	初期設定電流: I_{CO} (一定値)	
	定格	電圧	1.0 p.u.	1.0 p.u.	1.0 p.u.
		電流	1.0 p.u.	1.0 p.u.	1.0 p.u.
初期電流制御	昇圧時	不要	不要	初期設定電流: I_{CO} (一定値)	
	降圧時	不要	不要	初期設定電流: I_{CO} (一定値)	

ZCS*; 準ZCS動作

く異なっている。TQRDCLタイプIIとタイプIIIにおいては、降圧モードにおいてクランプ終了時電流 I_{Cj} を必要とするため、表4.3において1.0~2.0p.u.の定格が必要であることを示している。しかし、これはクランプ終了時電流のみの値であり、TQRDCLの設計段階において I_{Cjmin} が定格電流以下の値であれば、定格電流容量のパワーデバイスが使用可能である。

4-4 結言

設計法に基づくTQRDCL回路の動作原理の確認と有効性の検討をシミュレーションおよび試作実験により行った結果、TQRDCL回路は、設計法に述べたパラメータの設定によりZCS/ZVS特性を実現可能であることが確認され、電圧形電力変換装置の高性能化に有効な一手法となることが明らかとなった。

部分共振DCリンクで構成される本方式は、PWM制御期間においてTQRDCL回路は動作せず、高周波スイッチング時の電力損失がPWM制御機能のないその他の共振DCリンク回路と比較して少ない実用上有利な方式といえる。しかしながら、TQRDCLの回路動作は、その他の種々提案されているQRDCLと同様に高い尖頭値を有する電流を補助パワーデバイスに流して急速なZVS効果を得ることを基本としており、補助パワーデバイスにおける飽和電圧に起因する導通損失など、共振回路要素の損失低減が実際応用上の観点から重要となってくる。

これらの解決法としては、第4世代もしくはソフトスイッチング効果を見込んでASOを極めて狭く設計することにより飽和電圧を低くした特定用途対応のIGBT、MCT、MAGT、MOSゲートSiサイリスタなどの新型パワーデバイスの採用が効果的と考えられる。EMIノイズ測定と評価及び損失分析などのより詳細な検討が必要となる。この点については、6章のTQRDCL回路の評価実験において議論する。

第5章 高周波トランス補助転流方式部分共振DCリンクによる CVCFインバータシステム

5-1 緒言

本章では、TQRDCL回路の適用例として、三相正弦波CVCFインバータシステムを取り上げ、ハードスイッチング方式との比較・評価をシミュレーションおよび試作実験により行う。CVCFインバータ方式に適用するTQRDCL回路はタイプIIIを用いるものとする。

評価対象として取り上げるDSPによるデジタル制御方式のCVCFインバータシステムのハードウェア構成と、その制御に用いられるソフトウェアについて述べる。また、シミュレーション・実験によって行ったインバータシステムの評価とその結果より、ハードスイッチング方式と比較しても制御性能などに遜色のない高性能電力変換システムが構成可能であることを示す。

5-2 CVCFインバータシステムのハードウェア構成

5-2-1 主回路構成

供試システムの回路構成を図5-1に示す。これはTQRDCL-IIIによる三相電圧形ZVS-PWMCVCFインバータであり、その主回路は、図3-8に示したTQRDCL回路のスイッチ S_{INV} を三相インバータアームに変更したものである。ハードウェア試作時に2in1^{注)}のIGBTモジュールを使用しスイッチ S_{A12} と S_C との共通化を図ったため配置が若干異っているが、動作に影響はない。

このシステムにおける電源電圧は200[V]の直流電源であり出力は三相の100[Vrms]交流60[Hz]出力とする。L-C構成のフィルタで出力電圧の高調波分を除去した後に負荷に供給する一般的なCVCFインバータの構成となっている。

フィードバック信号はフィルタ電流と線間電圧の二相分であり、それぞれをDCCT(LEMモジュール,CT100T)とPTで絶縁・検出し出力レベルを調整した後にデジタル制御システムのA/D変換器へ入力している。デジタル制御回路は、後述の制御ソフトウェアにより演算さ

注) 2 in 1 ; パワーデバイス2個を1つのモジュールに構成したもの

れた出力電圧を実現するため、主回路へのスイッチングパターンを出力する。この指令されたパターンによりスイッチング変化検出回路は共振DCリンク制御回路への共振開始信号を出力し、3-4-3において述べた一連の部分共振動作が開始される。スイッチング変化検出回路ブロックは、共振DCリンク制御回路からの共振電圧ゼロクロス信号 Z_x を検出するまでの期間インバータドライブ回路への指令スイッチングパターンの出力を抑制する。この一連の動作によりインバータ本体とTQRDCL部との同期制御が行われる。

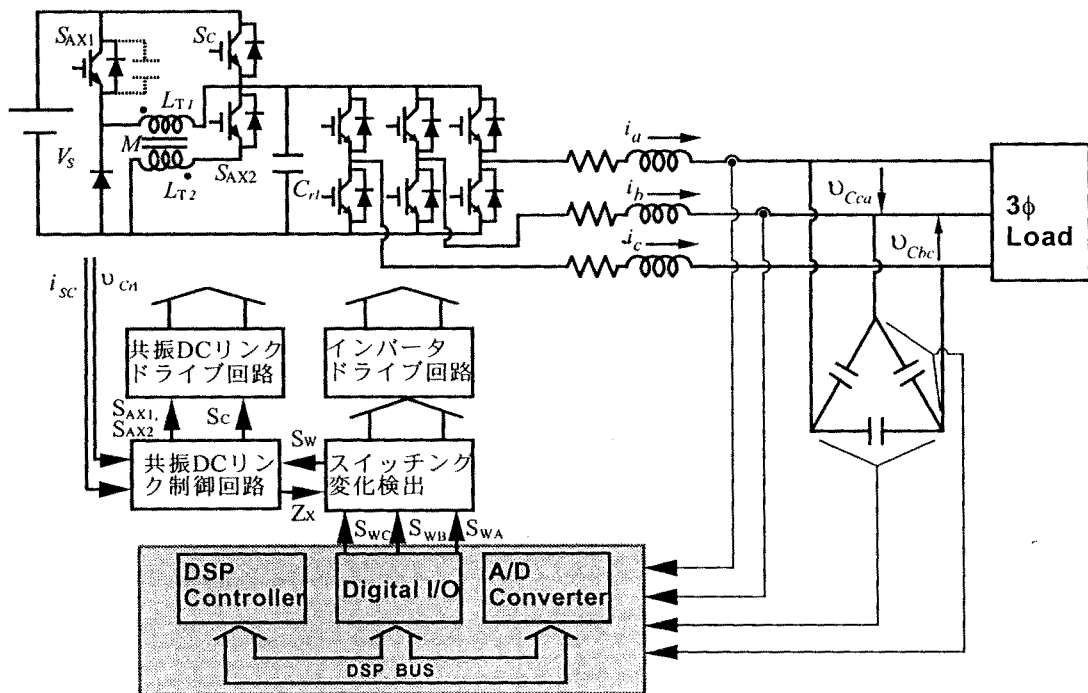


図5-1 TQRDCL方式ZVS-PWM三相CVCFインバータシステム

Fig. 5-1 Total system configuration of the TQRDCL ZVS-PWM three-phase CVCF inverter

5-2-2 高周波トランス補助転流方式部分共振DCリンクの制御回路

TQRDCL制御系は、スイッチングパターンの変化を検出し一連の共振動作を監視・制御を行う電圧/電流の検出系とロジック回路である。回路と動作については3.4.3において詳しく述べたので、ここではスイッチング変化の検出を行う回路の構成を示す。DSPより送られてくるスイッチングパターンは、図5-2に示す回路に入力され信号SWを生成する。この回路は現在の出力スイッチングパターンをDラッチ回路に保持しておき、指令スイッチングパターンが現在出力値と異るときEOR回路により信号SWを生成する簡単な回路構成である。このSWによりTQRDCLが動作を行い、共振キャパシタ電圧がゼロクロスすると信号ZXが戻ってくる。このZXは、ラッチ回路のクロック入力に使用され信号の立ち上がりで指令されたスイッチングパターンをラッチしドライブ回路に出力する。

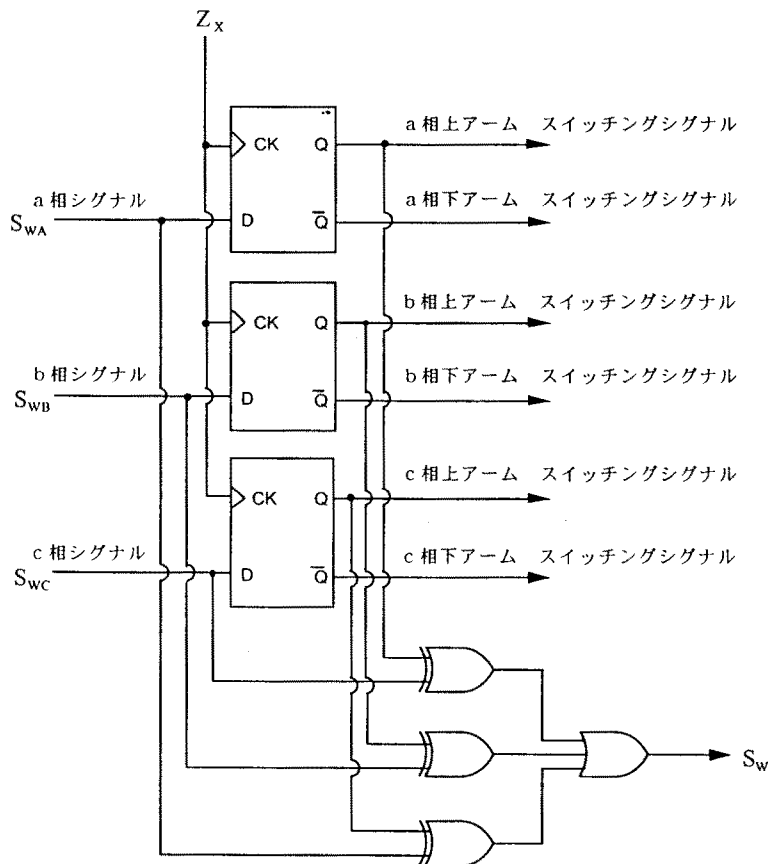


図5-2 スイッチング変化検出回路

Fig. 5-2 Switching pattern detector

5-2-3 制御系のハードウェア構成

出力電圧制御系はデジタル制御系で、DSPボード、A/D変換ボード、デジタルI/Oボードとシステムクロックを発生するクロック発生ボードから構成されている。DSPボードは、テキサスインスツルメント社のTMS320C25を使用しており、A/D変換ボードからの12ビットの状態量により出力すべきインバータのスイッチングパターンを演算する。A/D変換ボードは8チャンネルの同時サンプリングを行う変換速度5[μs]のもので、入力フィルタ部のインダクタ電流と出力電圧を取り込んでいる。制御系のタイミング信号となる12[kHz]のサンプリング信号は、クロック発生ボードより出力され、A/D変換ボードのトリガおよびDSPボードへの割込信号として使用されている。DSPにより求められたスイッチングパターンは、後述する時分割パルスパターンとしてデジタルI/Oボードよりスイッチング変化検出回路に出力される。時分割パルスの出力時間制御は、DSPのタイマー割込機能を使用しており、ベクトル出力時間終了時に発生する割込により次に出力すべき電圧ベクトルの出力およびタイマーのプリセットを行う。

タイマーは10MHzで駆動された16ビットカウンタであるので1サンプリング時間内の分割数は約833となる。割込発生からベクトル出力までの時間遅延を考慮してもタイマーが100nsの時間分解能を有するため、時分割電圧ベクトルの時間管理には十分な精度が得られる。

5-3 CVCFシステムの出力電圧制御系の構成

5-3-1 インバータの負荷モデルと最適一型サーボ系

出力電圧制御の制御系は、最適一型デジタルサーボ系により構成した。制御系の設計に際して、図5-3に示すようにインダクタ/キャパシタからなるフィルタ回路と三相負荷系における電圧/電流の各状態量を定義する。図中に示したインバータ出力電圧は、仮想中性点からの電位を示している。制御系が安定に動作し、出力電圧が平衡状態にあるとき、インバータ電源電圧の仮想中性点より出力フィルタの仮想接地点には電位差が存在しない。

この回路における連続時間系での状態方程式は、次式で表される。

$$\begin{aligned} L_f \frac{d}{dt} \mathbf{i} &= \mathbf{v} - \mathbf{v}_c - R_f \mathbf{i} \\ 3C_f \frac{d}{dt} \mathbf{v}_c &= \mathbf{i} - \mathbf{i}_L \end{aligned} \quad \dots \dots \dots (5-1)$$

ただし、

$$i = [i_a \ i_b \ i_c]^T, \quad i_L = [i_{La} \ i_{Lb} \ i_{Lc}]^T$$

$$v = [v_a \ v_b \ v_c]^T, \quad v_c = [v_{Ca} \ v_{Cb} \ v_{Cc}]^T$$

このモデルは、三相から二相に変換可能であり、これを同期回転座標系に変換すると以下のように表すことができる。

$$\frac{d}{dt} \tilde{i} = \begin{bmatrix} -R_f/L_f & \omega_e \\ -\omega_e & -R_f/L_f \end{bmatrix} \tilde{i} + \frac{\tilde{v} - \tilde{v}_c}{L_f} \dots\dots\dots (5-2)$$

$$\frac{d}{dt} \tilde{v}_c = \begin{bmatrix} 0 & \omega_e \\ -\omega_e & 0 \end{bmatrix} \tilde{v}_c + \frac{\tilde{i} - \tilde{i}_L}{3C_f}$$

ω_e ; 出力電圧の角周波数

これは、連続時間系のシステム状態方程式として

$$\frac{d}{dt} \tilde{x} = A\tilde{x} + B\tilde{v} + D\tilde{i}_L \dots\dots\dots (5-3)$$

となる。

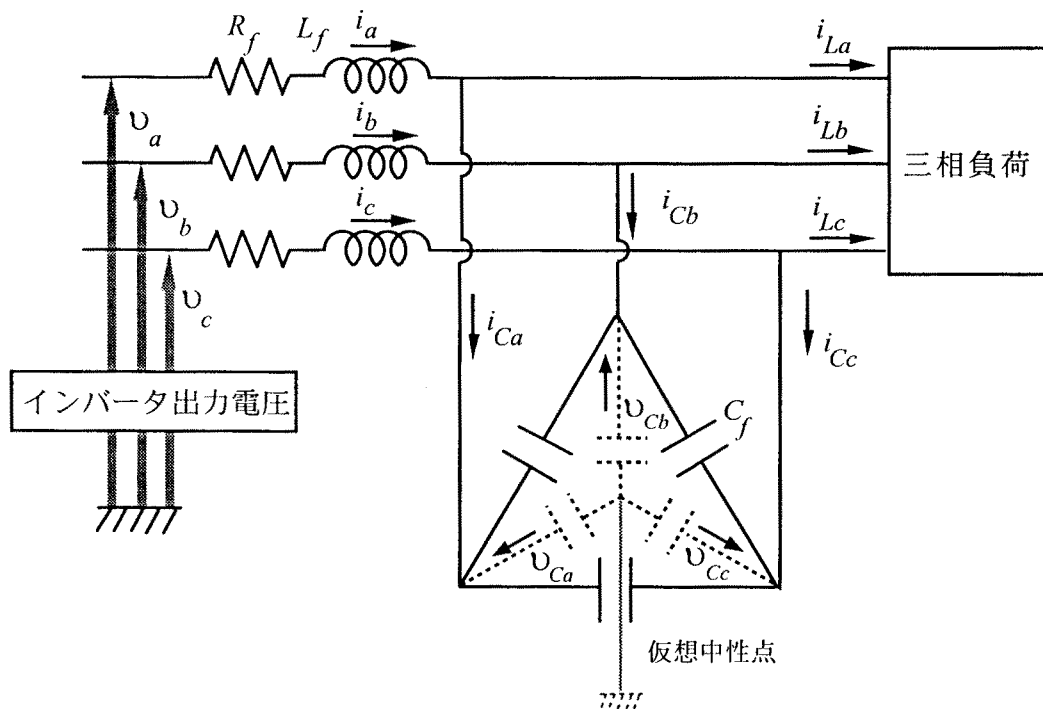


図5-3 PWMインバータ回路の負荷モデル

Fig. 5-3 Load model for PWM inverter

ただし、

$$\tilde{\mathbf{x}} = \begin{bmatrix} i_\alpha \\ i_\beta \\ v_{c\alpha} \\ v_{c\beta} \end{bmatrix}, \quad \mathbf{A} = \begin{bmatrix} -R_f/L_f & \omega_e & -1/L_f & 0 \\ -\omega_e & -R_f/L_f & 0 & -1/L_f \\ 1/3C_f & 0 & 0 & \omega_e \\ 0 & 1/3C_f & -\omega_e & 0 \end{bmatrix}$$

$$\mathbf{B} = \begin{bmatrix} 1/L_f & 0 \\ 0 & 1/L_f \\ 0 & 0 \\ 0 & 0 \end{bmatrix}, \quad \mathbf{D} = \begin{bmatrix} 0 & 0 \\ 0 & 0 \\ -1/3C_f & 0 \\ 0 & -1/3C_f \end{bmatrix}$$

このシステムをデジタル制御するため、サンプリング時間を T_s として離散化を行うと、次式の離散時間系の状態方程式を得る。

$$\hat{\mathbf{x}}[k+1] = \mathbf{A}_z \hat{\mathbf{x}}[k] + \mathbf{B}_z \hat{\mathbf{v}}[k] + \mathbf{D}_z \hat{i}_L[k] \dots \dots \dots (5-4)$$

$$\hat{\mathbf{v}}_c[k] = \mathbf{C}_z \hat{\mathbf{x}}[k]$$

ただし、

$$\mathbf{A}_z = e^{A T_s}, \quad \mathbf{B}_z = \int_0^{T_s} e^{A \tau} d\tau \cdot \mathbf{B}$$

$$\mathbf{D}_z = \int_0^{T_s} e^{A \tau} d\tau \cdot \mathbf{D}, \quad \mathbf{C}_z = \begin{bmatrix} 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}$$

(5-4)式より、負荷電流 $i_L[k]$ が外乱として取り扱われ、 $v[k]$ を入力、 $v_c[k]$ を出力とする2入力

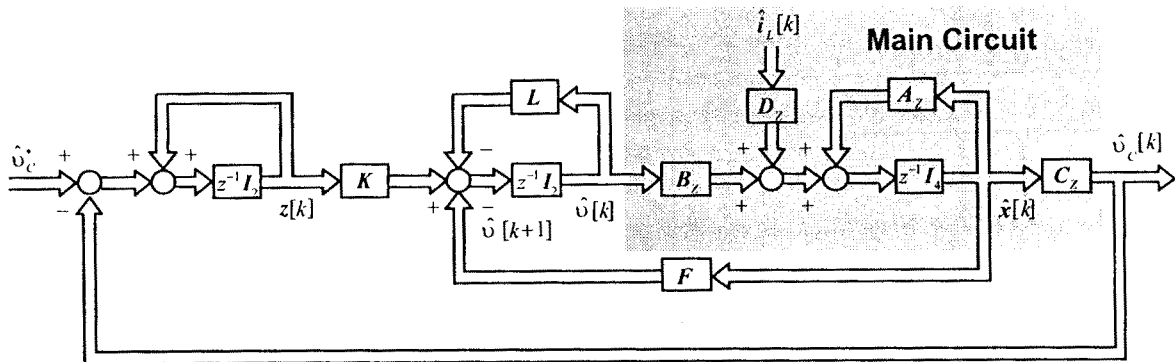


図5-4 一型デジタルサーボ系

Fig. 5-4 Block diagram of the digital type I servo system

2出力システムを構成することになる。ここで、出力電圧 v_c を同期回転座標系において

$$\hat{v}_c^* = \begin{bmatrix} \dot{v}_{c\alpha}^* \\ \dot{v}_{c\beta}^* \end{bmatrix} = E \begin{bmatrix} \cos \phi \\ \sin \psi \end{bmatrix} \dots\dots\dots(5-5)$$

に制御する。CVCF応用においては初期位相を任意の値に設定することが可能であるため、ここでは、 $\phi=\psi=\pi/4$ に設定する。この時、システムの入力はステップ状の一定値となる。この目標入力に定常偏差なく出力電圧を追従させるため、図5-4に示すような一型サーボ系を構成する。

この系の制御則は、

$$\begin{aligned} \hat{v}[k+1] &= -F \hat{x}[k] + L \hat{v}[k] + K z[k] \\ z[k+1] &= z[k] + \hat{v}_c^* - C_z \hat{x}[k] \end{aligned} \dots\dots\dots(5-6)$$

で与えられる。これらのゲイン設計に際しては、以下に示す二次形式評価関数を用い、これを最小とするレギュレータのフィードバックゲインを求める。

$$J = \sum_{i=0}^{\infty} \{ \hat{x}[k]^T Q \hat{x}[k] + \hat{v}[k]^T R \hat{v}[k] \} \dots\dots\dots(5-7)$$

ただし、

$$Q = \begin{bmatrix} q_1 & 0 & 0 & 0 \\ 0 & q_2 & 0 & 0 \\ 0 & 0 & q_3 & 0 \\ 0 & 0 & 0 & q_4 \end{bmatrix}, \quad R = \begin{bmatrix} r_1 & 0 \\ 0 & r_2 \end{bmatrix}$$

この時、レギュレータのフィードバックゲイン F_r は次式となる。

$$F_r = (R + B_z^T P B_z)^{-1} B_z^T P A_z \dots\dots\dots(5-8)$$

ここで、 P =離散型リカッチ方程式を満たす正定行列である。

これにより、サーボ系のフィードバックゲイン L 、 F 、 K は、

$$\left. \begin{aligned} L &= F_r b_z + I_2 \\ [F \quad K] &= [F_r A_z^2 \quad F_r A_z B_z + I_2] \begin{bmatrix} A_z - I_4 & B_z \\ C_z & 0 \end{bmatrix}^{-1} \end{aligned} \right\} \dots\dots\dots(5-9)$$

として逆算される。ここで、(5-7)式の重み係数は出力電流、出力電圧、制御入力の各 α - β

成分に対し、それぞれ同じ値を重みとして与え、システムの挙動が各重み係数の比によって決定されることを考慮して、

$$\begin{aligned} q_1 &= q_2 = q \\ q_3 &= q_4 = 1.0 \\ r_1 &= r_2 = r \end{aligned}$$

とする。この時の q および r は、シミュレーションにより求めた。システムの動作において出力電圧のオーバーシュートが少なく、かつ、フィルタインダクタ電流のピークが抑制可能な値を決定する。図5-5は設定値を変更した場合のシステムの応答を示したものである。

シミュレーションは、(5-4)式の A_z 、 B_z 、 C_z を用いて、フィードバックゲインを(5-8)式、(5-9)式より計算し、制御入力電圧として、(5-6)式により計算された電圧がサンプリング時間中、ステップ状に加えられると仮定し、 r と q を変化させて行った。但し、制御する線間電圧を $E = 100$ [V]とすることにより、システムの目標入力を

$$\hat{v}_c^* = \begin{bmatrix} \frac{100}{\sqrt{2}} \\ \frac{100}{\sqrt{2}} \end{bmatrix} \dots \dots \dots (5-10)$$

としている。図5-5より、 r を小さく取ると、出力フィルタ電圧のオーバーシュートが小さくなるが、その反面、出力フィルタ電流のピークが大きくなる。また、 q を大きく取ると出力フィルタ電流のピークが小さく出来るが、出力フィルタ電圧の立ち上がりが遅くなるのがわかる。そこで、図より、出力フィルタ電流のピークが大きく成り過ぎず、出力フィルタ電圧の立ち上がり出来るだけ早くなるように、

$$\begin{aligned} q &= 5.0 \dots \dots \dots (5-11) \\ r &= 0.2 \end{aligned}$$

と設定する。この値よりフィードバックゲインは、

$$L_s = \begin{bmatrix} 1.677 & 0.02090 \\ -0.02090 & 1.677 \end{bmatrix} \dots \dots \dots (5-12)$$

$$[F_s \quad K_s] = \begin{bmatrix} 15.51 & 0.3113 & 4.717 & -0.1820 & 1.548 & -0.1127 \\ -0.3113 & 15.51 & 0.1820 & 4.717 & 0.1127 & 1.548 \end{bmatrix} \dots \dots (5-13)$$

となる。

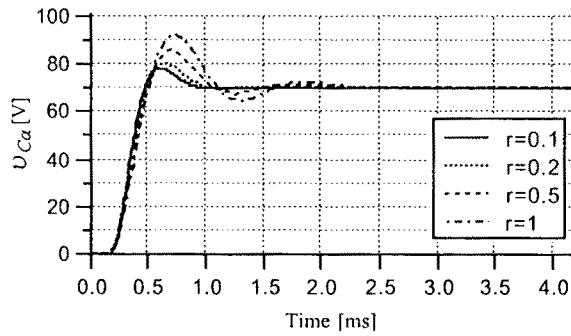
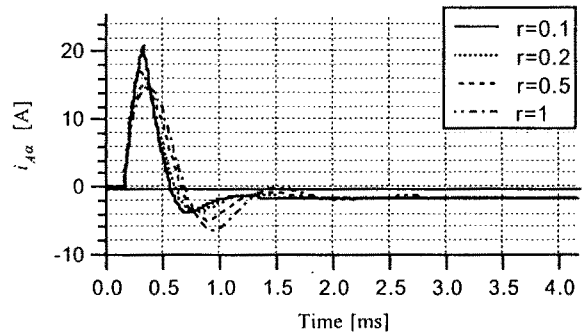
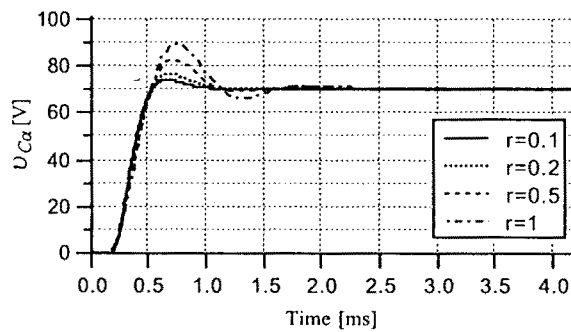
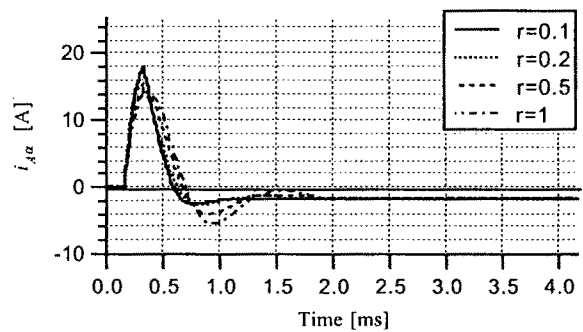
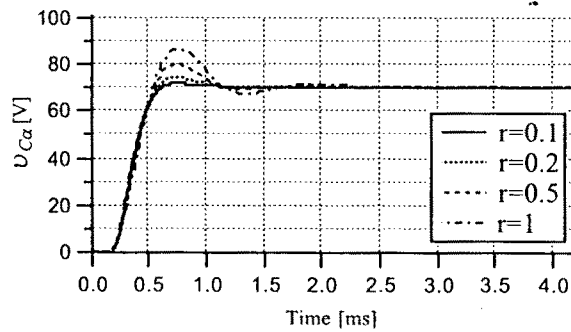
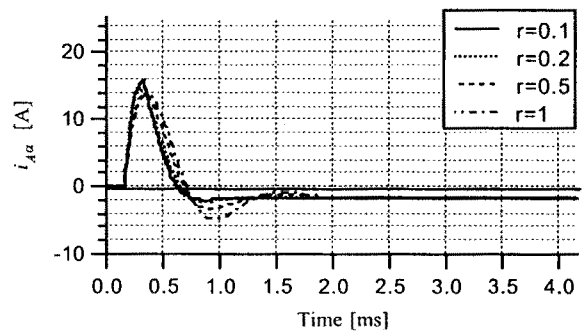
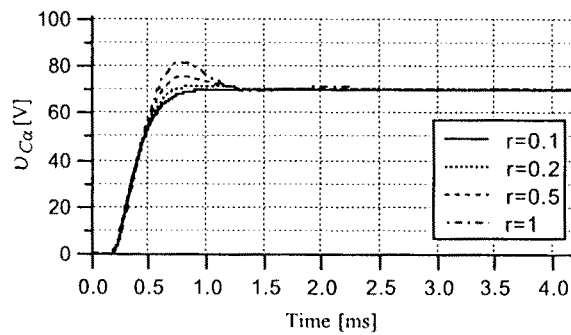
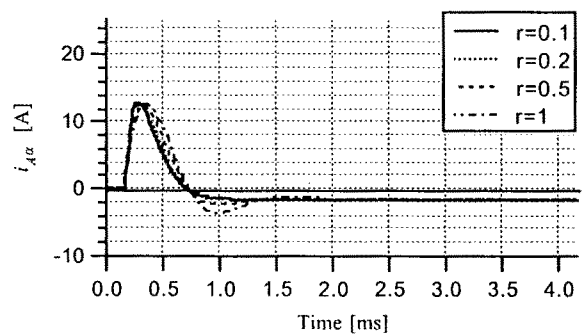
(a) α 軸電圧波形 ($q=1$)(b) α 軸電流波形 ($q=1$)(c) α 軸電圧波形 ($q=3$)(d) α 軸電流波形 ($q=3$)(e) α 軸電圧波形 ($q=5$)(f) α 軸電流波形 ($q=5$)(g) α 軸電圧波形 ($q=10$)(h) α 軸電流波形 ($q=10$)

図5-5 制御システムの応答波形

Fig. 5-5 Control system response

このシミュレーションに用いた定数は、実システムのパラメータより設定たもので、以下に示す値である。

サンプリング周波数	$F_s=1/T_s=12$ [kHz]
フィルタリアクトル	$L_f=650$ [μH]
リアクトルの内部抵抗	$R_f=0.23$ [Ω]
フィルタキャパシタ	$C_f=20$ [μF]
出力電圧角周波数	$\omega_r=120\pi$ [rad/sec]

5-3-2 インバータ出力電圧の時分割制御

デジタルコントローラによって得られた制御入力電圧ベクトル \hat{v}_d^* を静止d-q座標系に変換した指令電圧ベクトル \hat{v}_d^* として三相インバータにより実現する方法について述べる。三相インバータにより出力できる電圧ベクトルは、図5-6のインバータアームの各相に対して、上部スイッチがONのときは1、下部スイッチがONのときは0となる2値関数 S_a 、 S_b 、 S_c を対応させると線間電圧が、

$$\begin{bmatrix} V_{Sab} \\ V_{Sbc} \\ V_{Sca} \end{bmatrix} = V_s \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} S_a \\ S_b \\ S_c \end{bmatrix} \dots\dots\dots (5-27)$$

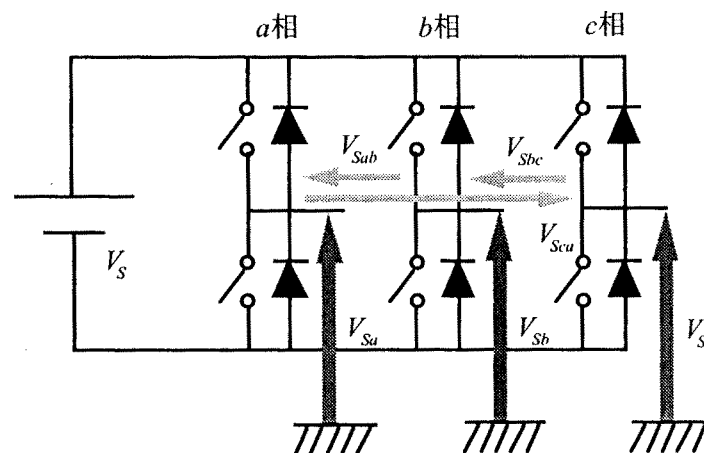


図5-6 三相電圧形インバータ回路

Fig. 5-6 Voltage-fed three-phase inverter circuit

として出力される。このとき、仮想中性点からの相電圧は、

$$\begin{bmatrix} V_{Sa} \\ V_{Sb} \\ V_{Sc} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} V_{Sab} - V_{Sca} \\ V_{Sbc} - V_{Sba} \\ V_{Sca} - V_{Sbc} \end{bmatrix} = \frac{V_s}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} S_a \\ S_b \\ S_c \end{bmatrix} \dots\dots\dots (5-28)$$

である。この相電圧に対してd-q変換を行うと、

$$\begin{bmatrix} V_{sd} \\ V_{sq} \end{bmatrix} = \sqrt{\frac{2}{3}} V_s \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} S_a \\ S_b \\ S_c \end{bmatrix} = Y \begin{bmatrix} V_s S_a \\ V_s S_b \\ V_s S_c \end{bmatrix} \dots\dots\dots (5-29)$$

が得られる。この $[V_{sd} \ V_{sq}]^T$ は、スイッチング空間電圧ベクトルと称し、次式を用いて、 S_a 、 S_b 、 S_c の関数として表すことができる。

$$V_n(S_a \ S_b \ S_c) = \sqrt{\frac{2}{3}} V_s (S_a + a S_b + a^2 S_c) \dots\dots\dots (5-30)$$

ここで $\alpha = e^{j\frac{2\pi}{3}}$ である。また、スイッチング空間ベクトルの状態は、 $n = S_a + 2S_b + 4S_c$ の2進表現で示されている。これより、各スイッチングパターンに対応したスイッチング空間電圧ベクトルを求めると表5-1が得られ、このベクトルをd-q座標上に表すと図5-7のようになる。これは、三相インバータにより6つの電圧ベクトルとゼロ電圧ベクトルが出力可能であることを示している。

表5-1 インバータ出力電圧ベクトル表

Fig. 5-1 Inverter output voltage vector

状態n	S_a	S_b	S_c	$V_n(S_a S_b S_c)$
0	0	0	0	0
1	1	0	0	$\sqrt{3/2} V_s$
2	0	1	0	$\sqrt{3/2} V_s e^{j\frac{2\pi}{3}}$
3	1	1	0	$\sqrt{3/2} V_s e^{j\frac{\pi}{3}}$
4	0	0	1	$\sqrt{3/2} V_s e^{j\frac{4\pi}{3}}$
5	1	0	1	$\sqrt{3/2} V_s e^{j\frac{5\pi}{3}}$
6	0	1	1	$-\sqrt{3/2} V_s$
7	1	1	1	0

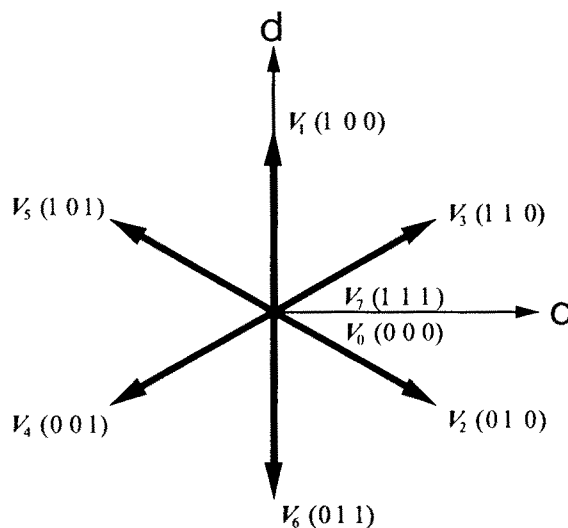


図5-7 インバータ出力電圧ベクトル

Fig. 5-7 Inverter output voltage vector

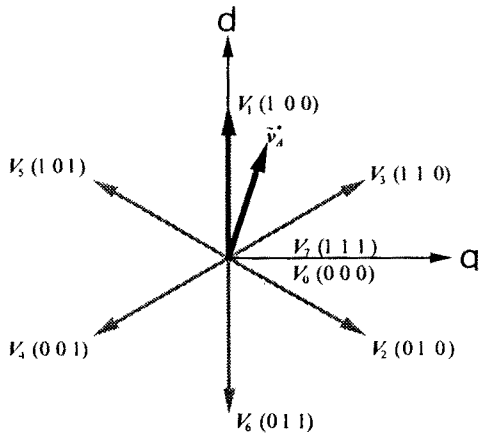


図5-8 出力電圧ベクトル出力例

Fig. 5-8 Output voltage vector

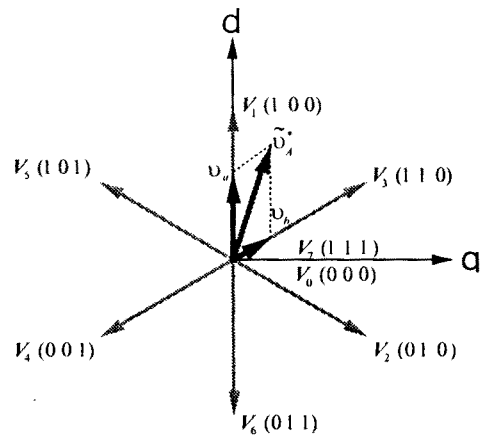


図5-9 時分割電圧ベクトル出力例

Fig. 5-9 Output voltage vector with time-sharing control

スイッチング空間電圧ベクトルにより指令電圧ベクトル \tilde{v}_a^* を実現する簡単な方法として、指令電圧ベクトルに最も近いスイッチング空間電圧ベクトルをサンプリング時間中、出力する方法が考えられる。例えば、指令電圧ベクトルが図5-8のようであれば、サンプリング時間中、 V_1 が出力される。しかしながら、この場合、指令電圧ベクトルの実現性が悪く、それにより、三相電圧の制御性能が劣化することになる。そこで、指令電圧ベクトルを最寄りの2つのスイッチング空間電圧ベクトルの方向に分割して出力する方法が考えられる。図5-9に示したように、ある出力電圧ベクトルに対する最寄りの2つのスイッチング空間電圧ベクトルは、この場合には V_1 と V_3 である。この時、指令電圧ベクトルを各スイッチング空間電圧ベクトル方向に分割したベクトルをそれぞれ v_a 、 v_b とすると、 V_1 を

$$t_a = \frac{|v_a|}{|V_1|} T_s = \sqrt{\frac{3}{2}} \frac{|v_a|}{V_s} T_s [\text{sec}] \dots\dots\dots (5-31)$$

時間出力し、 V_3 を

$$t_b = \frac{|v_b|}{|V_3|} T_s = \sqrt{\frac{3}{2}} \frac{|v_b|}{V_s} T_s [\text{sec}] \dots\dots\dots (5-32)$$

時間出力し、サンプリング時間の残り

$$t_z = T_s - t_a - t_b [\text{sec}] \dots\dots\dots (5-33)$$

時間、ゼロ電圧ベクトル V_7 を出力することにより、指令電圧ベクトルを実現することになる。図5-10にインバータのスイッチングパターンの一例を示す。この方法は、時間平均的に、スイッチング空間電圧ベクトルと指令電圧ベクトルが等しくなり、精度良く指令電圧ベクトルが実現できることになる。

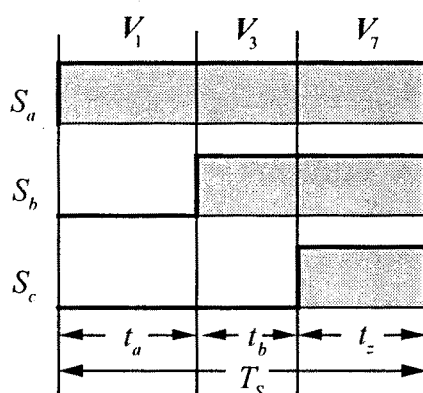


図5-10 時分割制御時のインバータスイッチングシーケンス

Fig. 5-10 Inverter switching sequences in time-sharing control

5-4 CVCFシステムのシミュレーション解析と実験結果

5-4-1 シミュレーションおよび試作実験における条件

TQRDCLとハードスイッチングの双方の方式における三相CVCFインバータシステムの特
性比較・評価をシミュレーションおよび試作実験により行う。シミュレーションにおいて
は、DSPでデジタル制御を行うことを前提としているため、1サンプル時間遅れを考慮し
ている。シミュレーションと実験に用いたTQRDCLの高周波トランスとフィルタなどの定数
の値を表5-2す。表5-2のTQRDCL部の回路パラメータは、高周波トランスの設計法により計
算されたものである。また、副共振キャパシタに相当する C_{r2} は、使用したパワーデバイス
(IGBT:MG50J2YS40)の出力容量程度である。これは、4章においてTQRDCL回路単体で行っ
た条件と同じものである。従って、ここでのシミュレーションでも同じ値を用いており、試
作装置には特に副共振キャパシタを使用していない。

さらに、比較実験のため行ったハードスイッチング方式のインバータ実験には、TQRDCL
回路はブスパーによりバイパスし、1.5 μ sのデッドタイムを設けた専用のドライブ回路を用い
た。従って、シミュレーションも同じデッドタイムを設定して行い実機に近い条件となるよ
うに考慮している。

シミュレーションおよび実験で用いた負荷形式と条件は、以下の通りである。

抵抗負荷 10 Ω

R-L負荷 負荷抵抗10 Ω 、pf=0.8

- 非線形負荷 負荷抵抗 50Ω 、キャパシタ $1.92\mu\text{F}$
 チョークリアクトル 1.73mH 、 0.1Ω
- 不平衡負荷 抵抗負荷 10Ω ただし、1相が欠相
- 負荷変動 $1\text{kVA}\rightarrow 200\text{VA}\rightarrow 1\text{kVA}$ 抵抗負荷

表5-2 インバータシステムパラメータ表

Table 5-2 Inverter system parameters

電源電圧	V_s	200 [V]
トランス 1次側インダクタンス	L_{T1}	215 [μH]
トランス 2次側インダクタンス	L_{T2}	537.5 [μH]
トランス相互インダクタンス	M	334.5 [μH]
トランス結合係数	k	0.984
共振キャパシタンス1	C_{r1}	110 [nF]
共振キャパシタンス2	C_{r2}	3 [nF]
フィルタリアクトル a 相	L_{fa}	697 [μH]
フィルタリアクトル b 相	L_{fb}	636 [μH]
フィルタリアクトル c 相	L_{fc}	617 [μH]
フィルタ配線抵抗 a 相	R_{fa}	0.244 [Ω]
フィルタ配線抵抗 b 相	R_{fb}	0.227 [Ω]
フィルタ配線抵抗 c 相	R_{fc}	0.214 [Ω]
フィルタキャパシタンス a-b	C_{fa-b}	19.95 [μF]
フィルタキャパシタンス b-c	C_{fb-c}	19.95 [μF]
フィルタキャパシタンス c-a	C_{fc-a}	19.96 [μF]
サンプリング周波数	F_s	12 [kHz]
出力基準電圧	v_{ref}	100 [Vrms]
三相出力電圧周波数	F_e	60 [Hz]

5-4-2 CVCFインバータシステムの動作

シミュレーションならびに試作実験によるTQRDC段とインバータアームの各相の出力電圧波形の例を、図5-11と図5-12に示すような動作波形となっている。これらの図より、5-3-3において述べた時分割制御法により、3つのベクトルに分割された電圧パルスが1サンプリング内(83.8 μ s)内に出力されていることが確認できる。インバータアームに印加される電圧は、

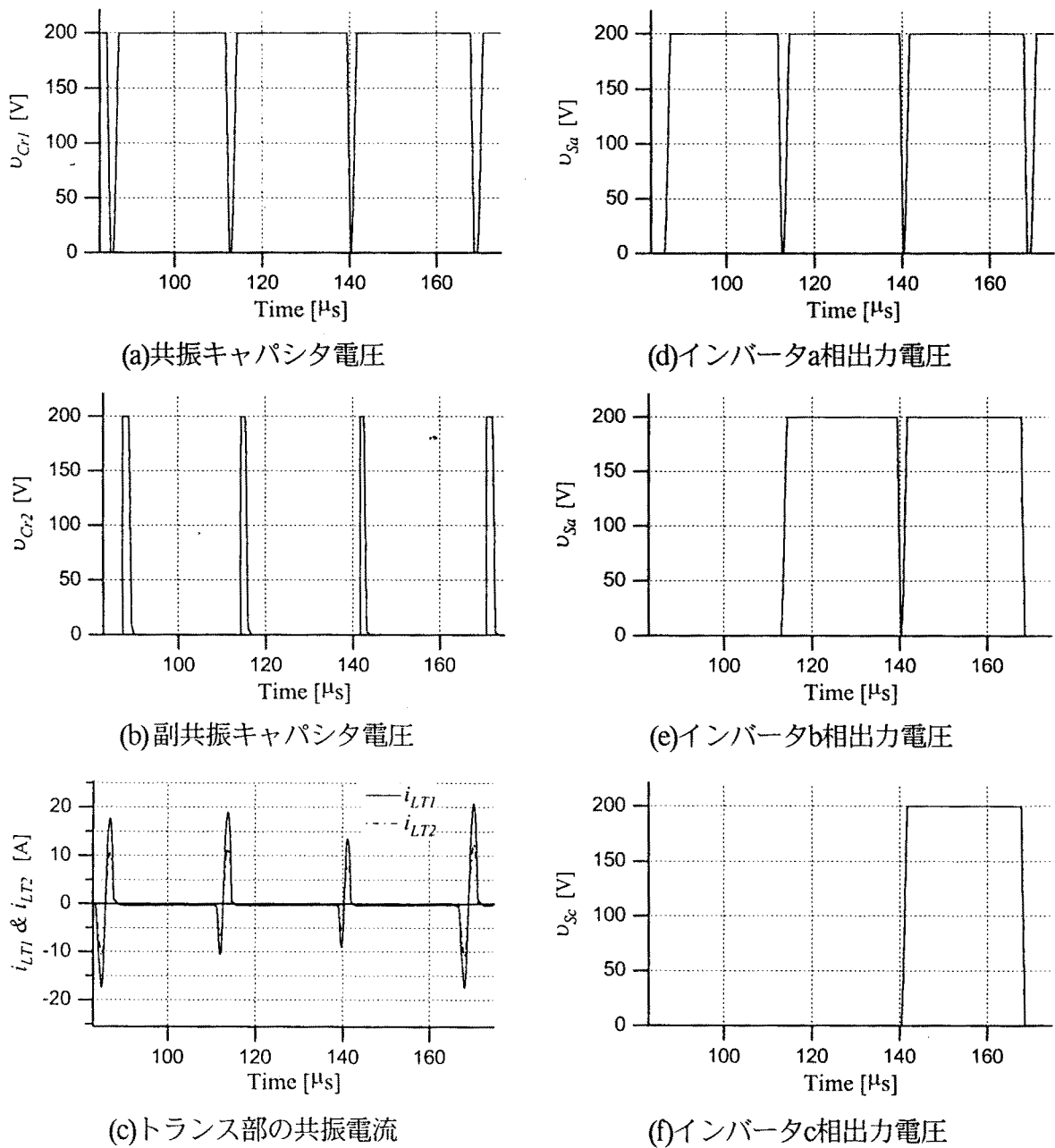


図5-11 シミュレーションによるTQRDCインバータ各部波形例

Fig. 15-11 Simulated operating waveforms of TQRDC inverter

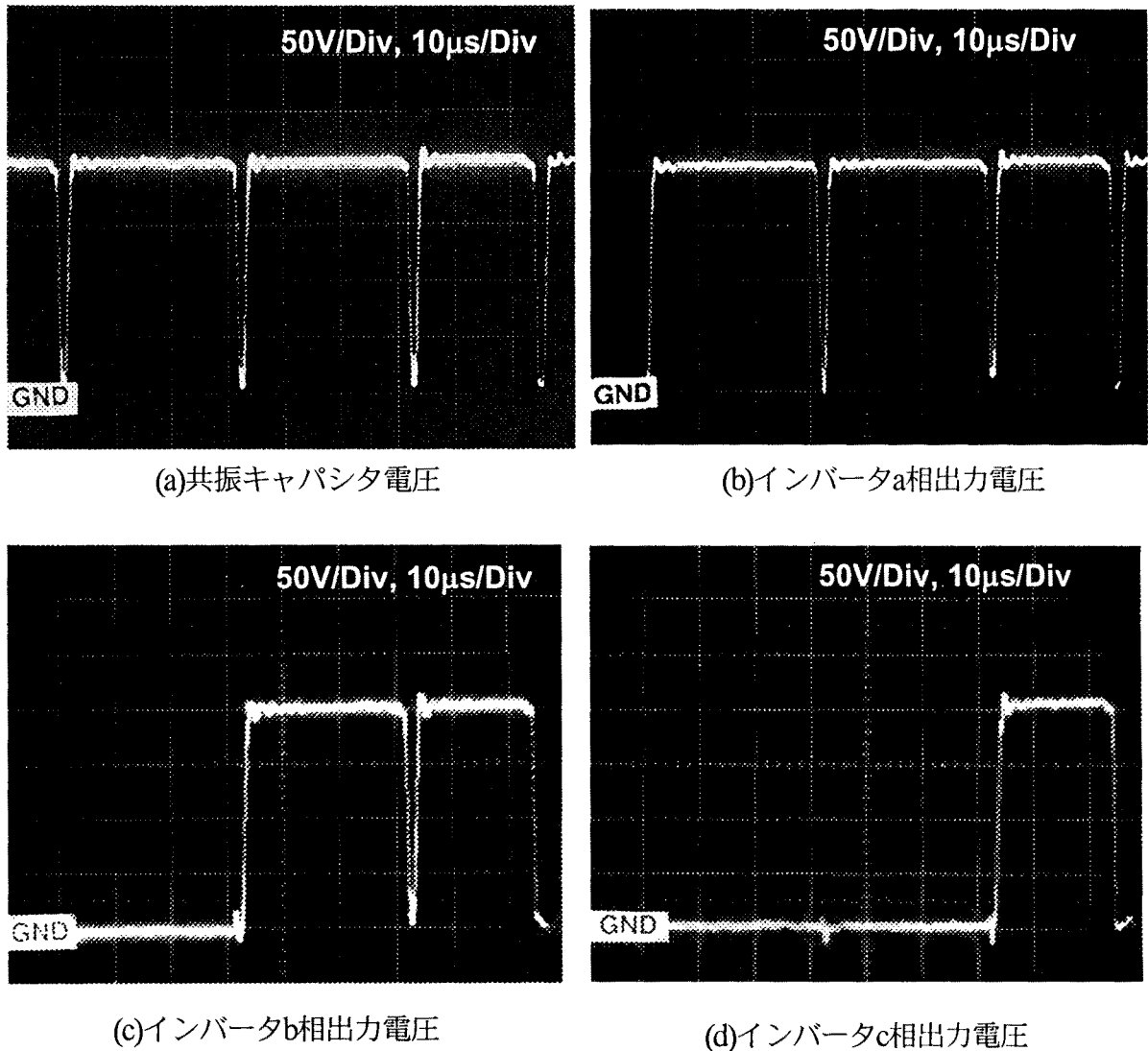


図5-12 TQRDCLインバータ出力端電圧波形例

Fig. 5-12 Observed output terminal voltage in TQRDCL inverter

TQRDCL動作によりゼロ電圧期間が発生しておりZVSが行われていることがわかる。

インバータシステムの抵抗負荷時におけるシミュレーション波形例を図5-13に示す。図5-13の右側の波形例はTQRDCLインバータの出力波形例であり、左側はハードスイッチングインバータの波形例を示したものである。双方の波形例を比較しても明らかのように、ソフトスイッチング/ハードスイッチング方式の如何に関わらず良好な出力電圧・電流波形が得られていることがわかる。

シミュレーションと同様に抵抗負荷時における検証実験により、TQRDCL方式、ハードスイッチング方式それぞれに対して図5-14、図5-15に示すような電圧・電流波形が得られた。

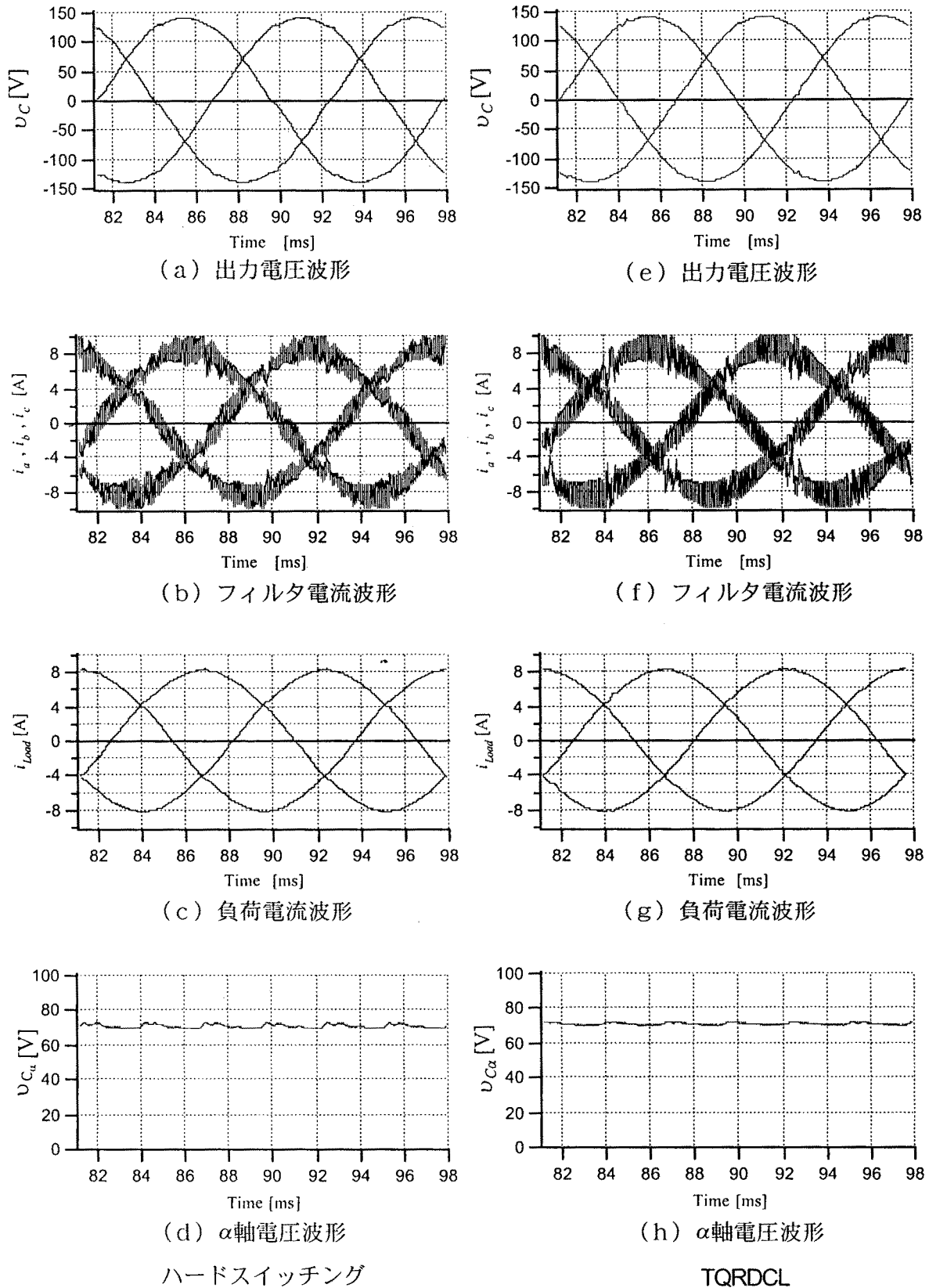
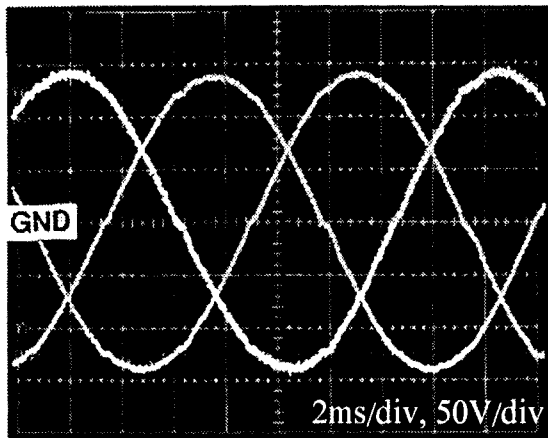
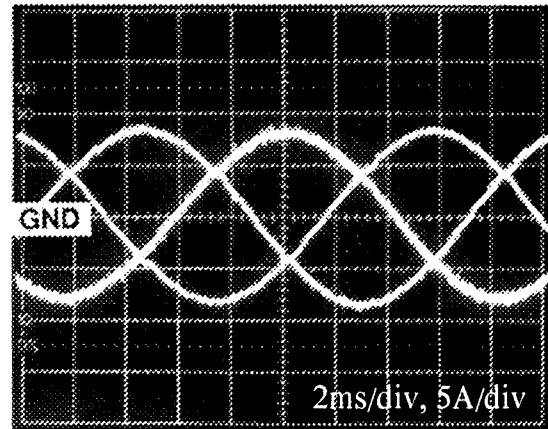


図5-13 抵抗負荷時におけるシミュレーション波形例

Fig. 5-13 Simulated waveforms of the resistive load condition



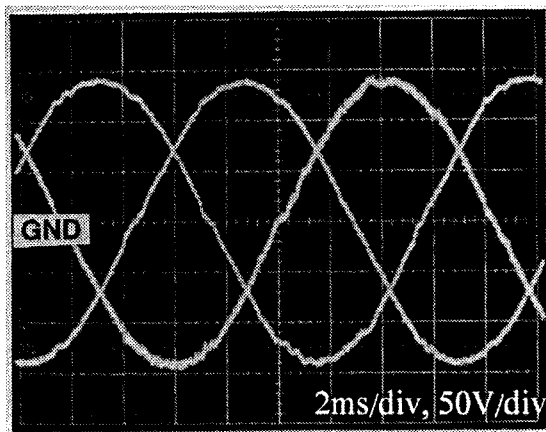
(a) 出力電圧波形例



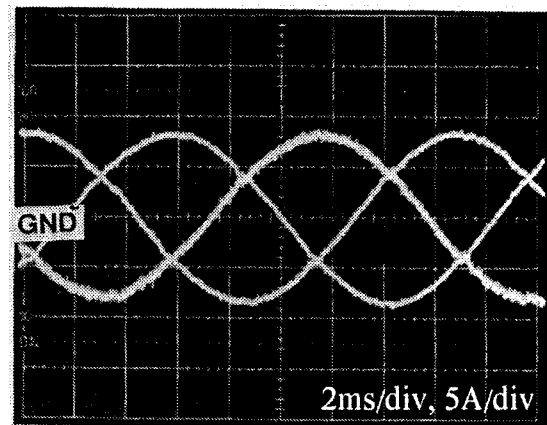
(b) 出力電流波形例

図5-14 TQRDCLインバータの出力波形例

Fig. 5-14 Output voltage and current waveforms in TQRDCL inverter



(a) 出力電圧波形例



(b) 出力電流波形例

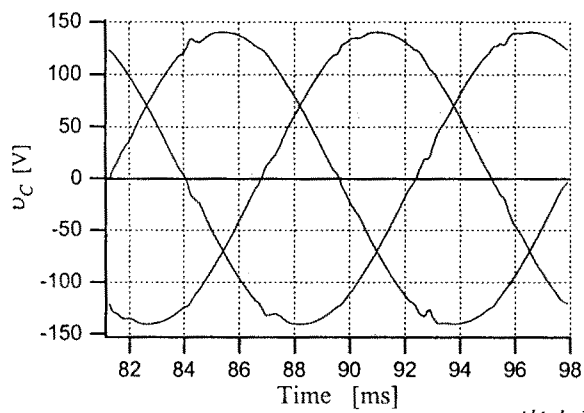
図5-15 ハードスイッチングインバータの出力波形例

Fig. 5-15 Output voltage and current waveforms in hard-switching inverter

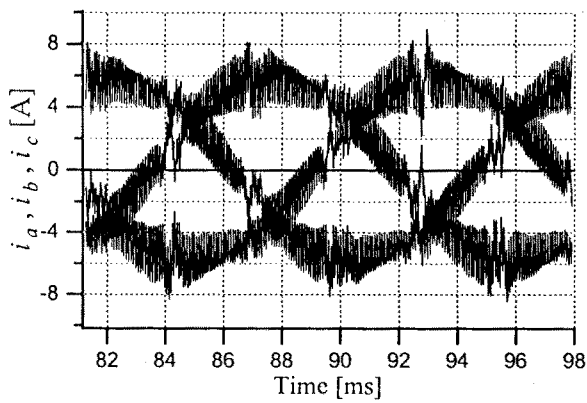
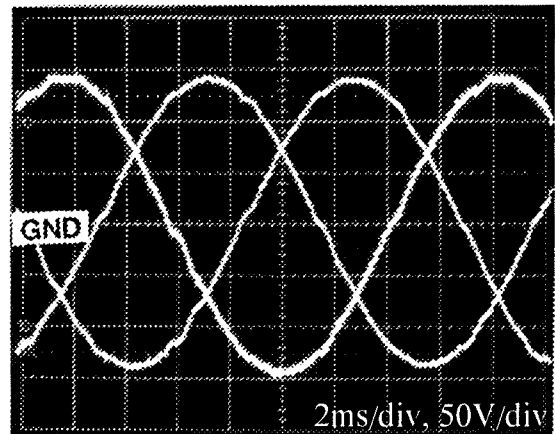
シミュレーション結果と同様にスイッチング方式の如何に関わらず歪みの少ない正弦波電圧・電流が得られていることがわかる。

図5-16～図5-17に誘導性負荷時におけるTQRDCLとハードスイッチング方式双方のCVCFインバータシステムの各部動作波形例を示す。図は左側がシミュレーション波形、右側は実験結果である。

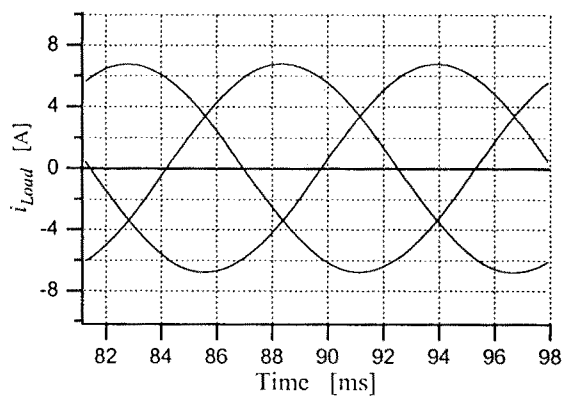
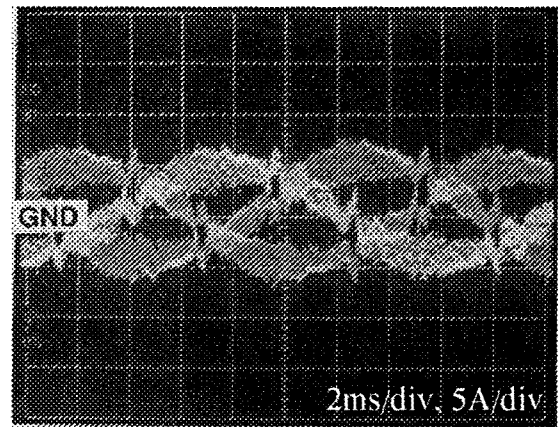
比較実験として行ったTQRDCLインバータとハードスイッチングインバータの各種負荷に対する各部波形例を同様に図5-18から図5-21に示す。いずれの負荷状態における出力を比較しても、結果に差はほとんど見られずCVCFインバータ動作としては良好な結果が得られて



出力電圧波形例



フィルタ電流波形例



出力電流波形例

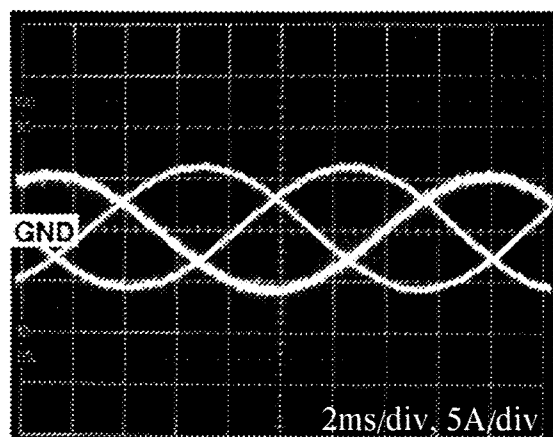
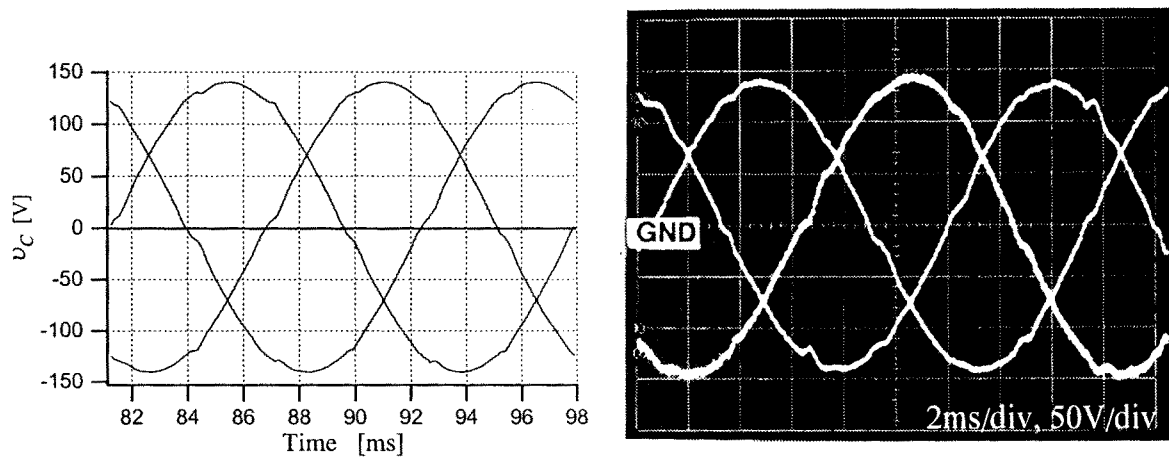
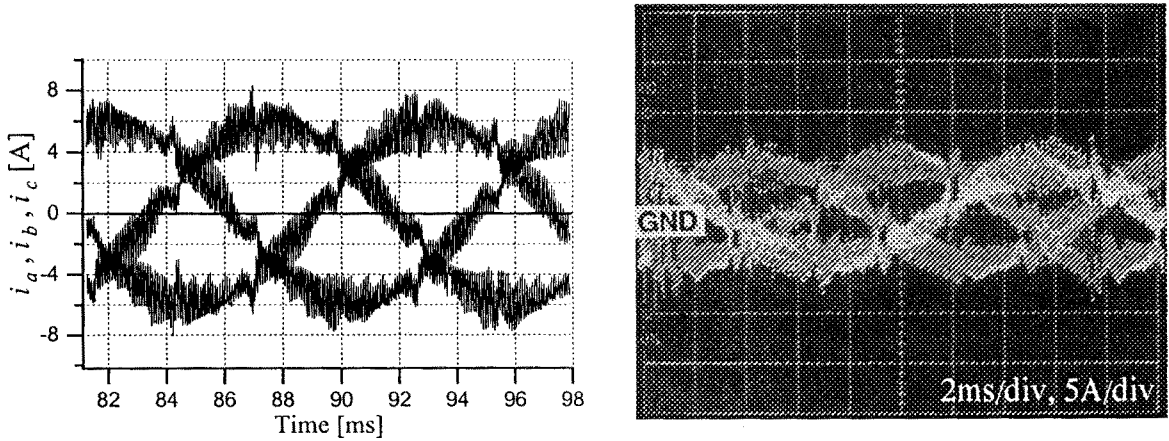


図5-16 TQRDCLインバータの出力波形例

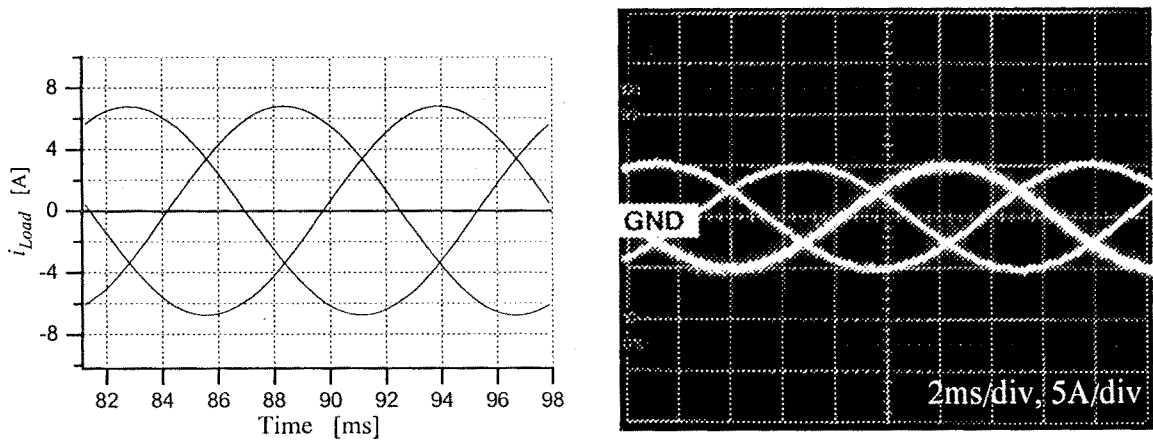
Fig. 5-16 Output voltage and current waveforms in TQRDCL inverter



出力電圧波形例



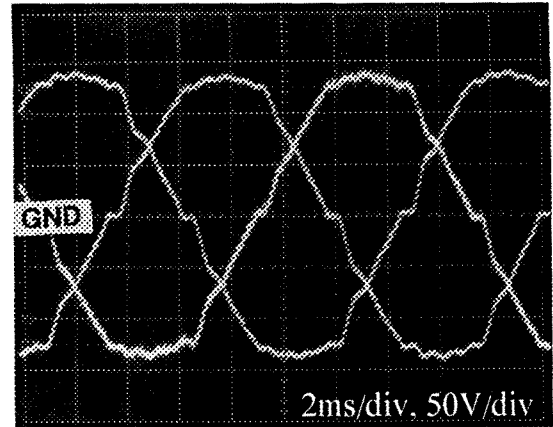
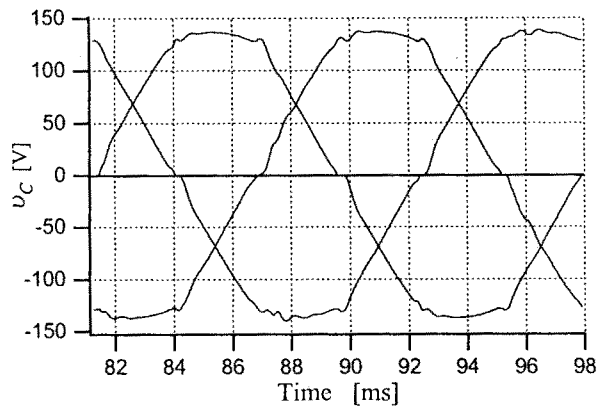
フィルタ電流波形例



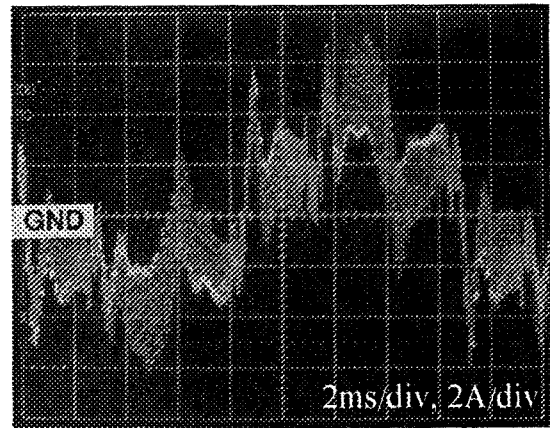
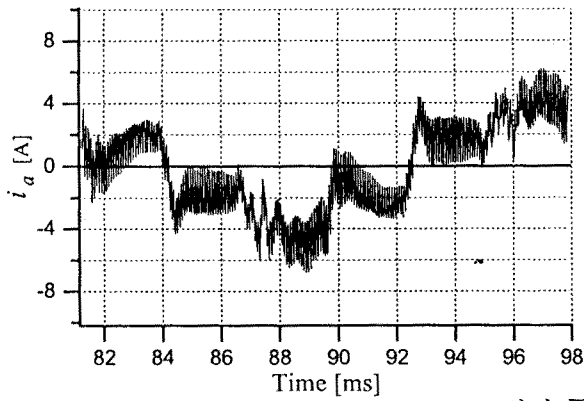
出力電流波形例

図5-17ハードスイッチングインバータの出力波形例

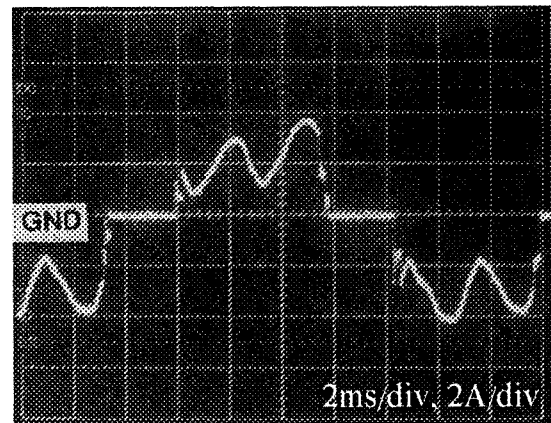
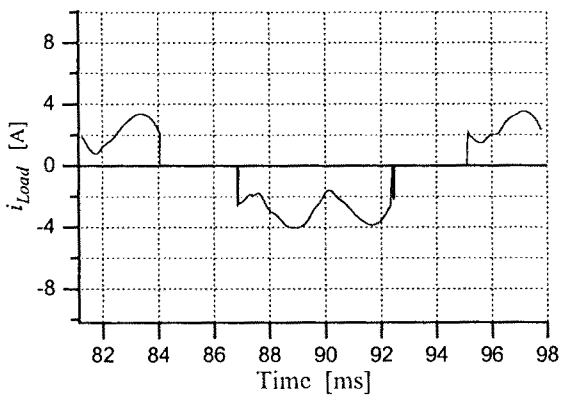
Fig. 5-17 Output voltage and current waveforms in hard switching inverter



出力電圧波形例



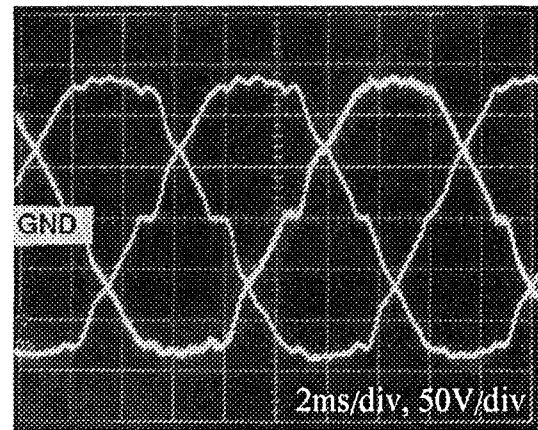
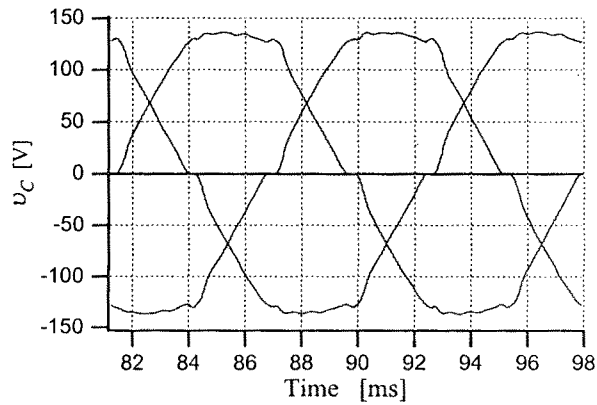
フィルタ電流波形例



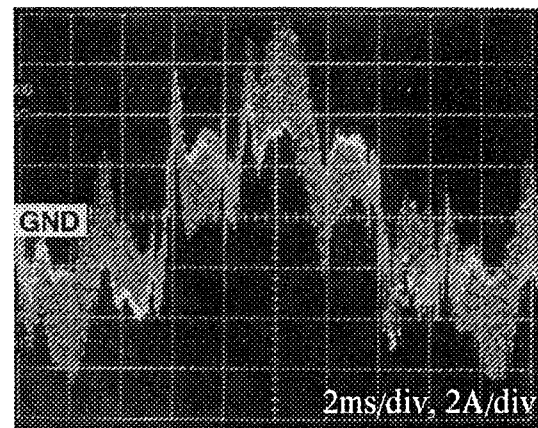
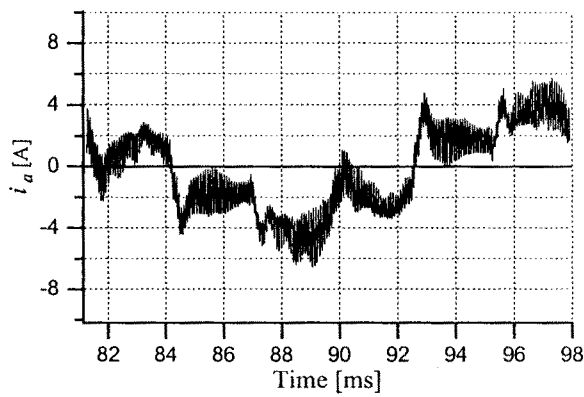
出力電流波形例

図5-18 キャパシタインプット負荷時のTQRDCLインバータの出力波形例

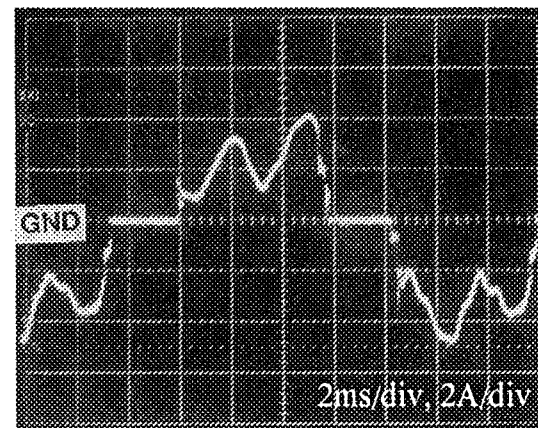
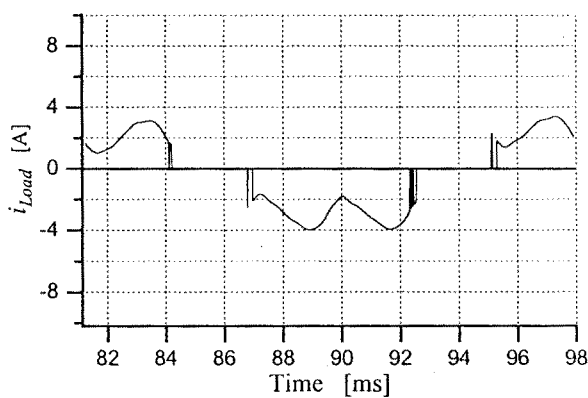
Fig. 5-18 Operating waveforms of TQRDCL inverter with a capacitive input load condition



出力電圧波形例



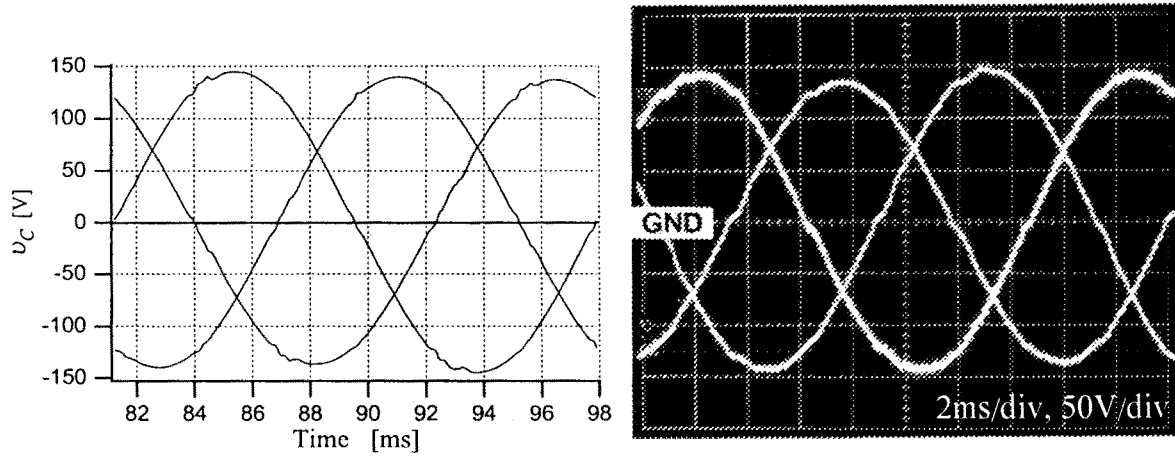
フィルタ電流波形例



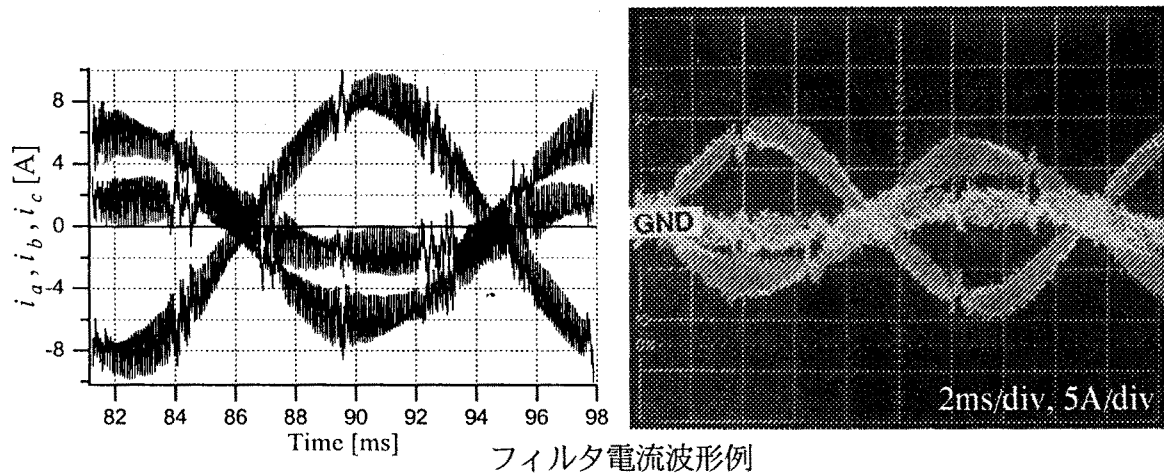
出力電流波形例

図5-19 キャパシタインプット負荷時のハードスイッチングインバータの出力波形例

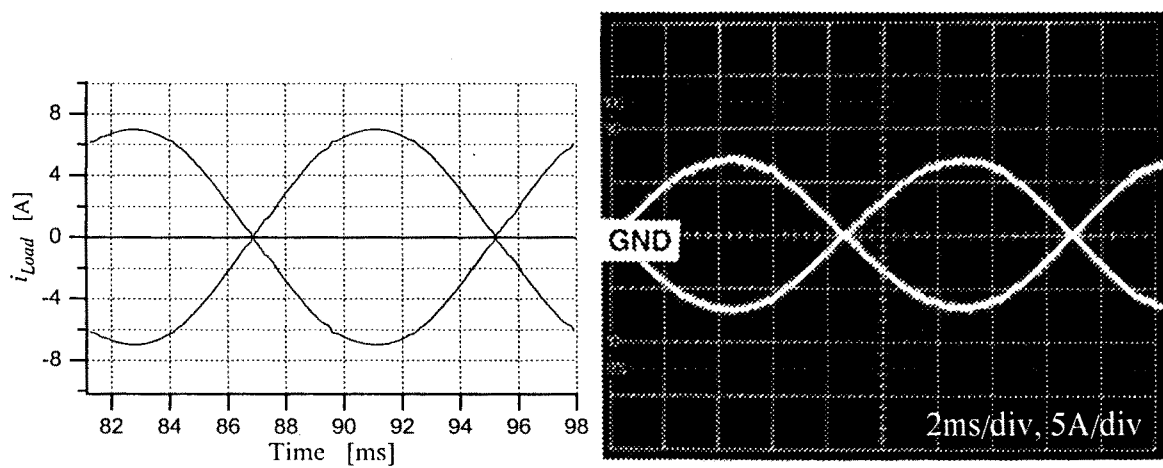
Fig. 5-19 Operating waveforms of hard-switching inverter with a capacitor input load condition



出力電圧波形例



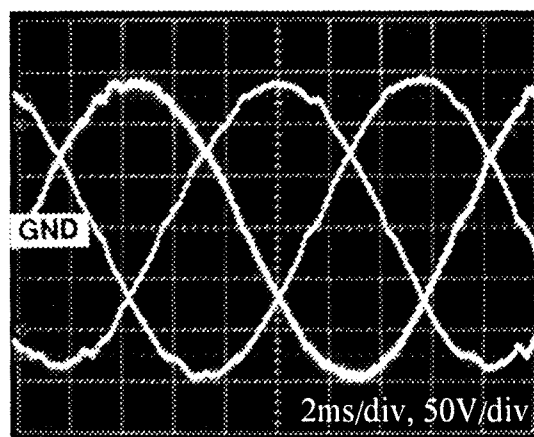
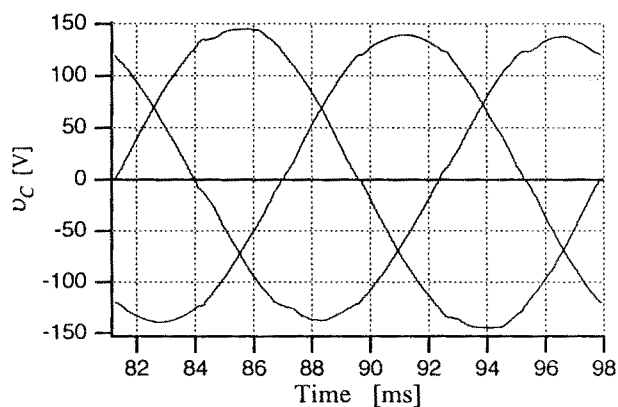
フィルタ電流波形例



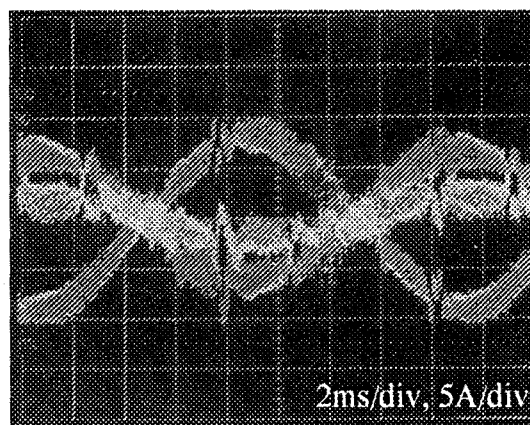
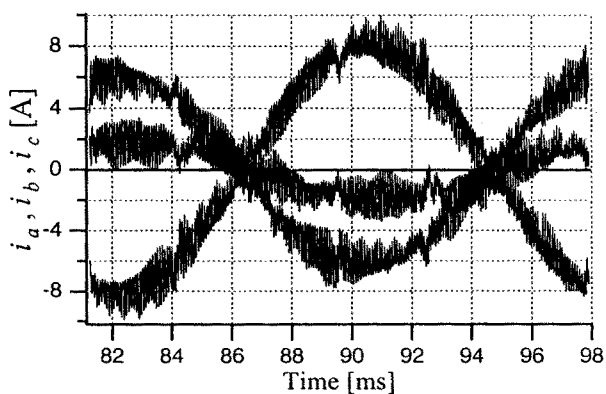
出力電流波形例

図5-20 負荷欠相時のTQRDCLインバータの出力波形例

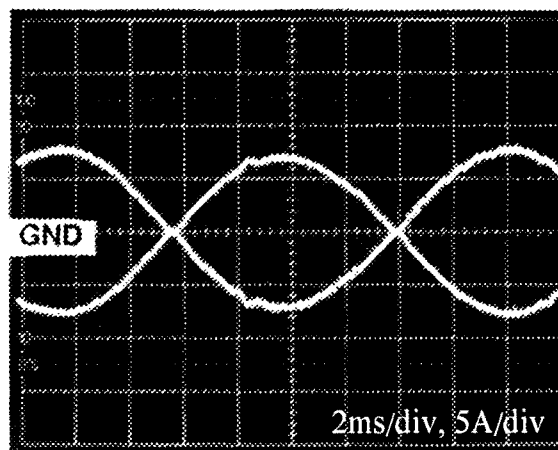
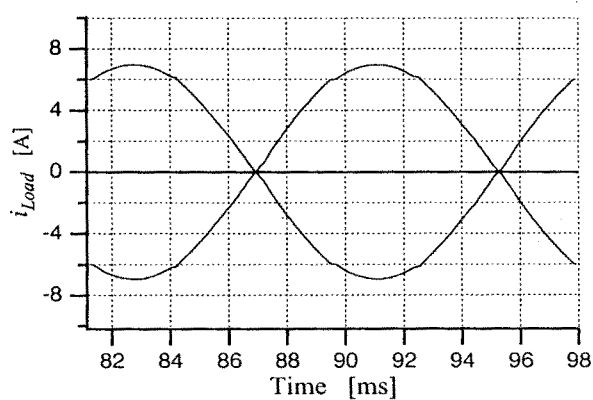
Fig. 5-20 Operating waveforms of TQRDCL inverter with a phase fault



出力電圧波形例



フィルタ電流波形例



出力電流波形例

図5-21 負荷欠相時のハードスイッチングインバータの出力波形例

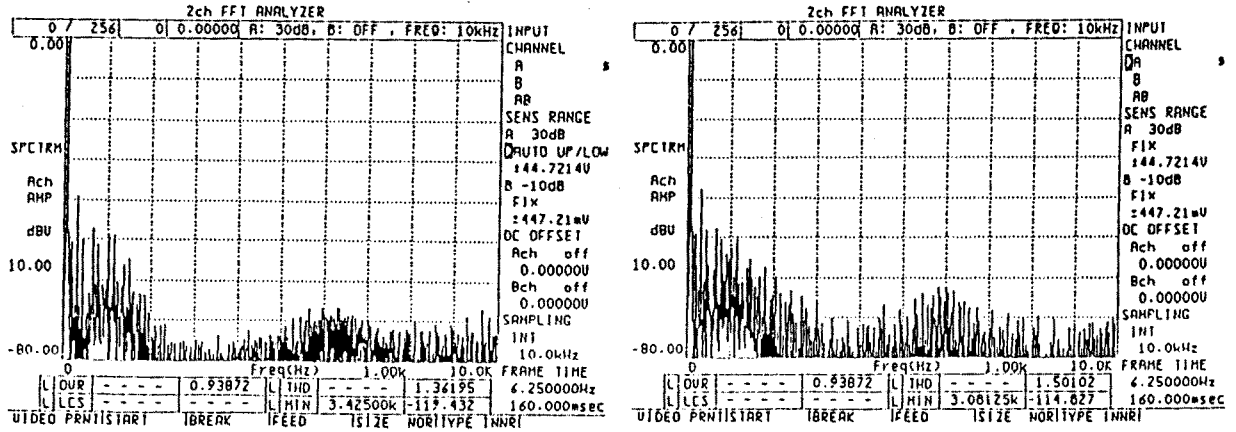
Fig. 5-21 Operating waveforms of hard-switching inverter with a phase fault

いる。TQRDCL導入によるCVCFインバータの出力電圧制御性能に対する影響は、部分共振回路部の動作周波数が270[kHz]と高いために非常に小さく抑えられており、1.5[μ s]のデッドタイムを含むハードスイッチング方式と同等以上の制御性能が得られていることが確認された。表5-3にシミュレーションと実験結果より得られた各種負荷に対する出力電圧の実効値と歪み率を示す。図5-22に抵抗負荷時における出力電圧のFFT解析結果を示す。これより判るように低次の高調波成分のピーク自体がが40[db]以下の値となっており良好な出力電圧制御精度が得られている。最後にインバータシステムの総合変換効率を入出力電力の関係より求めたので図5-23に示す。

表5-3 シミュレーション/実験結果

Fig. 5-3 Simulated and experimental results of the CVCF inverter system

負荷	インバータ 出力	トランス共振 DCリンク		ハードスイッチング		
		シミュレーシ ョン	実験結果	シミュレーシ ョン	実験結果	
抵抗	実効値 RMS	v_{Cab}	99.7 [V]	101.0 [V]	99.7 [V]	99.9 [V]
		v_{Cbc}	99.7 [V]	100.0 [V]	99.7 [V]	99.7 [V]
		v_{Cca}	99.8 [V]	100.0 [V]	99.8 [V]	99.9 [V]
	歪み率 THD	v_{Cab}	1.03 [%]	1.36 [%]	1.65 [%]	1.50 [%]
		v_{Cbc}	1.11 [%]	1.34 [%]	1.73 [%]	1.82 [%]
		v_{Cca}	1.34 [%]	1.31 [%]	1.69 [%]	1.71 [%]
誘導性	実効値 RMS	v_{Cab}	99.7 [V]	99.9 [V]	99.7 [V]	99.9 [V]
		v_{Cbc}	99.7 [V]	99.8 [V]	99.7 [V]	100.0 [V]
		v_{Cca}	99.8 [V]	99.7 [V]	99.8 [V]	101.0 [V]
	歪み率 THD	v_{Cab}	1.44 [%]	1.76 [%]	1.53 [%]	2.61 [%]
		v_{Cbc}	1.59 [%]	1.73 [%]	1.66 [%]	2.56 [%]
		v_{Cca}	1.31 [%]	1.67 [%]	1.53 [%]	2.43 [%]
整流器	実効値 RMS	v_{Cab}	99.8 [V]	100.0 [V]	99.8 [V]	99.8 [V]
		v_{Cbc}	99.8 [V]	100.0 [V]	99.8 [V]	99.4 [V]
		v_{Cca}	99.8 [V]	99.9 [V]	99.9 [V]	99.2 [V]
	歪み率 THD	v_{Cab}	4.05 [%]	4.28 [%]	5.19 [%]	4.96 [%]
		v_{Cbc}	3.87 [%]	4.30 [%]	5.20 [%]	4.65 [%]
		v_{Cca}	3.82 [%]	4.36 [%]	5.24 [%]	5.06 [%]
不平衡	実効値 RMS	v_{Cab}	97.2 [V]	98.4 [V]	97.0 [V]	98.0 [V]
		v_{Cbc}	100.3 [V]	103.0 [V]	103.4 [V]	102.0 [V]
		v_{Cca}	99.3 [V]	101.0 [V]	99.0 [V]	102.0 [V]
	歪み率 THD	v_{Cab}	1.38 [%]	1.66 [%]	1.71 [%]	2.61 [%]
		v_{Cbc}	1.29 [%]	1.43 [%]	1.64 [%]	1.55 [%]
		v_{Cca}	1.12 [%]	1.53 [%]	1.50 [%]	2.35 [%]



(a) TQRDCL

(b) ハードスイッチング

図5-22 CVCFインバータシステム出力FFT解析結果

Fig. 5-22 FFT results of the CVCF inverter system

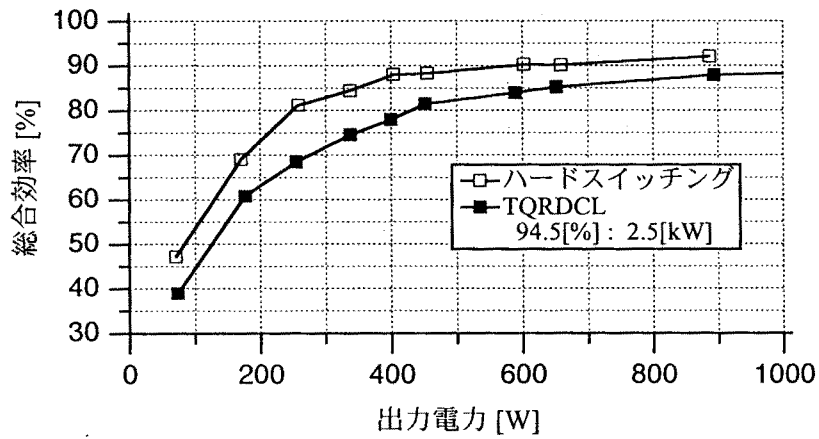


図5-23 CVCFインバータシステム変換効率

Fig. 5-23 Conversion efficiency of the CVCF inverter system

5-4-3 特性評価

TQRDCL方式のソフトスイッチングCVCFインバータシステムのシミュレーションおよび試作実験結果より、出力電圧制御特性、インバータ総合効率などの各種のデータを得た。その結果、TQRDCLインバータとハードスイッチングインバータの出力波形等に大きな差異は見られず、出力電圧の歪み率もほぼ実用上問題のないレベルが得られた。この結果より、ハードスイッチングインバータに高周波動作を行うTQRDCL回路を付加することにより、ソフトスイッチングインバータシステムへの変更を行っても制御性能に大きな影響は現れないことが確認された。

得られたデータを検討した結果、表5-3に見られるようにシミュレーションと実験結果の双方ともにTQRDCLインバータシステムの出力電圧の歪み率が低いことが判る。一般にTQRDCLインバータの出力電圧ベクトルの指令電圧ベクトルに対する誤差は、デッドタイムの影響によるものと比較すれば大きい。この場合、部分共振部を設けたことによりハードスイッチングインバータより結果が若干劣化するはずであるが、今回の場合にはむしろ改善されている。これは、TQRDCLインバータにおける誤差電圧は、部分共振動作のゼロ電圧期間発生による出力電圧の低下として現れ、ハードスイッチング方式でのデッドタイムによる誤差電圧より出力電圧に与える影響が少なかったことが原因である。特に、抵抗負荷時と比較して誘導性負荷時における出力電圧の劣化が大きいことから、デッドタイム期間中の負荷電流による誤差電圧が、TQRDCL動作時の誤差電圧よりも制御精度に大きく影響した。また、制御系の設計時に用いたフィルタ部の定数が実際には若干のばらつきを有していることが、本来ならば理想インバータに近いと考えられるハードスイッチングインバータの制御特性により大きく影響したことも原因の一つと考えられる。このことは、TQRDCL方式のインバータ出力がハードスイッチングインバータシステムの出力電圧実効値よりもやや低く現れていることから裏付けられている。

また、不平衡負荷時やキャパシタインプット負荷時に見られる出力電圧のアンバランスや歪み率増加の原因は、制御系において外乱の負荷電流が回転d-q座標上でステップ状に変化し、かつ変動後は定値であると仮定し、一型のサーボ系を構成したことが原因となっている。一般に非線形負荷の場合、負荷電流は対称三相交流とはならず、回転d-q座標上では定値にはならない。これについては、シミュレーション/実験結果の双方が同じ傾向を示していることから制御系が原因と考えられ、制御系そのものの見直しが必要となる。従って、

この特性を改善するためにはオブザーバなどを用い負荷電流を推定し外乱補償の項を加えるか、二型、三型のサーボ系などを用いることが必要となる。

最後に、インバータシステムの総合効率の測定結果を見るとTQRDCLインバータは共振回路部において発生する損失分により固定損失が増大し、低出力時に最大10%の効率低下が見られた。傾向としては、TQRDCL部の損失がほぼ一定のため、出力電力の増加に伴い効率の低下は徐々に解消されていく。しかしながら、効率の低下が完全に解消されるわけではなく、電力供給パスにスイッチ S_g が回路上存在するため、これによって発生する定常導通損失の影響により900W出力時においても5%程度の効率低下が認められる。この導通損失の影響は否めないものの、TQRDCLインバータは、2.5kW出力時において約95%程度の効率を得ている。ハードスイッチングインバータにおいては、試作時にノイズについて対策を行っていなかった影響を受け、A/D変換段において正確な変換結果が得られなくなり900W出力以上では安定な実験が行えなかった。このため正確には比較できないが、TQRDCLインバータが約95%の効率で動作していることから、変換効率の傾向から見ても2.5kW出力時における効率の低下は相当に改善され、高出力時にはほぼ同程度の効率が得られると考えられる。

制御性能の面から見れば、各負荷時の出力特性は、制御系設計時におけるシステム応答より想定される程度の電圧制御特性を有している。総合的に見れば、TQRDCL方式とハードスイッチングインバータの差はほとんどなく、回路構成は複雑化するものの、EMIノイズ低減に有効であろう点から見ても十分な有効性を有していると考えられる。

これらの結果より、TQRDCLによるインバータシステムは、共振電圧アクティブクランプ方式のZVS-PWMモードRDCL回路のうちでも優れた特性を示すことが確認され、CVCFインバータ応用においても実用上有効な一手法であると結論付けられる。

5-5 結言

提案のTQRDCL方式の有効性を検討するため、UPS応用を前提とした三相CVCFインバータシステムを適用例として取り上げ、シミュレーションならびに試作実験を行った。提案システムの有効性の検討は、DSP制御を前提としたシミュレーションおよび試作実験により行い、その結果部分共振DCリンクで構成される提案方式は、制御性能の面から見てもハードスイッチング方式のインバータシステムと同等の性能が得られることを確認した。

一方で、ハードスイッチングインバータと比較すると制御性能は同等のものが得られるが、TQRDCL回路部における電力損失により低出力時における効率の低下が顕著となり、DCリンク部における低損失化が重要となることが実験結果により明らかとなった。実用上の観点より見れば、効率の低下はその他のZVS方式に共通に発生する問題点であり、提案方式においても今後の重要な検討課題となる。これについては、補助パワーデバイスにおける飽和電圧に起因する導通損失の低減がTQRDCL回路における低損失化の一手段となり、第4世代もしくはソフトスイッチング効果を見込んでASOを極めて狭く設計することにより飽和電圧を低くした特定用途対応のIGBT、MOSゲートSIサイリスタなどの新型パワーデバイスの採用が効果的と考えられる

第6章 高周波トランス補助転流方式部分共振DCリンクによる誘導電動機駆動システム

6-1 緒言

一般に使用されている電力変換システムにおいては、交流系統電源電圧より整流平滑回路を経て直流入力電力を得る不完全平滑直流電源が使用されている。このような電力変換回路方式においては、回路動作時には負荷の変動にしたがって数10%の電圧変動が発生する。先に検討したTQRDCL-IIIを含むすべてのRDCLは、初期電流を必要とすることから、バッテリー等の完全平滑直流電源を有する場合においてのみ最適な初期電流を与えることが可能となる。

不完全平滑直流電源を有するシステムへの適用を行うソフトスイッチング回路としては、TQRDCL-Iのシステムは最適と考えられる。つまり、TQRDCL-Iの回路においては、DCバスラインの電源電圧の昇/降圧時に初期電流制御を必要としないため、常に設計時の動作条件より逸脱することなく安定な動作が保証されるためである。この特徴は、初期電流制御を必要とする全ての共振回路系が負荷や電源電圧の変動に対する補償制御が必要となる事と比較すると大きな利点となり得る。

これらの点を明らかとしTQRDCL方式の評価・検討を行うため、基準となる電力変換システムとして市販のエアコンを使用し、これにトランス共振DCリンクを組み込む事によりシステムの制御特性や損失並びにEMIノイズ低減効果を調べた。これらのデータは、ハードスイッチング時における結果と比較・検討する事により、TQRDCL回路導入による効果等を明かとしている。シミュレーションは、TQRDCLの損失評価時において損失の発生条件等を仮定し行った。従って、ここではその検討結果のみを示している。

6-2 評価用エアコンシステムのハードウェア構成

6-2-1 主回路構成

今回試作した電力変換システムの主回路構成を図6-1に示す。三相インバータ側は、ダイキン製エアコン用インバータM712FXVを用い負荷はコンプレッサ駆動用三相誘動機である。インバータ素子には6in1モジュールのIGBT(CM30TF-12H)を使用している。入力交流電圧は200[Vrms]をダイオード整流モジュールにより直流に変換した後、2000[μ F]の高リップル電流形の電界コンデンサにより平滑化しTQRDCL-I回路部へ入力する。ハードスイッチングインバータ試験時には、TQRDCL回路部はバイパスされる。

三相インバータ回路の出力は、エアコン用のコンプレッサを駆動している誘導電動機に接続されており、負荷としては機械的条件により周期的に負荷が大きく変動する。通常の実験時には、負荷としてこのエアコン用コンプレッサ負荷を使用した。損失測定時には、温度調整用の制御ループが動作し負荷が一定に保てないためギアードモータを使用し、一定負荷として実験を行った。本インバータシステムの動作時における平滑化直流電源電圧は、280～230[V]程度まで負荷にしたがって変動する。このような、電源電圧の変動によってもRDCL回路は、安定に動作しなければならない。

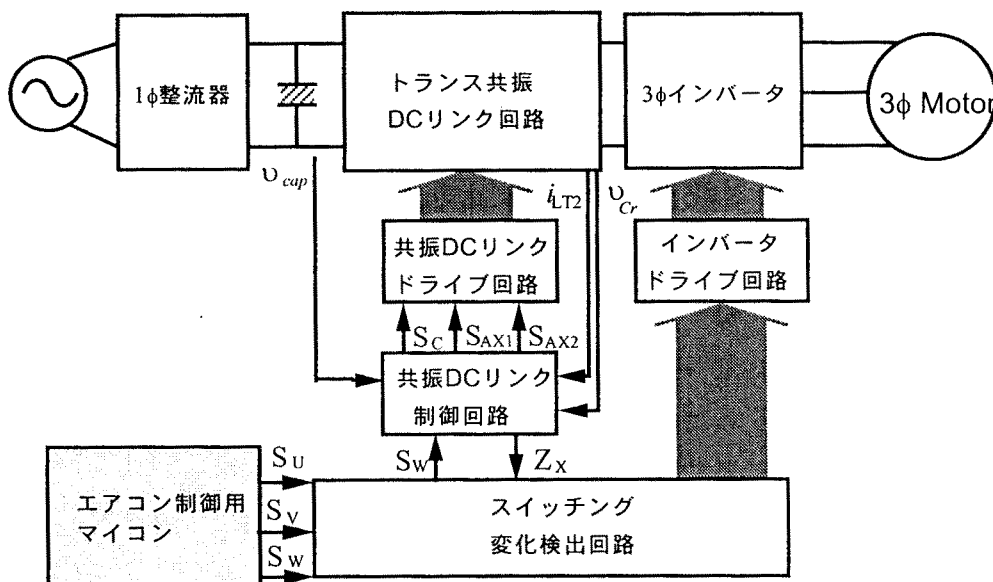


図6-1 TQRDCL方式ZVS-PWM三相インバータシステム

Fig. 6-1 Total system configuration of the TQRDCL ZVS-PWM three-phase inverter

TQRDCL-I回路部は、第3章において用いたTQRDCL試作回路を使用したもので、スイッチングデバイスには2in1モジュールのIGBT(東芝MG50J2YS40)である。

6-2-2 制御系の構成

システムの制御系であるエアコン制御用のマイコンは、クロック周波数16[MHz]で動作する三相VVVFインバータ波形出力用の専用マイコンである。この専用マイコンは、0.125[μsec]の波形出力精度を有し、キャリア周波数は1~20[kHz]、デッドタイムは0.125~20.0[msec]、運転周波数は5.0~180.0[Hz]の範囲で任意に設定可能である。通常のエアコン運転の場合には、温度制御ループが動作し運転周波数が変動するが、外部より運転周波数を指定した場合には、通常のアコンを行う制御ループはバイパスされ指定の出力電圧周波数やキャリア周波数での運転が可能になっている。インバータ出力電圧のパルスパターンは、誘導電動機に流れる電流がd-q平面上で円に近い条件で動作するように簡易的に波形を生成するPWM出力となる。マイコンで演算されたPWMパルスパターンは5.0[V]にプルアップした後にスイッチング変化検出回路に出力される。

6-3 実験結果

6-3-1 試作実験による各部動作波形例

TQRDCL実験時におけるVVVFインバータシステム出力波形例を図6-2、図6-3に示す。動作条件は、コンプレッサ負荷を暖房運転したものであり、いずれのキャリア周波数の場合も力率は0.68、出力周波数は62[Hz]となっている。コンプレッサ負荷であるので、出力電力は出力周波数にほぼ比例しており出力電力が約2[kW]の条件となる。また、同じ条件でTQRDCL回路をバイパスしデッドタイムを、3[μs]に設定した場合のハードスイッチングインバータ出力の波形例を図6-4、図6-5に示す。両者の比較から明らかなようにTQRDCL方式の出力電圧にはサージによるスパイク電圧が見られず、出力電流に発生しているスイッチングリップルと思われるスパイク電流成分も非常に低く抑えられている。キャリア周波数が7.5[kHz]時にはインバータ駆動音、モータ騒音共にかなり高いレベルであるが、16.0[kHz]の時には可聴周波数の限界に近いので、インバータ駆動音、モータ側の磁気騒音共にかなり低減される。

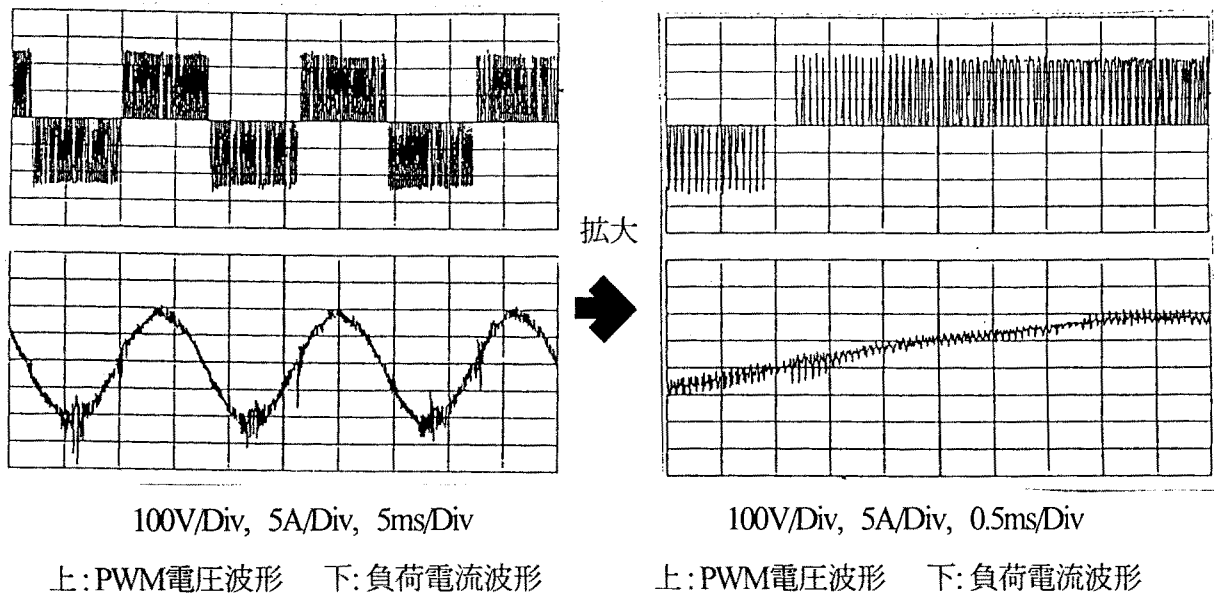


図6-2 TQRDCLインバータシステム動作波形例(キャリア周波数 16kHz)

Fig. 6-2 Operating waveforms of TQRDCL inverter (carrier frequency 16kHz)

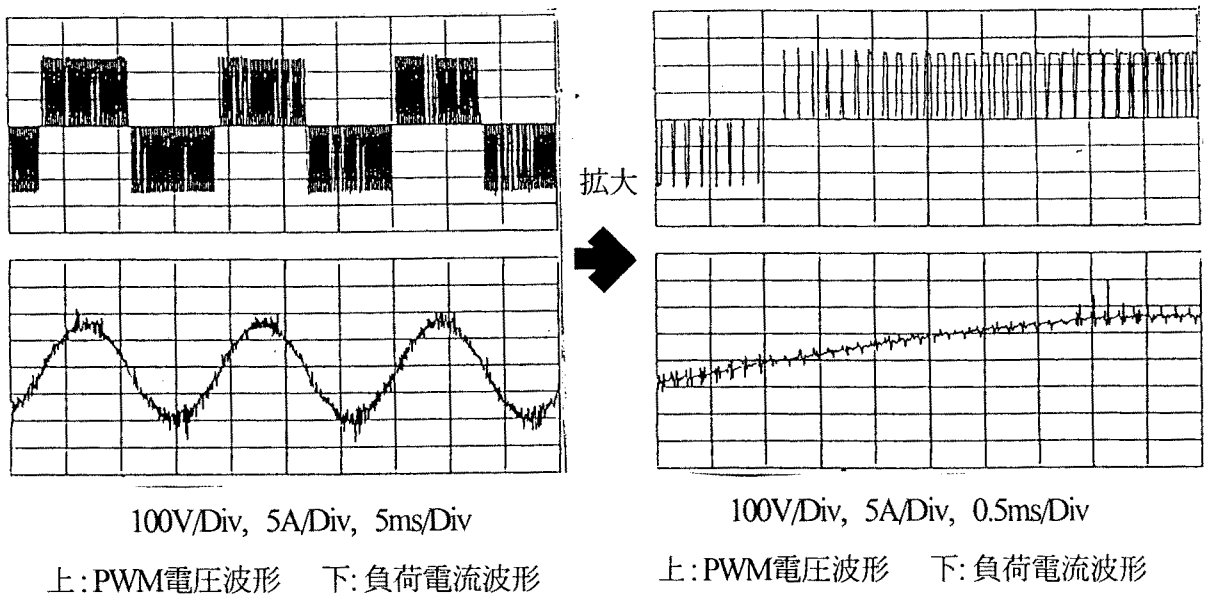
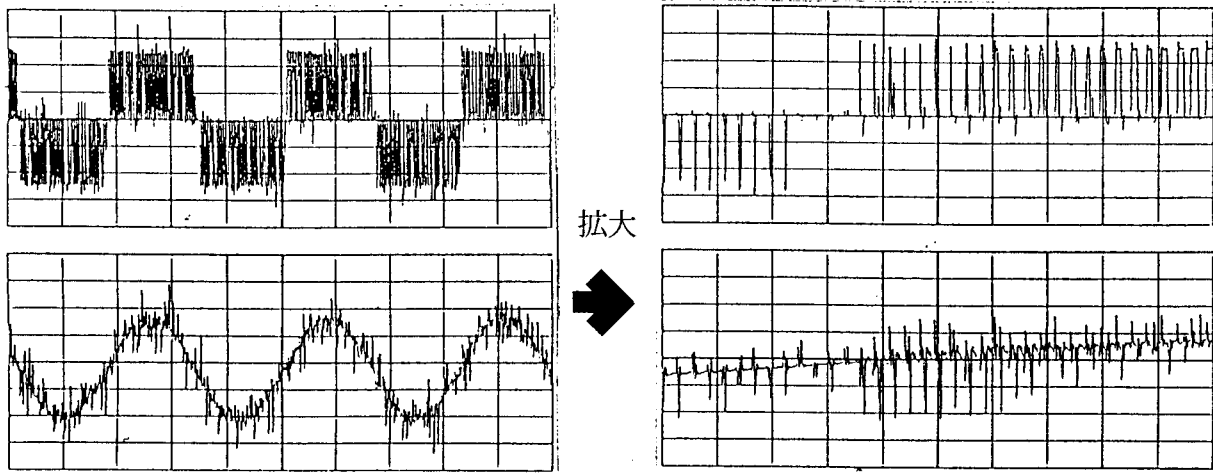


図6-3 TQRDCLインバータシステム動作波形例 (キャリア周波数 7.5kHz)

Fig. 6-3 Operating waveforms of TQRDCL inverter (carrier frequency 7.5kHz)



100V/Div, 5A/Div, 5ms/Div

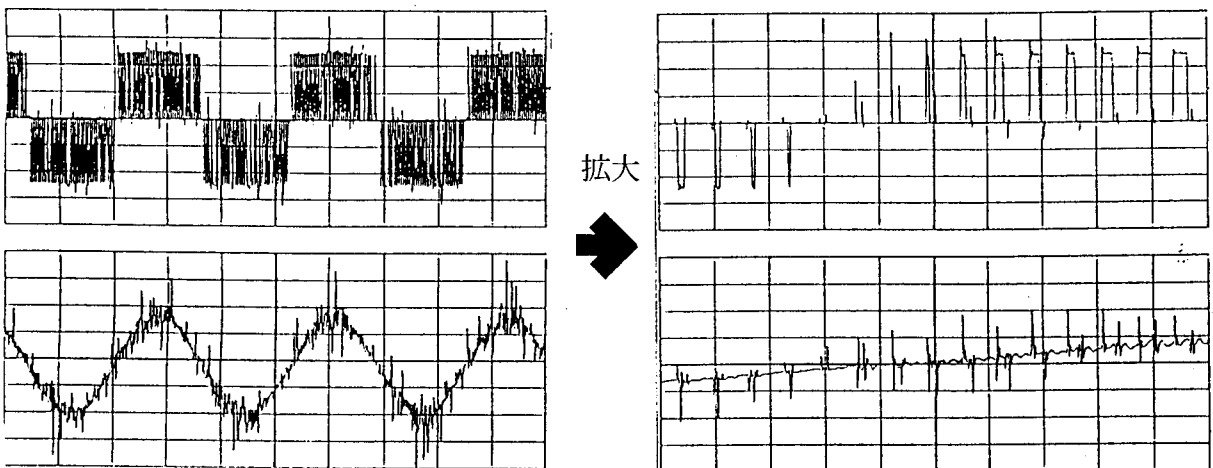
上: PWM電圧波形 下: 負荷電流波形

100V/Div, 5A/Div, 0.5ms/Div

上: PWM電圧波形 下: 負荷電流波形

図6-4 ハードスイッチングインバータシステム動作波形例(キャリア周波数 16kHz)

Fig. 6-4 Operating waveforms of hard-switching inverter (carrier frequency 16kHz)



100V/Div, 5A/Div, 5ms/Div

上: PWM電圧波形 下: 負荷電流波形

100V/Div, 5A/Div, 0.5ms/Div

上: PWM電圧波形 下: 負荷電流波形

図6-5 ハードスイッチングインバータシステム動作波形例(キャリア周波数 7.5kHz)

Fig. 6-5 Operating waveforms of hard-switching inverter (carrier frequency 7.5kHz)

6-3-2 試作装置の損失測定回路

TQRDCLの導入による損失分布の変化を測定するため、インバータシステム各部の電力測定を行った。図6-5に示すように、誘動機負荷時の単相整流器入力部、共振DCリンク入力部、インバータアーム出力部の3点の電流、電圧、電力、力率を、インバータ出力周波数、キャリア周波数を変化させてパワーメータにより測定した。TQRDCL部とインバータアーム間にパワーメータを挿入すると、配線インダクタンスにより正常に動作しないため、スイッチングアームにおける損失は熱置換法による素子損失測定を行う。これは、あらかじめパワーデバイスに与える電力と放熱フィンの2点間の温度差の関係を求めおき、スイッチング損失や定常導通損失の平均値を温度差から換算して求める方法である（図6-6）。温度-電力損失の換算は、図6-7の損失-温度特性を示したグラフより行った。

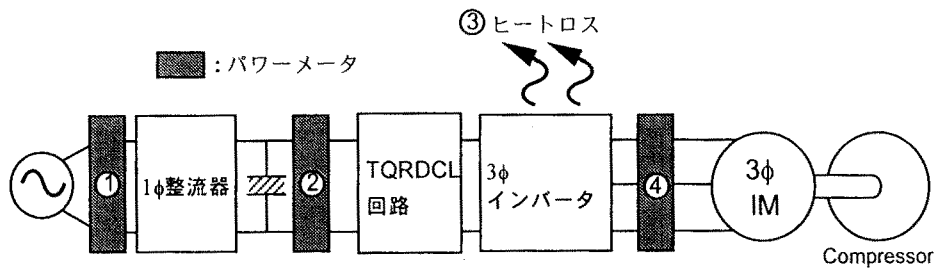


図6-5 損失測定回路の構成

Fig. 6-5 Circuit configuration of system losses measurements

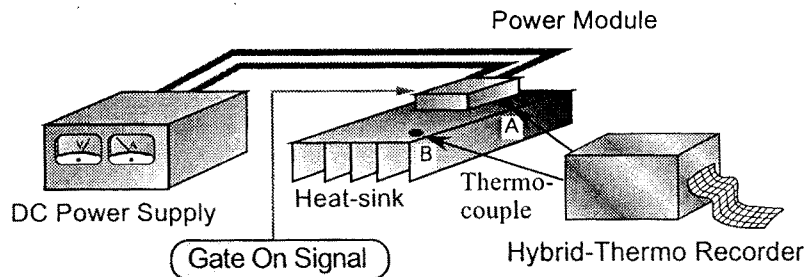


図6-6 インバータ損失測定法

Fig. 6-6 Measurement circuits for inverter losses

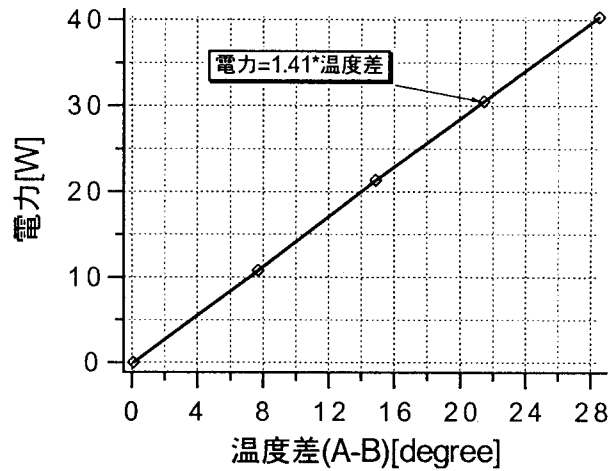


図6-7 電力-温度測定データ

Fig. 6-7 Conversion data for power-temperature

6-3-3 インバータ回路部の損失

TQRDCL方式とハードスイッチング方式のインバータにおける主回路段でのスイッチング損失と定常導通損失を測定した。TQRDCL回路が原理通りに動作していればスイッチング損失が低減されて、インバータ回路部における損失は負荷によって決定される定常導通損失のみになるはずである。

出力周波数20[Hz]、出力電流を8.3[A]一定とし、キャリア周波数を変更したときのインバータスイッチング素子損失を図6-8に示す。この図は、出力周波数62[Hz]、出力電流を9.5[A]一定としたときのソフトスイッチングインバータ素子損失も示している。ハードスイッチングでは、キャリア周波数が増加するにつれてスイッチング回数が増えるため、インバータ素子損失は増加する傾向を示すが、ソフトスイッチングではほぼ一定である。インバータ素子での損失は導通損失とスイッチング損失に分けられ、出力電流、力率が一定のもとでは導通損失は一定値となる。従って、ソフトスイッチング方式でのスイッチング素子損失は、キャリ

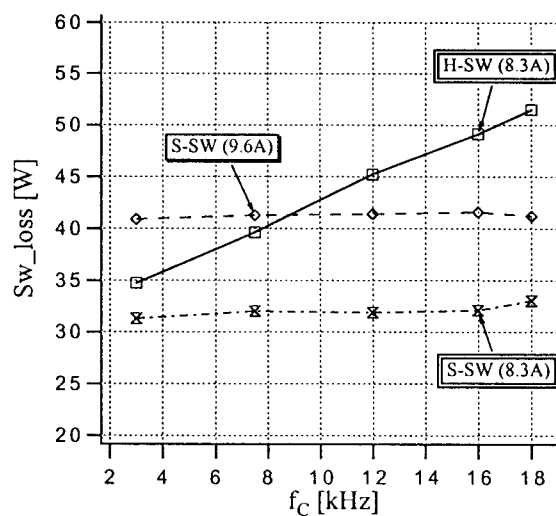


図6-8 インバータ回路部電力損失

Fig. 6-8 Power losses in inverter stage

アに依存せずほぼ一定値となっていることがわかる。また、負荷電流の変化による損失分の変化も一定値であるので、TQRDCL採用によりスイッチング損失はほとんど発生せず損失は導通損失が主であり、原理通りのソフトスイッチング効果が得られていると考えられる。

6-3-4 TQRDCLの損失

出力周波数20[Hz]、出力電流を8.3[A]一定とし、キャリア周波数を上げていった時のハードスイッチング、ソフトスイッチングインバータ双方の損失分布を図6-9、図6-10に示す。ソフトスイッチングではスイッチング損失が殆どゼロである反面、TQRDCL部の損失がスイッチング損失よりも大きくなり、効率としては悪くなっている。ハードスイッチングでは、キャリア周波数の増加につれてスイッチング損失が増えると共に損失が生じている。これは、ノイズ抑制のために設けたキャパシタの等価直列抵抗 (Equivalent Series Resistance: ESR) による損失と考えられる。ハードスイッチングインバータの電力測定では、直流入力電力、熱置換法による素子損失とインバータ出力電力より計算され、インバータ素子損失と入出力電力の測定結果の差はスナバなどの損失が相当する。ESR損失は出力電力ではなくキャリア周波数に依存することからも、主にインバータ素子入力端に接続したノイズ抑制用のキャパシタでの損失と思われる。

出力電流に対するハードスイッチング、TQRDCLインバータ双方のインバータ回路部の素

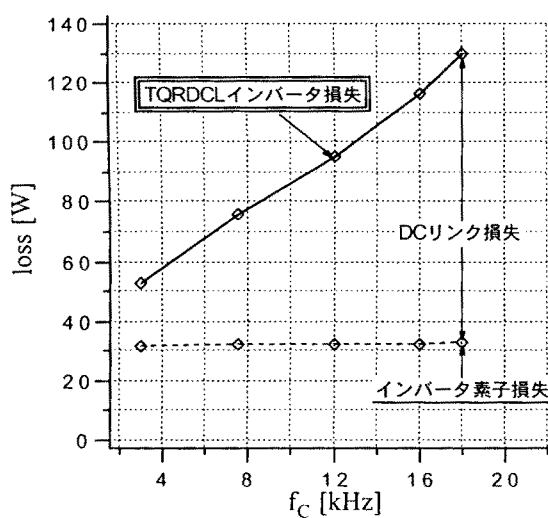


図6-9 TQRDCLインバータ損失

Fig. 6-9 TQRDCL inverter losses

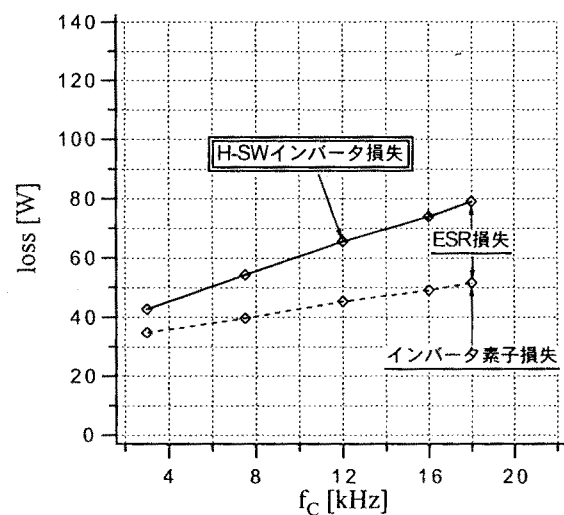


図6-10 ハードスイッチングインバータ損失

Fig. 6-10 Hard-switching inverter losses

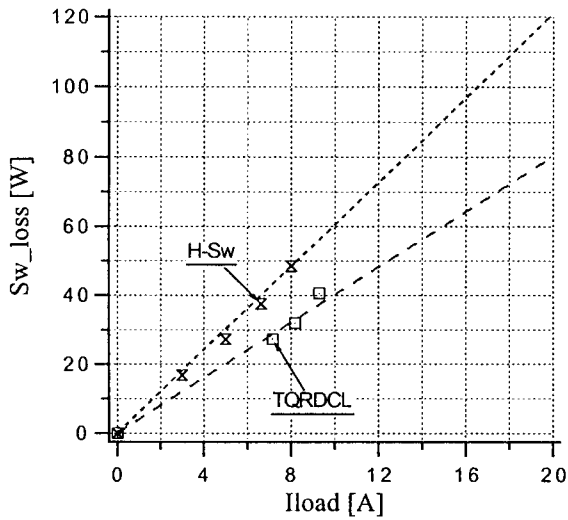


図6-11 TQRDCLインバータ損失

Fig. 6-11 TQRDCL inverter losses

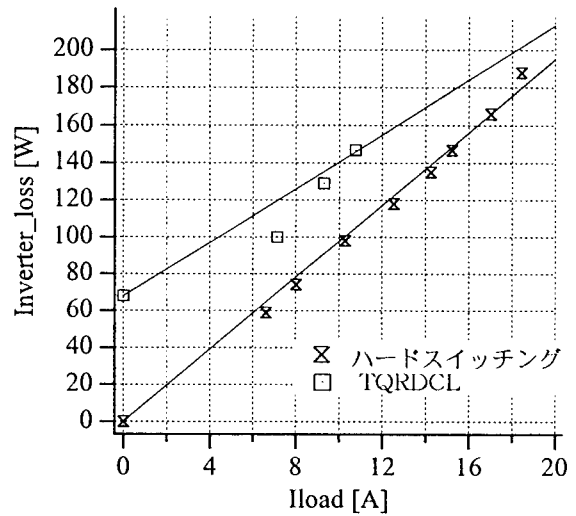


図6-12 H-SWインバータ損失

Fig. 6-12 Hard-switching inverter losses

子損失およびVVVFインバータ部の全損失を図6-11、図6-12に示す。出力電流が小さい場合には、TQRDCL処理電力の方がハードスイッチングでのスイッチング損失より大きいため、インバータ損失は相対的にかなり大きい。出力電流が大きくなるにつれ損失の差は減少し、出力電流20.0[A]以上ではほとんど同等の損失になっている。このことから、TQRDCLは中出力容量以上での応用に効果があるといえる。今回使用した高周波トランスは最適設計がなされ

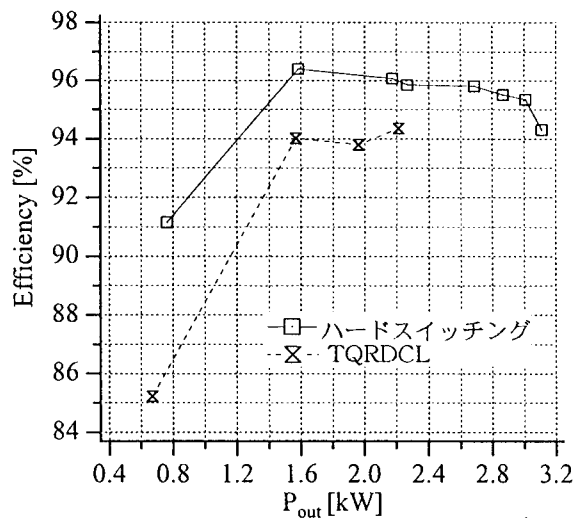


図6-13 VVVFインバータシステム効率

Fig. 6-13 VVVF inverter system efficiency

ておらず、またクランプスイッチには定格の2.0倍のデバイスを用いている。高周波トランスの最適設計など、定格に準じたデバイスの使用による順方向電圧降下の低下により、効率をさらに改善することが可能であると想定される。図6-13に出力電力に対するインバータ効率を示す。今回はTQRDCLに関しては2.2[kW]までの測定しか行っていないが、出力が大きくなるにつれて効率の差は少なくなっており、中容量以上では同等もしくはそれ以上の効率になると思われる。

6-3-5 試作装置における端子雑音電圧測定

TQRDCL導入によるノイズの低減を評価するため、伝導性電磁波（以下、雑音端子電圧と称す）の測定を行った。測定は図6-14に示すように疑似電源回路網 (AMN : Artificial Mains Network) あるいは電源インピーダンス安定回路網(LISN : Line Impedance Stabilization Network) と称される回路をインバータと電力系統間に挿入し、系統より侵入する外来ノイズを遮断する。インバータが発生する雑音電圧は、スペクトラムアナライザにより測定した。使用したLISNは、国際無線障害特別委員会(CISPR : Comite International Specialdes Perturbations Radio-electriques)により定義された値を持つ。ノイズレベルは、ハードスイッチング、TQRDCLの両方式について測定し比較を行った。

制御回路のみの雑音端子電圧を図6-15に、キャリア周波数12[kHz]、出力周波数56[Hz]時の無負荷共振DCリンクの雑音端子電圧を図6-16、コンプレッサ負荷時のハードスイッチングと共振DCリンクの雑音端子電圧を図6-17に示す。TQRDCLでは dv/dt がハードスイッチングより小さいため、サージ電圧の発生が抑制される。測定周波数1.0~50.0[MHz]の範囲で20~30[dB]

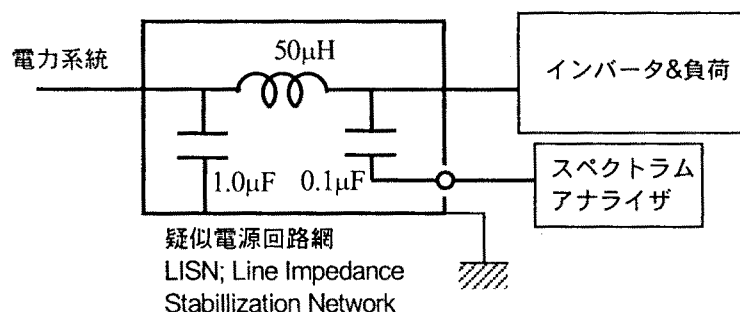


図6-14 雑音端子電圧測定回路

Fig. 6-14 Circuit configuration for noise measurement

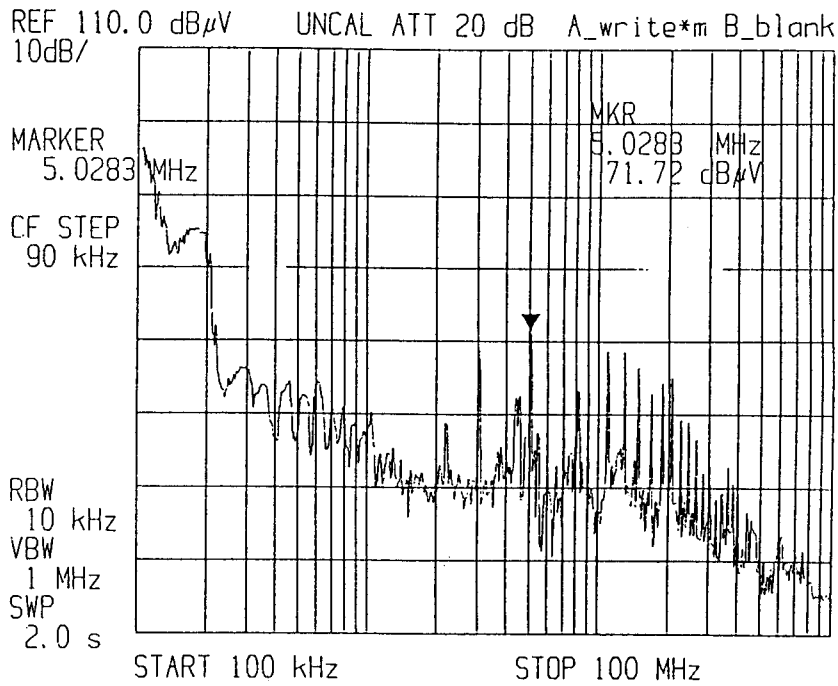


図6-15 雑音端子電圧(制御系のみ)

Fig 6-15 Mains terminal interface voltage (controller)

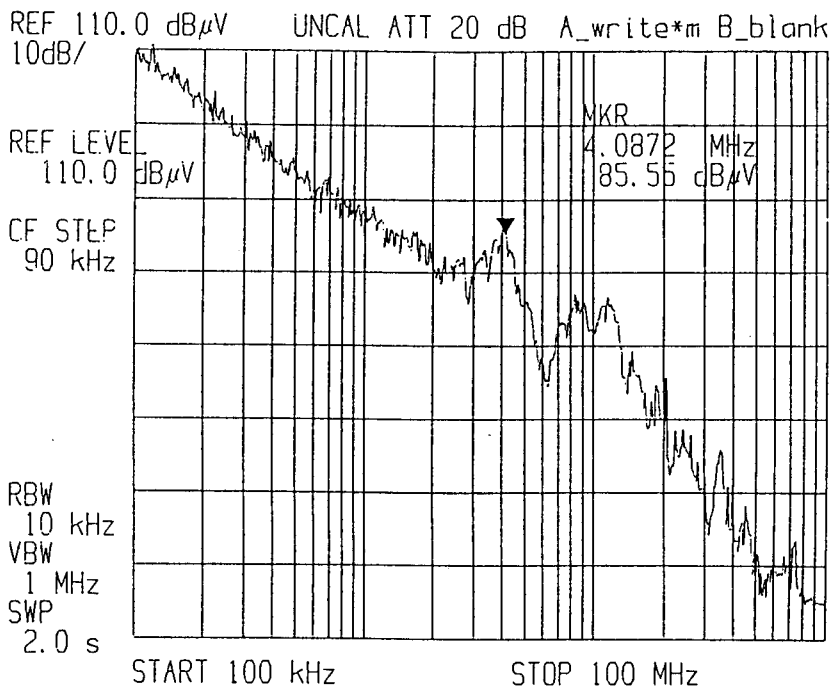
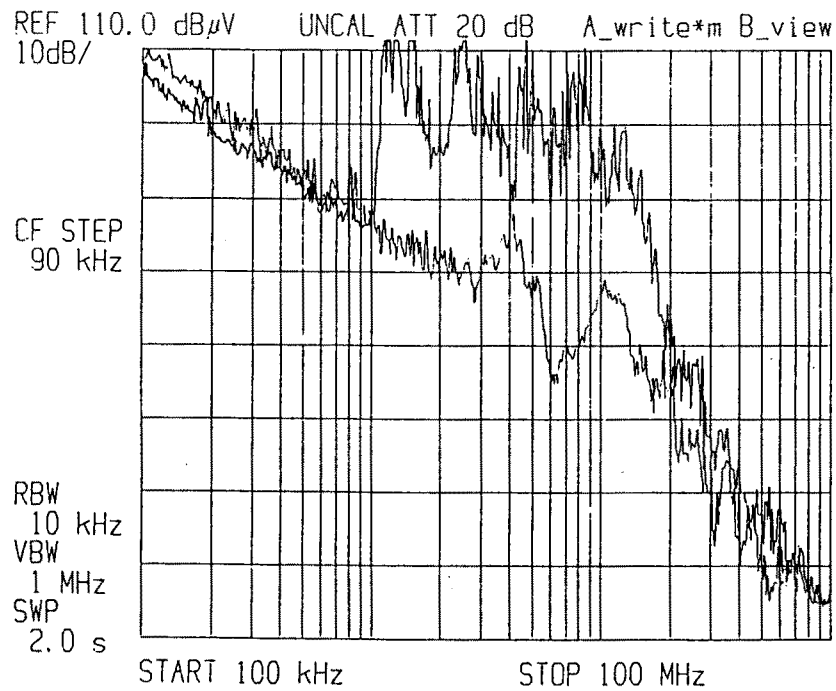


図6-16 雑音端子電圧(共振DCリンク無負荷)

Fig. 6-16 Mains terminal interface voltage (TQRDCL no load condition)



(上:ハードスイッチング、下:共振DCリンク)

図6-17 負荷時の雑音端子電圧

Fig. 6-17 Mains terminal interface voltage with compressor load

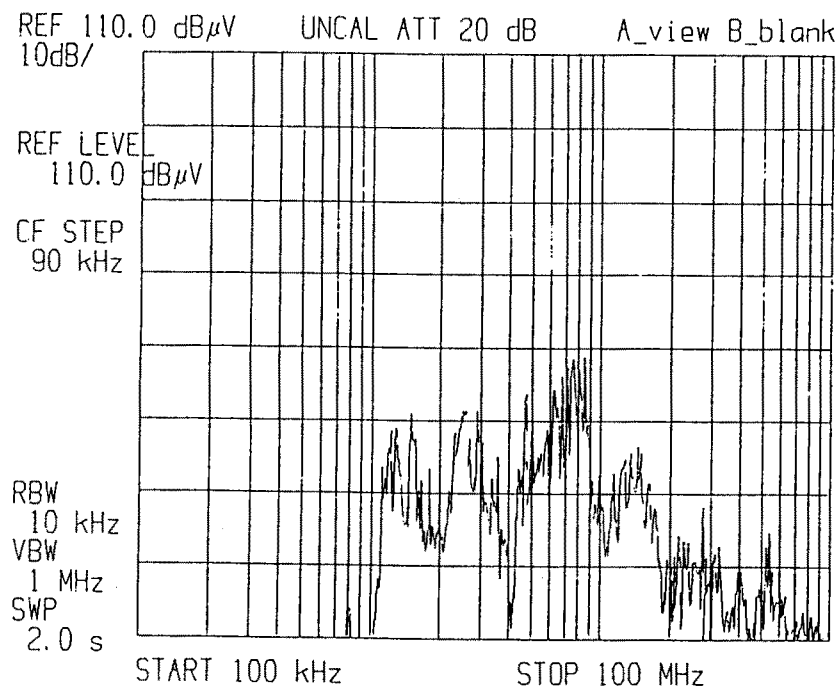


図6-18 雑音端子電圧低減効果

Fig. 6-18 Noise reduction level of Mains terminal interface voltage

の低減効果が確認された。また、TQRDCLでは無負荷時と負荷時では雑音端子電圧にほとんど差異はなく、雑音端子電圧の負荷依存性はないことが確認できた。ハードスイッチング方式の測定時にはプリンタや計測器などの周辺機器が誤動作を起こしたことから放射/伝播電磁ノイズも大きいことが予想される。ノイズレベル的には、このままの状態ではFCC等の規制値を越えているため何らかの対策が必要である。このノイズの原因は、図6-15に示した制御回路のみの状態で測定した雑音端子電圧が既に規制値を越える値であることが大きい。これは、VVVFインバータシステムの制御用マイコンとTQRDCL制御基板とのデータ転送用のラインが、計測用のパワーメータ等の設置とそれによる電力供給ラインの配置の関係から離れた場所に設置せざるを得ず、長い配線となったことや、試作した制御基板のノイズ対策に問題があったことが問題点となって現れたと考えられる。ハードスイッチングインバータシステムの雑音端子電圧測定値とTQRDCLの測定値の差を図6-18に示す。これらのことから、TQRDCLは電磁ノイズ低減に大きな効力を発揮する事が裏付けられた。

6-3-6 TQRDCLシステムの損失/効率改善と総合評価

これまで主電力変換部であるインバータ部とTQRDCL部の電力損失を測定し評価を行った。その結果、TQRDCL内部の損失がスイッチング損失の低減効果を減殺する事から、軽負荷時に効率が悪化する傾向が明らかとなった。これを改善するには、TQRDCL内部損失とその分布を知ることが必要であるが、実際の測定は困難である。そこでここでは損失分布を推定する。TQRDCL部の損失は高周波トランス、共振キャパシタ、補助スイッチ及び高速ダイオードでの損失に分類されるが、共振キャパシタの損失は相対的に十分小さく無視できるものとする。高周波トランス部の損失は、TQRDCL部の損失が動作周波数に比例し、ピーク値の比較的高い共振電流を流していることから銅損が支配的と考える。補助スイッチにおける損失については、スイッチング損失は無視できると考え、これも導通損失が主であるとする。無負荷ではクランプスイッチ S_c での損失は無視できるほど小さいので補助スイッチ S_{AX1} 、 S_{AX2} のみを考慮すればよい。補助スイッチに流れる電流をピーク値が I で共振半周期が T の正弦波形と考えると、使用しているIGBTの飽和電圧 V_F は2.29[V]なので1回の動作で発生する導通損は

$$P_{cond} = T \times I \times \frac{2}{\pi} \times V_F [W] \quad \dots\dots\dots (6-1)$$

と近似することができる。(6-1)式と観測されたスイッチング端子電圧/電流(図4-34、4-35)より補助スイッチ導通損はそれぞれ、

$$P_{Sa1} = 1.9 \times 10^{-6} \times 20.0 \times \frac{2}{\pi} \times 2.29 = 5.54 \times 10^{-5} [W] \cdots \cdots (6-2)$$

$$P_{Sa2} = 2.0 \times 10^{-6} \times 21.0 \times \frac{2}{\pi} \times 2.29 = 6.12 \times 10^{-5} [W] \cdots \cdots (6-3)$$

と求まる。

同様に高速ダイオードでの損失は順方向電圧降下 V_F が1.2[V]であるので、同様に観測波形図4-31より、

$$P_{D1} = 1.9 \times 10^{-6} \times 11.9 \times \frac{2}{\pi} \times 1.2 = 1.73 \times 10^{-5} [W] \cdots \cdots (6-4)$$

$$P_{D2} = 2.0 \times 10^{-6} \times 14.2 \times \frac{2}{\pi} \times 1.2 = 2.17 \times 10^{-5} [W] \cdots \cdots (6-5)$$

と求まる。

トランスでの導通損は、トランスの抵抗を R_t とすると半周期では

$$P_{trans} = T \times \frac{R_t I^2}{2} [W] \cdots \cdots (6-6)$$

で得られ、実測より得られた高周波トランス一次側、二次側抵抗それぞれ0.74、0.95Ωを(6-6)式に代入すると、

$$\begin{aligned} P_{trans1} &= 2.0 \times 10^{-6} \times \frac{0.74 \times 25.0^2}{2} + 1.9 \times 10^{-6} \times \frac{0.74 \times 21.0^2}{2} \\ &= 7.73 \times 10^{-4} [W] \cdots \cdots (6-7) \end{aligned}$$

$$\begin{aligned} P_{trans2} &= 2.0 \times 10^{-6} \times \frac{0.95 \times 14.2^2}{2} + 1.9 \times 10^{-6} \times \frac{0.95 \times 11.9^2}{2} \\ &= 3.20 \times 10^{-4} [W] \cdots \cdots (6-8) \end{aligned}$$

と求まる。

キャリア1周期毎に3回のスイッチングを行うので、キャリア周波数 f_c [Hz]での共振DCリン

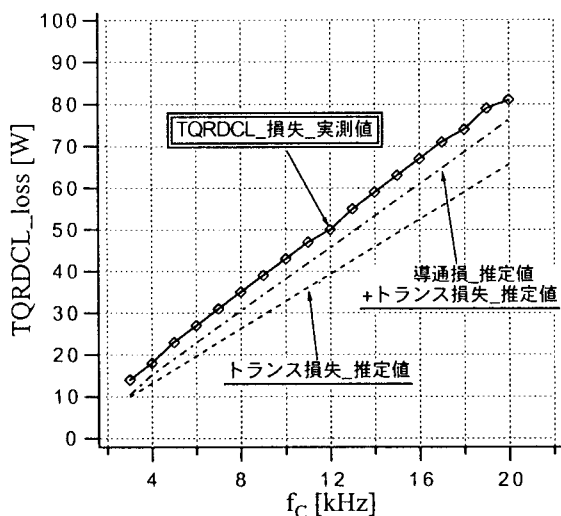


図6-19 無負荷TQRDCL回路損失

Fig. 6-19 TQRDCL circuit losses under no load condition

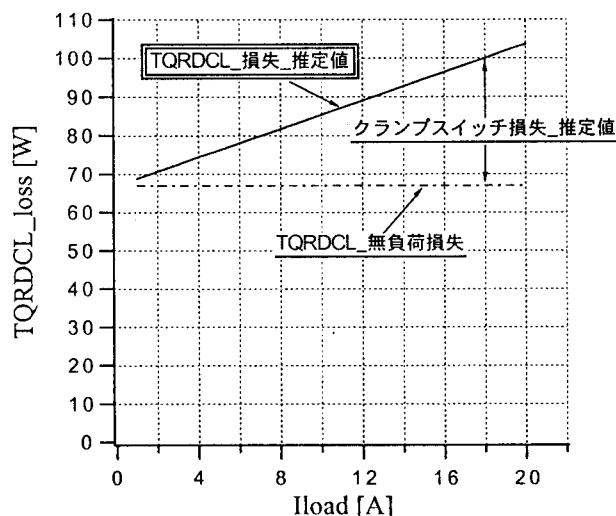


図6-20 負荷時TQRDCL回路損失

Fig. 6-20 TQRDCL circuit losses under load condition

ク回路トータルの損失は、(6-2)、(6-3)、(6-4)、(6-5)、(6-7)、(6-8)式より、

$$\begin{aligned}
 P &= (0.554 + 0.612 + 0.173 + 0.217 + 7.73 + 3.20) \times 10^{-4} \times 3 \times f_c \\
 &= 37.5 \times 10^{-4} \times f_c [W] \dots\dots\dots (6-9)
 \end{aligned}$$

となる。図6-19にキャリア周波数を上げていったときの無負荷での共振DCリンク回路損失の実測値と推定結果を示す。実測値と推定値はほぼ同じ値であり、その差は鉄損、わずかなスイッチング損失、および誤差と考えられる。キャリア周波数に比例して損失は増加していることがわかる。

次に、負荷時の損失を推定する。負荷時には無負荷時損失に加えクランプスイッチの導通損が生じる。クランプスイッチの導通損は共振DCリンク回路が動作していない期間の負荷電流とIGBTの飽和電圧の積で求められる。図6-20にキャリア周波数16[kHz]一定とした場合の負荷電流に対する損失計算の結果を示す。負荷電流8.3[A]時にはTQRDCL部の損失は図6-9より84.1[W]となり図6-20の推定値82[W]とよく一致している。図6-19並びに図6-20より、TQRDCL回路における損失として問題となるのはトランス共振部の損失であることは明らかである。そして、トランス共振部の損失の約75[%]を銅損が占めることから、TQRDCLを利用する電力変換回路の効率改善にはトランスの損失低減が重要となる。図6-19に示されるように、回路損失はキャリア周波数つまりTQRDCL回路の動作回数に比例しているため、共振

回数を少なくすることが高効率化に有効となる。

TQRDCL-Iの場合には、動作原理に述べたようにゼロ電圧期間の調整が可能である。これは、図4-31に示されている共振電流波形より判るように、デッドタイム期間として設けた共振動作モード5の期間を制御することにより可能となる。つまり、パルス分配時のゼロ電圧ベクトルの制御期間をモード5の制御期間に変更し、その制御期間を時間制御の簡単な変更を行う。これにより、インバータの等価キャリア周波数内に出力されるベクトルに影響を与えずに、TQRDCL動作を1キャリア内に3回から2回に低減することが可能となる。

更に高周波トランスの製作時に高周波特性のより良いリッツ線等を使用し、順方向電圧降下の低いスイッチングデバイスを使用することにより効率の改善がなされる。仮に高周波トランスの抵抗分とスイッチングデバイスの順方向電圧降下を共に30%改善することが可能となれば、効率面においてもハードスイッチングインバータシステムとの競合が可能となる。TQRDCL損失の低減効果を図6-21に、それによる効率の改善効果を図6-22に示す。

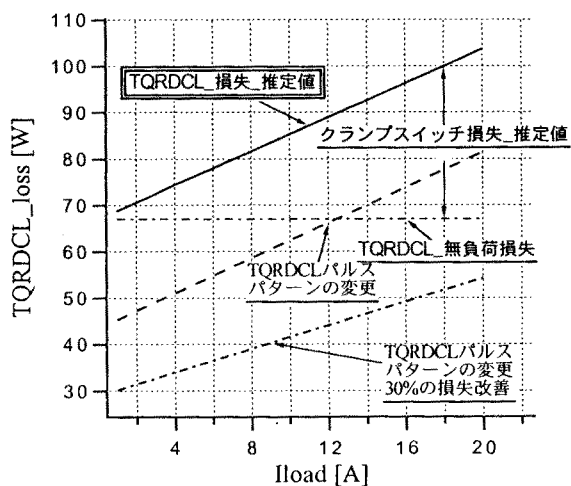


図6-21 TQRDCL回路損失の改善効果

Fig. 6-21 TQRDCL circuit losses under reduced loss components condition

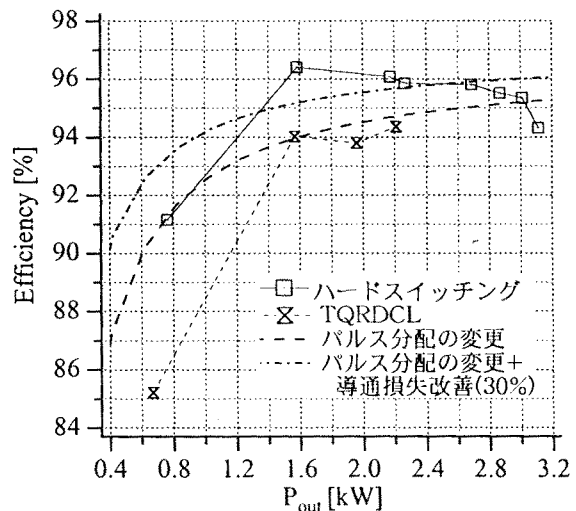


図6-22 TQRDCLシステムの総合効率

Fig. 6-22 TQRDCL VVVF inverter efficiency

6-4 結言

TQRDCL-Iの適用例としてコンプレッサを負荷とするエアコン用インバータシステムを取り上げ、安定なZVSソフトスイッチング動作を確認した。また、各電力変換段における損失を測定することにより、インバータ回路部におけるスイッチング損失がほぼ原理通りに発生していないことを確認した。さらに、TQRDCLとハードスイッチング方式におけるEMIノイズの発生レベルを、雑音端子電圧を測定することにより行い、期待されるようなノイズ低減効果が得られることが明かとなった。しかしながら損失面で見れば、スイッチング損失が低減されてはいるが、TQRDCL部において発生する損失により固定損失が増加していることが明らかとなった。この固定損失により、総合変換効率は軽負荷時にハードスイッチングインバータシステムより低下する傾向にある。これらの結果をもとに、TQRDCL回路部の損失が低減された場合のシステム変換効率を各部の発生損失を再評価し、効率面での改善効果を検討した。重負荷状態となれば、ハードスイッチング方式の損失の増加によりTQRDCLの導入効果が現れるが、実用化の観点から見ればリンク部の損失低減は非常に重要となる。特にTQRDCL回路の場合には、高周波トランス部における損失が全体の75%を占めることが明らかとなり、スイッチングデバイスの導通損失の低減を含めた十分な検討が望まれる。

第7章 結論

本論文においては、高周波電力変換システムの高性能化に有効とされる共振DCリンクの一方式として、高周波トランスにより共振回路系の安定化を図った部分共振DCリンク回路を提案しそれを用いた電力変換システムに関する研究成果について述べた。論文中に述べられている内容を要約すると以下の通りである。

第2章では、高周波スイッチングによる電力変換装置に求められているZVS/ZCSの実現時における回路とその問題点について述べた。また、高周波リンク電力変換とその概念について述べると共に、一方式として分類される高周波共振DCリンク電力変換について、基本原理と特徴並びに制御方式について論じた。そして、これらの方式に共通する点として、回路の抵抗成分やパワーデバイスの導通損失によって発生する損失と共振系の強い負荷依存性を除くため、初期電流予測と称される制御系が必要となり、回路の安定化制御が一般に複雑となる事を指摘した。

第3章では、高周波トランスを共振回路内に設けることにより、初期電流予測制御が不要でどのような負荷条件であっても安定に共振スイッチング動作するPWM制御形の回路トポロジーを提示し、動作原理と設計法について詳しく述べた。共振DCリンク系が負荷電流に依存せず初期電流予測制御が不要となれば、電力変換装置全体の制御系は従来の回路に加えて共振制御部との単純な信号の受け渡しを行うインターフェースを設けるだけとなり、産業応用上の大きな利点となる。

第4章では、提案した高周波共振DCリンク回路の動作確認並びにZVS特性評価をシミュレーションと試作実験により行った。その結果、本方式が負荷側からの電流フィードバックループレスで共振制御が簡単に行え、共振補助スイッチを含めた全てのパワーデバイスにおいてソフトスイッチング動作が安定に行われていることが確認された。

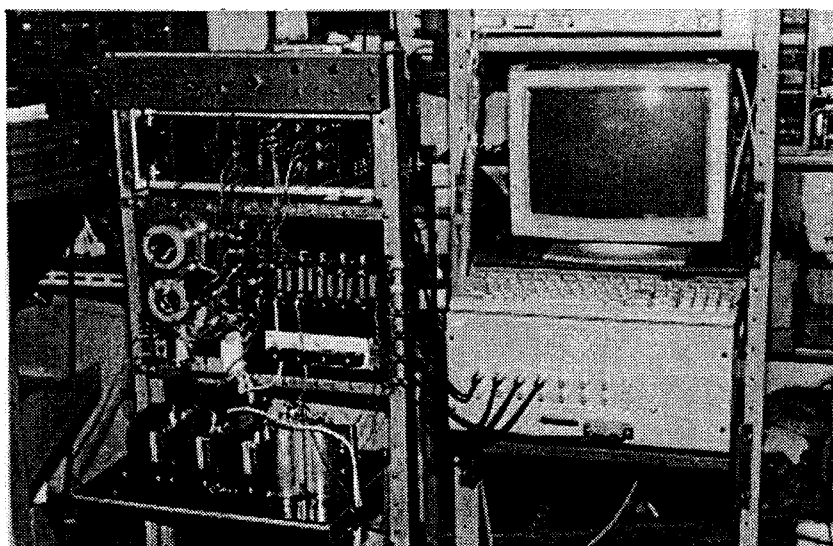
第5章では、提案方式の適用例として、無停電電源システムに代表される三相正弦波CVCF(一定電圧/一定周波数: Constant Voltage/Constant Frequency)インバータシステムを対象とした評価システムにより、高周波ZVS電力変換装置が実現可能であることを、シミュレーション/並びに試作実験により明らかとした。これらの評価により、提案方式が導入されたことによるインバータシステムへの制御性能への影響は、ハードスイッチングインバータと比較しても十分に低く、産業応用上で問題とならない程度であることを比較検討結果として示している。

第6章では、一般的な電力変換システムに使用されている応用分野への適用例についても同様の検討を行った。ここでは、代表例としてエアコンディショニングシステムを評価・検討を行う基準システムとして取り上げ、ハードスイッチングインバータシステムとの比較実験を行った。そして、これらの適用例において提案の共振DCリンク系が従来のハードスイッチングシステムと比較しても制御性能に与える影響が少ないことを確認した。実験においては、各電力変換段における損失を測定し、インバータ回路部における損失がほぼ原理通りに発生していないことを確認した。しかし、その一方で高周波トランス部における損失がシステムの固定損失の増加に大きな割合を占めることが明らかとなった。これについては、損失分布を計算することにより、発生損失の75%が銅損であることを示した。高効率電力変換システムの実現には固定損失の低減が不可欠であるため、システムのモード選択と高周波トランスの最適化により、どの程度の効率改善が可能となるかをシミュレーションし、実験結果との比較検討を行うことにより再評価している。また、共振DCリンクを組み込む事により十分なEMIノイズ低減効果が得られていることを、雑音端子電圧を測定することにより明らかとした。

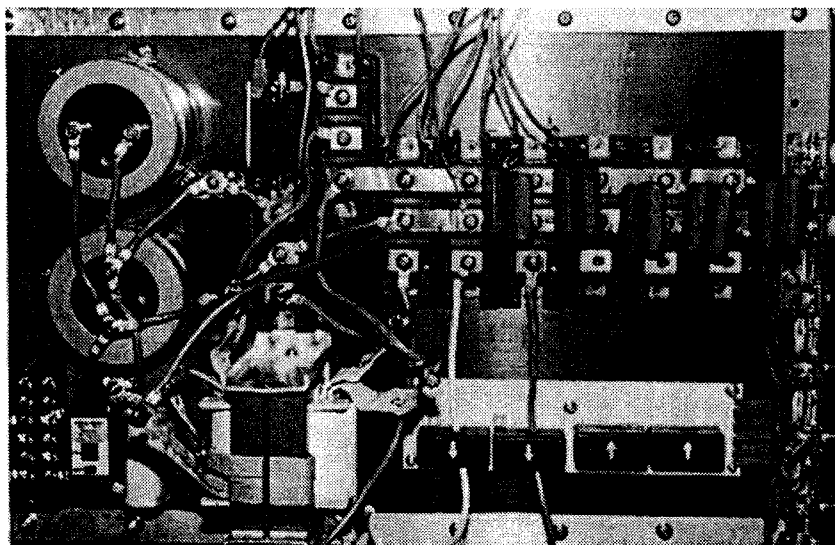
以上に述べてきたように、本論文はスイッチング時における諸問題点を解決する一方式である高周波共振DCリンクとその評価に関するものであり、電気エネルギーを高効率かつ高精度に変換／利用可能なインバータ/コンバータシステム技術の実現とその発展に寄与するものと考えらる。

付録

試作実験を行ったCVCF電力変換システムを付録-図1~3に示す。図1はシステムの全景を示しており、図1の右側にDSP制御部が配置され、左側上段よりDSPインターフェースを含むTQRDCL制御回路、中段に電力変換回路部、下段がL-Cフィルタ回路部という構成となっている。付録-図2は電力変換回路を示したもので、図中の左側に構成された高電流リップル形

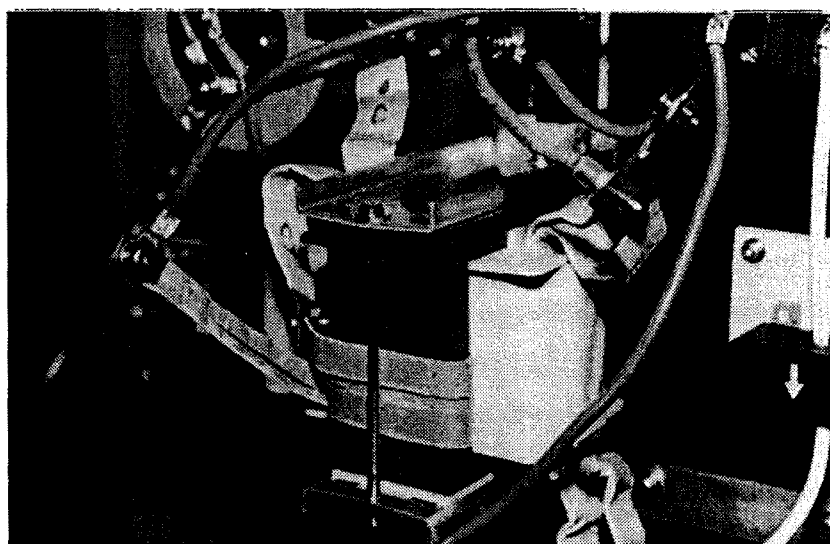


付録-図1 TQRDCL-Type III 電力変換システム全景



付録-図2 TQRDCL-Type III 電力変換回路部

の電解コンデンサより直流電圧を供給し、右側に配置されたパワーモジュールにより3相正弦波電圧に変換する。図に示されているように、パワーモジュールは右側より2in1のものが8個接続され、インバータとしてはその内の3個を使用した。左側のややずれた形で配置されているモジュール2個がTQRDCCLの制御スイッチとして動作し、それ以外のモジュールは電力変換部のスイッチであるが、右側のモジュール3個は今回の実験には使用していない。付録-図3に提案の部分共振DCリンクにおいて重要な役割を果たす高周波トランスを示す。

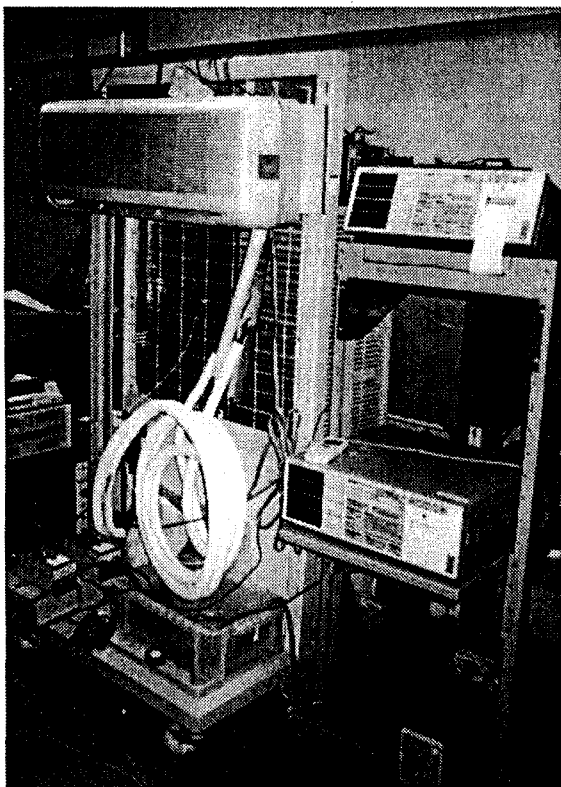


付録-図3 高周波トランス

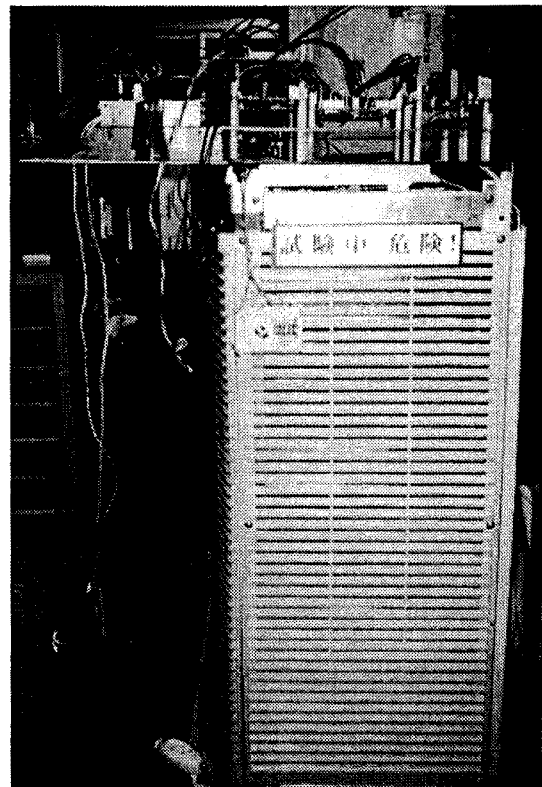
付録-図4に、TQRDCL-TYPE-Iの実験に使用したエアコンシステムの全景を示す。図4-a)は室内機側から撮影し、図4-b)は室外機を横から撮影したものである。室内機側の写真右側の測定器は、電力測定に使用したデジタル電力計2台である。

室外機の内部には、コンプレッサ負荷と共に誘導電動機が納められており、電力変換装置部分はソフトスイッチング化のために外部に取り出してある。付録-図5に制御回路部分の写真を示す。主電力変換部は、熱置換法による電力測定の際に風の影響を受けにくくするために覆いが設けられている。写真の右側のロジックボードは、インバータシステムのマイコン制御回路である。

制御基板は2枚 (KEL-BB03-01)で構成されており、その他の基板は電源などに使用されている。

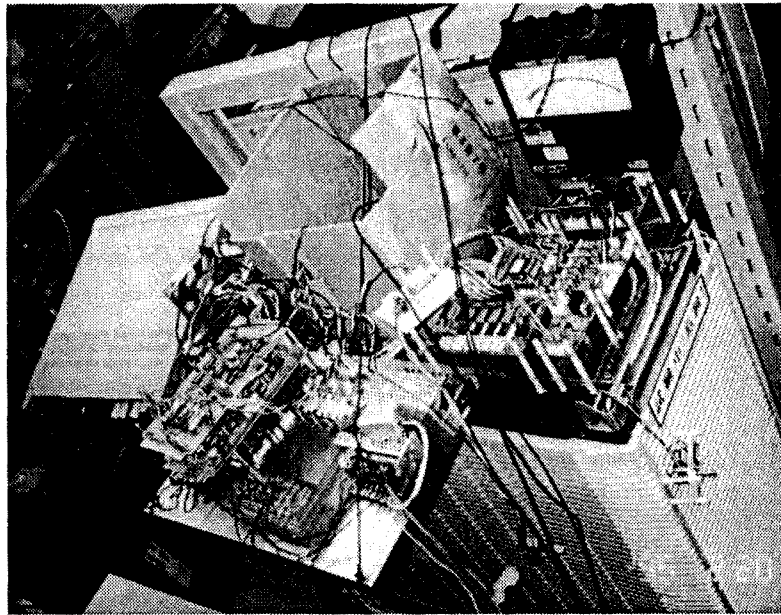


a) 室内機側より撮影



b) 室外機横より撮影

付録-図4 実験装置 (エアコンシステム) 全景



付録-図5 電力変換回路部と制御回路

謝辞

本論文を取りまとめるにあたり、多くの貴重なご指導並びに適切なご助言を賜りました神戸大学自然科学研究科生産科学専攻/工学部電気電子工学科大澤靖治教授に深く感謝の意を表します。さらに、神戸大学自然科学研究科システム科学専攻/工学部電気電子工学科田中栄一教授並びに神戸大学自然科学研究科生産科学専攻/工学部機械工学科神吉博教授からは本論文に対し貴重なご指摘、ご助言を賜りました。ここに深く感謝の意を表します。

本研究を円滑に遂行するにあたっては、山口大学工学研究科/工学部電気電子工学科中岡睦雄教授、並びに丸橋徹神戸大学名誉教授より有益なご教示とご助言を賜りました。厚く感謝の意を表します。

また、本研究の実験の一部には、機材や測定装置の提供等の援助をダイキン工業株式会社電子技術研究所より受けたことを記し、大山和伸氏、吉田 通廣氏等の関係各位に感謝の意を表します。

最後に、本研究に対し日頃から積極的に討論に参加すると共に実験等で援助いただいた神戸大学大学院電気工学専攻の元大学院生である宗籐康治氏、丸山祐一氏、萬木勝俊氏並びに神戸大学工学部電気電子工学科電気エネルギー制御工学講座の関係諸氏に感謝します。

参考文献

- (1) W. McMurray, "The thyristor electronic transformer - A power converter using a high-frequency link", IEEE Trans. of Industry and General Applications, Vol. IGA-7 No.4, July/Aug., pp.451-457, 1971
- (2) P. M. Espelage and B. K. Bose, "High frequency link power conversion", IEEE Trans. of Ind. App., Vol. IA-13, No.5, pp.387-394, Sept./Oct. 1977
- (3) A. Capel, J. Ferrante, J. Cornet and P. Leblanc, "Power system simulation of low orbit spacecraft: the eblos computer program", IEEE IAS Proceedings, pp.272-285, 1982
- (4) R. L. Steigerrald, F. G. Turnbull and A. Ferraro, "Investigation of a family of power conditioners integrated into the utility grid", Sandia National Laboratories, Final Report, 1982
- (5) J. Chen and R. Bonert, "Load independent ac-dc power supply for higher frequencies with sinewave output", Proc. of IAS, pp.831-835, 1982
- (6) A. Cocconi, S. Cuk and R. D. Middlebrook, "High-frequency isolated 4kW photovoltaic inverter for utility interface", IEEE PCI/Moror-con, Proc. pp.39-59, 1983
- (7) V. T. Ranganathan, P. D. Ziogas and V. R. Stefanovic, "A dc-ac power conversion technique using twin resonant high frequency links", IEEE Trans. on Ind. App. Vol. IA-19, No.3, May/June 1983
- (8) I. G. Hansen and G. R. Sundberg, "Space station 20-kHz power management and distribution system", IEEE PES Conf. Rec., 1986
- (9) I. G. Hansen, "Description of a 20kilohertz power distribution system", 21st intersociety energy conversion engineering conference, Conf. Rec., pp.1693-1695, 1986
- (10) A. G. Hoffman, et al, "Advanced secondary system for transport aircraft", NASA Technical Paper 2463, 1985
- (11) P. Sood and A. Lipo, "Power conversion distribution system using a resonant high-frequency ac link", in IEEE IAS Ann. Mtg. Conf. Rec, pp.533-541., 1986
- (12) H. K. Lauw, J. B. Klassens, N. G. Butter, and D. B. Seely, "Variable-speed generation with series-resonant converter", IEEE-PES Winter Mtg. Conf. Rec., 1987/1988

- (13) D. M. Divan, "The resonant dc link converter - A new concept in static power conversion", in IEEE IAS Ann. Mtg. Conf. Rec, pp.648-656., 1986
- (14) P. Savary, M. Nakaoka and T. Maruhashi, "A high-frequency resonant inverter using current-vector control scheme and its performance evaluations", IEEE Trans. on Ind. Ele., Vol. IE-34, No.2, pp.247-256, May 1987
- (15) D. M. Divan and G. L. Skibinski, "Zero switching loss inverters for high-power applications", in IEEE IAS Ann. Mtg. Conf. Rec., pp.627-634, 1987
- (16) P. Caldeira, T. A. Lipo, Y. Murai, and S. Mouchezuki, "Design and control of a series resonant dc link power converter drive", in Proc. 1990 Int. Power Electron. Conf. (IPEC) (Tokyo, Japan), pp.397-404, Apr. 1990
- (17) J. H. N. Mohan and B. Wold, "Zero-voltage-switching pwm inverter for high-frequency dc-ac power conversion", IEEE IAS Conf. Rec., pp.1215-1221, 1990
- (18) R. W. De Doncker and J. P. Lyons, "The auxiliary resonant commutated pole converter", IEEE IAS Ann. Mtg. Conf. Rec., pp.1228-1214, 1990
- (19) I. Barbi and D. C. Martins, "A true pwm zero-voltage switching pole with very low additional rms current stress", IEEE PESC Conf. Rec., pp.261-267, 1991
- (20) A. Cheriti, K. Al-haddad and A. Dessint, "A rugged soft commutated pwm inverter for ac drives", IEEE Trans. on Power Electronics, Vol7. No.2, pp.385-392, April, 1992
- (21) Y. Murai and A. Lipo, "High-frequency series-resonant dc link power conversion", IEEE Trans. on Ind. Applications, Vol.28, No. 6, November/December, 1992
- (22) D. M. Divan, S. Bhattachaya and G. Luckjiff, "Design trade-offs in soft switching inverters", IEEE Proc. of ISPE'92, pp.275-278, 1992
- (23) G. Venkataramanan and D. M. Divan, "Discrete pulse modulation strategies for high-frequency inverter system", IEEE Trans. on Power Electronics, Vol. 8, No.3, July, 1993, pp.279-287
- (24) P. A. Dahono, Hiroshi Yamaguchi, Y. Sato and T. Kataoka, "A new clamping circuit to reduce the peak voltage of resonant dc link inverters", I Proc. 1995 Int. Power Electron. Conf. (IPEC) (Yokohama, Japan), pp.1356-1361, Apr. 1995
- (25) 佐藤之彦、松本康、片岡昭雄、"共振DCリンクインバータの解析と制御法の改善" 電気学会論文誌D、Vol. 111, No. 7, pp.531-539, 平成3年
- (26) 佐藤之彦、P. A. Dahono、片岡昭雄、"共振DCリンクインバータの損失算定法"、電気学会論文誌D、112巻、10号、pp.950-958、平成4年
- (27) 梁承学、滝沢聡毅、近藤正示、原島文雄、"並列共振電力変換器による誘導機の力行／回生運転の実現と新しい回路方式の提案"、電気学会論文誌D、Vol.113, No.1, 平成5年
- (28) 半導体電力変換装置の電磁波障害共同研究委員会、"パワーエレクトロニクス機

- 器の電磁ノイズ”、電気学会技術報告、1995年5月
- (29)原田耕介監修、”スイッチング電源の高調波対策”、日刊工業新聞社
- (30)”電子技術-スイッチング電源設計ハンドブック”、日刊工業新聞社
- (31)木下敏雄、”EMCの基礎と実践”、日刊工業新聞社
- (32)小郷寛、美多勉、”システム制御理論入門”、実教出版
- (33)坂和正敏、”線形システムの最適化”森北出版
- (34)篠崎寿夫、式部幹、”過渡現象と波形解析”、東海大学出版会
- (35)飛田正幸、Pekik, Argo Dahono、加藤安紀、佐藤之彦、片岡昭雄、”共振DCリンクインバータの過電圧抑制法に関する一検討”、半導体電力変換研究会資料、SPC-94-23
- (36)北野一、半村久雄、大熊繁、”共振DCリンクコンバータの損失に関する検討”、半導体電力変換研究会資料、SPC-94-86
- (37)犬童弘史、野崎洋介、楯田豊、青木忠一、”ゼロ電圧スイッチングPWMインバータの放射雑音特性”、電子情報通信学会秋季大会、SB-7-5、3-428、1993年

研究業績一覧

学術論文

- (1)米森 秀登、中岡 睦雄;"負荷電流予測制御ループレス新方式トランス結合部分共振DCリンク回路ファミリーと最適設計"、電気学会論文誌D、Vol.115-D, No. 9, pp. 1098-1107、平成7年9月
- (2)Hideto Yonemori, K. Hayashi and Mutsuo Nakaoka;"Next generation space voltage vector controlled three-phase ZVS-PWM active AC-DC converter with auxiliary transformer-assisted resonant DC link", IEE International Journal of Electronics, Vol.80, No.2, pp.302-327, 1996

学術報告

- (1) Hideto Yonemori and Mutsuo Nakaoka, "Novel Type High-Quality UPS System Incorporating Series-Resonant High-Frequency Linked Power Conversion System", Memoirs of The Faculty of Engineering, Kobe University, 36, pp.179-195, November, 1989
- (2)Hideto Yonemori and Mutsuo Nakaoka;"Space-Vector Controlled Soft-Switching Three-Phase PDM AC-DC Converter With Unity Power Factor And Sinusoidal Line Current", Memoirs of The Faculty of Engineering, Kobe University, 39, 21-29, November, 1992
- (3)Hideto Yonemori and Mutsuo Nakaoka;"High-Power Density Three-Phase CVCF Sinewave Power Conditioner With New Quasi-Resonant DC Link And Single-Phase High-Frequency Transformer Link ", Memoirs of The Faculty of Engineering, Kobe University, 39, 11-20, November, 1992
- (4)Hideto Yonemori and Mutsuo Nakaoka;"Novel Space-Voltage Vector Modulated Sinusoidal Three-Phase Inverter Incorporating High-Frequency Transformer-Assisted Resonant DC Link", Memoirs of The Faculty of Engineering, Kobe University, No.40, pp.73-85, November, 1993

学術講演（国内）

- (1)米森秀登、中岡睦雄;"高周波リンク共振コンバータ形アクティブフィルタ制御"、電気学会産業応用部門全国大会講演論文集、No.68,pp.307-312, 1988年8月
- (2)中岡睦雄,米森秀登、堀尾素博;"アクティブフィルタ制御機能を持つ高周波リンクUPSシステムの一方式"、電子情報通信学会技術報告・電子通信用電源技術研究会PE-88-40,pp.17-22, 1988年9月
- (3)中岡睦雄、米森秀登;"高周波スイッチング制御ベース電力変換制御システム技術"、電気学会新形パワーデバイス応用電源システム技術調査専門委員会、PES-12-6,1988年
- (4)米森秀登、中岡睦雄;"新しいコンセプトの高周波サイクロインバータとUPSシステムへの応用"、電気関係学会関西支部連合大会講演論文集、No.G3-59,P.G153、1988年11月
- (5)米森秀登、中岡睦雄;"瞬時正弦波電流制御ループを持つ高周波リンク共振形スイッチモード整流コンバータ"、電気関係学会関西支部連合大会講演論文集、No.G3-35,P.G129、1988年11月
- (6)米森秀登、Ali Chibani、中岡睦雄;"瞬時正弦波電流基準高周波リンクスイッチングモード低歪制御単相整流コンバータ"、電気学会・半導体電力変換研究会、SPC-88-68,pp.45-52, 1988年
- (7)中岡睦雄、米森秀登;"高周波ACリンクを用いた電力変換装置の一方式と制御"、第3回静電誘導パワーデバイスシンポジウム講演論文集、pp.1-10, 1989年12月
- (8)中岡睦雄、米森秀登;"並列共振形高周波リンクCVCFインバータと制御方式"、電気学会全国大会講演論文集、Vol.5, No.529, p.5-79, 1989年4月
- (9)米森秀登、中岡睦雄;"高周波共振リンク形コンバータの3形式と特性評価について"、電気学会全国大会講演論文集、Vol.5, No.586, p.5-156, 1989年4月
- (10)米森秀登、中岡睦雄;"電力回生制御機能を持つ高周波共振インバータリンク正弦波サイクロインバータと特性評価"、電気学会産業応用部門全国大会講演論文集、No.91, pp.375-380, 1989年8月
- (11)米森秀登、中岡睦雄;"高周波直列共振インバータ・サイクロコンバータカスケードUPSシステムと制御方式"、電気関係学会関西支部連合大会論文集、No.G3-5, p.G-83, 1989年10月
- (12)米森秀登、中岡睦雄;"正弦波PWM制御高周波インバータを含む電力変換装置の試作サイクロインバータ"、電子情報通信学会技術報告、電子通信用電源技術研究会、PE-89-47, pp.7-14、1990年1月

- (13)米森秀登,中岡睦雄;"单相アクティブフィルタの解析と評価・設計",日本工業技術センターセミナー、アクティブフィルタの開発動向と電源回路設計のポイント、1990年8月
- (14)米森秀登、中岡睦雄;"電力系統連係高周波リンク三相サイクロコンバータ",電気関係学会関西支部連合大会、No.G3-11, p.87, 1990年10月
- (15)中岡睦雄、米森秀登;"小規模分散電源としての新しい太陽光電力変換システムの開発とシミュレーション評価",神戸大学総合情報処理センター広報,MAGE, 13(1), pp.191-203, 1990年10月
- (16)中岡睦雄、米森秀登;"ソフトスイッチングPWM方式高周波リンクサイクロインバータ",電気学会・半導体電力変換研究会、SPC-90, pp.107-116, 1990年11月
- (17)中岡睦雄、米森秀登;"高周波リンク三相サイクロインバータのDSP (デジタルシグナルプロセッサ) を用いたデジタル制御",電気学会・半導体電力変換研究会、SPC-91-2, pp.11-20, 1991年1月
- (18)中岡睦雄、米森秀登;"電圧共振DCリンクを応用した三相コンバータのアクティブフィルタ制御",電気学会・半導体電力変換研究会、SPC-91-3, pp.21-30, 1991年1月
- (19)米森秀登、中岡睦雄;"電力システムインターフェース用SI パワーデバイス対応のソフトスイッチング高周波PWMインバータ/コンバータ",SIデバイス研究会/パワーエレクトロニクス研究会合同研究会、SID-90-(1)-8, 1991年1月
- (20)中岡睦雄、米森秀登;"DC-ZVS共振リンクを持つ正弦波電力変換システム"電子情報通信学会技術報告・電子通信用電源技術研究会, PE-90-63, pp.17-24, 1991年2月
- (21)米森秀登、小南勤、中岡睦雄;"ZVS/ZCS機能を有する高周波リンクサイクロインバータ",電気学会全国大会, No.511, 1991年3月
- (22)橋本裕志、米森秀登、中岡睦雄;"高周波リンク三相サイクロインバータのDSPを用いたデジタル制御",電気学会半導体電力変換研究会、SPC-91-2, pp.11-20, 1991年1月
- (23)川瀬透、米森秀登、中岡睦雄;"電圧共振DCリンクを応用した三相コンバータの制御",電気学会半導体電力変換研究会、SPC-91-3, pp.21-30, 1991年1月
- (24)東聖、米森秀登、中岡睦雄;"電圧共振DCリンク形三相PWMコンバータ",電気関係学会関西支部連合大会、G3-40、1991年11月
- (25)宗藤康治、米森秀登、中岡睦雄;"電圧共振DCリンク3相PDMアクティブ整流コンバータと特性評価",電子情報通信学会技術研究報告、電子通信用電源技術研究会、PE-91-65、pp.43-50、1991
- (26)廣田敦志、長井聡、米森秀登、中岡睦雄;"PWM制御機能を有する電圧共振DCリンクインバータの特性解析",電気学会半導体電力変換研究会、SPC92-2、pp.11-20、1992年1月

- (27)宗藤康治、米森秀登、中岡睦雄;"PWM補助スイッチを用いた電圧共振DCリンク方式三相インバータ", 電気学会全国大会、No.535、1992
- (28)丸山祐一、米森秀登、中岡睦雄;"高周波ソフトスイッチング単相インバータリンク3相正弦波電力変換システムとデジタル制御", 電気学会全国大会、No.537、1992
- (29)宮川晃一、米森秀登、中岡睦雄;"アクティブフィルタ機能をもつ瞬時空間ベクトル制御パルス密度変調三相ZVS・AC-DCコンバータ", 電気関係学会関西支部連合大会講演論文集、G3-45、1992年11月
- (30)道平稚一、米森秀登、中岡睦雄;"永久磁石式同期モータ駆動用の新方式共振DCリンクVVVFインバータ", 電気関係学会関西支部連合大会講演論文集、G3-47、1992年11月
- (31)宗藤康治、米森秀登、中岡睦雄;"改良型部分電圧共振DCリンク3相正弦波インバータ", 電気関係学会関西支部連合大会講演論文集、G3-49、1992年11月
- (32)名倉寛和、米森秀登、中岡睦雄;"高周波ソフトスイッチング単相インバータリンク3相正弦波電力変換システムとデジタル制御", 電気関係学会関西支部連合大会講演論文集、G3-51、1992年11月
- (33)中岡睦雄、米森秀登;"新形パワー半導体デバイスによる電力変換装置の電力システムへの適用技術とその評価に関する研究", R&D Report of The Kansai Electric Power Co. Ltd, pp.1-180, March,1992
- (34)米森秀登、中岡睦雄;"S I パワーデバイス対応のソフトスイッチング高周波PWMインバータ/PWMコンバータ", S I デバイスシンポジウム 1993年1月
- (35)宮川晃一、米森秀登、中岡睦雄;"時分割瞬時空間電圧ベクトル制御三相ゼロ電圧スイッチングパルス密度変調アクティブAC/DCコンバータ", 電気学会半導体電力変換研究会、SPC-93-24, pp.11-21, 1993年6月
- (36)萬木勝敏、米森秀登、中岡睦雄;"トランス共振DCリンクZVS-PWM三相アクティブコンバータ;"電気学会産業応用部門全国大会講演論文集、No.T-11,p.T-11、平成5年8月
- (37)石井英宏、吉田通広、米森秀登、中岡睦雄;"電圧共振DCリンク三相電圧形IGBTインバータの特性試験と評価", 電気学会産業応用部門全国大会講演論文集、No.64, p.269-270、平成5年8月
- (38)米森秀登、中岡睦雄;"パワーエレクトロニクス技術の現状と将来 ——共振DCリンク電力変換システム技術の動向", 電気関係学会関西支部連合大会講演論文集、パワーエレクトロニクスシンポジウム、No.S-5-2, p.S-25、平成5年11月
- (39)萬木勝敏、米森秀登、中岡睦雄;"トランス共振DCリンクZVS-PWM三相アクティブコンバータシステムとデジタル制御", 電気関係学会関西支部連合大会講演論文集、No.3-42, p.172、平成5年11月

- (40)米森秀登、中岡睦雄;"トランス共振DCリンクによる三相CVCFインバータシステム"
、電子情報通信学会技術報告、電子通信用電源技術研究会、PE-94-17、平成6年1月
20日
- (41)米森秀登、中岡睦雄、"新しいトランス共振DCリンクによる三相電圧形ZVS-
PWMインバータ"、パワーエレクトロニクス研究会論文誌、Vol.20、No.1、1994
- (42)米森秀登、吉田道廣、石井英宏、中岡睦雄、"TQRDCL方式における損失分析と
ノイズ低減効果について"、電気関係学会関西支部連合大会講演論文集、G4-39

学術講演（国外）

- (1) Hideto Yonemori, Ali Chibani, Mutsuo Nakaoka; "Novel Sinewave-Synthesized Voltage Control-Based High-Frequency Link Cycloconverter for UPS Applications", Proceedings of The 4th International Macro Power Electronics Conference, Vol.2, No.4, pp.219-229, November, 1988
- (2) Hideto Yonemori, Ali Chibani, Mutsuo Nakaoka; "A Novel Type High-Frequency UPS System Incorporating High-Frequency-Linked Power Converter With Active Filtering Control Function", Proceedings of The 1st International Power Conversion and Motion Control Conference (PCIM)-Tokyo, 1(2), pp.324-332, December, 1988
- (3) Hideto Yonemori, Mutsuo Nakaoka; "New Bidirectional Sinewave-Modulated Series Resonant Power Conditioning System With High-Frequency Link", Proceedings of The 11th IEEE International Telecommunication Energy Power Conversion Conference (INTELEC), (Florence-Italy) - Power Electronics Society -, pp.14-2-1--14-2-6, October, 1989
- (4) Hideto Yonemori, Mutsuo Nakaoka; "Instantaneous Voltage Control-based Sinusoidal CVCF Inverter With HF Resonant AC Link And Its UPS System Application", Proceedings of The 3rd International European Power Electronics Conference (EPE), (Aachen FRG), Vol.II, pp.341-346, October, 1989
- (5) Hideto Yonemori, Mutsuo Nakaoka; "A New Bidirectional Series-Resonant High-Frequency Linked Power Conversion System Incorporating Instantaneous Sinewave-modulated Regulation Scheme", Proceedings of The 24th IEEE Industry Application Society (IAS) Annual Conference (San Diego, USA), pp.1015-1022, October, 1989
- (6) Hideto Yonemori, Mutsuo Nakaoka; "New Bidirectional Sinewave-Modulated Series Resonant Power Conditioning System with High-Frequency Link", Proceedings of The 11th IEEE International Telecommunication Energy Power Conversion Conference (INTELEC), (Firenze-Italy)-Power Electronic Society-, pp.14-2-1.-14-2-6, October, 1989
- (7) Hideto Yonemori, Mutsuo Nakaoka; "Instantaneous Voltage Control-Based Sinusoidal CVCF Inverter with HF Resonant AC Link and Its UPS System Application", Proceedings of The 3rd European Conference on Power Electronics and Applications (EPE)-Aachen, Vol.2,

- pp.341-346, October, 1989
- (8) Hideto Yonemori, Mutsuo Nakaoka; "Modern High-Frequency Inverter-Linked Cycloconverter Type Sinewave Power Processing System Using Multi-Resonant Soft-Switching PWM Strategy", Proceedings of IEEE-INTELEC (International Telecommunication Energy Conversion Systems Conference) -Power Electronics Society-, pp.566-573 , October, 1991
 - (9) Hideto Yonemori, Mutsuo Nakaoka; "Advanced Soft-Switching Sinewave PWM High-Frequency Inverter-Linked Cycloconverter Incorporating Voltage-Clamped Quasi-Resonant And Capacitive Snubber Techniques", Proceedings of IEEE-IAS (Industry Application Systems Society) Annual Conference, Vol.1, pp.795-802, October, 1991
 - (10) Hideto Yonemori, Mutsuo Nakaoka; "A Novel Soft-Switching PWM Sinewave Conversion Circuit And System With High-Frequency Link", Proceedings of European Space Power Electronics (ESPE) Systems Conference, Vol.1, pp.107-112, September, 1991
 - (11) Hideto Yonemori, Ali Chibani, Mutsuo Nakaoka; "New Soft-Switching Phase-Shifted PWM High-Frequency Inverter-Linked Cycloconverter Incorporating Voltage-Clamped Quasi-Resonant Technique", Proceedings of IEEE-PESC (Power Electronics Specialists Conference)-Power Electronics Society-, pp.283-290, June, 1991
 - (12) Hideto Yonemori, Mutsuo Nakaoka; "Instantaneous Space Voltage Vector Controlled Three-Phase Sinewave Inverter With Improved Quasi-Resonant PWM DC Link", Proceedings of Chinese-Japanese Power Electronics Conference (C-JPEC), 404-413, September, 1992
 - (13) Katsutosi Yurugi, Hideto Yonemori, Mutsuo Nakaoka; "New Space Vector Controlled Soft-Switching Three-Phase Pulse Density Modulation AC/DC Converter With Unity-Power Factor Correction And Sinusoidal Line Current Shaping Functions", Proceedings of IEEE-International Telecommunications Energy Conversion Conference (INTELEC) -Power Electronics Society -, 286-293, October, 1992
 - (14) Hideto Yonemori, Mutsuo Nakaoka; "High-Power Density Three-Phase CVCF Sinewave Power Conditioner With New-Quasi Resonant DC Link And Single-Phase High-Frequency Transformer Link ", Proceedings of IEEE-Industry Application Society (IAS) Annual Conference , Vol.1, pp.720-728, October, 1992
 - (15) Hideto Yonemori, Mutsuo Nakaoka; "Time-Sharing Space Voltage-Vector Controlled Inverter With New High-Frequency Transformer-Assisted Quasi-Resonant DC Link ", Proceedings of The 2nd International Brazilian Power Electronics Conference (COBEP), No.ST13-3, 29, November, 1993
 - (16) Katsutoshi Yurugi, Hideto Yonemori, Mutsuo Nakaoka; "Next Generation Zero-Voltage Soft-Switched PWM Three Phase AC-DC Converter For Active Filtering Function", Proceedings of The 2nd International Brazilian Power Electronics Conference (COBEP),

No.ST3-4, 29, November, 1993

- (17)Hideto Yonemori, Katsutoshi Yurugi, Mutsuo Nakaoka;"Zero-Voltage Soft-Switched PDM Three-Phase AC-DC Active Power Converter Operating At Unity Power Factor And Sinusoidal Line Current Shaping", Proceedings of The 24th Annual IEEE Power Electronics Specialists Conference-USA (PESC)-Power Electronics Society-pp.787-794, 24, June,1993
- (18)Katsutoshi Yurugi, Hideto Yonemori, Mutsuo Nakaoka;"Zero-Voltage Soft-Switching Discrete Pulse Modulated Three Phase AC-DC Power Converter With an Active Filtering Function And Its Extended Application",
- (19)Hideto Yonemori, Katsutoshi Yurugi, Mutsuo Nakaoka;"Advanced ZVS-PWM Three-Phase AC-DC Active Power Converter With New High-Frequency Transformer-Assisted Quasi-Resonant DC Link And Its Implementation", Proceedings of IEEE Power Electronics Society - International Telecommunication Energy Conference - France (INTELEC), pp.400-406, 27,September,1993
- (20)Hideto Yonemori, Mutsuo Nakaoka;"Three-Phase CVCF Power Processing Conditioner With New Quasi-Resonant DC Link And Single-Phase High-Frequency Transformer Link", Proceedings of The 28th Universities Power Engineering Conference, (UPEC) - UK Vol.2, pp.924-927, 21,September,1993
- (21)Hideto Yonemori, Mutsuo Nakaoka;"Time-Sharing Space-Voltage Vector Controlled Inverter With New High-Frequency Transformer-Assisted Quasi-Resonant DC Link And UPS Application", Proceedings of The 28th Universities Power Engineering Conference, (UPEC) - UK Vol.2, pp.837-840, 21,September,1993
- (22)Hideto Yonemori, Mutsuo Nakaoka;"Latest Time-Sharing Space-Voltage Vector Modulated Inverter With A New High-Frequency Transformer-Assisted Quasi-Resonant DC Link And UPS Applications", Proceedings of The 3rd International Symposium on Electricity Distribution and Energy Management - Singapore (ISEDEM), IEEE Power Engineering Chapter, Vol.1, pp.564-569, 29,October,1993
- (23)Hideto Yonemori and Mutsuo Nakaoka, "A Novel Space-Voltage Vector Modulated Sinewave Three-Phase Inverter with High-Frequency Transformer-Coupled Resonant DC Link", IEEE PESC (Power Electronics Specialists Conference), Conf. Rec., Vol. 1, pp.651-658, 1994
- (24)Hideto Yonemori and Mutsuo Nakaoka, "High-Frequency Link ZVS-PDM Three-Phase Cycloconverter with Resonant DC Link ZVS-PWM Inverter", IEEE Proc. of Symposium on Power Electronics Circuits, pp17-20, 1994
- (25)Hideto Yonemori and Mutsuo Nakaoka, "Next Generation Space Voltage Vector Controlled Three-Phase ZVS-PWM Active AC-DC Converter with Auxiliary Transformer-Assisted Resonant DC Link", IEEE Proc. of Int. Conf. on Power Electornics and Drive Systems, Vol. 1, pp. 7-12, 1995

- (26) Hideto Yonemori and Mutsuo Nakaoka, "Three-Phase ZVS-PWM Inverter System with Transformer-Assisted Quasi-Resonant DC Link and its Feasible Comparative Evaluations", IEEE PESC (Power Electronics Specialists Conference), Conf. Rec., Vol. 1, pp.171-176, 1996